

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-113732  
(P2012-113732A)

(43) 公開日 平成24年6月14日 (2012.6.14)

(51) Int.Cl.	F I	テーマコード (参考)
G06F 12/02 (2006.01)	G06F 12/02 580E	5B060
G06F 12/00 (2006.01)	G06F 12/00 580	

審査請求 有 請求項の数 1 O L (全 29 頁)

(21) 出願番号 特願2012-26518 (P2012-26518)  
 (22) 出願日 平成24年2月9日 (2012.2.9)  
 (62) 分割の表示 特願2009-544315 (P2009-544315) の分割  
 原出願日 平成19年12月28日 (2007.12.28)  
 (31) 優先権主張番号 11/648,469  
 (32) 優先日 平成18年12月28日 (2006.12.28)  
 (33) 優先権主張国 米国 (US)

(71) 出願人 591003943  
 インテル・コーポレーション  
 アメリカ合衆国 95052 カリフォルニア州・サンタクララ・ミッション カレッジ ブレーバード・2200  
 (74) 代理人 110000877  
 龍華国際特許業務法人  
 (72) 発明者 アキヤマ、ジェイムズ  
 アメリカ合衆国 95052 カリフォルニア州・サンタクララ・ミッション カレッジ ブレーバード・2200 インテル・コーポレーション内

最終頁に続く

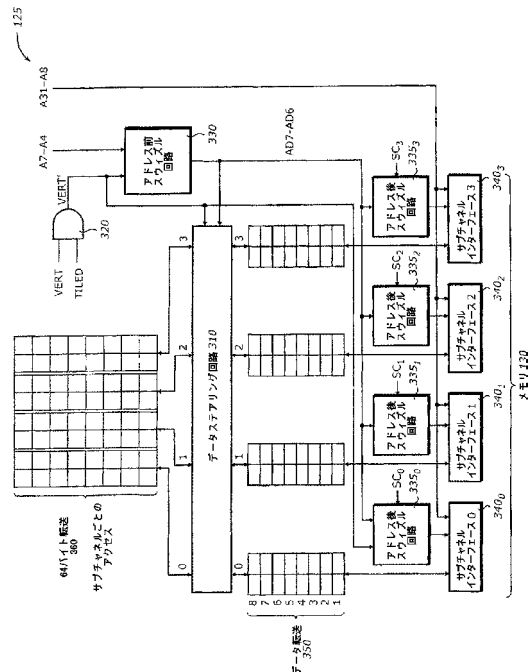
(54) 【発明の名称】 マルチタイリングを用いたメモリアクセス

(57) 【要約】 (修正有)

【課題】 タイル状および非タイル状メモリアクセスを含むメモリアクセスタイプのデータを動的に操作する。

【解決手段】 アドレス前スイズル回路330は、アクセス制御信号に従い、プロセッサにより提供されるアドレスビットを調整する。データステアリング回路310は、メモリにおけるN個のサブチャンネルに接続し、アクセス制御信号、調整済みアドレスビット、および、N個のサブチャンネルに関連付けられたサブチャンネル識別子に従い、タイル状および非タイル状メモリアクセスを含むメモリアクセスタイプのデータを動的に操作する。タイル状メモリアクセスは、水平および垂直のタイル状メモリアクセスを含む。アドレス後スイズル回路335<sub>0</sub>~335<sub>3</sub>は、調整済みアドレスビットを用い、アクセス制御信号およびサブチャンネル識別子に従い、N個のサブチャンネルに対するサブチャンネルアドレスビットを生成する。

【選択図】 図3A



## 【特許請求の範囲】

## 【請求項 1】

アクセス制御信号に従い、プロセッサにより提供されるアドレスビットを調整するアドレス前スウィズル回路と、

前記アドレス前スウィズル回路に結合され、前記アクセス制御信号、調整済み前記アドレスビット、および、N個のサブチャネルに関連付けられたサブチャネル識別子に従い、タイル状および非タイル状メモリアクセスを含むメモリアクセスタイプのデータを動的に操作するよう、メモリにおける前記N個のサブチャネルに接続するデータステアリング回路と、

前記アドレス前スウィズル回路および前記N個のサブチャネルに結合され、前記調整済みアドレスビットを用い、前記アクセス制御信号および前記サブチャネル識別子に従い、前記N個のサブチャネルに対するサブチャネルアドレスビットを生成するアドレス後スウィズル回路と、

を備え、

前記タイル状メモリアクセスは、水平のタイル状メモリアクセスおよび垂直のタイル状メモリアクセスを含む、

装置。

## 【請求項 2】

前記アクセス制御信号は、

前記タイル状メモリアクセスを選択するタイル状制御信号と、

前記タイル状制御信号がアサートされた場合、前記垂直のタイル状メモリアクセスを選択する垂直制御信号と、

を含む、請求項 1 に記載の装置。

## 【請求項 3】

前記アドレス前スウィズル回路は、K個の最下位共通アドレスビットを選択するデータセクタを有し、Kは、 $\log_2(N)$  に等しい、請求項 1 に記載の装置。

## 【請求項 4】

前記メモリアクセスタイプが前記垂直のタイル状メモリアクセスの場合、前記アドレス後スウィズル回路は、前記調整済みアドレスビットの論理関数と、対応するサブチャネル識別子とを有するN群のサブチャネルアドレスビットを生成する、請求項 1 に記載の装置

## 【請求項 5】

前記メモリアクセスタイプが前記水平のタイル状メモリアクセス、または、非タイル状メモリアクセスの場合、前記アドレス後スウィズル回路は、前記調整済みアドレスビットを有するN群のサブチャネルアドレスビットを生成する、請求項 1 に記載の装置。

## 【請求項 6】

前記メモリアクセスタイプが前記非タイル状メモリアクセス、前記水平のタイル状メモリアクセス、および、前記調整済みアドレスビットの第1組の値を有する前記垂直のタイル状メモリアクセスの場合、前記アクセス制御信号および前記調整済みアドレスビットは、前記データステアリング回路についての第1の設定を選択する、請求項 1 に記載の装置

## 【請求項 7】

前記メモリアクセスタイプが前記調整済みアドレスビットの前記第1組の値とは異なる3組の値のうちの1つを有する前記垂直のタイル状メモリアクセスの場合、前記アクセス制御信号および前記調整済みアドレスビットは、3つの設定のうちの1つを選択する、請求項 6 に記載の装置。

## 【請求項 8】

前記第1の設定は、恒等置換マッピングに対応し、前記3つの設定のうちの前記1つは、非恒等置換マッピングに対応する、請求項 7 に記載の装置。

## 【請求項 9】

10

20

30

40

50

前記タイル状メモリアクセスは、前記メモリに行単位でアクセスし、前記非タイル状メモリアクセスは、前記メモリに列単位でアクセスする、請求項 1 に記載の装置。

【請求項 1 0】

アクセス制御信号に従い、プロセッサにより提供されるアドレスビットを調整する段階と、

前記アクセス制御信号、調整済み前記アドレスビット、および、N 個のサブチャンネルに関連付けられたサブチャンネル識別子に従い、タイル状および非タイル状メモリアクセスを含むメモリアクセスタイプのデータを動的に操作するよう、メモリにおける前記 N 個のサブチャンネルに接続する段階と、

前記アクセス制御信号、前記調整済みアドレスビット、および、前記サブチャンネル識別子に従い、前記 N 個のサブチャンネルに対するサブチャンネルアドレスビットを生成する段階と、

10

を備え、

前記タイル状メモリアクセスは、水平のタイル状メモリアクセスおよび垂直のタイル状メモリアクセスを含む、  
る方法。

【請求項 1 1】

前記アクセス制御信号は、

前記タイル状メモリアクセスを選択するタイル状制御信号と、

前記タイル状制御信号がアサートされた場合、前記垂直のタイル状メモリアクセスを選択する垂直制御信号と、

20

を含む、請求項 1 0 に記載の方法。

【請求項 1 2】

前記サブチャンネルアドレスビットを生成する段階は、K 個のアドレスビットを選択する段階を有し、K は、 $\log_2(N)$  に等しい、請求項 1 0 に記載の方法。

【請求項 1 3】

前記サブチャンネルアドレスビットを生成する段階は、

前記メモリアクセスタイプが前記垂直のタイル状メモリアクセスの場合、最下位  $2 * K$  個の調整済みアドレスビットの論理関数および対応するサブチャンネル識別子を有する N 群のサブチャンネルアドレスビットを生成する段階と、

30

前記メモリアクセスタイプが前記水平のタイル状メモリアクセス、または、非タイル状のメモリアクセスの場合、前記調整済みアドレスビットを有する N 群のサブチャンネルアドレスビットを生成する段階と、

を有する、請求項 1 2 に記載の方法。

【請求項 1 4】

前記接続する段階は、

前記メモリアクセスタイプが、前記非タイル状メモリアクセス、前記水平のタイル状メモリアクセス、および、前記調整済みアドレスビットの第 1 組の値を有する前記垂直のタイル状メモリアクセスの場合、第 1 の設定を選択する段階と、

前記メモリアクセスタイプが、前記調整済みアドレスビットの前記第 1 組の値とは異なる 3 組の値のうちの 1 つを有する前記垂直のタイル状メモリアクセスの場合、3 つの設定のうちの 1 つを選択する段階と、

40

を有する、請求項 1 0 に記載の方法。

【請求項 1 5】

前記第 1 の設定は、恒等置換マッピングに対応し、前記 3 つの設定のうちの前記 1 つは、非恒等置換マッピングに対応する、請求項 1 4 に記載の方法。

【請求項 1 6】

前記メモリアクセスタイプが前記タイル状メモリアクセスの場合、前記メモリに行単位でアクセスする段階と、

前記メモリアクセスタイプが前記非タイル状メモリアクセスの場合、前記メモリに列単

50

位でアクセスする段階と、

をさらに備える、請求項 10 に記載の方法。

【請求項 17】

システムであって、

プロセッサと、

メモリにおける N 個のサブチャネル内に形成され、DDR (Double Data Rate) SDRAM (同期型随時書き込み読み出しメモリ) である複数のメモリデバイスと、

前記プロセッサおよび前記複数のメモリデバイスに結合され、アクセスコントローラを有するメモリコントローラと、を備え、

10

前記アクセスコントローラは、

アクセス制御信号に従い、プロセッサにより提供されるアドレスビットを調整するアドレス前スウィズル回路と、

前記アドレス前スウィズル回路に結合され、前記アクセス制御信号、調整済み前記アドレスビット、および、N 個のサブチャネルに関連付けられたサブチャネル識別子に従い、タイル状および非タイル状メモリアクセスを含むメモリアクセスタイプのデータを動的に操作するよう、前記メモリにおける前記 N 個のサブチャネルに接続するデータステアリング回路と、

前記アドレス前スウィズル回路および前記 N 個のサブチャネルに結合され、前記調整済みアドレスビットを用い、前記アクセス制御信号および前記サブチャネル識別子に従い、前記 N 個のサブチャネルに対するサブチャネルアドレスビットを生成するアドレス後スウィズル回路と、

20

を有し、

前記タイル状メモリアクセスは、水平のタイル状メモリアクセスおよび垂直のタイル状メモリアクセスを含む、

システム。

【請求項 18】

前記アクセス制御信号は、

前記タイル状メモリアクセスを選択するタイル状制御信号と、

前記タイル状制御信号がアサートされた場合、前記垂直のタイル状メモリアクセスを選択する垂直制御信号と、

30

を含む、請求項 17 に記載のシステム。

【請求項 19】

前記アドレス前スウィズル回路は、最下位  $2^*K$  のアドレスビットから K の共通アドレスビットを選択するデータセクタを有し、K は、 $\log_2(N)$  に等しい、請求項 17 に記載のシステム。

【請求項 20】

前記メモリアクセスタイプが前記垂直のタイル状メモリアクセスの場合、前記アドレス後スウィズル回路は、前記調整済みアドレスビットの論理関数および対応するサブチャネル識別子を有する N 群のサブチャネルアドレスビットを生成する、請求項 19 に記載のシステム。

40

【請求項 21】

前記メモリアクセスタイプが前記水平のタイル状メモリアクセス、または、非タイル状メモリアクセスの場合、前記アドレス後スウィズル回路は、前記調整済みアドレスビットを有する N 群のサブチャネルアドレスビットを生成する、請求項 19 に記載のシステム。

【請求項 22】

前記メモリアクセスタイプが前記非タイル状メモリアクセス、前記水平のタイル状メモリアクセス、および、前記調整済みアドレスビットの第 1 組の値を有する前記垂直のタイル状メモリアクセスの場合、前記アクセス制御信号および前記調整済みアドレスビットは、前記データステアリング回路についての第 1 の設定を選択する、請求項 17 に記載のシステム。

50

## 【請求項 2 3】

前記メモリアクセスタイプが前記調整済みアドレスビットの前記第 1 組の値とは異なる 3 組の値のうちの 1 つを有する前記垂直のタイル状メモリの場合、前記アクセス制御信号および前記調整済みアドレスビットは、3 つの設定のうちの 1 つを選択する、請求項 2 2 に記載のシステム。

## 【請求項 2 4】

前記第 1 の設定は、恒等置換マッピングに対応し、前記 3 つの設定のうちの前記 1 つは、非恒等置換マッピングに対応する、請求項 2 3 に記載のシステム。

## 【請求項 2 5】

前記タイル状メモリアクセスは、前記メモリに行単位でアクセスし、前記非タイル状メモリアクセスは、前記メモリに列単位でアクセスする、請求項 1 7 に記載のシステム。

10

## 【発明の詳細な説明】

## 【技術分野】

## 【0 0 0 1】

本発明の実施形態は、マイクロプロセッサの分野に関し、より詳しくは、メモリ構成に関する。

## 【背景技術】

## 【0 0 0 2】

典型的なプロセッサシステムにおいて、メモリは、通常、線形にアドレス指定された記憶素子アレイとして構成される。この構成は、プログラム内の命令が順次実行されるので、コードまたはプログラム記憶領域に適している。しかし、特定のタイプのデータ記憶、または、特定のメモリ動作にとっては、線形構成は非効率的な場合もある。

20

## 【0 0 0 3】

特定のアプリケーションに影響されるデータ構造に従いメモリが構成されることは、多くの用途において望ましいかもしれない。例えば、グラフィックおよびイメージングアプリケーションでは、基本データ構造は二次元 (2 - D) 配列である。二次元配列は、基本データブロックを提供することに加え、多次元配列を構築するために用いられてよい。既存のメモリ構成を用いて 2 - D 配列にアクセスすると、非効率の原因となる処理オーバーヘッドを招く可能性がある。さらに、通常、スクリーンリフレッシュは、一度に 1 本のスキャンラインに対して行われるので、メモリ構成が線形になるほどメリットが大きい。

30

## 【図面の簡単な説明】

## 【0 0 0 4】

本発明の実施形態は、以下の説明および添付の図面を参照することで最も良く理解できよう。添付の図面は、本発明の実施形態を図示する目的で用いられる。

【図 1 A】本発明の一実施形態が実施されうるシステムを示す図である。

【図 1 B】本発明の一実施形態に係るグラフィックシステムを示す図である。

【図 1 C】本発明の一実施形態に係るサーバ/コンピュータシステムを示す図である。

【図 2 A】本発明の一実施形態に係るタイル状メモリアクセスを示す図である。

【図 2 B】本発明の一実施形態に係るメモリサブチャネルを伴うタイル状メモリアクセスを示す図である。

40

【図 3 A】本発明の一実施形態に係るアクセスコントローラを示す図である。

【図 3 B】本発明の一実施形態に係るアクセスコントローラを用いた垂直のタイル状メモリアクセスを示す図である。

【図 3 C】本発明の一実施形態に係るアクセスコントローラを用いた水平のタイル状メモリアクセスを示す図である

【図 3 D】本発明の一実施形態に係るアクセスコントローラを用いた非タイル状メモリアクセスを示す図である。

【図 4】本発明の一実施形態に係るアドレス前スイズル (swizzle) 回路を示す図である。

【図 5】本発明の一実施形態に係るアドレス後スイズル回路を示す図である。

50

【図 6 A】本発明の一実施形態に係るデータステアリング回路の設定を示す図である。

【図 6 B】本発明の一実施形態に係るデータステアリング回路を示す図である。

【図 7】本発明の一実施形態に係るメモリにアクセスするプロセスを示すフローチャートである。

【図 8】本発明の一実施形態に係るデータステアリング回路の設定を選択するプロセスを示すフローチャートである。

【図 9】本発明の一実施形態に係る N 群のサブチャネルアドレスビットを生成するプロセスを示すフローチャートである。

【発明を実施するための形態】

【0005】

10

本発明の一実施形態は、メモリアクセスを制御する技術である。データステアリング回路は、メモリにおける N 個のサブチャネルに接続し、アクセス制御信号と、N 個のサブチャネルに関連付けられたサブチャネル識別子とに従い、タイル状および非タイル状メモリアクセスを含むメモリアクセスタイプデータを動的に操作する。タイル状メモリアクセスは、水平および垂直のタイル状メモリアクセスである。アドレス前スイズル回路は、アドレスラインを調整して特定のタイプのアクセスに適合させる。データステアリング回路は、アクセス制御信号と、調整済みアドレスビットとに従い設定される。アドレス後スイズル回路は、アクセス制御信号と、サブチャネル識別子とに従い、N 個のサブチャネルに対するサブチャネルアドレスビットを生成する。

【0006】

20

以下の説明には、数多くの特定の詳細が記載されている。しかしながら、本発明の実施形態は、それらの特定の詳細がなくても実施できることを理解されたい。また、他の例において、本記載の理解をあいまいにしないよう、よく知られた回路、構造および技術は、示されていない。

【0007】

本発明の一実施形態は、フローチャート、フロー図、構造図またはブロック図として通常表されるプロセスとして説明されてよい。フローチャートは、複数の動作をシーケンシャルプロセスとして記載する場合もあるが、動作の多くは、並行してまたは同時に実行されてよい。フローチャートにおけるループまたは繰り返しは、一回の繰り返しにより示される。ループインデックス（単数または複数）あるいはループカウンタ（単数または複数）は、関連するカウンタまたはポインタをアップデートするよう維持される。さらに、動作の順番は入れ替えてよい。動作が完了するとプロセスは終了する。プロセスは、方法、プログラム、手順などに対応してよい。ブロック図は、構成要素、アイテム、コンポーネント、デバイス、ユニット、サブユニット、構造、方法、プロセス、機能、動作、機能性、または、タスクなどを示すブロックまたはモジュールを含んでよい。機能または動作は、自動または手動で実行されてよい。

30

【0008】

図 1 A は、本発明の一実施形態が実施されうるシステム 10 を示す図である。システム 10 は、10 ギガビットイーサネット（登録商標）を用いた LAN (Local Area Network) アプリケーションを表す。システム 10 は、2 つのキャンパス 20 および 40 と、リンク 22 とを有する。

40

【0009】

キャンパス 20 および 40 のそれぞれは、ネットワークインターコネクトを用いてパソコン (PC)、ワークステーション、および、サーバとリンクする企業を表す。それらは、10 ギガビットイーサネットダウンリンクに分割される複数の 1000BASE-X または 1000BASE-T セグメントの集まりを有してよい。リンク 22 は、長距離 (40 km など) にわたって 2 つのキャンパス 20 および 40 を接続する単一モードファイバリンクであってよい。パケットまたはデータの送信は、リード・ソロモン符号のようなエラー訂正符号を用いたエラー訂正方式により実行されてよい。

【0010】

50

キャンパス 20 および 40 のインフラは同様である。各キャンパス内のネットワークは、ビル、データセンター、または、コンピュータ室を網羅してよい。キャンパス 20 は、スイッチ/ルータ 24 およびスイッチ/ルータ 28 のようなスイッチ/ルータと、LAN 30 とを有してよい。キャンパス 40 は、スイッチ/ルータ 42 およびスイッチ/ルータ 46 のようなスイッチ/ルータと、LAN 48 とを有してよい。スイッチ/ルータ 24 および 42 は、一般的に、対応するキャンパスの端に配置される。それらは、リンク 22 を介し互いに接続される。スイッチ/ルータ 24 および 28 は、毎秒 10 ギガビット (Gbps) までの速度で、短距離 (30 から 80 メートル) にわたりマルチモードファイバリンク 26 を介し接続される。スイッチ/ルータ 28 は、LAN 30 に接続される。同様に、スイッチ/ルータ 42 および 46 は、毎秒 10 ギガビット (Gbps) までの速度で、短距離 (30 から 80 メートル) にわたりマルチモードファイバリンク 44 を介し接続される。スイッチ/ルータ 46 は、LAN 48 に接続される。

10

#### 【0011】

LAN 30 は、サーバ 32、および、パソコン (PC) /ワークステーション 34 のようなサーバ、PC、または、ワークステーションとの接続性を提供する。同様に、LAN 48 は、サーバ 50、および、PC /ワークステーション 52 のようなサーバ、PC、または、ワークステーションとの接続性を提供する。サーバ 32 または 50 は、コンピューティング環境をサポートする特定の動作を提供する。それらは、さまざまなプリンタに接続されたプリントサーバ、テープドライブ、RAID (redundant array of inexpensive disks) のような大容量記憶装置に接続された記憶装置サーバ、ビデオ、オーディオまたはグラフィックのようなマルチメディアサービスを提供するメディアサーバ、または、特定の機能を有するいかなるサーバであってよい。各サーバは、一般的に、対応する LAN とのネットワーク接続性を有する 1 つ以上のネットワークインターフェースカード (NIC) を有する。

20

#### 【0012】

図 1 B は、本発明の一実施形態が実施されうるグラフィックシステム 60 を示す図である。グラフィックシステム 60 は、グラフィックコントローラ 65、メモリコントローラ 70、メモリ 80、ピクセルプロセッサ 85、ディスプレイプロセッサ 90、デジタル・アナログコンバータ (DAC) 95、および、ディスプレイモニタ 97 を有する。

30

#### 【0013】

グラフィックコントローラ 65 は、高速線描、二次元 (2-D) および三次元 (3-D) グラフィック描画機能、シェーディング、アンチエイリアシング、ポリゴン描画、透明効果、色空間変換、アルファブレンディング、彩度キーイングなどのグラフィック動作を実行するグラフィック能力を有するプロセッサである。メモリコントローラ (MC) 70 は、メモリ制御機能を実行する。MC 70 は、メモリアクセスを制御するアクセスコントローラ 75 を有してよい。アクセスコントローラ 75 は、タイル状および非タイル状メモリアクセスを含むメモリ 80 へのアクセス制御を提供する。メモリ 80 は、SRAM または DRAM メモリデバイスを含む。メモリデバイスは、N 個のサブチャネル  $82_0$  から  $82_N$  に編成されてよい。サブチャネル  $82_0$  から  $82_N$  は、アクセスコントローラ 75 と接続してよい。メモリデバイスは、グラフィックコントローラ 65 によって処理されるグラフィックデータを格納する。

40

#### 【0014】

ピクセルプロセッサ 85 は、幾何学的計算、アフィン変換、モデルビュープロジェクション、3-D クリッピングなどの特殊で複雑なグラフィック機能を実行できる特殊グラフィックエンジンである。ピクセルプロセッサ 85 は、メモリコントローラ 70 を介して、メモリ 80 および / またはグラフィックコントローラ 65 にアクセスする。ディスプレイプロセッサ 90 は、グラフィックデータの表示を処理し、パレットテーブルルックアップ、同期、バックライトコントローラ、ビデオ処理などのディスプレイ関連機能を実行する。DAC 95 は、デジタルディスプレイデジタルデータをディスプレイモニタ 97 へのアナログビデオ信号に変換する。ディスプレイモニタ 97 は、表示用スクリーンにグラフィ

50

ック情報を表示するディスプレイモニタである。ディスプレイモニタは、ブラウン管（CRT）モニタ、テレビ（TV）セット、液晶ディスプレイ（LCD）、フラットパネル、または、デジタルCRTであってよい。

【0015】

図1Cは、本発明の一実施形態が実施されうるワークステーション34/52を示す図である。ワークステーション34/52は、プロセッサユニット110、メモリコントローラ（MC）120、メモリ130、入力/出力コントローラ（IOC）140、インターコネクト145、大容量記憶インターフェース150、入力/出力（I/Oデバイス147<sub>1</sub>から147<sub>k</sub>）、および、ネットワークインターフェースカード（NIC）160を有してよい。ワークステーション34/52は、上記構成要素をほぼ有するとみてよい。

10

【0016】

プロセッサ110は、ハイパースレッディング、セキュリティ、ネットワーク、デジタルメディアテクノロジー、シングルコアプロセッサ、マルチコアプロセッサ、組み込みプロセッサ、モバイルプロセッサ、マイクロコントローラ、デジタルシグナルプロセッサ、スーパーカラーコンピュータ、ベクトルプロセッサ、単一命令多重データ（SIMD）コンピュータ、複雑命令セットコンピュータ（CISC）、縮小命令セットコンピュータ（RISC）、超長命令語（VLW）を用いるプロセッサのようないかなるタイプのアーキテクチャ、または、ハイブリッドアーキテクチャのCPUを表す。

20

【0017】

MC120は、メモリ130およびIOC140のようなメモリおよび入力/出力デバイスの制御および設定を提供する。MC120は、グラフィック、メディア、単独実行モード、ホストと周辺バスとのインターフェース、メモリ制御、パワーマネジメントなどの多数の機能を集積したチップセットに集積されてよい。MC120、または、MC120におけるメモリコントローラの機能は、プロセッサユニット110に集積されてよい。いくつかの実施形態では、プロセッサユニット110の内部または外部にあるメモリコントローラは、プロセッサユニット110におけるすべてのコアまたはプロセッサに対して機能しうる。他の実施形態では、プロセッサユニット110における異なるコアまたはプロセッサに対して個別に機能しうる別々の部分を含んでよい。MC120は、メモリ130へのアクセスを制御するアクセスコントローラ125を有してよい。アクセスコントローラ125は、1つのメモリアクセスを、タイル状および非タイル状メモリアクセスへと動的に設定することができる。

30

【0018】

メモリ130は、システムコードおよびデータを格納する。メモリ130は、一般的に、DRAM（ダイナミックRAM）、SRAM（スタティックRAM）、または、リフレッシュされる必要がないタイプを含めた他のいかなるタイプのメモリであってよい。メインメモリ130は、図1Bに示されたメモリ80に用いられるものと同様の、DRAMのようなメモリデバイスの複数のチャンネルを有してよい。DRAMは、毎秒8.5ギガバイト（GB/s）の帯域幅を有するメモリデバイスを含んでよい。DRAMは、SDRAM（シンクロナスDRAM）、SDR（Single Data Rate）SDRAM、EDO（Extended Data Out）DRAM、DDR（Double Data Rate）SDRAM、DDR2（Double Data Rate Two）SDRAM、RDRAM（Rambus DRAM）、XDR（Extreme Data Rate）、または、XDR IIであってよい。RDRAMおよびXDRは、Rambus社の登録商標である。DDRは、クロックの立上りおよび立下りエッジの両方でデータを転送することによって転送速度を2倍にし、DIMM（Dual In Line Memory Module）にパッケージされてよい。これによって、フロントサイドバス（FSB）の周波数を上げずに転送速度を効果的に2倍にする。DDR2は、オンダイターミネーションなどのさまざまな技法を用いてデータレートを高めることにより、チップ、プリフェッチバッファ、および、オフチップドライバにおける過剰な信号ノ

40

50



イズを除去する。オフチップドライバは、キャリブレーション技術を用いてデータストロープ間の差を校正してよい。キャリブレーションにより、バッファインピーダンスに対するランプ電圧が最適化され、その結果、立上りおよび立下りエッジにおけるオーバーシュートおよびアンダーシュートを抑制する。XDRまたはXDR IIは、計測可能な高速ポイントツーポイント双方向データ信号に対してはDRSL (Differential Rambus Signaling Levels)を用い、複数のデバイスへのソース同期バスアドレスおよびコマンド信号に対してはRSL (Rambus Signaling Level)を用いる。メモリ130で用いられるメモリデバイスは、100MHz、133MHz、166MHz、266MHz、333MHz、400MHz、1GHzまたは、8GHzまでの計測可能ないかなる適切なクロック周波数で動作してよい。これらは、BGA (Ball Grid Array)、DIMM、スティックまたはモジュールを含むいかなるパッケージング技術でパッケージされてよい。一実施形態では、メモリ130は、N個のサブチャネル132<sub>0</sub>から132<sub>N</sub>を有する。N個のサブチャネル132<sub>0</sub>から132<sub>N</sub>のそれぞれは、1つ以上のメモリデバイスに対応してよい。N個のサブチャネル132<sub>0</sub>から132<sub>N</sub>は、アクセスコントローラ125と接続してよい。

10

20

30

40

50

**【0019】**

グラフィックプロセッサ135は、グラフィック機能を提供するプロセッサである。グラフィックプロセッサ135は、MC120に一体化されることにより、GMC (Graphics and Memory Controller)を形成してよい。グラフィックプロセッサ135は、グラフィックコントローラ用に設定されたAGP (Accelerated Graphics Port)またはPCI Expressポートのようなグラフィックポートを介し、MC120と接続するGPA (Graphics Performance Accelerator)カードのようなグラフィックカードであってよい。グラフィックプロセッサ135は、プログレッシブスキャンモニタ、TV-Outデバイス、および、TMDS (Transition Minimized Differential Signaling)コントローラなどのディスプレイモニタ137へのインターフェースを提供する。ディスプレイモニタ137は、CRT (ブラウン管)モニタ、テレビセット、液晶ディスプレイ (LCD)、フラットパネル、および、デジタルCRTなどのいかなるディスプレイデバイスであってよい。

**【0020】**

IOC140は、I/O機能をサポートするよう設計された多数の機能性を有する。IOC140は、MC120と共にチップセットに集積されるか、または、MC120とは独立してI/O機能を実行してよい。IOC140は、PCI (peripheral component interconnect)バスインターフェース、プロセッサインターフェース、割り込みコントローラ、DMA (ダイレクトメモリアクセス)コントローラ、パワーマネジメントロジック、タイマ、SMBus (システムマネジメントバス)、USB (universal serial bus)インターフェース、大容量記憶インターフェース、LPC (ローピンカウント)インターフェース、無線インターコネク、DMI (direct media interface)などの多数のインターフェースおよびI/O機能を含んでよい。

**【0021】**

インターコネク145は、周辺デバイスとのインターフェースを提供する。インターコネク145は、ポイントツーポイントであってよく、または、複数のデバイスに接続されてよい。明確にする目的からすべてのインターコネクを示してはいない。インターコネク145は、いかなるインターコネク、または、PCI (Peripheral Component Interconnect)、PCI Express、USB (Universal Serial Bus)、SCSI (Small Computer System Interface)、シリアルSCSI、および、DMI (Direct Media Interface)などのバスを含むこともあると考えられる。

## 【0022】

大容量記憶インターフェース150は、コード、プログラム、ファイル、データ、および、アプリケーションのようなアーカイブ情報を格納する大容量記憶装置と接続する。大容量記憶インターフェースは、SCSI、シリアルSCSI、ATA (Advanced Technology Attachment) (パラレルおよび/またはシリアル)、IDE (Integrated Drive Electronics)、拡張IDE、ATAPI (ATA Packet Interface) などを含んでよい。大容量記憶装置は、CD-ROM152、DVD153、フロッピー (登録商標) ドライブ154、ハードドライブ155、テープドライブ156、および、他のいかなる磁気または光記憶装置を含んでよい。大容量記憶装置は、マシンアクセス可能媒体を読み取るメカニズムを提供する。

10

## 【0023】

I/Oデバイス147<sub>1</sub>から147<sub>k</sub>は、I/O機能を実行するI/Oデバイスを含む。I/Oデバイス147<sub>1</sub>から147<sub>k</sub>の例は、入力デバイス (例えば、キーボード、マウス、トラックボール、ポインティングデバイスなど)、メディアカード (オーディオ、ビデオ、グラフィックなど)、ネットワークカードのためのコントローラ、および、他のいかなる周辺コントローラを含む。

## 【0024】

NIC160は、ワークステーション34/52へのネットワーク接続性を提供する。NIC160は、通信トランザクション処理の一部としての割り込みを生じさせる可能性がある。一実施形態では、NIC160は、32ビットおよび64ビットのPCI (peripheral component interconnect) バス規格の両方と互換性がある。一般的に、NIC160は、PCIローカルバス改訂版2.2、PCI-Xローカルバス改訂版1.0、または、PCI-Express規格と互換性がある。処理システム内には複数のNIC160が存在してよい。一般的に、NIC160は、標準的なイーサネット (登録商標) 最小および最大フレームサイズ (64から1518バイト) フレームフォーマット、および、IEEE (米国電気電子学会) 802.2 LLC (Local Link Control) 仕様をサポートする。NIC160は、また、全二重ギガビットイーサネット (登録商標) インターフェース、フレームベースフローコントロール、および、ワイヤードイーサネット (登録商標) の物理層およびデータリンク層を規定する他の規格もサポートしてよい。NIC160は、IEEE 802.3abにより規定される銅線ギガビットイーサネット (登録商標)、または、IEEE 802.3zにより規定される光ファイバギガビットイーサネット (登録商標) をサポートしてよい。

20

30

## 【0025】

NIC160は、SCSI (Small Computer System Interface) ホストアダプタ、または、FC (Fiber Channel) ホストアダプタのようなホストバスアダプタ (HBA) であってもよい。SCSIホストアダプタは、ボード上のハードウェアおよびファームウェアを含み、SCSIトランザクション、または、アダプタBIOS (Basic Input/Output System) を実行してSCSIデバイスからブートするか、または、SCSIホストアダプタを設定してよい。FCホストアダプタは、ファイバチャネルバスと接続するよう利用されてよい。NIC160は、1ギガビット/秒のFC-SAN (Fiber Channelのストレージエリアネットワーク) との自動高速ネゴシエーションにより高速 (2ギガビット/秒) で動作してよい。NIC160は、適切なファームウェアまたはソフトウェアによってサポートされることにより、ローカルおよびリモートHBAのディスカバリ、レポート、および、管理に対して帯域内FCまたは帯域外インターネットプロトコル (IP) サポートの両方を提供してよい。NIC160は、フレームレベル多重化および故障フレーム再構築、ファブリックサポート用オンボードコンテキストキャッシュ、および、ハードウェアパリティおよびCRC (巡回冗長符号) サポートによるエンドツーエンドのデータ保護

40

50

を有してよい。

【0026】

図2Aは、本発明の一実施形態に係るタイル状メモリアクセス200Aを示す図である。タイル状メモリアクセス200Aは、メモリの矩形領域205を含む。矩形領域205は、メモリブロックのメモリアドレス指定の論理表現である。タイル状メモリアクセス200Aは、P列およびQ行からなる二次元配列として編成される多数のメモリブロックを含む。図示された例では、Pが4つ、および、Qが4つである。各ブロックは、バイト数を有してよい。この例では、各ブロックは、16バイトを含む。当業者であれば知っているように、矩形領域205は、行と列との数が同じであれば、いかなる数の行および列によるいかなる数のブロックを有してよい。さらに、各ブロックは、いかなるバイト数を有してよい。

10

【0027】

メモリのアドレス指定はバイト指向なので、連続したブロックのアドレスは、16または000010Hずつずれていく。ただし、Hは、16進表記を示す。以下では、アドレスは、16進表記である。矩形領域205は、4×4の二次元(2-D)配列で編成された16の連続するブロックを有する。この4×4の2-D配列をタイルと称する。第1のブロックのアドレスを000とすると、以降のブロックのアドレスは、図に示すように010、020、030、040などとなる。

【0028】

領域205は、64バイトのメモリアクセスに対してよい。これは、4つのキャッシュラインに対応する。メモリアクセスには2つのタイプがあり、一方はタイル状メモリアクセス、もう一方は、非タイル状メモリアクセスである。典型的な非タイル状メモリアクセスでは、8つの隣り合ってアドレス指定された8バイトブロックが1つずつ転送される。本発明のタイル状メモリアクセスでは、隣り合ってアドレス指定されたバイトは、連続的にアドレス指定されない。タイル状メモリアクセスは、2つのタイプを有し、一方は、水平のタイル状メモリアクセス、もう一方は、垂直のタイル状メモリアクセスである。本質的には、非タイル状メモリアクセスと、水平のタイル状メモリアクセスとの相違は、サブチャンネルにおけるデータの分布の仕方にある。非タイル状メモリアクセスのバイト順と、タイル状メモリアクセスのバイト順とは異なる。タイル状領域にアクセスするアプリケーションは、バイト順がしかるべく並べ替えられる限り、非タイル状アクセスを使用してよい。

20

30

【0029】

メモリ領域205では、水平アクセス210、および、垂直アクセス220という2つのタイプのメモリアクセスが存在する。水平アクセス210は、4つの水平アクセス212、214、216、218を含む。それぞれの水平アクセスは、1×64バイトブロックに対応する。水平アクセス210は、単一のスキャンラインのピクセル値を示すデータが連続してアクセスされるディスプレイリフレッシュのようなメモリ動作に適するかもしれない。垂直アクセス220は、4つの垂直アクセス222、224、226、228を含む。各アクセスは、4×16バイトブロックに対応する。垂直アクセスパターンは、レンダリングなどのグラフィックまたはイメージング動作に適するかもしれない。

40

【0030】

図2Bは、本発明の一実施形態に係るメモリサブチャンネルを有するタイル状メモリアクセス200Bを示す図である。タイル状メモリアクセス200Bは、メモリ245の領域と、メモリのサブチャンネルとを含んでよい。サブチャンネルは、矩形領域205のような1ブロックまたはタイル状の複数のブロックに対応するよう割り当てられるメモリデバイスの論理的区分である。説明を簡単にすべく、矩形領域205は、N個のサブチャンネル250、251、252、254に割り当てられるN×Nブロックに分割される四角い領域であってよい。各サブチャンネルにおける物理的メモリデバイスの数は、メモリデバイスの構成と、矩形領域205におけるブロックのサイズとに依存する。例えば、各デバイスが1バイト幅で編成され、各ブロックが2バイトを含み、4×4ブロックが存在する場合、4

50

つのサブチャンネルが存在し、各サブチャンネルは、2つのメモリデバイスに対応してよい。

【0031】

メモリ245のタイル状領域は、4×4ブロックに分割されてよい。ブロックは、行または列が異なるサブチャンネル割り当てを含みうるようにサブチャンネルに対して割り当てられてよい。各行は、各サブチャンネルに割り当てられたメモリブロックを含んでよく、各列も、各サブチャンネルに割り当てられたメモリブロックを含んでよい。この例では、4つのサブチャンネル250、251、252、253は、図のように、垂直方向および水平方向にブロックに割り当てられる。タイル状メモリアクセス200Bは、水平のタイル状メモリアクセス260と、垂直のタイル状メモリアクセス270とを含んでよい。水平のタイル状メモリアクセス260は、水平のタイル状メモリアクセス262、264、266、268を含んでよい。それぞれのメモリアクセスは、メモリブロックを水平方向にアクセスする。同様に、垂直のタイル状メモリアクセス270は、垂直のタイル状メモリアクセス272、274、276、278を含んでよい。それぞれのメモリアクセスは、メモリブロックを垂直方向にアクセスする。

10

【0032】

メモリ245のタイル状領域のブロックへのサブチャンネルの割り当ては、プロセッサ110から生成されたアドレスビットと、個々のサブチャンネルにおけるアドレスビットとの間のマッピングに影響を及ぼすことがある。以下では、プロセッサ110またはメモリコントローラ120によって生成されたアドレスビットは、32ビットアドレス範囲および16バイトデータについてビットA31 - A4を含むと仮定する。当業者に知られているように、いかなるアドレス範囲およびいかなるデータサイズを用いてもよい。

20

【0033】

タイル状ブロック245に示されるマッピングは、以下のとおりである。

・サブチャンネル0は、ブロック000 - 00F、090 - 09F、060 - 06F、0F0 - 0FFに割り当てられる。

・サブチャンネル1は、ブロック040 - 04F、0D0 - 0DF、020 - 02F、0B0 - 0BFに割り当てられる。

・サブチャンネル2は、ブロック080 - 08F、010 - 01F、0E0 - 0EF、070 - 07Fに割り当てられる。

・サブチャンネル3は、ブロック0C0 - 0CF、050 - 05F、0A0 - 0AF、030 - 03Fに割り当てられる。

30

【0034】

各行および各列がサブチャンネルのそれぞれに割り当てられたブロックを含む限り、他のマッピングまたは割り当てが用いられてよいことに留意されたい。

【0035】

サブチャンネルは、サブチャンネル識別子によって識別されてよい。4つのサブチャンネルに対し、サブチャンネル識別子は、SC1とSC0との2ビットを含んでよい。各16バイトブロックがマッピングされるサブチャンネルは、16バイトブロックのベースアドレスの論理関数であってよい。上記マッピングでは、このような関数は、XOR（排他的論理和）関数である。この関数を用い、サブチャンネル識別子のビットは、以下のようなアドレスビットA7 - A4の関数として定義されてよい。

40

$$SC1 = A4 \quad XOR \quad A7 \quad (1a)$$

$$SC0 = A5 \quad XOR \quad A6 \quad (1b)$$

【0036】

これらの方程式は、上記割り当てまたはマッピングに適用できることに留意されたい。他の割り当てまたはマッピングに対しては、異なる方程式が存在しうる。あるいは、アドレスビットがA5 - A4、および、対応するサブチャンネル識別子ビットがSC1およびSC0とすると、アドレスビットA7 - A6が得られる。上記割り当てまたはマッピングについては、垂直のタイル状メモリアクセスに対してアドレスビットA7 - A6は以下のように得られる。

50

$A7 = A4 \text{ XOR } SC1$  (2a)

$A6 = A5 \text{ XOR } SC0$  (2b)

【0037】

図3Aは、本発明の一実施形態に係る、図1B/1Cに示されたアクセスコントローラ75/125を示す図である。アクセスコントローラ75/125は、データステアリング回路310、デコーディング回路320、アドレス前スイズル回路330、アドレス後スイズル回路335<sub>0</sub>から335<sub>3</sub>、および、サブチャネルインターフェース340<sub>0</sub>から340<sub>3</sub>を有する。この例示的实施形態では、データ転送350として示される、サブチャネル間におけるそれぞれ8バイトの8つの転送があると仮定する。それらの転送は、64バイトの転送360に対応する。アドレス前スイズル回路330は、アクセスコントローラ75/125の内部にあってよく、または、アクセスコントローラ75/125の外部にあるタイル状メモリアクセスを要求する構成要素内に配置されてよい。

10

【0038】

水平のタイル状メモリアクセス、または、非タイル状メモリアクセスでは、アドレスビットA7-A6は、アクセスされるべきタイル内の行を符号化する。垂直のタイル状メモリアクセスでは、アドレスビットA5-A4は、アクセスされるべき列を符号化する。アドレス前スイズル回路330は、垂直のアクセスでアクセスされるべき列のスペックの一実施形態を示す。この実施形態では、アドレスビットA6およびA7は、垂直アクセスの間は、アドレスビットA5およびA4とそれぞれ置き換え可能である。

20

【0039】

タイル状メモリアクセスは、図2Bに示すような水平および垂直のタイル状メモリアクセスを含む。アクセス制御信号は、タイル状メモリアクセスを選択するタイル状制御信号(TILED)と、タイル状制御信号がアサートされた場合、垂直のタイル状メモリアクセスを選択する垂直制御信号(VERT)とを含む。TILEDが無効にされるかまたはデアサートされると、VERTは、無視される。

30

【0040】

デコーディング回路320は、アクセス制御信号TILEDおよびVERTを復号化する。TILEDおよびVERTの一方がデアサートされる(例えば論理0になる)と、デコーディング回路320の出力VERT'は、非タイル状または水平のタイル状メモリアクセスモードを有効にする。TILEDおよびVERTがどちらもアサートされる(例えば論理1になる)と、デコーディング回路320の出力VERT'は、垂直のタイル状アクセスモードを有効にする。一実施形態では、デコーディング回路320は、ANDゲートによって実装されてよい。

40

【0041】

データステアリング回路310は、アクセス制御信号に従い、データステアリングのための設定を選択する。データステアリング回路310は、メモリアクセスタイプが非タイル状メモリアクセス、水平のタイル状メモリアクセス、または、コンディショニングアドレスビットの第1組の値を有する垂直のタイル状メモリアクセスである場合には、第1の設定を選択する。コンディショニングアドレスビットは、アクセスタイプに従うメモリ構成に影響を与えるべく用いられるアドレスビットである。この例示的实施形態では、コンディショニングアドレスビットは、A7およびA6である。データステアリング回路310は、メモリアクセスタイプがコンディショニングアドレスビットの他の値の組を有する垂直のタイル状メモリアクセスである場合には、3つの設定のうちの1つを選択する。

50

【0042】

アドレス後スイズル回路335<sub>0</sub>から335<sub>3</sub>は、N個のサブチャネルインターフェース340<sub>0</sub>から340<sub>3</sub>に結合され、アクセス制御信号およびサブチャネル識別子に従い、N個のサブチャネルへのサブチャネルアドレスビットを生成する。この例示的实施形態では、アドレスラインは、A31-A6と仮定する。これらのアドレスビットは、プロセッサユニット110、グラフィックコントローラ65、または、MC70/120によって発行される。アドレスビットA31-A8は、サブチャネルインターフェース340

60

0 から 3 4 0<sub>3</sub> までを介し、変更されずにメモリサブチャンネルまで直接送られる。アドレスビット A 7 - A 6 は、個別のサブチャンネルへの適切なアドレスビットを生成するために用いられる。サブチャンネル識別子は、コンフィギュレーションレジスタに格納されてよく、各サブチャンネルに対して固有である。一実施形態では、サブチャンネル識別子は、P ビットを含み、ただし、 $P = \log_2(N)$  であり、N は、サブチャンネルの数である。例えば、図 3 A に示すように P = 4 である場合、サブチャンネル識別子は、SC 1 と SC 0 との 2 ビットを含む。したがって、サブチャンネルインターフェース 3 4 0<sub>0</sub> から 3 4 0<sub>3</sub> までは、値 0 0、0 1、1 0、1 1 をそれぞれ有するサブチャンネル識別子ビット SC 1 および SC 0 に関連付けられる。

#### 【0043】

サブチャンネルインターフェース 3 4 0<sub>0</sub> から 3 4 0<sub>3</sub> までは、図 1 B / 1 C に示すサブチャンネル 8 2<sub>0</sub> から 8 2<sub>N</sub> / 1 3 2<sub>0</sub> から 1 3 2<sub>3</sub> のようなメモリ 8 0 / 1 3 0 の対応するサブチャンネルと接続する。上述のごとく、サブチャンネル 8 2<sub>0</sub> から 8 2<sub>N</sub> / 1 3 2<sub>0</sub> から 1 3 2<sub>3</sub> は、メモリのタイル状領域のブロックに割り当てられる、メモリ 8 0 / 1 3 0 におけるメモリデバイスの論理的分割である。サブチャンネルインターフェース 3 4 0<sub>0</sub> から 3 4 0<sub>3</sub> までのそれぞれは、1 つのサブチャンネル識別子に関連付けられる。

#### 【0044】

図 3 B は、本発明の一実施形態に係るアクセスコントローラ 7 5 / 1 2 5 を用いる垂直のタイル状メモリアクセスを示す図である。垂直のタイル状転送では、TILE D および VERT の両方がアサートされる。デコーディング回路 3 2 0 の出力 VERT' もアサートされる。アドレス前スイズル回路 3 3 0 は、アクセスされるべき列番号をアドレスライン A 7 - A 6 に設定する。アドレス後スイズル回路 3 3 5<sub>0</sub> から 3 3 5<sub>3</sub> は、アドレスビット A 7 - A 6 を復号化し、サブチャンネルインターフェース 3 4 0<sub>0</sub> から 3 4 0<sub>3</sub> までを介して、個別のサブチャンネルへのアドレスビット A 7 - A 6 を生成する。アドレス前スイズル回路 3 3 0、および、アドレス後スイズル回路 3 3 5<sub>0</sub> から 3 3 5<sub>3</sub> は、図 4 および図 5 にそれぞれ示されている。

#### 【0045】

垂直のタイル状メモリアクセスでは、VERT' 信号およびアドレスビット A 7 - A 6 は、データステアリング回路 3 1 0 についての 4 つの設定のうちの一つを選択する。4 つの設定のうちの一つは、恒等置換マッピングに対応する。他の 3 つの設定は、非恒等置換マッピングに対応する。水平のタイル状メモリアクセスおよび非タイル状メモリアクセスにおいて用いられるマッピングとは異なるのであれば、他のいかなるマッピングが用いられてよいことに留意されたい。データステアリング回路 3 1 0 の 4 つの設定は図 6 A に示されている。

#### 【0046】

アドレス前スイズル回路 3 3 0 は、4 つの 4 垂直アドレスに対応する 4 つのサブチャンネル 3 4 0<sub>0</sub> から 3 4 0<sub>3</sub> に対して 2 つのアドレスビット AD 7 - AD 6 を生成する。アドレスビット A 3 1 - A 8 はそのまま通過され、各サブチャンネルにおけるアドレス後スイズル回路 3 3 5<sub>0</sub> から 3 3 5<sub>3</sub> によって復号化された AD 7 - AD 6 と組み合わせられることにより、4 つのサブチャンネルに対して完全なアドレスビットが提供される。

#### 【0047】

データ転送 3 5 0 は、8 つの転送を含む。各転送は、メモリにおけるタイル状領域の垂直の列に対応する。データ転送は、6 4 バイト転送 3 6 0 に対応するよう、データステアリング回路 3 1 0 を介して行われる。TILE D 信号は、行単位で行われる 6 4 バイト転送のアクセスを選択する。すなわち、6 4 バイト転送が 8 × 8 バイトアレイであり、アレイの第 1 の行が転送の最初の 8 バイトであるとみなすと、第 2 の行は、転送の 2 番目の 8 バイト、などと考えられ、このような一対の行が各サブチャンネルに送られる。

#### 【0048】

図 3 C は、本発明の一実施形態に係る、アクセスコントローラ 7 5 / 1 2 5 を用いた水平のタイル状メモリアクセスを示す図である。水平のタイル状転送では、VERT は無効

10

20

30

40

50

にされるかデアサートされる。デコーディング回路 3 2 0 の出力である V E R T ' も無効にされるかデアサートされる。アドレス前スイズル回路 3 3 0 は、アクセスされるタイルの行を示すアドレスビット A 7 - A 6 をそのまま変更せずにしておく。アサートされた V E R T 信号は、サブチャンネルインターフェース 3 4 0<sub>0</sub> から 3 4 0<sub>3</sub> を介し、アドレスビット A 7 および A 6 を変更なしで個々のサブチャンネルへ送るよう、アドレス後スイズル回路 3 3 5<sub>0</sub> から 3 3 5<sub>3</sub> を調整する。

【 0 0 4 9 】

水平のタイル状メモリアクセスでは、V E R T ' 信号は、データステアリング回路 3 1 0 について第 1 の設定を選択する。第 1 の設定は、恒等置換マッピングに対応する。図 3 C に示された例では、この恒等置換マッピングは、サブチャンネル側のポート番号 0、1、2、3 をプロセッサ側のポート番号 0、1、2、3 にそれぞれマッピングする。

10

【 0 0 5 0 】

データ転送 3 5 0 は、8 つの転送を含む。各転送は、メモリにおけるタイル状領域の水平の行に対応する。データ転送は、6 4 バイト転送 3 6 0 に対応するよう、データステアリング回路 3 1 0 を介して行われる。T I L E D 信号は、行単位で行われる 6 4 バイト転送のアクセスを選択する。すなわち、6 4 バイト転送が 8 × 8 バイトアレイであるとみなし、アレイの第 1 の行は転送の最初の 8 バイトであるとみなす場合、第 2 の行は、転送の 2 番目の 8 バイトである、などと考えられ、このような一対の行が各サブチャンネルに送られる。

【 0 0 5 1 】

図 3 D は、本発明の一実施形態に係る、アクセスコントローラ 7 5 / 1 2 5 を用いた非タイル状メモリアクセスを示す図である。非タイル状転送では、T I L E D は、無効にされるかデアサートされる。デコーディング回路 3 2 0 の出力である V E R T ' も無効にされるかデアサートされる。アドレス前スイズル回路 3 3 0 は、アクセスされるタイルの行を示すアドレスビット A 7 - A 6 をそのまま変更せずにしておく。V E R T 信号は、サブチャンネルインターフェース 3 4 0<sub>0</sub> から 3 4 0<sub>3</sub> を介し、アドレスビット A 7 - A 6 を変更なしで個々のサブチャンネルへ送るよう、アドレス後スイズル回路 3 3 5<sub>0</sub> から 3 3 5<sub>3</sub> を調整する。

20

【 0 0 5 2 】

非タイル状メモリアクセスでは、V E R T ' 信号は、データステアリング回路 3 1 0 について第 1 の設定を選択する。第 1 の設定は、恒等置換マッピングに対応する。図 3 D に示された例では、この恒等置換マッピングは、サブチャンネル側のポート番号 0、1、2、3 をプロセッサ側のポート番号 0、1、2、3 にそれぞれマッピングする。

30

【 0 0 5 3 】

データ転送 3 5 0 は、8 つの転送を含む。各転送は、メモリにおけるタイル状領域の水平の行に対応する。データ転送は、6 4 バイト転送 3 6 0 に対応するよう、データステアリング回路 3 1 0 を介して行われる。T I L E D 信号は、列単位で行われる 6 4 バイト転送のアクセスを選択する。すなわち、6 4 バイト転送が 8 × 8 バイトアレイであるとみなし、アレイの第 1 の行は転送の最初の 8 バイトであるとみなす場合、第 2 の行は、転送の 2 番目の 8 バイトである、などと考えられ、そのアレイからの一対の列が各サブチャンネルに送られる。

40

【 0 0 5 4 】

図 4 は、本発明の一実施形態に係る、図 3 A に示されるアドレス前スイズル回路 3 3 0 を示す図である。

【 0 0 5 5 】

本質的には、アドレス前スイズル回路 3 3 0 は、アクセス制御信号に基づき、最下位 K 共通アドレスビットを復号化してアドレスビット回路 A 7 - A 6 にそれぞれ対応するアドレスビット A D 7 - A D 6 にするデコーダを有する。図 3 A に示される例では、アドレス前スイズル回路 3 3 0 は、4 つのアドレスビット A 7 - A 4 を含む最下位 4 アドレスビット A 3 1 - A 4 を復号化し、アドレスビット A D 7 - A D 6 をアドレス後スイズル

50

回路 335<sub>0</sub> から 335<sub>3</sub> に供給する。

【0056】

アドレス前スイズル回路 330 は、2つの2対1マルチプレクサ 410 および 420 を有する。マルチプレクサ 410 への入力は、アドレスビット A7 および A4 である。マルチプレクサ 420 への入力は、アドレスビット A5 および A6 である。マルチプレクサのどちらも VERT' 信号によって選択される。VERT' 信号が LOW の場合は、メモリアクセスが非タイル状メモリアクセスかまたは水平のタイル状アクセスであることを示し、マルチプレクサ 410 および 420 は、A7 および A6 に対応する 0 入力をそれぞれ選択する。VERT' 信号が HIGH の場合は、メモリアクセスが垂直のタイル状メモリアクセスであることを示し、マルチプレクサ 410 および 420 は、A4 および A5 に対応する 1 入力をそれぞれ選択する。したがって、アドレス前スイズル回路 330 は、メモリアクセスが非タイル状または水平のタイル状アクセス、あるいは、垂直のタイル状メモリアクセスかどうかによって、A7 - A6 または A4 - A5 というようにアドレスビット AD7 および AD6 を提供する。

10

【0057】

図 5 は、本発明の一実施形態に係る、図 3A に示されたアドレス後スイズル回路 335<sub>i</sub> (i = 0, ... 3) を示す。本実施形態では、サブチャネルインターフェース 340<sub>0</sub> から 340<sub>3</sub> にサブチャネル識別子が設けられてよい。サブチャネルインターフェース 340<sub>0</sub> から 340<sub>3</sub> は、インターフェース回路においてローカルにサブチャネル識別子 (例えば SC<sub>1</sub> および SC<sub>0</sub> ビット) を設けてよい。インターフェース回路は、MC120 の内部にあっても外部にあってもよい。他の実施形態では、サブチャネル識別子は、初期化またはブートアップシーケンスの間の設定手順の一部として、コンフィギュレーションレジスタに設けられてよい。

20

【0058】

アドレス後スイズル回路 335<sub>i</sub> は、N 個のサブチャネルデコーダ 520<sub>0</sub> から 520<sub>N-1</sub> を有してよく、この場合、N は、サブチャネルの数を示す。N 個のサブチャネルデコーダ 520<sub>0</sub> から 520<sub>N-1</sub> は、本質的に同じである。N 個のサブチャネルデコーダ 520<sub>0</sub> から 520<sub>N-1</sub> それぞれへの入力は、アドレス前スイズル回路 330 の AD7 - AD6 ビット、および、サブチャネル識別子ビット、すなわち、対応するサブチャネルにおける SC<sub>1</sub> および SC<sub>0</sub> である。N 個のサブチャネルデコーダ 520<sub>0</sub> から 520<sub>N-1</sub> の出力は、サブチャネルのメモリデバイスに供給されるべきアドレスビット A7 - A6 である。N = 4 の場合、サブチャネルのメモリデバイスに供給されるべき A7 - A6 ビットは 4 グループ存在する。

30

【0059】

N 個のサブチャネルデコーダのそれぞれは、アクセス制御信号 (TILED、VERT など)、および、対応するサブチャネル識別子 (SC<sub>1</sub> および SC<sub>0</sub> など) に基づき、K 個のサブチャネルアドレスビット (A7 - A6 ビット) を生成する (N = 2<sup>K</sup>)。説明を簡潔にすべく、すべてのサブチャネルデコーダは示していない。サブチャネルデコーダ 520<sub>0</sub> は、2つの XOR ゲート 532<sub>0</sub> および 534<sub>0</sub> と、2つの2対1マルチプレクサ 542<sub>0</sub> および 544<sub>0</sub> とを有する。2つの XOR ゲート 532<sub>0</sub> および 534<sub>0</sub> は、サブチャネル 0 において、AD7 - AD6 ビットと、サブチャネル識別子ビット SC<sub>1</sub><sub>0</sub> および SC<sub>0</sub><sub>0</sub> とに対して XOR 演算を実行する。マルチプレクサへの入力 0 は、AD7 - AD6 ビットである。マルチプレクサ 536 への入力 1 は、XOR ゲート 532<sub>0</sub> および 534<sub>0</sub> の出力である。サブチャネルデコーダ 520<sub>0</sub> は、本質的に、方程式 (2a) および (2b) によって提供される論理関数を実装する。他のサブチャネルデコーダも同様の構成要素を有する。例えば、サブチャネルデコーダ 520<sub>3</sub> は、XOR ゲート 532<sub>3</sub> および 534<sub>3</sub> と、2対1のマルチプレクサ 534<sub>3</sub> とを有する。サブチャネルデコーダ 520<sub>3</sub> は、アドレス A7 - A6 をサブチャネル 3 340<sub>3</sub> に供給する。

40

【0060】

VERT' 信号は、すべてのマルチプレクサ 542<sub>0</sub> および 544<sub>0</sub> の選択入力に接続

50



される。VERT'が無効にされるかまたはデアサートされる場合は、メモリアクセスタイプが水平のタイル状メモリアクセスまたは非タイル状メモリアクセスであることを示し、マルチプレクサ542<sub>0</sub>および544<sub>0</sub>は、AD7 - AD6アドレスビットである0入力を選択し、これらは、元のアドレスビットA7 - A6と同じである。

【0061】

VERT'がアサートされる場合は、メモリアクセスタイプが垂直のタイル状メモリアクセスであることを示し、マルチプレクサ542<sub>0</sub>および544<sub>0</sub>は、XORゲート532<sub>0</sub>、534<sub>0</sub>、...532<sub>3</sub>、534<sub>3</sub>の出力に対応する1入力を選択する。XORゲート532<sub>0</sub>、...534<sub>3</sub>は、方程式(2a)および(2b)により提供されるような、サブチャネル識別子SC1<sub>0</sub>、SC0<sub>0</sub>、...、SC1<sub>3</sub>、SC0<sub>3</sub>と、元はアドレスビットA4 - A5であるアドレスビットAD7およびAD6との間でXOR演算を実行する。したがって、サブチャネル340<sub>0</sub>から340<sub>3</sub>に送られる、生成されたA7 - A6アドレスビットは、垂直のタイル状メモリアクセスについて適切に計算されたアドレスビットと一致する。

10

【0062】

図6Aは、本発明の一実施形態に係るデータステアリング回路310の設定600を示す図である。設定600は、設定またはマッピング610、620、630および640を含む。

【0063】

データステアリング回路310は、MC120のデータバスと接続し、MC120とプロセッサユニット110との間でのデータ転送を実行する。データステアリング回路310は、メモリにおけるN個のサブチャネルに接続し、アクセス制御信号と、N個のサブチャネルに関連付けられたサブチャネル識別子とに従い、タイル状および非タイル状メモリアクセスを含むメモリアクセスタイプのデータを動的に操作する。データステアリング回路310は、プロセッサ側のN個のポートとサブチャネル側のN個のポートとを接続するスイッチネットワークとして構成されてもよい。図6Aに示すように、これらのポートは、(0、1、2、3)と番号が付されている。したがって、スイッチの設定は、一方の側におけるポート数を示す一組の数から、他方の側のポート数を示す他の組の数へのマッピングと考えてよい。このマッピングは、置換関数とみなされてよい。

20

【0064】

設定610は、単一性置換であり、一方の側のポート0、1、2、3が他方の側のポート0、1、2、3にそれぞれマッピングされる。この設定は、非タイル状メモリアクセス、水平のタイル状メモリアクセス、および、アドレスビットAD7およびAD6がそれぞれ0に等しい垂直のタイル状メモリアクセスのそれぞれによって用いられる。

30

【0065】

設定620は、非単一性置換であり、一方の側のポート0、1、2、3が他方の側のポート1、0、3、2にそれぞれマッピングされる。この設定は、AD7が1に等しく、AD6が0に等しいアドレスビットを有する垂直のタイル状メモリアクセスによって用いられる。

【0066】

設定630は、非単一性置換であり、一方の側のポート0、1、2、3は、他方の側のポート2、3、0、1にそれぞれマッピングされる。この設定は、AD7が0に等しく、AD6が1に等しいアドレスビットを有する垂直のタイル状メモリアクセスによって用いられる。

40

【0067】

設定640は、非単一性置換であり、一方の側のポート0、1、2、3は、他方の側のポート3、2、1、0にそれぞれマッピングされる。この設定は、AD7およびAD6が1にそれぞれ等しいアドレスビットを有する垂直のタイル状メモリアクセスによって用いられる。

【0068】

50

図 6 B は、本発明の一実施形態に係るデータステアリング回路 3 1 0 を示す図である。データステアリング回路 3 1 0 は、双方向転送のための複数の回路を含む。説明を簡単にすべく、一方向についての回路のみを示す。この回路では、データ転送は、インポート 0、1、2、3 からアウトポート 0、1、2、3 へと行われる。これらの回路の 2 つが双方向転送を提供するよう用いられる場合、アウトポート 0、1、2、3 およびインポート 0、1、2、3 において必要に応じてトリステートバッファが用いられる。

【 0 0 6 9 】

データステアリング回路 3 1 0 は、X O R ゲート 6 5 2<sub>0</sub>、6 5 4<sub>0</sub>、6 5 2<sub>1</sub>、6 5 4<sub>1</sub>、6 5 2<sub>2</sub>、6 5 4<sub>2</sub>、6 5 2<sub>3</sub>、6 5 4<sub>3</sub> と、2 対 1 マルチプレクサ 6 6 2<sub>0</sub>、6 6 4<sub>0</sub>、6 6 3<sub>1</sub>、6 6 4<sub>1</sub>、6 6 2<sub>2</sub>、6 6 4<sub>2</sub>、6 6 2<sub>3</sub>、6 6 4<sub>3</sub> と、4 対 1 マルチプレクサ 6 7 0<sub>0</sub>、6 7 0<sub>1</sub>、6 7 0<sub>2</sub>、6 7 0<sub>3</sub> とを有する。X O R ゲート 6 5 2<sub>0</sub>、6 5 4<sub>0</sub>、6 5 2<sub>1</sub>、6 5 4<sub>1</sub>、6 5 2<sub>2</sub>、6 5 4<sub>2</sub>、6 5 2<sub>3</sub>、6 5 4<sub>3</sub> は、ハードコードされたサブチャネル識別子 0 0、0 1、1 0、1 1 を用いてアドレスビット A D 7 および A D 6 に対してそれぞれ X O R 演算を実行する。2 対 1 マルチプレクサ 6 6 2<sub>0</sub>、6 6 4<sub>0</sub>、6 6 3<sub>1</sub>、6 6 4<sub>1</sub>、6 6 2<sub>2</sub>、6 6 4<sub>2</sub>、6 6 2<sub>3</sub>、6 6 4<sub>3</sub> の入力を選択するために V E R T ' 信号が用いられる。図に示すように、4 対 1 マルチプレクサ 6 7 0<sub>0</sub>、6 7 0<sub>1</sub>、6 7 0<sub>2</sub>、6 7 0<sub>3</sub> の入力を選択するために 2 対 1 マルチプレクサ 6 6 2<sub>0</sub>、6 6 4<sub>0</sub>、6 6 3<sub>1</sub>、6 6 4<sub>1</sub>、6 6 2<sub>2</sub>、6 6 4<sub>2</sub>、6 6 2<sub>3</sub>、6 6 4<sub>3</sub> の出力を対にして用いる。

10

【 0 0 7 0 】

V E R T ' 信号が L O W の場合は、メモリアクセスタイプが非タイル状メモリアクセスまたは水平のタイル状メモリアクセスであることを示し、2 対 1 マルチプレクサ 6 6 2<sub>0</sub>、6 6 4<sub>0</sub>、6 6 3<sub>1</sub>、6 6 4<sub>1</sub>、6 6 2<sub>2</sub>、6 6 4<sub>2</sub>、6 6 2<sub>3</sub>、6 6 4<sub>3</sub> は、サブチャネル識別子 0 0、0 1、1 0、1 1 を選択する。4 対 1 マルチプレクサ 6 7 0<sub>0</sub>、6 7 0<sub>1</sub>、6 7 0<sub>2</sub>、6 7 0<sub>3</sub> の入力を選択するためにこれらの出力が用いられる場合、アウトポート 0、1、2、3 は、単一性置換マッピングに対応してインポート 0、1、2、3 にそれぞれマッピングされるという結果になる。

20

【 0 0 7 1 】

V E R T ' 信号が H I G H の場合は、メモリアクセスタイプが垂直のタイル状メモリアクセスであることを示し、2 対 1 マルチプレクサ 6 6 2<sub>0</sub>、6 6 4<sub>0</sub>、6 6 3<sub>1</sub>、6 6 4<sub>1</sub>、6 6 2<sub>2</sub>、6 6 4<sub>2</sub>、6 6 2<sub>3</sub>、6 6 4<sub>3</sub> は、X O R ゲートの出力を選択する。したがって、マッピングの結果は、アドレスビット A D 7 および A D 6 の値に基づく。

30

【 0 0 7 2 】

A D 7 および A D 6 が 0 0 である場合、X O R ゲートの出力は、0 0、0 1、1 0、1 1 となり、V E R T ' 信号が L O W である場合と同じになる。したがって、A D 7 および A D 6 が 0 0 の場合については、アウトポート 0、1、2、3 は、図 6 A に示されるような設定 6 1 0 で表された単一性置換マッピングに対応してインポート 0、1、2、3 にそれぞれマッピングされるという結果になる。

【 0 0 7 3 】

A D 7 および A D 6 が 0 1 の場合は、X O R ゲートの出力は、0 1、0 0、1 1 および 1 0 になる。したがって、A D 7 および A D 6 が 0 1 の場合については、アウトポート 0、1、2、3 は、図 6 A に示されるような設定 6 2 0 に対応し、インポート 1、0、3、2 にそれぞれマッピングされるという結果になる。

40

【 0 0 7 4 】

A D 7 および A D 6 が 1 0 の場合、X O R ゲートの出力は、1 0、1 1、0 0、0 1 になる。したがって、A D 7 および A D 6 が 1 0 の場合については、アウトポート 0、1、2、3 は、図 6 A に示されるような設定 6 3 0 に対応し、インポート 2、3、0、1 にそれぞれマッピングされるという結果になる。

【 0 0 7 5 】

A D 7 および A D 6 が 1 1 の場合、X O R ゲートの出力は、1 1、1 0、0 1、0 0 に

50

なる。したがって、A D 7 および A D 6 が 1 1 の場合については、アウトポート 0、1、2、3 は、図 6 A に示されるような設定 6 4 0 に対応し、インポート 3、2、1、0 にそれぞれマッピングされるという結果になる。

【 0 0 7 6 】

図 7 は、本発明の一実施形態に係るメモリにアクセスするプロセス 7 0 0 を示すフローチャートである。プロセス 7 0 0 は、リードアクセスを示すことに留意されたい。ライトアクセスも同様に得られてよい。

【 0 0 7 7 】

開始後、プロセス 7 0 0 は、アクセス制御信号に従いアドレスビットの調整を行う（ブロック 7 1 0）。アクセス制御信号は、T I L E D 制御信号がアサートされたとき、タイル状メモリアccessを選択するタイル状制御信号と、垂直のタイル状メモリアccessを選択する垂直の制御信号とを含んでよい。次に、プロセス 7 0 0 は、メモリにおける N 個のサブチャンネルに接続し、アクセス制御信号および調整済みアドレスビットに従い、タイル状および非タイル状メモリアccessを含むメモリアccessタイプのデータを動的に操作する（ブロック 7 2 0）。タイル状メモリアccessは、水平および垂直のタイル状メモリアccessを含む。

10

【 0 0 7 8 】

次に、プロセス 7 0 0 は、アクセス制御信号およびサブチャンネル識別子に従い、N 個のサブチャンネルに対するサブチャンネルアドレスビットを生成する（ブロック 7 3 0）。

【 0 0 7 9 】

次に、プロセス 7 0 0 は、メモリアccessがタイル状かどうかを決定する（ブロック 7 4 0）。そうであれば、プロセス 7 0 0 は、行単位でメモリにアクセスし（ブロック 7 5 0）、終了する。相でない場合、プロセス 7 0 0 は、列単位でメモリにアクセスし（ブロック 7 6 0）、その後終了する。

20

【 0 0 8 0 】

図 8 は、本発明の一実施形態に係るデータステアリング回路についての設定を選択するプロセス 7 2 0 を示す。

【 0 0 8 1 】

開始後、プロセス 7 2 0 は、メモリアccessタイプが垂直のタイル状かどうかを決定する（ブロック 8 1 0）。垂直のタイル状でない場合、プロセス 7 2 0 は、データステアリング回路についての第 1 の設定を選択する（ブロック 8 2 0）し、終了する。垂直のタイル状の場合、プロセス 7 2 0 は、調整済みアドレスビットが 0 0 であるかどうか決定する（ブロック 8 3 0）。0 0 である場合、プロセス 7 2 0 は、ブロック 8 2 0 へと進む。0 0 でない場合、プロセス 7 2 0 は、データステアリング回路についての調整済みアドレスビットに従い、3 つの設定のうちの一つを選択し（ブロック 8 4 0）、その後終了する。一般的に、第 1 の設定は、一方の側のポートから他方の側のポートへの恒等置換マッピングに対応する。他の 3 つ（2 つ）の設定は、非恒等置換マッピングに対応する。

30

【 0 0 8 2 】

図 9 は、N 群のサブチャンネルアドレスビットを生成する図 7 に示されたプロセス 7 3 0 を表すフローチャートである。

40

【 0 0 8 3 】

開始後、プロセス 7 3 0 は、メモリアccessタイプが垂直のタイル状かどうかを決定する（ブロック 9 2 0）。垂直のタイル状である場合、プロセス 7 3 0 は、調整済みアドレスビットの論理関数と、対応するサブチャンネル識別子とを含む N 群のサブチャンネルアドレスビットを生成し（ブロック 9 3 0）、その後終了する。垂直のタイル状でない場合、プロセス 7 3 0 は、調整済みアドレスビットを含む N 群のサブチャンネルアドレスビットを生成し（ブロック 9 4 0）、その後終了する。本質的に、アクセスタイプが水平のタイル状かまたは非タイル状メモリアccessである場合、サブチャンネルに送られる調整済みアドレスビットは、同じビット部分における元のアドレスビットと同じである。

【 0 0 8 4 】

50

本発明の実施形態の構成要素は、ハードウェア、ファームウェア、ソフトウェア、または、それらのいかなる組合せによって実装されてよい。ハードウェアとは、一般的に、電子、電磁、光、電子光学、機械、エレクトロメカニカルパーツ、コンポーネント、または、デバイスなどの物理的構造を有する構成要素のことを指す。ソフトウェアとは、一般的に、論理構造、方法、手順、プログラム、ルーチン、プロセス、アルゴリズム、公式、関数、式などのことを指す。ファームウェアとは、一般的に、論理構造、方法、手順、プログラム、ルーチン、プロセス、アルゴリズム、公式、関数、式など、ハードウェア構造（フラッシュメモリなど）で実装または実現されるもののことを指す。ファームウェアの例は、マイクロコード、書換え可能型制御記憶、マイクロプログラム構造などを含んでよい。本発明の一実施形態における構成要素は、ソフトウェアまたはファームウェアに実装されると、本質的に、必要なタスクを実行するコードセグメントとなる。ソフトウェア/ファームウェアは、本発明の一実施形態に記載された動作を実行する実際のコードか、または、動作をエミュレートまたはシミュレートするコードを含んでよい。プログラムまたはコードセグメントは、プロセッサまたはマシンアクセス可能媒体に格納されるか、または、搬送波で表されるコンピュータデータ信号か、または、キャリアによって変調される信号により、伝送媒体上を伝送されてよい。「プロセッサ可読またはアクセス可能媒体」、または、「マシン可読またはアクセス可能媒体」は、情報を格納、伝送、または、転送できるいかなる媒体を含んでよい。プロセッサ可読またはマシンアクセス可能媒体の例は、電子回路、半導体メモリデバイス、ROM（リードオンリーメモリ）、フラッシュメモリ、EPROM（消去可能ROM）、EPROM（消去可能プログラマブルROM）、フロッピー（登録商標）ディスク、CD-ROM、光ディスク、ハードディスク、光ファイバ媒体、無線周波数（RF）リンクなどを含む。マシンアクセス可能媒体は、製品に組み込まれてよい。マシンアクセス可能媒体は、マシンによってアクセスされると、上記動作をマシンに実行させるデータを含んでよい。マシンアクセス可能媒体にはプログラムコードが埋め込まれていてよい。プログラムコードは、上記動作を実行するマシン可読コードを含んでよい。

10

20

**【0085】**

本発明の一部またはすべては、ハードウェア、ソフトウェア、または、ファームウェア、あるいは、それらのいかなる組合せによって実装されてよい。ハードウェア、ソフトウェア、または、ファームウェアの構成要素は、互いに結合されたいくつかのモジュールを有してよい。ハードウェアモジュールは、機械、電気、光、電磁、または、いかなる物理的接続によって他のモジュールに結合されてよい。ソフトウェアモジュールは、関数、手続き、方法、サブプログラムまたはサブルーチンコール、ジャンプ、リンク、パラメータ、変数および引き数引き渡し、ファンクションリターンなどによって他のモジュールに結合されてよい。ソフトウェアモジュールは、他のモジュールに結合されて変数、パラメータ、引き数、指針などを受信し、および/または、結果、アップデートされた変数、指針などを生成するかまたは送ってよい。ファームウェアモジュールは、上記のようなハードウェアとソフトウェアとの結合方法のいかなる組み合わせによって他のモジュールと結合される。ハードウェア、ソフトウェア、または、ファームウェアモジュールは、他のハードウェア、ソフトウェア、または、ファームウェアモジュールのうちのいかなるものと結合されてよい。装置は、ハードウェア、ソフトウェア、および、ファームウェアモジュールのいかなる組合せも含みうる。

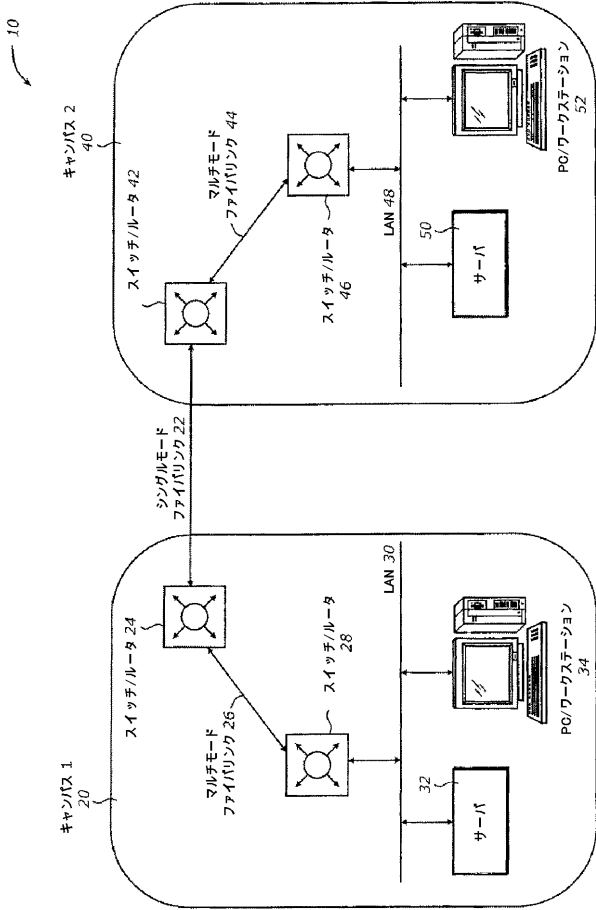
30

40

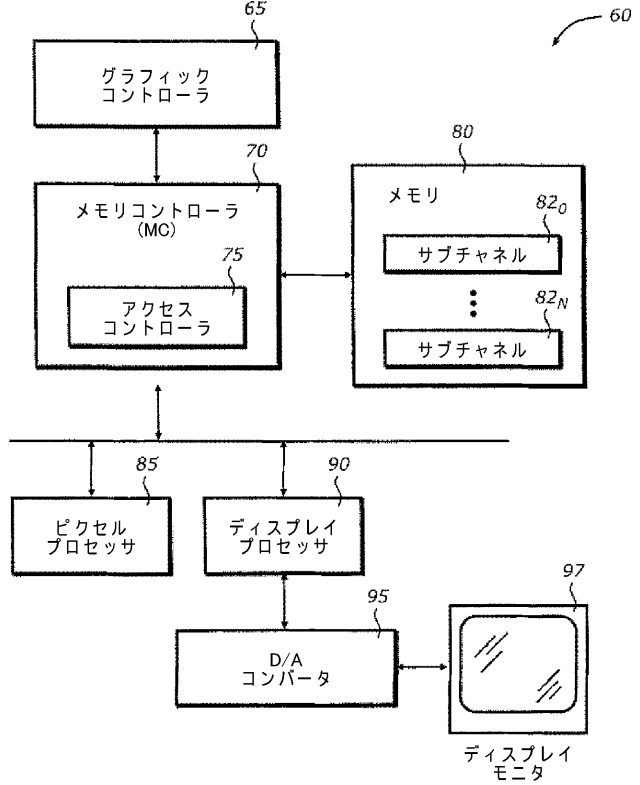
**【0086】**

これまでいくつかの実施形態に関して本発明を説明してきたが、本発明は記載された実施形態に限定されず、添付の請求項の範囲内での修正および変更を伴い実施できることが当業者には理解できるであろう。したがって、記載は、限定ではなく例としてみなされるべきである。

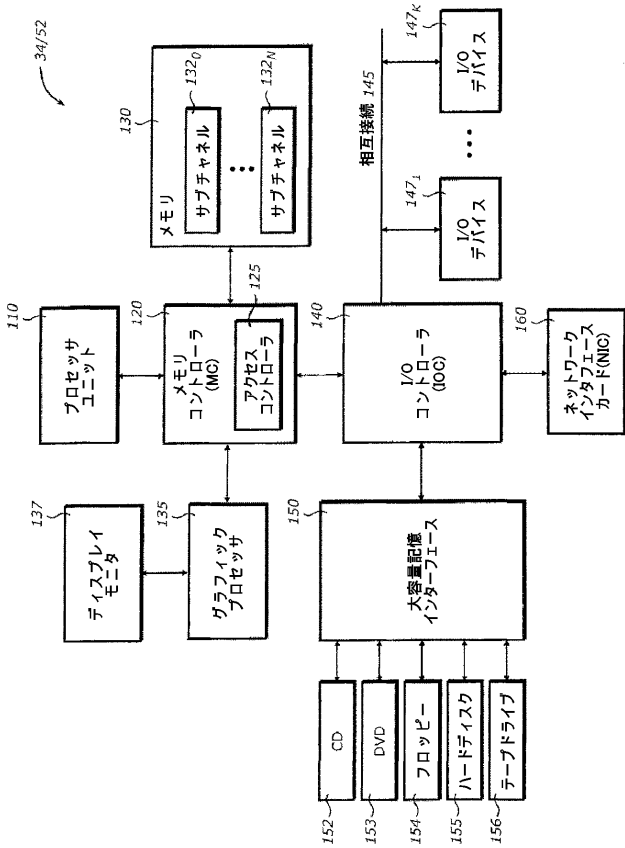
【図1A】



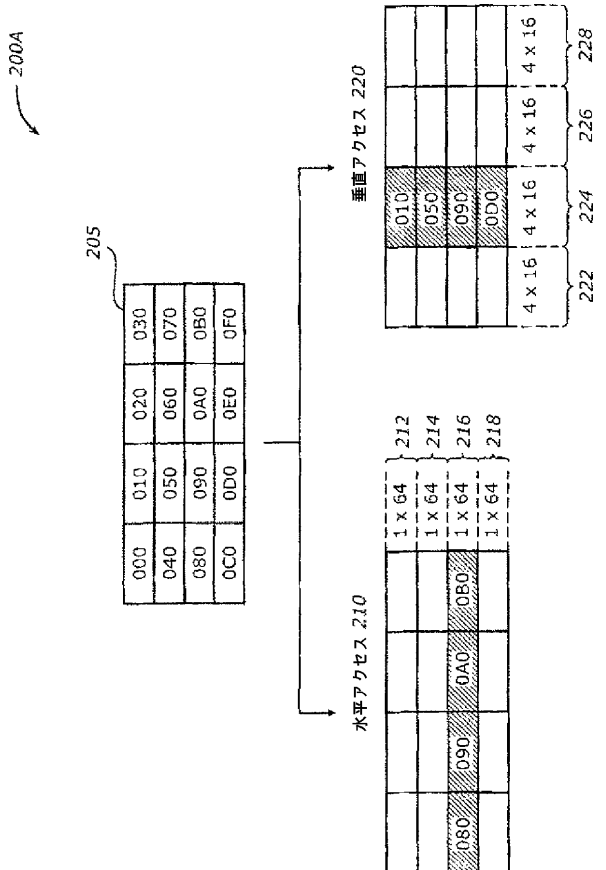
【図1B】



【図1C】

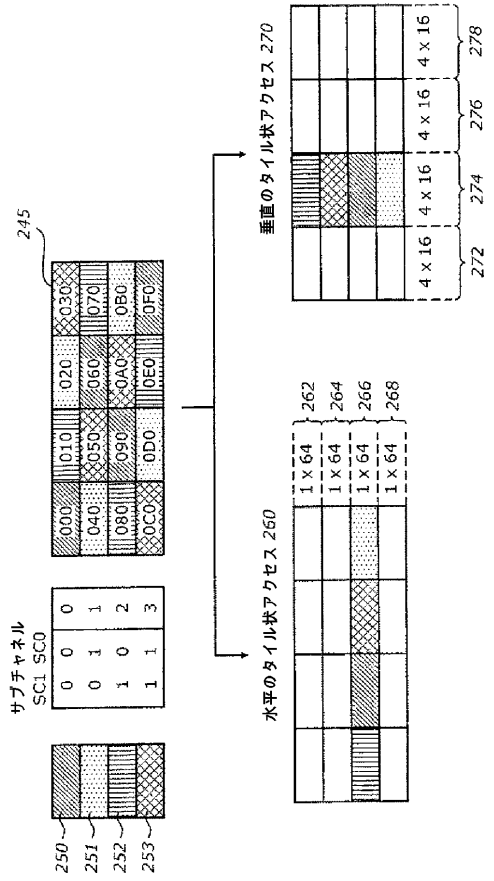


【図2A】



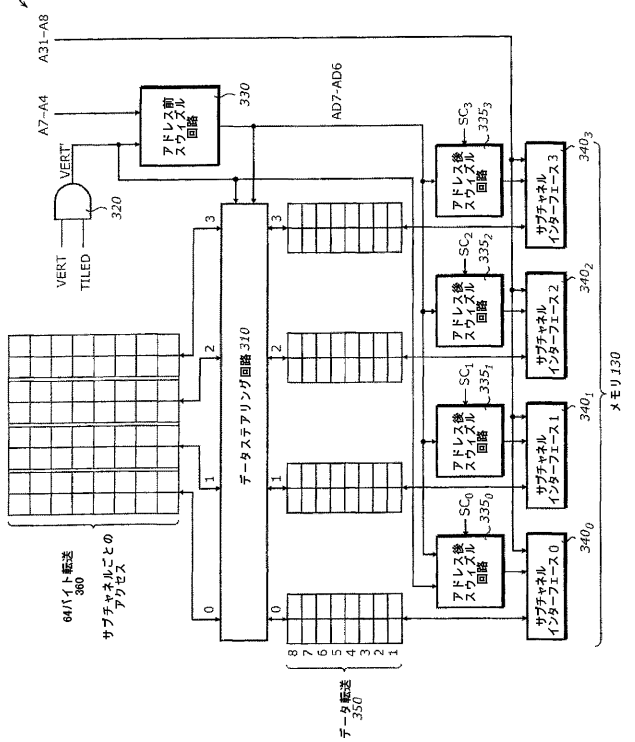
【図2B】

2006



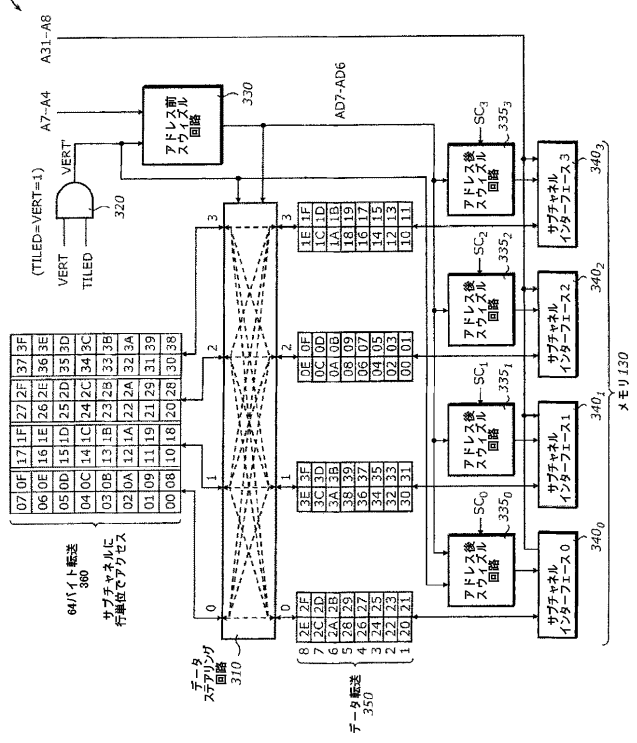
【図3A】

125



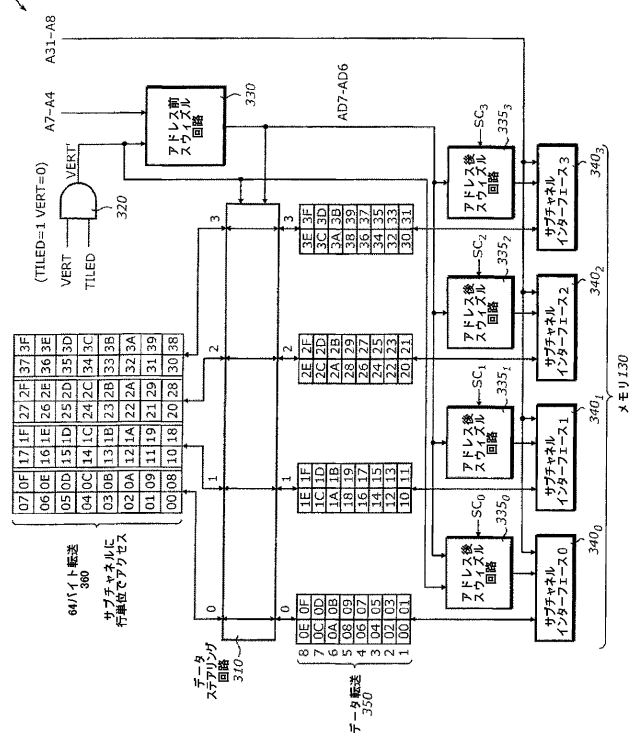
【図3B】

125

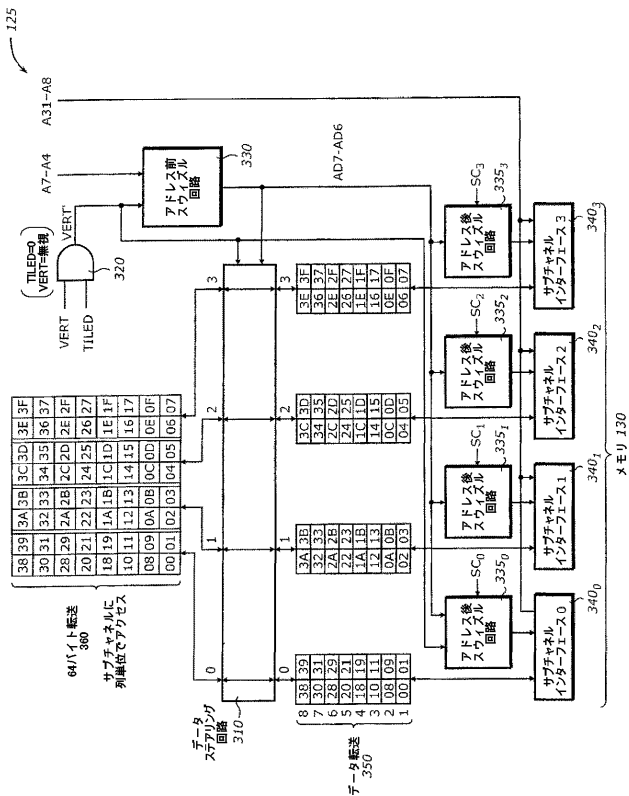


【図3C】

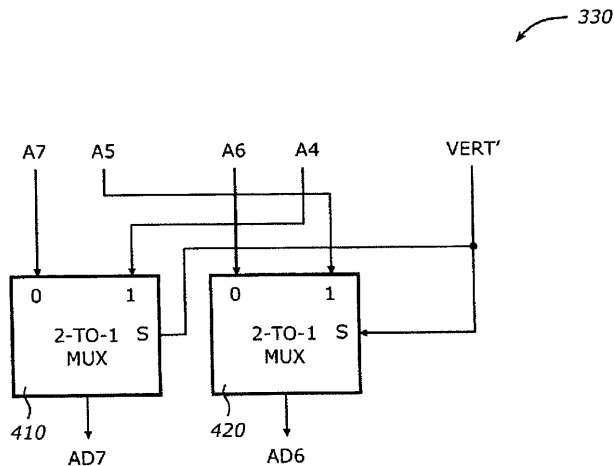
125



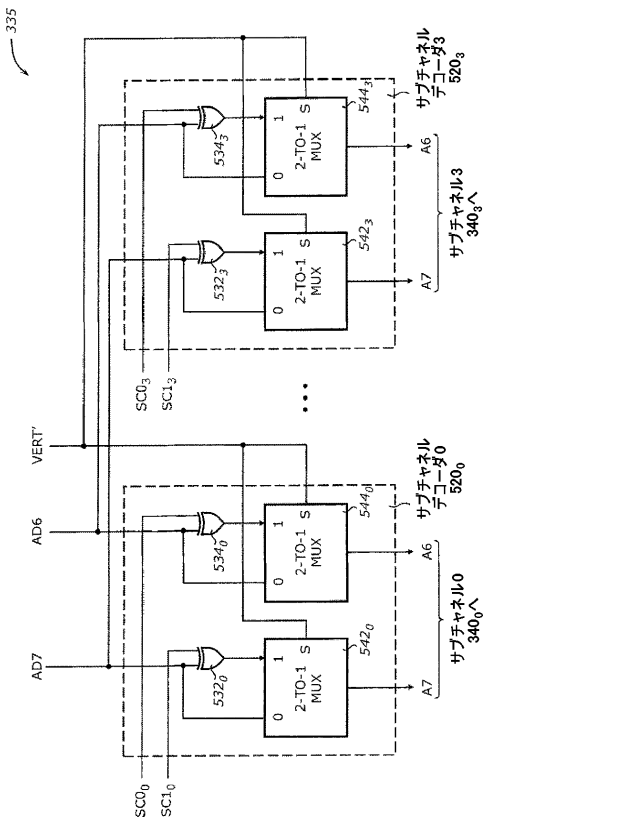
【 図 3 D 】



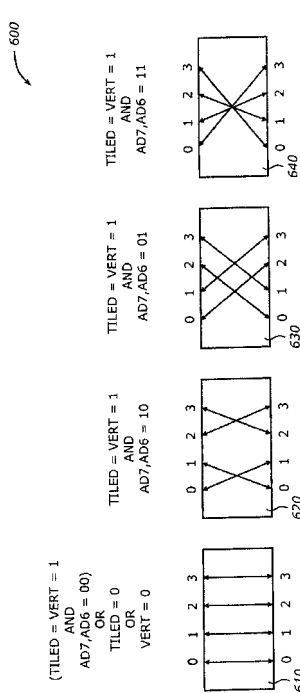
【 図 4 】



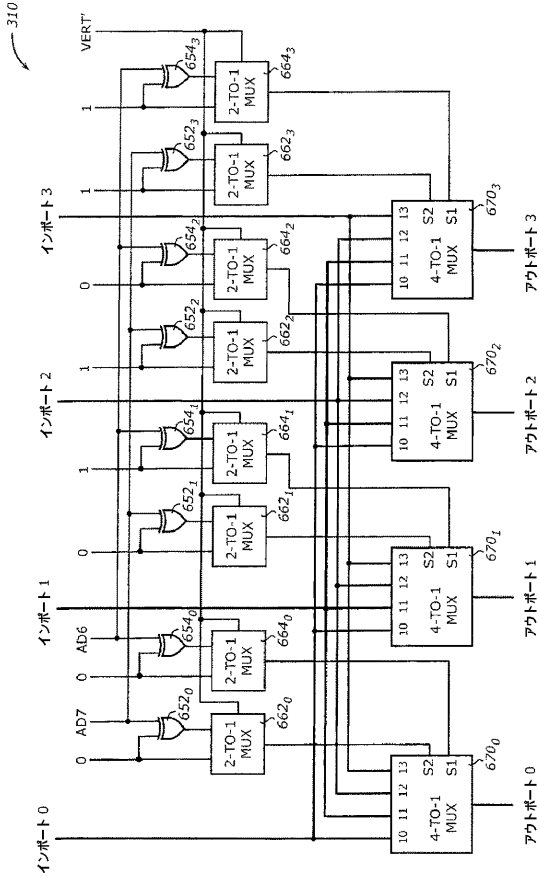
【 図 5 】



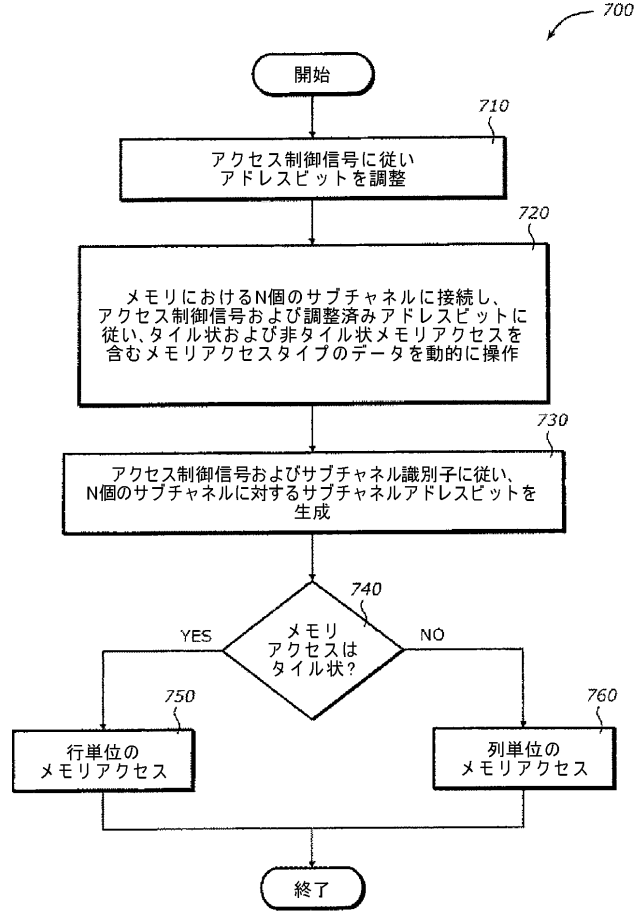
【 図 6 A 】



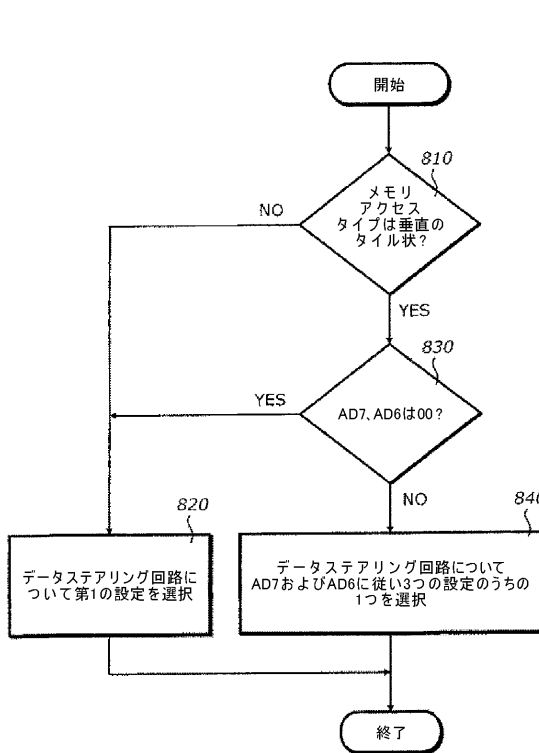
【図6B】



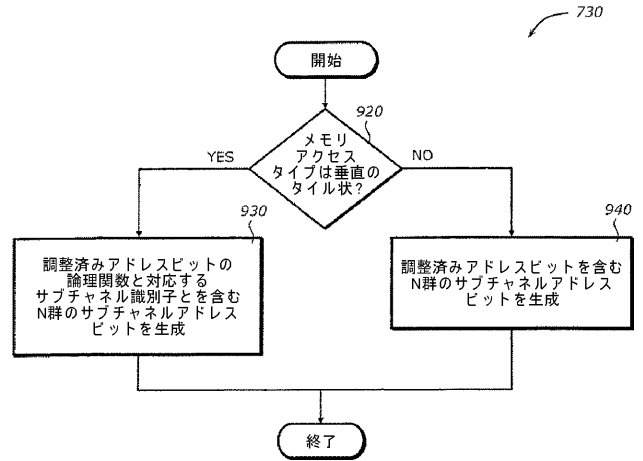
【図7】



【図8】



【図9】





## 【手続補正書】

【提出日】平成24年3月9日(2012.3.9)

## 【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

アクセス制御信号に従い、プロセッサにより提供されるアドレスビットを調整するアドレス前スウィズル回路と、

前記アドレス前スウィズル回路に結合され、前記アクセス制御信号、調整済み前記アドレスビット、および、N個のサブチャンネルに関連付けられたサブチャンネル識別子に従い、タイル状および非タイル状メモリアクセスを含むメモリアクセスタイプのデータを動的に操作するよう、メモリにおける前記N個のサブチャンネルに接続するデータステアリング回路と、

前記アドレス前スウィズル回路および前記N個のサブチャンネルに結合され、前記調整済みアドレスビットを用い、前記アクセス制御信号および前記サブチャンネル識別子に従い、前記N個のサブチャンネルに対するサブチャンネルアドレスビットを生成するアドレス後スウィズル回路と、

を備え、

前記タイル状メモリアクセスは、水平のタイル状メモリアクセスおよび垂直のタイル状メモリアクセスを含む、

装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0086

【補正方法】変更

【補正の内容】

【0086】

これまでいくつかの実施形態に関して本発明を説明してきたが、本発明は記載された実施形態に限定されず、添付の請求項の範囲内での修正および変更を伴い実施できることが当業者には理解できるであろう。したがって、記載は、限定ではなく例としてみなされるべきである。

[項目1]

アクセス制御信号に従い、プロセッサにより提供されるアドレスビットを調整するアドレス前スウィズル回路と、

前記アドレス前スウィズル回路に結合され、前記アクセス制御信号、調整済み前記アドレスビット、および、N個のサブチャンネルに関連付けられたサブチャンネル識別子に従い、タイル状および非タイル状メモリアクセスを含むメモリアクセスタイプのデータを動的に操作するよう、メモリにおける前記N個のサブチャンネルに接続するデータステアリング回路と、

前記アドレス前スウィズル回路および前記N個のサブチャンネルに結合され、前記調整済みアドレスビットを用い、前記アクセス制御信号および前記サブチャンネル識別子に従い、前記N個のサブチャンネルに対するサブチャンネルアドレスビットを生成するアドレス後スウィズル回路と、

を備え、

前記タイル状メモリアクセスは、水平のタイル状メモリアクセスおよび垂直のタイル状メモリアクセスを含む、

装置。

## [ 項目 2 ]

前記アクセス制御信号は、  
前記タイル状メモリアクセスを選択するタイル状制御信号と、  
前記タイル状制御信号がアサートされた場合、前記垂直のタイル状メモリアクセスを選択する垂直制御信号と、  
を含む、項目 1 に記載の装置。

## [ 項目 3 ]

前記アドレス前スイズル回路は、K 個の最下位共通アドレスビットを選択するデータセクタを有し、K は、 $\log_2(N)$  に等しい、項目 1 に記載の装置。

## [ 項目 4 ]

前記メモリアクセスタイプが前記垂直のタイル状メモリアクセスの場合、前記アドレス後スイズル回路は、前記調整済みアドレスビットの論理関数と、対応するサブチャネル識別子とを有する N 群のサブチャネルアドレスビットを生成する、項目 1 に記載の装置。

## [ 項目 5 ]

前記メモリアクセスタイプが前記水平のタイル状メモリアクセス、または、非タイル状メモリアクセスの場合、前記アドレス後スイズル回路は、前記調整済みアドレスビットを有する N 群のサブチャネルアドレスビットを生成する、項目 1 に記載の装置。

## [ 項目 6 ]

前記メモリアクセスタイプが前記非タイル状メモリアクセス、前記水平のタイル状メモリアクセス、および、前記調整済みアドレスビットの第 1 組の値を有する前記垂直のタイル状メモリアクセスの場合、前記アクセス制御信号および前記調整済みアドレスビットは、前記データステアリング回路についての第 1 の設定を選択する、項目 1 に記載の装置。

## [ 項目 7 ]

前記メモリアクセスタイプが前記調整済みアドレスビットの前記第 1 組の値とは異なる 3 組の値のうちの 1 つを有する前記垂直のタイル状メモリアクセスの場合、前記アクセス制御信号および前記調整済みアドレスビットは、3 つの設定のうちの 1 つを選択する、項目 6 に記載の装置。

## [ 項目 8 ]

前記第 1 の設定は、恒等置換マッピングに対応し、前記 3 つの設定のうちの前記 1 つは、非恒等置換マッピングに対応する、項目 7 に記載の装置。

## [ 項目 9 ]

前記タイル状メモリアクセスは、前記メモリに行単位でアクセスし、前記非タイル状メモリアクセスは、前記メモリに列単位でアクセスする、項目 1 に記載の装置。

## [ 項目 10 ]

アクセス制御信号に従い、プロセッサにより提供されるアドレスビットを調整する段階と、

前記アクセス制御信号、調整済み前記アドレスビット、および、N 個のサブチャネルに関連付けられたサブチャネル識別子に従い、タイル状および非タイル状メモリアクセスを含むメモリアクセスタイプのデータを動的に操作するよう、メモリにおける前記 N 個のサブチャネルに接続する段階と、

前記アクセス制御信号、前記調整済みアドレスビット、および、前記サブチャネル識別子に従い、前記 N 個のサブチャネルに対するサブチャネルアドレスビットを生成する段階と、

を備え、

前記タイル状メモリアクセスは、水平のタイル状メモリアクセスおよび垂直のタイル状メモリアクセスを含む、  
る方法。

## [ 項目 11 ]

前記アクセス制御信号は、

前記タイル状メモリアクセスを選択するタイル状制御信号と、

前記タイル状制御信号がアサートされた場合、前記垂直のタイル状メモリアクセスを選択する垂直制御信号と、

を含む、項目 10 に記載の方法。

[ 項目 12 ]

前記サブチャネルアドレスビットを生成する段階は、 $K$  個のアドレスビットを選択する段階を有し、 $K$  は、 $\log_2(N)$  に等しい、項目 10 に記載の方法。

[ 項目 13 ]

前記サブチャネルアドレスビットを生成する段階は、

前記メモリアクセスタイプが前記垂直のタイル状メモリアクセスの場合、最下位  $2 * K$  個の調整済みアドレスビットの論理関数および対応するサブチャネル識別子を有する  $N$  群のサブチャネルアドレスビットを生成する段階と、

前記メモリアクセスタイプが前記水平のタイル状メモリアクセス、または、非タイル状のメモリアクセスの場合、前記調整済みアドレスビットを有する  $N$  群のサブチャネルアドレスビットを生成する段階と、

を有する、項目 12 に記載の方法。

[ 項目 14 ]

前記接続する段階は、

前記メモリアクセスタイプが、前記非タイル状メモリアクセス、前記水平のタイル状メモリアクセス、および、前記調整済みアドレスビットの第 1 組の値を有する前記垂直のタイル状メモリアクセスの場合、第 1 の設定を選択する段階と、

前記メモリアクセスタイプが、前記調整済みアドレスビットの前記第 1 組の値とは異なる 3 組の値のうちの 1 つを有する前記垂直のタイル状メモリアクセスの場合、3 つの設定のうちの 1 つを選択する段階と、

を有する、項目 10 に記載の方法。

[ 項目 15 ]

前記第 1 の設定は、恒等置換マッピングに対応し、前記 3 つの設定のうちの前記 1 つは、非恒等置換マッピングに対応する、項目 14 に記載の方法。

[ 項目 16 ]

前記メモリアクセスタイプが前記タイル状メモリアクセスの場合、前記メモリに行単位でアクセスする段階と、

前記メモリアクセスタイプが前記非タイル状メモリアクセスの場合、前記メモリに列単位でアクセスする段階と、

をさらに備える、項目 10 に記載の方法。

[ 項目 17 ]

システムであって、

プロセッサと、

メモリにおける  $N$  個のサブチャネル内に形成され、DDR (Double Data Rate) SDRAM (同期型随時書き込み読み出しメモリ) である複数のメモリデバイスと、

前記プロセッサおよび前記複数のメモリデバイスに結合され、アクセスコントローラを有するメモリコントローラと、を備え、

前記アクセスコントローラは、

アクセス制御信号に従い、プロセッサにより提供されるアドレスビットを調整するアドレス前スウィズル回路と、

前記アドレス前スウィズル回路に結合され、前記アクセス制御信号、調整済み前記アドレスビット、および、 $N$  個のサブチャネルに関連付けられたサブチャネル識別子に従い、タイル状および非タイル状メモリアクセスを含むメモリアクセスタイプのデータを動的に操作するよう、前記メモリにおける前記  $N$  個のサブチャネルに接続するデータステアリング回路と、

前記アドレス前スウィズル回路および前記  $N$  個のサブチャネルに結合され、前記調整済

みアドレスビットを用い、前記アクセス制御信号および前記サブチャネル識別子に従い、前記N個のサブチャネルに対するサブチャネルアドレスビットを生成するアドレス後スイッチル回路と、

を有し、

前記タイル状メモリアクセスは、水平のタイル状メモリアクセスおよび垂直のタイル状メモリアクセスを含む、

システム。

[ 項目 1 8 ]

前記アクセス制御信号は、

前記タイル状メモリアクセスを選択するタイル状制御信号と、

前記タイル状制御信号がアサートされた場合、前記垂直のタイル状メモリアクセスを選択する垂直制御信号と、

を含む、項目 1 7 に記載のシステム。

[ 項目 1 9 ]

前記アドレス前スイッチル回路は、最下位  $2 * K$  のアドレスビットから K の共通アドレスビットを選択するデータセクタを有し、K は、 $\text{Log}_2(N)$  に等しい、項目 1 7 に記載のシステム。

[ 項目 2 0 ]

前記メモリアクセスタイプが前記垂直のタイル状メモリアクセスの場合、前記アドレス後スイッチル回路は、前記調整済みアドレスビットの論理関数および対応するサブチャネル識別子を有するN群のサブチャネルアドレスビットを生成する、項目 1 9 に記載のシステム。

[ 項目 2 1 ]

前記メモリアクセスタイプが前記水平のタイル状メモリアクセス、または、非タイル状メモリアクセスの場合、前記アドレス後スイッチル回路は、前記調整済みアドレスビットを有するN群のサブチャネルアドレスビットを生成する、項目 1 9 に記載のシステム。

[ 項目 2 2 ]

前記メモリアクセスタイプが前記非タイル状メモリアクセス、前記水平のタイル状メモリアクセス、および、前記調整済みアドレスビットの第 1 組の値を有する前記垂直のタイル状メモリの場合、前記アクセス制御信号および前記調整済みアドレスビットは、前記データステアリング回路についての第 1 の設定を選択する、項目 1 7 に記載のシステム。

[ 項目 2 3 ]

前記メモリアクセスタイプが前記調整済みアドレスビットの前記第 1 組の値とは異なる 3 組の値のうちの 1 つを有する前記垂直のタイル状メモリの場合、前記アクセス制御信号および前記調整済みアドレスビットは、3 つの設定のうちの 1 つを選択する、項目 2 2 に記載のシステム。

[ 項目 2 4 ]

前記第 1 の設定は、恒等置換マッピングに対応し、前記 3 つの設定のうちの前記 1 つは、非恒等置換マッピングに対応する、項目 2 3 に記載のシステム。

[ 項目 2 5 ]

前記タイル状メモリアクセスは、前記メモリに行単位でアクセスし、前記非タイル状メモリアクセスは、前記メモリに列単位でアクセスする、項目 1 7 に記載のシステム。

フロントページの続き

(72)発明者 クリフォード、ウィリアム

アメリカ合衆国 95052 カリフォルニア州・サンタクララ・ミッション カレッジ ブーレ  
バード・2200 インテル・コーポレーション内

Fターム(参考) 5B060 GA11