



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I719684 B

(45) 公告日：中華民國 110 (2021) 年 02 月 21 日

(21) 申請案號：108138476

(22) 申請日：中華民國 108 (2019) 年 10 月 24 日

(51) Int. Cl. : *G06F13/16 (2006.01)**H04L29/08 (2006.01)*

(71) 申請人：瑞昱半導體股份有限公司 (中華民國) REALTEK SEMICONDUCTOR CORPORATION (TW)

新竹市新竹科學工業園區創新二路 2 號

(72) 發明人：徐輔擎 HSU, FU CHING (TW)

(74) 代理人：李世章；秦建譜

(56) 參考文獻：

US 7903497B2

US 2018/0203772A1

US 2019/0205037A1

審查人員：蔡明宏

申請專利範圍項數：10 項 圖式數：3 共 20 頁

(54) 名稱

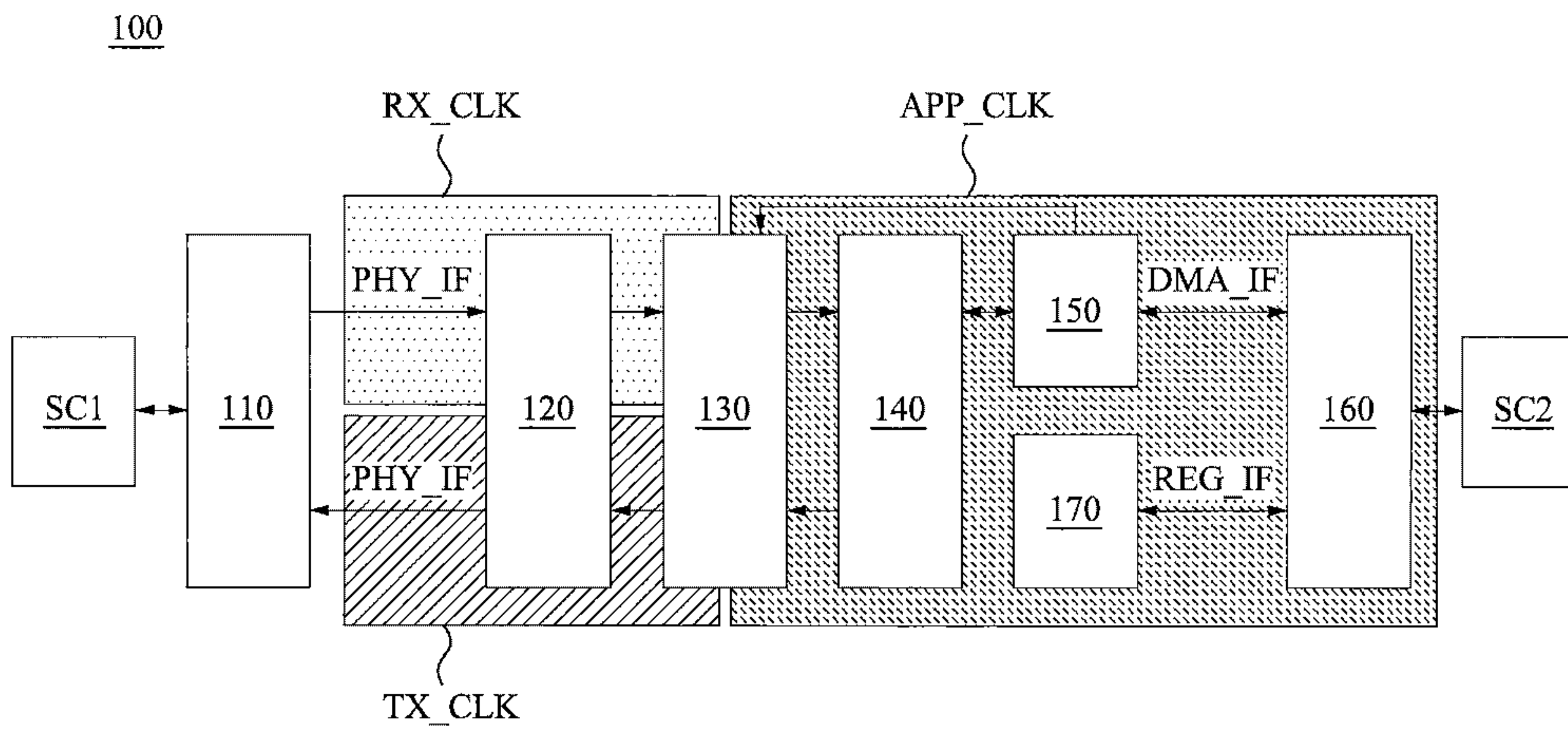
通訊系統以及運作方法

(57) 摘要

一種通訊系統包含一實體層電路、一連結層電路、一傳輸層電路以及一記憶體電路。實體層電路耦接一第一儲存電路。連結層電路耦接實體層電路。傳輸層電路耦接一第二儲存電路。記憶體電路耦接於連結層電路與傳輸層電路之間。記憶體電路包含一記憶體。記憶體用以受控以選擇性地將第二儲存電路的資料傳輸給第一儲存電路或將第一儲存電路的資料給第二儲存電路。

A communication system includes a physical layer circuit, a link layer circuit, a transport layer circuit, and a memory circuit. The physical layer circuit is coupled to a first storage circuit. The link layer circuit is coupled to the physical layer circuit. The transport layer circuit is coupled to a second storage circuit. The memory circuit is coupled between the link layer circuit and the transport layer circuit. The memory circuit includes a memory. The memory is controlled to selectively transmit data in the second storage circuit to the first storage circuit, or transmit data in the first storage circuit to the second storage circuit.

指定代表圖：



第 1 圖

符號簡單說明：

- 100 . . . 通訊系統
- 110 . . . 實體層電路
- 120 . . . 連結層電路
- 130 . . . 記憶體電路
- 140 . . . 傳輸層電路
- 150 . . . 記憶體存取電路
- 160 . . . 匯流排介面
- 170 . . . 暫存器
- SC1、SC2 . . . 儲存電路
- PHY\_IF . . . 實體層介面
- DMA\_IF . . . 記憶體存取介面
- REG\_IF . . . 暫存器介面
- TX\_CLK . . . 傳輸時脈訊號
- RX\_CLK . . . 接收時脈訊號
- APP\_CLK . . . 應用時脈訊號



申請案號: 108138476

申請日: 108年10月24日

公告本

I719684

【發明摘要】

IPC 分類號: G06F 13/16 (2006.01)  
H04L 29/08 (2006.01)

【中文發明名稱】 通訊系統以及運作方法

【英文發明名稱】 COMMUNICATION SYSTEM AND  
OPERATION METHOD

【中文】

一種通訊系統包含一實體層電路、一連結層電路、一傳輸層電路以及一記憶體電路。實體層電路耦接一第一儲存電路。連結層電路耦接實體層電路。傳輸層電路耦接一第二儲存電路。記憶體電路耦接於連結層電路與傳輸層電路之間。記憶體電路包含一記憶體。記憶體用以受控以選擇性地將第二儲存電路的資料傳輸給第一儲存電路或將第一儲存電路的資料給第二儲存電路。

【英文】

A communication system includes a physical layer circuit, a link layer circuit, a transport layer circuit, and a memory circuit. The physical layer circuit is coupled to a first storage circuit. The link layer circuit is coupled to the physical layer circuit. The transport layer circuit is coupled to a second storage circuit. The memory circuit is coupled between the link layer circuit and the transport layer circuit. The memory circuit includes a memory. The memory is controlled to selectively transmit data in

the second storage circuit to the first storage circuit,  
or transmit data in the first storage circuit to the  
second storage circuit.

【指定代表圖】：第1圖。

【代表圖之符號簡單說明】

100：通訊系統

110：實體層電路

120：連結層電路

130：記憶體電路

140：傳輸層電路

150：記憶體存取電路

160：匯流排介面

170：暫存器

SC1、SC2：儲存電路

PHY\_IF：實體層介面

DMA\_IF：記憶體存取介面

REG\_IF：暫存器介面

TX\_CLK：傳輸時脈訊號

RX\_CLK：接收時脈訊號

APP\_CLK：應用時脈訊號

【特徵化學式】

無

## 【發明說明書】

【中文發明名稱】 通訊系統以及運作方法

【英文發明名稱】 COMMUNICATION SYSTEM AND  
OPERATION METHOD

### 【技術領域】

【0001】 本案中所述實施例內容是有關於一種通訊架構，特別關於一種通訊系統以及運作方法。

### 【先前技術】

【0002】 藉由通訊技術，兩裝置之間可進行訊號傳輸。然而，在一些相關技術中，通訊系統採用多個記憶體進行傳輸程序以及接收程序。據此，電路面積以及成本會較高。

### 【發明內容】

【0003】 本案之一些實施方式是關於一種適用於串行高技術組態匯流排的通訊系統。通訊系統包含一實體層電路、一連結層電路、一傳輸層電路以及一記憶體電路。實體層電路用以耦接一第一儲存電路。連結層電路耦接實體層電路。傳輸層電路用以耦接一第二儲存電路。記憶體電路耦接於連結層電路與傳輸層電路之間。記憶體電路包含一記憶體。記憶體用以受控以選擇性地將第二儲存電路的資料傳輸給第一儲存電路或將第一儲存電路的資料傳輸給第二儲存電路。

【0004】 本案之一些實施方式是關於一種通訊系統的運



作方法。通訊系統適用於串行高技術組態匯流排。運作方法包含：藉由一記憶體存取電路產生一選擇訊號，其中選擇訊號具有一第一狀態或一第二狀態；當選擇訊號具有第二狀態時，藉由一記憶體電路的一記憶體將一第一儲存電路的資料傳輸給一第二儲存電路；以及當選擇訊號具有第一狀態時，藉由記憶體將第二儲存電路的資料傳輸給第一儲存電路。

**【0005】** 綜上所述，本案的通訊系統可利用單一個記憶體實現傳輸程序以及接收程序，以減少電路面積以及降低成本。

#### **【圖式簡單說明】**

**【0006】** 為讓本案之上述和其他目的、特徵、優點與實施例能夠更明顯易懂，所附圖式之說明如下：

第1圖是依照本案一些實施例所繪示之一通訊系統的示意圖；

第2圖是依照本案一些實施例所繪示之第1圖的連結層電路、記憶體電路、傳輸層電路以及記憶體存取電路的示意圖；以及

第3圖是依照本案一些實施例所繪示之一通訊系統的運作方法的流程圖。

#### **【實施方式】**

**【0007】** 在本文中所使用的用詞『耦接』亦可指『電性耦接』，且用詞『連接』亦可指『電性連接』。『耦接』及

『連接』亦可指二個或多個元件相互配合或相互互動。

【0008】 參考第1圖。第1圖是依照本案一些實施例所繪示之通訊系統100的示意圖。在一些實施例中，通訊系統100是應用於串行高技術組態(Serial Advanced Technology Attachment, SATA)匯流排技術，但本案不以此為限。

【0009】 以第1圖示例而言，通訊系統100包含實體層電路110、連結層電路120、記憶體電路130、傳輸層電路140、記憶體存取電路150、匯流排介面160以及暫存器170。

【0010】 實體層電路110用以耦接儲存電路SC1。在一些實施例中，儲存電路SC1為硬碟，但本案不以此為限。連結層電路120透過兩實體層介面PHY\_IF耦接實體層電路110。記憶體電路130耦接於連結層電路120與傳輸層電路140之間。傳輸層電路140耦接記憶體存取電路150。在一些實施例中，記憶體存取電路150是以直接記憶體存取(Direct Memory Access, DMA)控制器電路實現，但本案不以此為限。記憶體存取電路150耦接記憶體電路130。記憶體存取電路150透過記憶體存取介面DMA\_IF耦接匯流排介面160。匯流排介面160透過暫存器介面REG\_IF耦接暫存器170。匯流排介面160用以耦接儲存電路SC2。在一些實施例中，儲存電路SC2為動態隨機存取記憶體(Dynamic Random Access Memory, DRAM)或快閃記憶體，但本案不以此些為限。

【0011】 在一些實施例中，連結層電路120、記憶體電路130、傳輸層電路140、記憶體存取電路150、匯流排介



面160以及暫存器170運作於媒體存取控制(Media Access Control, MAC)架構下。當通訊系統100運作於傳輸模式時，連結層電路120依據傳輸時脈訊號TX\_CLK運作。當通訊系統100運作於接收模式時，連結層電路120依據接收時脈訊號RX\_CLK運作。傳輸層電路140、記憶體存取電路150、匯流排介面160以及暫存器170依據應用時脈訊號APP\_CLK運作。

【0012】 同時參考第1圖以及第2圖，第2圖是依照本案一些實施例所繪示之第1圖的連結層電路120、記憶體電路130、傳輸層電路140以及記憶體存取電路150的示意圖。

【0013】 記憶體電路130包含記憶體132以及多工器MUX1-MUX6。在一些實施例中，記憶體132是以靜態隨機存取記憶體(Static Random Access Memory, SRAM)實現，但本案不以此為限。

【0014】 記憶體存取電路150用以基於通訊系統100的運作模式產生選擇訊號SEL。在一些實施例中，選擇訊號SEL具有兩狀態(例如：邏輯值0以及邏輯值1)。邏輯值0對應於傳輸模式且邏輯值1對應於接收模式。在一些實施例中，選擇訊號SEL可預設為邏輯值0。

【0015】 當通訊系統100運作於傳輸模式時，選擇訊號SEL具有邏輯值0。多工器MUX1-MUX6依據具有邏輯值0的選擇訊號SEL控制記憶體132將儲存電路SC2的資料傳輸給儲存電路SC1。當通訊系統100運作於接收模式時，選擇訊號SEL具有邏輯值1。多工器MUX1-MUX6依據具有邏



輯值1的選擇訊號SEL控制記憶體132將儲存電路SC1的資料傳輸給儲存電路SC2。

【0016】 多工器MUX1-MUX6的各者包含輸入端D0、輸入端D1、輸出端O以及選擇端S。記憶體132包含讀取時脈埠CK1、寫入時脈埠CK2、輸入位址埠AD1、輸出位址埠AD2、致能埠WE、資料埠D以及輸出埠Q。在一些實施例中，多工器MUX1以及MUX2是以無突波時脈多工器(glitch free clock multiplexer)實現，但本案不以此為限。無突波時脈多工器用以避免寫入時脈埠CK1以及讀取時脈埠CK2所接收的時脈訊號在切換過程中發生突波。

【0017】 多工器MUX1的輸入端D0用以接收應用時脈訊號APP\_CLK。多工器MUX1的輸入端D1用以接收接收時脈訊號RX\_CLK。多工器MUX1的輸出端O耦接記憶體132的讀取時脈埠CK1。多工器MUX1的選擇端S用以接收選擇訊號SEL。

【0018】 多工器MUX2的輸入端D0用以接收傳輸時脈訊號TX\_CLK。多工器MUX2的輸入端D1用以接收應用時脈訊號APP\_CLK。多工器MUX2的輸出端O耦接記憶體132的寫入時脈埠CK2。多工器MUX2的選擇端S用以接收選擇訊號SEL。

【0019】 多工器MUX3的輸入端D0用以接收傳輸輸入位址TXI\_AD。多工器MUX3的輸入端D1用以接收接收輸入位址RXI\_AD。多工器MUX3的輸出端O耦接記憶體132的輸入位址埠AD1。多工器MUX3的選擇端S用以接收選擇

訊號SEL。

【0020】多工器MUX4的輸入端D0用以接收傳輸輸出位址TXO\_AD。多工器MUX4的輸入端D1用以接收接收輸出位址RXO\_AD。多工器MUX4的輸出端O耦接記憶體132的輸出位址埠AD2。多工器MUX4的選擇端S用以接收選擇訊號SEL。

【0021】多工器MUX5的輸入端D0用以接收傳輸致能訊號TX\_EN。多工器MUX5的輸入端D1用以接收接收致能訊號RX\_EN。多工器MUX5的輸出端O耦接記憶體132的致能埠WE。多工器MUX5的選擇端S用以接收選擇訊號SEL。

【0022】多工器MUX6的輸入端D0用以接收傳輸資料TX\_DATA。多工器MUX6的輸入端D1用以接收接收資料RX\_DATA。多工器MUX6的輸出端O耦接記憶體132的資料埠D。多工器MUX6的選擇端S用以接收選擇訊號SEL。

【0023】當通訊系統100運作於傳輸模式時，負責讀取的傳輸層電路140依據應用時脈訊號APP\_CLK運作。負責寫入的連結層電路120依據傳輸時脈訊號TX\_CLK運作。據此，當通訊系統100運作於傳輸模式時，選擇訊號SEL具有邏輯值0。多工器MUX1會依據具有邏輯值0的選擇訊號SEL將應用時脈訊號APP\_CLK輸出至記憶體132的讀取時脈埠CK1。多工器MUX2依據具有邏輯值0的選擇訊號SEL將傳輸時脈訊號TX\_CLK輸出至記憶體132的寫入時脈埠CK2。

【0024】多工器MUX3依據具有邏輯值0的選擇訊號



SEL將傳輸輸入位址TXI\_AD輸出至記憶體132的輸入位址埠AD1。多工器MUX4依據具有邏輯值0的選擇訊號SEL將傳輸輸出位址TXO\_AD輸出至記憶體132的輸出位址埠AD2。多工器MUX5依據具有邏輯值0的選擇訊號SEL將傳輸致能訊號TX\_EN輸出至記憶體132的致能埠WE。多工器MUX6依據具有邏輯值0的選擇訊號SEL將傳輸資料TX\_DATA輸出至記憶體132的資料埠D。

**【0025】** 據此，基於致能埠WE所接收到的傳輸致能訊號TX\_EN，記憶體132可依據讀取時脈埠CK1所接收到的應用時脈訊號APP\_CLK以及寫入時脈埠CK2所接收到的傳輸時脈訊號TX\_CLK，將資料埠D所接收到的傳輸資料TX\_DATA從儲存電路SC2中對應於傳輸輸入位址TXI\_AD的區塊透過輸出埠Q傳輸至連結層電路120，以透過實體層介面PHY\_IF以及實體層電路110傳至儲存電路SC1中對應於傳輸輸出位址TXO\_AD的區塊。

**【0026】** 當通訊系統100運作於接收模式時，負責讀取的連結層電路120依據接收時脈訊號RX\_CLK運作。負責寫入的傳輸層電路140依據應用時脈訊號APP\_CLK運作。據此，當通訊系統100運作於接收模式時，選擇訊號SEL具有邏輯值1。多工器MUX1會依據具有邏輯值1的選擇訊號SEL將接收時脈訊號RX\_CLK輸出至記憶體132的讀取時脈埠CK1。多工器MUX2依據具有邏輯值1的選擇訊號SEL將應用時脈訊號APP\_CLK輸出至記憶體132的寫入時脈埠CK2。



【0027】 多工器MUX3依據具有邏輯值1的選擇訊號SEL將接收輸入位址RXI\_AD輸出至記憶體132的輸入位址埠AD1。多工器MUX4依據具有邏輯值1的選擇訊號SEL將接收輸出位址RXO\_AD輸出至記憶體132的輸出位址埠AD2。多工器MUX5依據具有邏輯值1的選擇訊號SEL將接收致能訊號RX\_EN輸出至記憶體132的致能埠WE。多工器MUX6依據具有邏輯值1的選擇訊號SEL將接收資料RX\_DATA輸出至記憶體132的資料埠D。

【0028】 據此，基於致能埠WE所接收到的接收致能訊號RX\_EN，記憶體132可依據讀取時脈埠CK1所接收到的接收時脈訊號RX\_CLK以及寫入時脈埠CK2所接收到的應用時脈訊號APP\_CLK，將資料埠D所接收到的接收資料RX\_DATA從儲存電路SC1中對應於接收輸入位址RXI\_AD的區塊透過輸出埠Q傳輸至傳輸層電路140，以透過記憶體存取電路150、記憶體存取介面DMA\_IF以及匯流排介面160傳至儲存電路SC2中對應於接收輸出位址RXO\_AD的區塊。

【0029】 基於上述運作，通訊系統100可利用單一個記憶體132實現傳輸程序以及接收程序。相較於使用多個記憶體的相關技術，本案可達到減少電路面積以及降低成本的功效。

【0030】 參考第3圖。第3圖是依照本案一些實施例所繪示之一通訊系統的運作方法300的流程圖。運作方法300包含操作S302、S304以及S306。在一些實施例中，運作方法

300被應用於第1圖的通訊系統100中，但本案不以此為限。為易於理解，運作方法300將搭配第1圖以及第2圖進行討論。

**【0031】** 在操作S302中，藉由記憶體存取電路150產生選擇訊號SEL。在一些實施例中，選擇訊號SEL具有兩狀態(例如：邏輯值0以及邏輯值1)。選擇訊號SEL用以控制記憶體電路130的多工器MUX1-MUX6，以透過多工器MUX1-MUX6控制記憶體132的運作。

**【0032】** 在操作S304中，當選擇訊號SEL具有一狀態(例如：邏輯值1)時，藉由記憶體電路130的記憶體132將儲存電路SC1的資料傳輸給儲存電路SC2。在一些實施例中，此狀態(例如：邏輯值1)對應於接收模式。也就是說，當通訊系統100運作於接收模式時，記憶體132受控以將儲存電路SC1的資料傳輸給儲存電路SC2。

**【0033】** 在操作S306中，當選擇訊號SEL具有另一狀態(例如：邏輯值0)時，藉由記憶體電路130的記憶體132將儲存電路SC2的資料傳輸給儲存電路SC1。在一些實施例中，此狀態(例如：邏輯值0)對應於傳輸模式。也就是說，當通訊系統100運作於傳輸模式時，記憶體132受控以將儲存電路SC2的資料傳輸給儲存電路SC1。

**【0034】** 綜上所述，本案的通訊系統可利用單一個記憶體實現傳輸程序以及接收程序，以減少電路面積以及降低成本。

**【0035】** 各種功能性元件和方塊已於此公開。對於本技



術領域具通常知識者而言，功能方塊可由電路(不論是專用電路，或是於一或多個處理器及編碼指令控制下操作的通用電路)實現，其一般而言包含用以相應於此處描述的功能及操作對電氣迴路的操作進行控制之電晶體或其他電路元件。如將進一步理解地，一般而言電路元件的具體結構與互連，可由編譯器(compiler)，例如暫存器傳遞語言(register transfer language, RTL)編譯器決定。暫存器傳遞語言編譯器對與組合語言代碼(assembly language code)相當相似的指令碼(script)進行操作，將指令碼編譯為用於佈局或製作最終電路的形式。確實地，暫存器傳遞語言以其促進電子和數位系統設計過程中的所扮演的角色和用途而聞名。

**【0036】** 雖然本案已以實施方式揭露如上，然其並非用以限定本案，任何本領域具通常知識者，在不脫離本案之精神和範圍內，當可作各種之更動與潤飾，因此本案之保護範圍當視後附之申請專利範圍所界定者為準。

### **【符號說明】**

#### **【0037】**

- 100：通訊系統
- 110：實體層電路
- 120：連結層電路
- 130：記憶體電路
- 140：傳輸層電路
- 150：記憶體存取電路



160 : 匯流排介面  
170 : 暫存器  
SC1、SC2 : 儲存電路  
PHY\_IF : 實體層介面  
DMA\_IF : 記憶體存取介面  
REG\_IF : 暫存器介面  
TX\_CLK : 傳輸時脈訊號  
RX\_CLK : 接收時脈訊號  
APP\_CLK : 應用時脈訊號  
132 : 記憶體  
MUX1-MUX6 : 多工器  
D0、D1 : 輸入端  
O : 輸出端  
S : 選擇端  
SEL : 選擇訊號  
CK1 : 讀取時脈埠  
CK2 : 寫入時脈埠  
AD1 : 輸入位址埠  
AD2 : 輸出位址埠  
WE : 致能埠  
D : 資料埠  
Q : 輸出埠  
TXI\_AD : 傳輸輸入位址  
RXI\_AD : 接收輸入位址

TXO\_AD : 傳輸輸出位址

RXO\_AD : 接收輸出位址

TX\_EN : 傳輸致能訊號

RX\_EN : 接收致能訊號

TX\_DATA : 傳輸資料

RX\_DATA : 接收資料

300 : 運作方法

S302、S304、S306 : 操作

## 【發明申請專利範圍】

【第 1 項】一種適用於串行高技術組態(SATA)匯流排的通訊系統，包含：

- 一實體層電路，用以耦接一第一儲存電路；
- 一連結層電路，耦接該實體層電路；
- 一傳輸層電路，用以耦接一第二儲存電路；以及
- 一記憶體電路，耦接於該連結層電路與該傳輸層電路之間，該記憶體電路包含一記憶體，該記憶體用以受控以選擇性地將該第二儲存電路的資料傳輸給該第一儲存電路或將該第一儲存電路的資料傳輸給該第二儲存電路，其中該記憶體電路更包含：

- 一第一多工器，用以依據該通訊系統運作於一傳輸模式或一接收模式，輸出一應用時脈訊號或一接收時脈訊號至該記憶體的一讀取時脈埠。

【第 2 項】如請求項 1 所述的通訊系統，更包含：

- 一記憶體存取電路，用以產生一選擇訊號，其中當該通訊系統運作於該傳輸模式時，該選擇訊號具有一第一狀態且該記憶體將該第二儲存電路的資料傳輸給該第一儲存電路，其中當該通訊系統運作於該接收模式時，該選擇訊號具有一第二狀態且該記憶體將該第一儲存電路的資料傳輸給該第二儲存電路。

【第 3 項】如請求項 2 所述的通訊系統，其中當該通訊系統運作於該傳輸模式時，該連結層電路依據一傳輸時



脈訊號運作且該傳輸層電路依據該應用時脈訊號運作，其中當該通訊系統運作於該接收模式時，該連結層電路依據該接收時脈訊號運作且該傳輸層電路依據該應用時脈訊號運作。

【第 4 項】如請求項 3 所述的通訊系統，其中該第一多工器依據該選擇訊號輸出該應用時脈訊號或該接收時脈訊號至該讀取時脈埠。

【第 5 項】如請求項 3 所述的通訊系統，其中該記憶體包含一寫入時脈埠，該記憶體電路更包含：

一第二多工器，用以依據該選擇訊號輸出該傳輸時脈訊號或該應用時脈訊號至該寫入時脈埠。

【第 6 項】如請求項 2 所述的通訊系統，其中該記憶體包含一輸入位址埠，該記憶體電路更包含：

一第二多工器，用以依據該選擇訊號輸出一傳輸輸入位址或一接收輸入位址至該輸入位址埠。

【第 7 項】如請求項 2 所述的通訊系統，其中該記憶體包含一輸出位址埠，該記憶體電路更包含：

一第二多工器，用以依據該選擇訊號輸出一傳輸輸出位址或一接收輸出位址至該輸出位址埠。

【第 8 項】如請求項 2 所述的通訊系統，其中該記憶體

體包含一致能埠，該記憶體電路更包含：

一第二多工器，用以依據該選擇訊號輸出一傳輸致能訊號或一接收致能訊號至該致能埠。

【第 9 項】如請求項 2 所述的通訊系統，其中該記憶體包含一資料埠，該記憶體電路更包含：

一第二多工器，用以依據該選擇訊號輸出一傳輸資料或一接收資料至該資料埠。

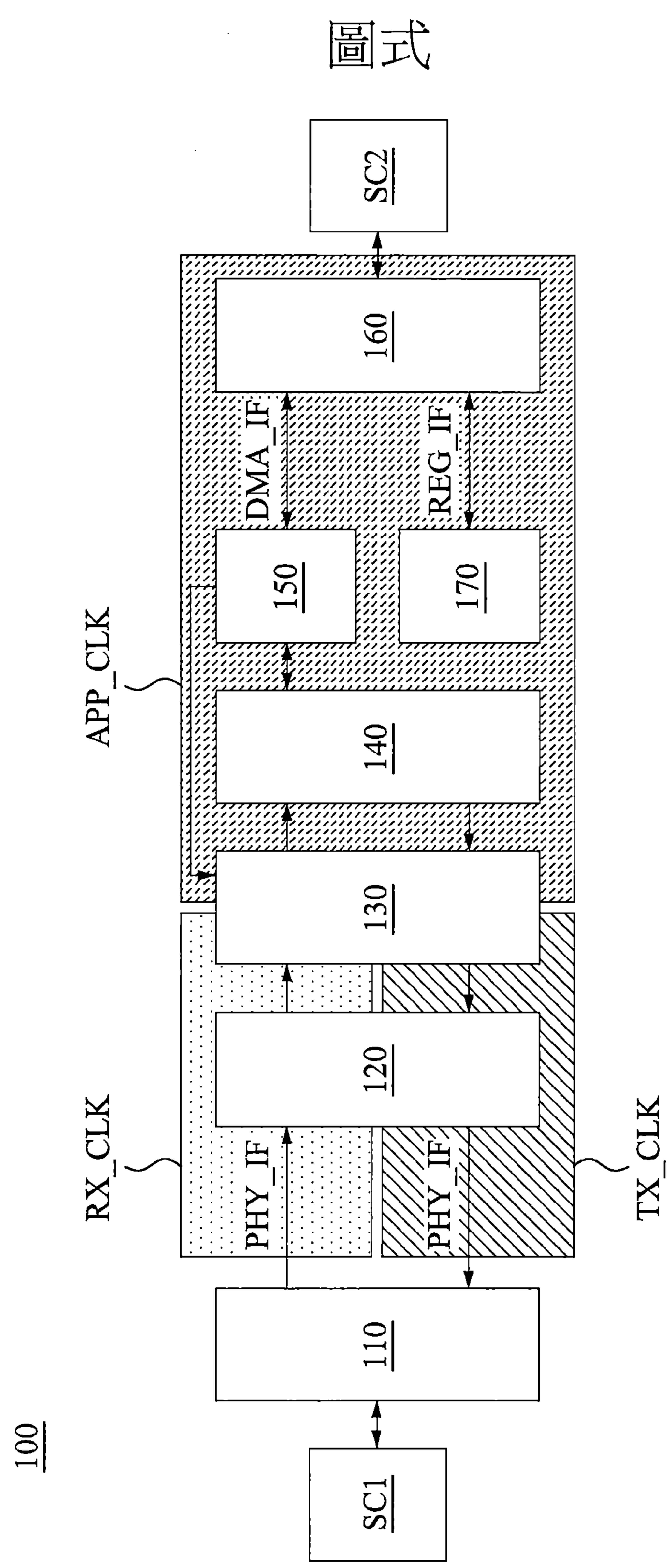
【第 10 項】一種通訊系統的運作方法，該通訊系統適用於串行高技術組態(SATA)匯流排，該運作方法包含：

藉由一記憶體存取電路產生一選擇訊號，其中該選擇訊號具有一第一狀態或一第二狀態；

藉由一記憶體電路的一多工器依據該選擇訊號輸出一應用時脈訊號或一接收時脈訊號至該記憶體電路的一記憶體的一讀取時脈埠；

當該選擇訊號具有該第二狀態時，藉由該記憶體將一第一儲存電路的資料傳輸給一第二儲存電路；以及

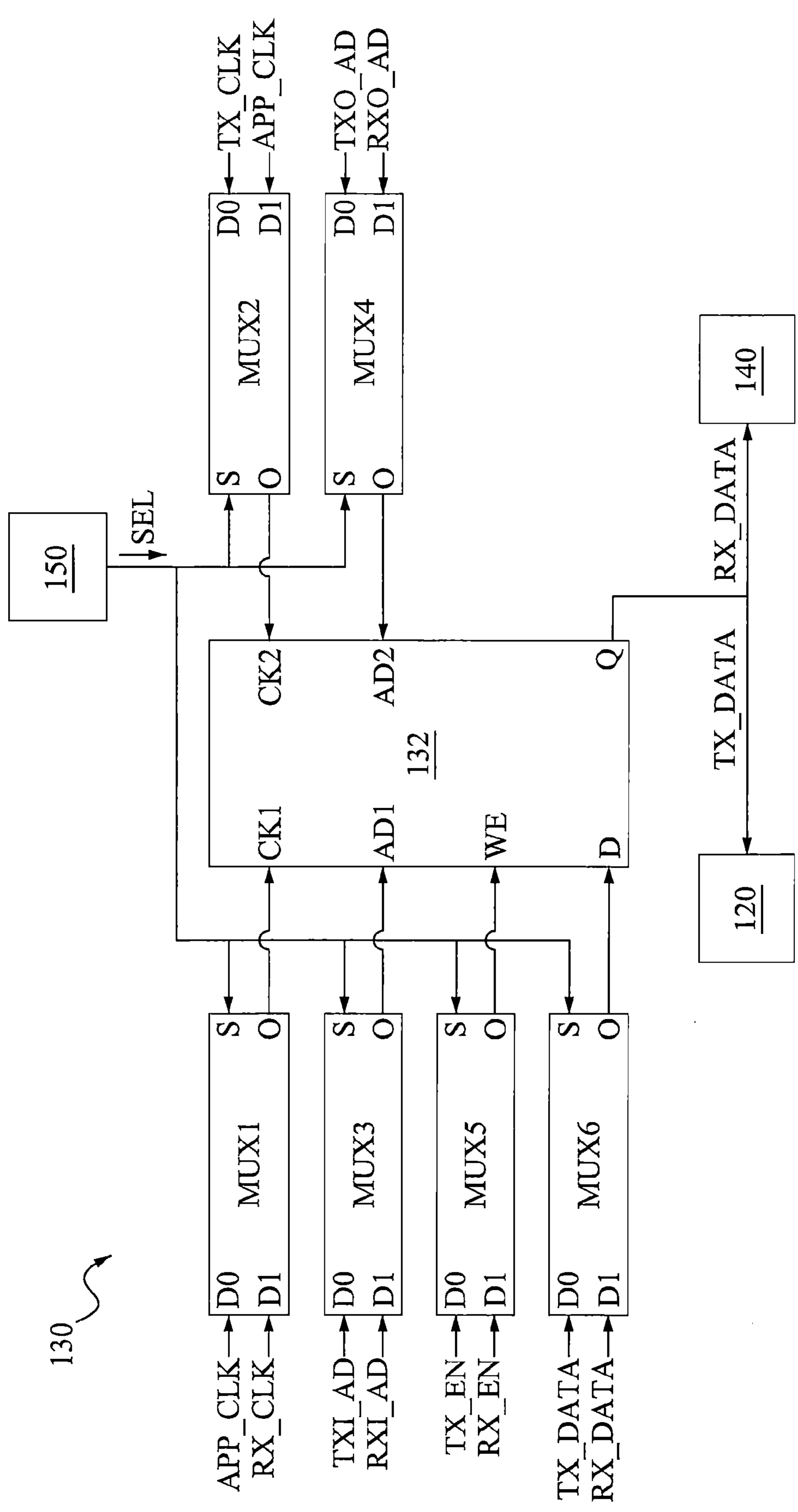
當該選擇訊號具有該第一狀態時，藉由該記憶體將該第二儲存電路的資料傳輸給該第一儲存電路。



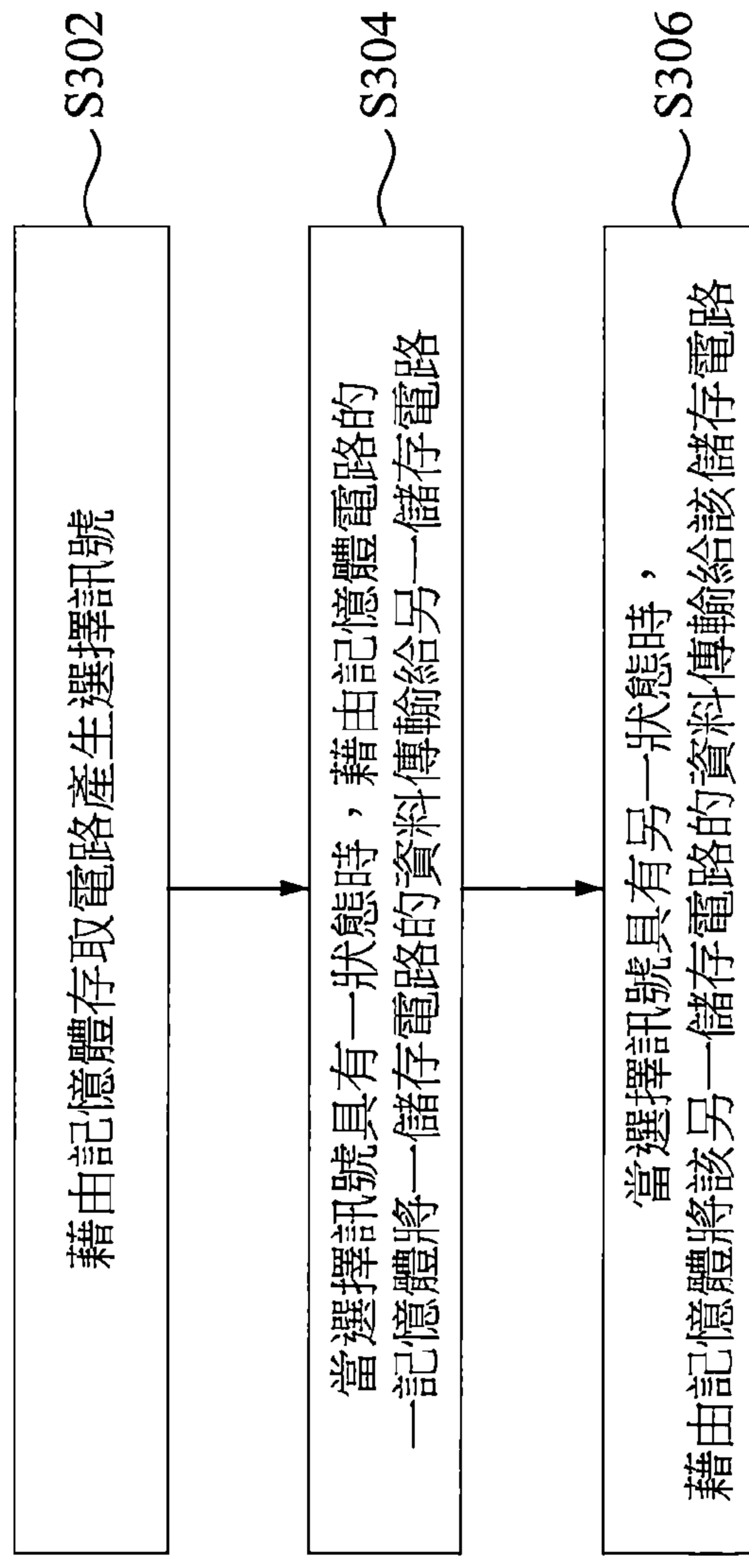
圖式

第1圖





第 2 圖



第3圖