

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-238718

(P2013-238718A)

(43) 公開日 平成25年11月28日(2013.11.28)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G09F 9/30 (2006.01)</b>	G09F 9/30 338	5C094
<b>H01L 21/822 (2006.01)</b>	H01L 27/04 C	5F038
<b>H01L 27/04 (2006.01)</b>	H01L 29/78 618B	5F110
<b>H01L 29/786 (2006.01)</b>	H01L 29/78 619A	5G435
<b>H01L 21/336 (2006.01)</b>	H01L 29/78 612Z	

審査請求 未請求 請求項の数 12 O L (全 18 頁) 最終頁に続く

(21) 出願番号 特願2012-111468 (P2012-111468)  
 (22) 出願日 平成24年5月15日 (2012.5.15)

(71) 出願人 00005821  
 パナソニック株式会社  
 大阪府門真市大字門真1006番地  
 (74) 代理人 100109210  
 弁理士 新居 広守  
 (72) 発明者 小野 晋也  
 大阪府門真市大字門真1006番地 パナ  
 ソニック株式会社内  
 Fターム(参考) 5C094 AA03 AA21 AA37 AA43 AA53  
 BA03 BA43 DA13 DA15 DB04  
 EA10 FB14  
 5F038 AC03 AC05 AC15 CA02 CD05  
 DF01 EZ15 EZ20

最終頁に続く

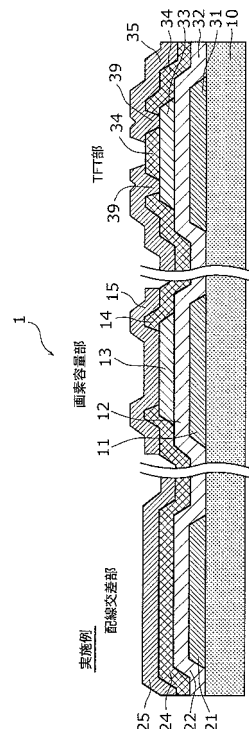
(54) 【発明の名称】 半導体装置及び半導体装置の製造方法

(57) 【要約】

【課題】MIS容量を備え信頼性の高い半導体装置を提供する。

【解決手段】基板10上に複数の容量素子が配置された半導体装置であって、前記容量素子のおのおのは、前記基板上に、下部電極11、第1絶縁層12、半導体材料からなる第1上部電極13、及び第2上部電極15が、この順に積層された構造を有し、前記第1上部電極13の端部は、第2絶縁層14で被覆され、前記第2上部電極15の端部は、前記第2絶縁層14上に配置されている。

【選択図】 図4



## 【特許請求の範囲】

## 【請求項 1】

基板上に複数の容量素子が配置された半導体装置であって、  
前記容量素子のおおのは、前記基板上に、下部電極、第 1 絶縁層、半導体材料からなる第 1 上部電極、及び第 2 上部電極が、この順に積層された構造を有し、  
前記第 1 上部電極の端部は、第 2 絶縁層で被覆され、  
前記第 2 上部電極の端部は、前記第 2 絶縁層上に配置されている、  
半導体装置。

## 【請求項 2】

前記半導体材料は、酸化物半導体である、  
請求項 1 に記載の半導体装置。

10

## 【請求項 3】

前記第 1 上部電極は、積層方向から見て前記下部電極に包含される領域に配置されている  
請求項 1 に記載の半導体装置。

## 【請求項 4】

前記第 2 上部電極は、積層方向から見て前記第 1 上部電極を包含する領域に配置されている  
請求項 1 に記載の半導体装置。

## 【請求項 5】

前記第 1 絶縁層の膜容量は、前記第 2 絶縁層の膜容量よりも大きい  
請求項 1 に記載の半導体装置。

20

## 【請求項 6】

前記第 1 絶縁層の膜厚は、前記第 2 絶縁層の膜厚よりも薄い  
請求項 1 に記載の半導体装置。

## 【請求項 7】

前記第 1 絶縁層と前記第 2 絶縁層とは、同一元素を含む材料で構成されている  
請求項 1 に記載の半導体装置。

## 【請求項 8】

前記第 1 上部電極の端面及び上面の全部が、前記第 2 絶縁層及び前記第 2 上部電極で被覆されている  
請求項 1 に記載の半導体装置。

30

## 【請求項 9】

前記半導体装置は、さらに、複数の配線交差部において互いに交差する複数の走査線と複数のデータ線とを備え、  
前記配線交差部のおおのは、前記基板上に、前記下部電極と同じ層に形成された前記走査線及び前記データ線の一方、前記第 1 絶縁層と同じ層に形成された第 1 配線間絶縁層、前記第 2 絶縁層と同じ層に形成された第 2 配線間絶縁層、及び前記第 2 上部電極と同じ層に形成された前記走査線及び前記データ線の他方が、この順に積層された構造を有している  
請求項 1 に記載の半導体装置。

40

## 【請求項 10】

前記半導体装置は、さらに、複数の薄膜トランジスタを備え、  
前記複数の薄膜トランジスタのおおのは、前記基板上に、前記下部電極と同じ層に形成されたゲート電極、前記第 1 絶縁層と同じ層に形成されたゲート絶縁層、前記第 1 上部電極と同じ層に形成されたチャネル、前記第 2 絶縁層と同じ層に形成されたチャネルエッチングストップパ、並びに前記第 2 上部電極と同じ層に形成されたソースドレイン電極が、この順に積層された構造を有し、  
前記チャネルエッチングストップパは、前記チャネル上のチャネルコンタクト部を除外して配置され、前記チャネルは、前記チャネルコンタクト部において、前記ソースドレイン

50

電極と直接接続している

請求項 1 に記載の半導体装置。

【請求項 1 1】

基板上に複数の容量素子が配置された半導体装置の製造方法であって、

前記複数の容量素子のおのおのは、下部電極、第 1 絶縁層、半導体材料からなる第 1 上部電極、及び第 2 上部電極が、この順に積層された構造を有しており、

前記基板上に第 1 導電膜を形成し、当該第 1 導電膜をパターニングすることにより、前記下部電極を形成する第 1 工程と、

少なくとも前記下部電極を覆う第 1 絶縁膜を、前記第 1 絶縁層として形成する第 2 工程と、

前記第 1 絶縁膜上に半導体膜を形成し、当該半導体膜をパターニングすることにより、前記第 1 上部電極を形成する第 3 工程と、

少なくとも前記第 1 上部電極を覆う第 2 絶縁膜を形成する第 4 工程と、

前記第 2 絶縁膜をパターニングすることにより、前記第 1 上部電極の端部以外の一部を露出させる第 5 工程と、

少なくとも前記第 1 上部電極の露出した前記一部を覆う第 2 導電膜を形成する第 6 工程と、

前記第 2 導電膜をパターニングすることにより、端部が前記第 2 絶縁膜上に配置されている第 2 上部電極を形成する第 7 工程と、を含み、

前記第 5 工程において、前記第 2 絶縁膜のエッチングレートが前記半導体膜のエッチングレートよりも速くなる条件でエッチングを行うことにより、前記第 2 絶縁膜をパターニングする

半導体装置の製造方法。

【請求項 1 2】

前記半導体装置は、さらに、複数の配線交差部において互いに交差する複数の走査線と複数のデータ線と、複数の薄膜トランジスタとを備え、

前記配線交差部のおのおのは、前記基板上に、前記下部電極と同じ層に形成された前記走査線及び前記データ線の一方、前記第 1 絶縁層と同じ層に形成された第 1 配線間絶縁層、前記第 2 絶縁層と同じ層に形成された第 2 配線間絶縁層、及び前記第 2 上部電極と同じ層に形成された前記走査線及び前記データ線の他方が、この順に積層された構造を有し、

前記複数の薄膜トランジスタのおのおのは、前記基板上に、前記下部電極と同じ層に形成されたゲート電極、前記第 1 絶縁層と同じ層に形成されたゲート絶縁層、前記第 1 上部電極と同じ層に形成されたチャネル、前記第 2 絶縁層と同じ層に形成されたチャネルエッチングストッパ、並びに前記第 2 上部電極と同じ層に形成されたソースドレイン電極が、この順に積層された構造を有し、

前記製造方法は、

前記第 1 工程において、前記第 1 導電膜をパターニングすることにより、さらに、前記走査線及び前記データ線の前記一方、及び前記ゲート電極を形成し、

前記第 2 工程において、前記第 1 絶縁膜を、さらに前記走査線及び前記データ線の前記一方、及び前記ゲート電極を覆うように、前記第 1 配線間絶縁層及び前記ゲート絶縁層として形成し、

前記第 3 工程において、前記半導体膜をパターニングすることにより、さらに、前記チャネルを形成するとともに、前記配線交差部における前記半導体膜を除去し、

前記第 4 工程において、前記第 2 絶縁膜を、さらに、前記第 1 配線間絶縁層及び前記チャネルを覆うように、前記第 2 配線間絶縁層及び前記チャネルエッチングストッパとして形成し、

前記第 5 工程において、前記第 2 絶縁膜をパターニングすることにより、さらに、前記チャネルの一部を露出させ、

前記第 6 工程において、さらに、前記チャネルの露出した前記一部を覆うように、前記第 2 導電膜を形成し、

10

20

30

40

50

前記第7工程において、前記第2導電膜をパターンングすることにより、前記走査線及び前記データ線の他方、及びソースドレイン電極を形成する

請求項11に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置及び半導体装置の製造方法に関し、特に、信頼性の高い半導体装置を提供する技術に関する。

【背景技術】

【0002】

従来、基板上に複数の容量素子が配置された半導体装置が、各種の表示パネル用基板などの用途に広く用いられている。一般に、表示パネル用基板としての半導体装置には、画素ごとに、保持容量、TFT(Thin Film Transistor)、及び液晶素子又は電子粉流体素子又は電気泳動素子又は有機EL(ElectroLuminescence)素子などの電気光学素子が設けられる。

【0003】

特許文献1には、液晶表示パネル用基板としての半導体装置が開示されている。

【0004】

図9は、特許文献1に開示された半導体装置9の要部の一例を表す断面図である。半導体装置9の当該要部は、容量及びコンタクトとして機能する部分であり、基板90の上に、下電極91、誘電体層92、半導体層93、配線層94、保護層96、平坦化層97、及び画素電極98が、この順に積層された構造を有している。

【0005】

ここで、下電極91、誘電体層92、及び半導体層93からなる積層構造によってMIS(Metal Insulator Semiconductor)容量が形成され、半導体層93の上方には上部電極として配線層94及び画素電極98が形成され、画素電極98の上方には、図示されていない液晶が配置される。下電極91、誘電体層92、半導体層93、及び配線層94は、図示されていないTFTを構成するゲート線、ゲート絶縁層、半導体層、及びドレイン電極の延設部分にそれぞれ形成されている。

【0006】

当該TFTの半導体層及び容量の半導体層93は、例えば高い移動度を持つIGZO(Indium Gallium Zinc Oxide)などの酸化物半導体で構成される。画素電極98は例えばITO(Indium Tin Oxide)などの金属酸化物で構成される。

【0007】

特許文献1の半導体装置によれば、ITOなどで構成される画素電極98の界面と、IGZOなどで構成される半導体層93の界面とが広い面積で直接接触するため、低いコンタクト抵抗を得ることが期待できる。

【先行技術文献】

【特許文献】

【0008】

【特許文献1】特開2011-29304号公報

【発明の概要】

【発明が解決しようとする課題】

【0009】

しかしながら、従来の構造による半導体装置には、半導体層93を劣化させる少なくとも2つの要因が考えられる。それらの要因とは、図9に示されるように、配線層94の開口部を通して半導体層93に入射する光、及び半導体層93と直接接触する層の一つである保護層96から半導体層93に進入する水素ラジカルである。

【0010】

10

20

30

40

50

半導体層 93 は、酸化物半導体で構成されるために、光及び水素ラジカルに対して脆弱であり、光及び水素ラジカルの影響を受けて、例えばフラットバンド電圧の変動など、MIS 素子の特性を変動させる。すなわち、半導体層 93 の劣化は、MIS 容量の特性を変動させ、半導体装置の信頼性を損なう。

【0011】

本発明は、上記の事情に鑑みてなされたものであり、容量の特性変動が生じにくく信頼性の高い半導体装置、及びそのような半導体装置の製造方法を提供する。

【課題を解決するための手段】

【0012】

上記課題を解決するために、本発明に係る半導体装置の 1 つの態様は、基板上に複数の容量素子が配置された半導体装置であって、前記容量素子のおのおのは、前記基板上に、下部電極、第 1 絶縁層、半導体材料からなる第 1 上部電極、及び第 2 上部電極が、この順に積層された構造を有し、前記第 1 上部電極の端部は、第 2 絶縁層で被覆され、前記第 2 上部電極の端部は、前記第 2 絶縁層上に配置されている。

10

【発明の効果】

【0013】

前記半導体装置によれば、下部電極、第 1 絶縁層、第 1 上部電極、及び第 2 上部電極からなる積層構造によって MIS 容量が形成される。第 1 上部電極の端部が第 2 絶縁層で被覆され、第 2 上部電極の端部は、第 2 絶縁層上に配置される形状のために、第 1 上部電極の断面の全周が、第 1 絶縁層、第 2 絶縁層、及び第 2 上部電極の少なくとも何れかと接している。

20

【0014】

そのため、前記半導体装置によれば、従来の半導体装置と異なり、例えばパッシベーション層などで発生する水素ラジカルは、第 1 絶縁層、第 2 絶縁層、及び第 2 上部電極の少なくとも何れかで遮断され、第 1 上部電極に進入しない。その結果、第 1 上部電極の水素ラジカルによる劣化、及び容量の特性変動が抑制されるので、従来の半導体装置と比べてより高い信頼性が得られる。

【図面の簡単な説明】

【0015】

【図 1】図 1 は、比較例に係る半導体装置の構成の一例を示す図である。

30

【図 2】図 2 は、比較例に係る半導体装置の構成の一例を示す図である。

【図 3】図 3 は、比較例に係る半導体装置の構成の一例を示す図である。

【図 4】図 4 は、実施の形態に係る半導体装置の構成の一例を示す図である。

【図 5】図 5 は、実施の形態に係る半導体装置の効果を説明する図である。

【図 6】図 6 は、実施の形態に係る表示装置の構成の一例を示す機能ブロック図である。

【図 7 A】図 7 A は、実施の形態に係る画素部の構成の一例を示す回路図である。

【図 7 B】図 7 B は、実施の形態に係る画素部を駆動するための信号の一例を示す波形図である。

【図 8】図 8 は、実施の形態に係る表示装置の外観の一例を示す図である。

【図 9】図 9 は、従来例に係る半導体装置の構成の一例を示す図である。

40

【発明を実施するための形態】

【0016】

(本発明の基礎となった知見)

本発明者は、従来の半導体装置において生じ得る容量の特性変動を抑制する技術を検討する中で、複数の新しい半導体装置の構造に想到した。しかしながら、それらの新しい構造による半導体装置には、さらに解決されるべき別の課題が存在することが分かった。

【0017】

以下では、まず、それらの半導体装置の構造と課題とを、本発明の比較例として説明し、その後、それらの半導体装置との対比により、本発明の態様を詳細に説明する。

【0018】

50

(比較例 1)

図 1 は、比較例 1 としての半導体装置 6 の構造の一例を示す断面図である。

【0019】

半導体装置 6 は、例えば、複数の画素部が配設された表示パネル用基板として利用可能な半導体装置である。図 1 には、半導体装置 6 の複数の画素部の各々に含まれる画素容量部、配線交差部及び T F T 部の断面構造の一例が示されている。以下の説明では、配線交差部において交差する配線を、便宜上、走査線及びデータ線と呼ぶが、以下の説明は、走査線とデータ線とを入れ替えた場合にも、また他の名称の配線が交差する場合にも同様に成り立つ。

【0020】

半導体装置 6 において、画素容量部は、基板 10 上に、下部電極 11、第 1 絶縁層 12、第 2 絶縁層 14、及び第 2 上部電極 15 が、この順に積層された構造を有している。配線交差部は、基板 10 上に、走査線 21、第 1 配線間絶縁層 22、第 2 配線間絶縁層 24、及びデータ線 25 が、この順に積層された構造を有している。T F T 部は、基板 10 上に、ゲート電極 31、ゲート絶縁層 32、チャンネル 33、チャンネルエッチングストッパ 34、及びソースドレイン電極 35 が、この順に積層された構造を有している。

【0021】

ここで、下部電極 11、走査線 21、及びゲート電極 31 は、例えば、金属などの導電性材料で構成され、当該導電性材料の膜体をパターニングすることによって、何れも同じ層に形成される。

【0022】

第 1 絶縁層 12、第 1 配線間絶縁層 22、及びゲート絶縁層 32 は、何れも、例えば、金属酸化物もしくはシリコン酸化物もしくはシリコン窒化物もしくはアクリル系樹脂もしくはポリイミド系樹脂もしくはそれら積層物もしくはそれら混合物などの第 1 絶縁性材料で構成され、当該第 1 絶縁性材料の膜体をパターニングすることによって、又はパターニングされない当該第 1 絶縁性材料の膜体を用いて同じ層に形成される。

【0023】

チャンネル 33 は、例えば、半導体材料の膜体をパターニングすることによって形成される。

【0024】

第 2 絶縁層 14、第 2 配線間絶縁層 24、及びチャンネルエッチングストッパ 34 は、何れも、例えば、金属酸化物もしくはシリコン酸化物もしくはシリコン窒化物もしくはアクリル系樹脂もしくはポリイミド系樹脂もしくはそれら積層物もしくはそれら混合物などの第 2 絶縁性材料で構成され、当該第 2 絶縁性材料の膜体をパターニングすることによって同じ層に形成される。

【0025】

第 1 絶縁層 12、第 1 配線間絶縁層 22、及びゲート絶縁層 32 と、第 2 絶縁層 14、第 2 配線間絶縁層 24、及びチャンネルエッチングストッパ 34 は、チャンネル 33 と直接接触するために、チャンネル 33 を変質させないように水素ラジカルを発生しない材料を選定もしくは水素ラジカルを発生させない処理をしておくことが望ましい。

【0026】

第 2 上部電極 15、データ線 25、及びソースドレイン電極 35 は、何れも、例えば、金属などの導電性材料で構成され、当該導電性材料の膜体をパターニングすることによって同じ層に形成される。

【0027】

半導体装置 6 の画素容量部には、従来の半導体装置 9 とは異なり、半導体材料で構成される電極が存在しないため、電極の劣化に起因する容量の特性変動が生じない。そのため、半導体装置 6 によれば、従来よりも高い信頼性が得られる。

【0028】

また、半導体装置 6 では、画素容量部において、前記第 1 絶縁性材料で構成される第 1

10

20

30

40

50

絶縁層 1 2 と前記第 2 絶縁性材料で構成される第 2 絶縁層 1 4 とが同じパターンで設けられ、また配線交差部において、前記第 1 絶縁性材料で構成される第 1 配線間絶縁層 2 2 と前記第 2 絶縁性材料で構成される第 2 配線間絶縁層 2 4 とが同じパターンで設けられている。このような構造は、前記第 1 絶縁性材料と前記第 2 絶縁性材料とにエッチングにおける選択性が不要であるため、材料の組合せの選択肢の拡大やプロセスを簡素化するために役立つ。

【 0 0 2 9 】

その反面、半導体装置 6 では、画素容量部と配線交差部とで単位面積当たりの容量が略等しくなるため、画素容量部に求められるより大きな容量と、配線交差部に求められるより小さな容量とを両立することが困難となる。特に表示パネル用基板としての半導体装置では、大型化および高速駆動化および高精細化への対応が求められており、大型化および高精細化に対しては配線交差部の低容量化が重要な課題であり、高精細化に対しては限られた画素領域の中に十分な大きさの画素容量を確保することが重要な課題である。すなわち比較例 1 の構成において、画素容量部の高容量化と配線交差部の低容量化とを両立しづらいことは、非常に大きな不利となる。

10

【 0 0 3 0 】

( 比較例 2 )

図 2 は、比較例 2 としての半導体装置 7 の構造の一例を示す断面図である。

【 0 0 3 1 】

半導体装置 7 は、半導体装置 6 の不利を解消するために、前記第 2 絶縁材料の膜体が、画素容量部では除去され、配線交差部では維持された構成を有している。

20

【 0 0 3 2 】

半導体装置 7 の画素容量部には、従来の半導体装置 9 とは異なり、半導体材料で構成される電極が存在しないため、電極の劣化に起因する容量の特性変動が生じない。そのため、半導体装置 7 によれば、従来よりも高い信頼性が得られる。また、画素容量部の単位面積当たりの容量を配線交差部の単位面積当たりの容量よりも大きく構成できるので、画素容量部の高容量化と配線交差部の低容量化とが容易に両立できる。

【 0 0 3 3 】

その反面、半導体装置 7 では、前記第 1 絶縁性材料と前記第 2 絶縁性材料とに、エッチングにおける選択性がある材料を用いる必要があるため、前記第 1 絶縁性材料と前記第 2 絶縁性材料との組合せの選択肢が限られ、プロセスの統一や簡素化の利点は失われる。

30

【 0 0 3 4 】

( 比較例 3 )

図 3 は、比較例 3 としての半導体装置 8 の構造の一例を示す断面図である。

【 0 0 3 5 】

半導体装置 8 の画素容量部には、従来の半導体装置 9 と同様、下部電極 1 1、第 1 絶縁層 1 2、第 1 上部電極 1 3、及び第 2 上部電極 1 5 からなる積層構造によって M I S 容量が形成されている。

【 0 0 3 6 】

第 1 上部電極 1 3 及びチャンネル 3 3 は、何れも、例えば、酸化物半導体などの半導体材料で構成され、当該半導体材料の膜体をパターンニングすることによって、同じ層に形成される。

40

【 0 0 3 7 】

半導体装置 8 の配線交差部には、画素容量部と比べて容量をより小さくするために、絶縁性材料で構成される第 2 配線間絶縁層 2 4 が設けられる。

【 0 0 3 8 】

半導体装置 8 によれば、配線交差部において第 2 配線間絶縁層 2 4 を走査線 2 1 よりも十分広く設置すれば、例えば半導体層 2 3 が N 型半導体である場合に走査線 2 1 の電位がデータ線 2 5 よりも十分高い電位であって走査線近傍の半導体層 2 3 にチャンネルが誘起されたとしてもチャンネル部とデータ線との接続部との距離が長いために、配線交差部の半導

50

体層 2 3 のチャンネル部との接続抵抗を高く設定でき、実質的に走査線 2 1 とデータ線 2 5 との交差容量を低減させることが可能となる。

【 0 0 3 9 】

その反面、半導体装置 8 は、半導体装置 6 及び半導体装置 7 と比較して、第 2 配線間絶縁層 2 4 を形成するための追加的なパターン領域が必要となるため、高精細化の点で不利である。

【 0 0 4 0 】

( 発明の態様 )

従来構造による半導体装置、及び比較例として検討された複数の半導体装置が有する上述の課題に鑑みて、以下では、容量の特性変動が生じにくく信頼性の高い半導体装置、及びそのような半導体装置の製造方法のいくつかの態様が開示される。

10

【 0 0 4 1 】

本開示に係る半導体装置の 1 つの態様は、基板上に複数の容量素子が配置された半導体装置であって、前記容量素子のおのおのは、前記基板上に、下部電極、第 1 絶縁層、半導体材料からなる第 1 上部電極、及び第 2 上部電極が、この順に積層された構造を有し、前記第 1 上部電極の端部は、第 2 絶縁層で被覆され、前記第 2 上部電極の端部は、前記第 2 絶縁層上に配置されている。

【 0 0 4 2 】

本態様によれば、下部電極、第 1 絶縁層、第 1 上部電極、及び第 2 上部電極からなる積層構造によって M I S 容量が形成される。第 1 上部電極の端部が第 2 絶縁層で被覆され、第 2 上部電極の端部は、第 2 絶縁層上に配置される形状のために、第 1 上部電極 1 3 の断面の全周が、第 1 絶縁層 1 2、第 2 絶縁層 1 4、及び第 2 上部電極 1 5 の少なくとも何れかと接している。

20

【 0 0 4 3 】

そのため、本態様では、従来半導体装置と異なり、例えばパッシベーション層などで発生する水素ラジカルは、第 1 絶縁層、第 2 絶縁層、及び第 2 上部電極の少なくとも何れかで遮断され、第 1 上部電極に進入しない。その結果、第 1 上部電極の水素ラジカルによる劣化、及び容量の特性変動が抑制されるので、従来半導体装置と比べてより高い信頼性が得られる。

【 0 0 4 4 】

本開示に係る半導体装置の 1 つの態様において、前記半導体材料は、酸化物半導体であってもよい。

30

【 0 0 4 5 】

本態様によれば、第 1 上部電極として、移動度に優れた酸化物半導体を用いることができる。

【 0 0 4 6 】

本開示に係る半導体装置の 1 つの態様において、前記第 1 上部電極は、積層方向から見て前記下部電極に包含される領域に配置されていてもよい。

【 0 0 4 7 】

本態様によれば、基板の下方から入射する光は、下部電極で遮断され、第 1 上部電極 1 3 に到達しない。その結果、第 1 上部電極の光による劣化、及び容量の特性変動が抑制されるので、従来半導体装置と比べてより高い信頼性が得られる。

40

【 0 0 4 8 】

本開示に係る半導体装置の 1 つの態様において、前記第 2 上部電極は、積層方向から見て前記第 1 上部電極を包含する領域に配置されていてもよい。

【 0 0 4 9 】

本態様によれば、基板の上方から入射する光は、第 2 上部電極で遮断され、第 1 上部電極 1 3 に到達しない。その結果、第 1 上部電極の光による劣化、及び容量の特性変動が抑制されるので、従来半導体装置と比べてより高い信頼性が得られる。

【 0 0 5 0 】

50



本開示に係る半導体装置の1つの態様において、前記第1絶縁層の膜容量は、前記第2絶縁層の膜容量よりも大きくてもよく、また、前記第1絶縁層の膜厚は、前記第2絶縁層の膜厚よりも薄くてもよい。

【0051】

本態様によれば、画素容量部において、下部電極、第1絶縁層、第1上部電極、及び第2上部電極からなる積層構造によってMIS容量を形成するとともに、配線交差部において、第1絶縁層及び第2絶縁層を介在して、例えば、走査線とデータ線とを交差させた場合に、画素容量部の単位面積当たりの容量を配線交差部の単位面積当たりの容量よりも大きく構成できるので、画素容量部の高容量化と配線交差部の低容量化とが容易に両立できる。

10

【0052】

本開示に係る半導体装置の1つの態様において、前記第1絶縁層と前記第2絶縁層とは、同一元素を含む材料で構成されていてもよい。

【0053】

本態様によれば、材料の選定やプロセスを簡素化するために役立つ。

【0054】

本開示に係る半導体装置の1つの態様において、前記第1上部電極の端面及び上面の全部が、前記第2絶縁層及び前記第2上部電極で被覆されていてもよい。

【0055】

本態様によれば、第1上部電極の端面及び上面の全部が第2絶縁層及び第2上部電極で被覆される形状のために、例えばパッシベーション層などで発生する水素ラジカルは、第2絶縁層及び第2上部電極の少なくとも何れかで遮断され、第1上部電極に進入しない。その結果、第1上部電極の水素ラジカルによる劣化、及び容量の特性変動が抑制されるので、従来の半導体装置と比べてより高い信頼性が得られる。

20

【0056】

本開示に係る半導体装置の1つの態様は、さらに、複数の配線交差部において互いに交差する複数の走査線と複数のデータ線とを備え、前記配線交差部のおのおのは、前記基板上に、前記下部電極と同じ層に形成された前記走査線及び前記データ線の一方、前記第1絶縁層と同じ層に形成された第1配線間絶縁層、前記第2絶縁層と同じ層に形成された第2配線間絶縁層、及び前記第2上部電極と同じ層に形成された前記走査線及び前記データ線の他方が、この順に積層された構造を有していてもよい。

30

【0057】

本態様によれば、MIS容量と配線交差部とを備える半導体装置の信頼性を高めることができる。

【0058】

本開示に係る半導体装置の1つの態様は、さらに、複数の薄膜トランジスタを備え、前記複数の薄膜トランジスタのおのおのは、前記基板上に、前記下部電極と同じ層に形成されたゲート電極、前記第1絶縁層と同じ層に形成されたゲート絶縁層、前記第1上部電極と同じ層に形成されたチャネル、前記第2絶縁層と同じ層に形成されたチャネルエッチングストッパ、並びに前記第2上部電極と同じ層に形成されたソースドレイン電極が、この順に積層された構造を有し、前記チャネルエッチングストッパは、前記チャネル上のチャネルコンタクト部を除外して配置され、前記チャネルは、前記チャネルコンタクト部において、前記ソースドレイン電極と直接接続していてもよい。

40

【0059】

本態様は、MIS容量とTFT部とを備える半導体装置の信頼性を高めることができる。

【0060】

本開示に係る半導体装置の製造方法の1つの態様は、基板上に複数の容量素子が配置された半導体装置の製造方法であって、前記複数の容量素子のおのおのは、下部電極、第1絶縁層、半導体材料からなる第1上部電極、及び第2上部電極が、この順に積層された構

50

造を有しており、前記基板上に第1導電膜を形成し、当該第1導電膜をパターンングすることにより、前記下部電極を形成する第1工程と、少なくとも前記下部電極を覆う第1絶縁膜を、前記第1絶縁層として形成する第2工程と、前記第1絶縁膜上に半導体膜を形成し、当該半導体膜をパターンングすることにより、前記第1上部電極を形成する第3工程と、少なくとも前記第1上部電極を覆う第2絶縁膜を形成する第4工程と、前記第2絶縁膜をパターンングすることにより、前記第1上部電極の端部以外の一部を露出させる第5工程と、少なくとも前記第1上部電極の露出した前記一部を覆う第2導電膜を形成する第6工程と、前記第2導電膜をパターンングすることにより、端部が前記第2絶縁膜上に配置されている第2上部電極を形成する第7工程と、を含み、前記第5工程において、前記第2絶縁膜のエッチングレートが前記半導体膜のエッチングレートよりも速くなる条件でエッチングを行うことにより、前記絶縁膜をパターンングする。

10

## 【0061】

本態様によれば、MIS容量を備えた、信頼性が高い半導体装置を製造できる。

## 【0062】

本開示に係る半導体装置の製造方法の1つの態様において、前記半導体装置は、さらに、複数の配線交差部において互いに交差する複数の走査線と複数のデータ線と、複数の薄膜トランジスタとを備え、前記配線交差部のおおのは、前記基板上に、前記下部電極と同じ層に形成された前記走査線及び前記データ線の一方、前記第1絶縁層と同じ層に形成された第1配線間絶縁層、前記第2絶縁層と同じ層に形成された第2配線間絶縁層、及び前記第2上部電極と同じ層に形成された前記走査線及び前記データ線の他方が、この順に積層された構造を有し、前記複数の薄膜トランジスタのおおのは、前記基板上に、前記下部電極と同じ層に形成されたゲート電極、前記第1絶縁層と同じ層に形成されたゲート絶縁層、前記第1上部電極と同じ層に形成されたチャンネル、前記第2絶縁層と同じ層に形成されたチャンネルエッチングストッパ、並びに前記第2上部電極と同じ層に形成されたソースドレイン電極が、この順に積層された構造を有し、前記製造方法は、前記第1工程において、前記第1導電膜をパターンングすることにより、さらに、前記走査線及び前記データ線の前記一方、及び前記ゲート電極を形成し、前記第2工程において、前記第1絶縁膜を、さらに前記走査線及び前記データ線の前記一方、及び前記ゲート電極を覆うように、前記第1配線間絶縁層及び前記ゲート絶縁層として形成し、前記第3工程において、前記半導体膜をパターンングすることにより、さらに、前記チャンネルを形成するとともに、前記配線交差部における前記半導体膜を除去し、前記第4工程において、前記第2絶縁膜を、さらに、前記第1配線間絶縁層及び前記チャンネルを覆うように、前記第2配線間絶縁層及び前記チャンネルエッチングストッパとして形成し、前記第5工程において、前記第2絶縁膜をパターンングすることにより、さらに、前記チャンネルの一部を露出させ、前記第6工程において、さらに、前記チャンネルの露出した前記一部を覆うように、前記第2導電膜を形成し、前記第7工程において、前記第2導電膜をパターンングすることにより、前記走査線及び前記データ線の他方、及びソースドレイン電極を形成してもよい。

20

30

## 【0063】

本態様によれば、MIS容量、配線交差部、及びTF T部を備えた、信頼性が高い半導体装置を製造できる。

40

## 【0064】

(実施の形態)

以下、本発明の一態様に係る半導体装置および半導体装置の製造方法について、図面を参照しながら具体的に説明する。

## 【0065】

なお、以下で説明する実施の形態は、いずれも本発明の一具体例を示すものである。以下の実施の形態で示される数値、形状、材料、構成要素、構成要素の配置位置及び接続形態、ステップ、ステップの順序などは、一例であり、本発明を限定する主旨ではない。また、以下の実施の形態における構成要素のうち、最上位概念を示す独立請求項に記載されていない構成要素については、任意の構成要素として説明される。

50

## 【0066】

本発明の実施の形態に係る半導体装置は、例えば、複数の画素部が配設された表示パネル用基板として利用可能な半導体装置である。

## 【0067】

図4は、半導体装置1の複数の画素部の各々に含まれる画素容量部、配線交差部及びTFT部の構造の一例を示す断面図である。以下では、前述した比較例に係る半導体装置6、半導体装置7、半導体装置8における構成要素と同一の構成要素には同一の符号を付して適宜説明を省略し、比較例との相違点について主に説明する。

## 【0068】

半導体装置1の画素容量部は、基板10上に、下部電極11、第1絶縁層12、第1上部電極13、及び第2上部電極15がこの順に積層された構造を有している。下部電極11、第1絶縁層12、第1上部電極13、及び第2上部電極15からなる積層構造によってMIS容量が形成されている。

10

## 【0069】

基板10の下方から光が照射される用途を考慮すると、半導体で構成された第1上部電極13の光による特性変動を回避するためには、第1上部電極13は積層方向から見て下部電極11に包含される領域に配置されることが望ましい。

## 【0070】

第1上部電極13の端部は第2絶縁層14で被覆され、第2上部電極15の端部は第2絶縁層14上に配置されている。第1上部電極13は、例えば、酸化物半導体などの半導体材料で構成されてもよい。

20

## 【0071】

半導体装置1の配線交差部は、基板10上に、下部電極11と同じ層に形成された走査線21、第1絶縁層12と同じ層に形成された第1配線間絶縁層22、第2絶縁層14と同じ層に形成された第2配線間絶縁層24、及び第2上部電極15と同じ層に形成されたデータ線25が、この順に積層された構造を有している。

## 【0072】

なお、配線交差部において、走査線21とデータ線25とを入れ替えてもよい。すなわち、図示はされていないが、データ線25が基板10に近い下層に配置され、走査線21が基板10から遠い上層に配置されてもよい。また、配線交差部において、走査線21、データ線25以外の配線が交差してもよい。

30

## 【0073】

半導体装置1のTFT部は、基板10上に、下部電極11と同じ層に形成されたゲート電極31、第1絶縁層12と同じ層に形成されたゲート絶縁層32、第1上部電極13と同じ層に形成されたチャンネル33、第2絶縁層14と同じ層に形成されたチャンネルエッチングストップ34、並びに前記第2上部電極15と同じ層に形成されたソースドレイン電極35が、この順に積層された構造を有している。

## 【0074】

チャンネルエッチングストップ34は、チャンネル33上のチャンネルコンタクト部39を除外して配置され、チャンネル33は、チャンネルコンタクト部39において、ソースドレイン電極35と直接接続している。

40

## 【0075】

このような構造を有する半導体装置1は、例えば次のような方法で製造される。

## 【0076】

(第1工程) 基板10上に第1導電膜を形成し、当該第1導電膜をパターンニングすることにより、下部電極11、走査線21、及びゲート電極31を形成する。

## 【0077】

(第2工程) 少なくとも下部電極11、走査線21、及びゲート電極31を覆う第1絶縁膜を、第1絶縁層12、第1配線間絶縁層22、及び前記ゲート絶縁層32として形成する。

50

## 【0078】

(第3工程)前記第1絶縁膜上に半導体膜を形成し、当該半導体膜をパターニングすることにより、第1上部電極13を形成するとともに、配線交差部における前記半導体膜を除去する。必要に応じて、第1上部電極13は積層方向から見て下部電極11に包含される領域に形成させてもよい。

## 【0079】

(第4工程)少なくとも第1上部電極13、第1配線間絶縁層22、及びチャンネル33を覆う第2絶縁膜を、第2絶縁層14、第2配線間絶縁層24、及び前記チャンネルエッチングストップ34として形成する。

## 【0080】

(第5工程)前記第2絶縁膜をパターニングすることにより、画素容量部において第1上部電極13の端部以外の一部を露出させるとともに、チャンネル33の一部を露出させる。この工程では、前記第2絶縁膜のエッチングレートが前記半導体膜のエッチングレートよりも速くなる条件でエッチングを行うことにより、前記半導体膜パターンを変形させることなく前記第2絶縁膜をパターニングする。

10

## 【0081】

(第6工程)少なくとも第1上部電極13の露出した前記一部、及びチャンネル33の露出した前記一部を覆う第2導電膜を形成する。

## 【0082】

(第7工程)少なくとも第2上部電極15の端部が前記第2絶縁膜上に配置されるよう前記第2導電膜をパターニングすることにより、第2上部電極15、データ線25、及びソースドレイン電極35を形成する。

20

## 【0083】

図5は、半導体装置1の効果を説明する図である。

## 【0084】

図5には、図4の断面構造に加えて、水素ラジカルの発生源となるパッシベーション層16が示されている。

## 【0085】

半導体装置1において、第1上部電極13の端部が第2絶縁層14で被覆され、第2上部電極15の端部は、第2絶縁層14上に配置される。このような形状のために、第1上部電極13の断面の全周が、第1絶縁層12、第2絶縁層14、及び第2上部電極15の少なくとも何れかと接している。別の言い方をすれば、第1上部電極13の端面及び上面の全部が、第2絶縁層14及び第2上部電極15で被覆される。

30

## 【0086】

そのため、半導体装置1では、従来半導体装置9、および比較例3に係る半導体装置8と異なり、パッシベーション層16からの水素ラジカルは、第2絶縁層14及び第2上部電極15の少なくとも何れかで遮断され、第1上部電極13に進入しない。

## 【0087】

その結果、半導体装置1によれば、水素ラジカルによる第1上部電極13の特性の変化、すなわちMIS容量の特性変動が抑制されるので、従来半導体装置9、および比較例3に係る半導体装置8と比べてより高い信頼性が得られる。

40

## 【0088】

また、半導体装置1において、基板10の下方から光が照射される用途を考慮すると、光による第1上部電極13の特性変動を回避するためには、第1上部電極13は、積層方向から見て下部電極11に包含される領域に配置されることが望ましい。このような形状のために、基板10の下方から入射する光は、下部電極11で遮断され、第1上部電極13に到達しない。

## 【0089】

また、半導体装置1において、第2上部電極15は、積層方向から見て第1上部電極13を包含する領域に配置されていてもよい。このような形状によれば、基板10の上方か

50

ら入射する光は、第 2 上部電極 1 5 で遮断され、第 1 上部電極 1 3 に到達しない。

【 0 0 9 0 】

その結果、第 1 上部電極 1 3 の光による劣化、及び容量の特性変動が抑制されるので、半導体装置 1 によれば、従来の半導体装置 9、および比較例 3 に係る半導体装置 8 と比べてより高い信頼性が得られる。

【 0 0 9 1 】

また、半導体装置 1 において、第 1 絶縁層 1 2 の膜容量は、第 2 絶縁層 1 4 の膜容量よりも大きくてもよく、第 1 絶縁層 1 2 の膜厚は、第 2 絶縁層 1 4 の膜厚よりも薄くてもよい。ここで膜容量は単位面積あたりの容量であり、誘電率を膜厚で割った値である。

【 0 0 9 2 】

このような形状によれば、第 1 絶縁層 1 2 と第 2 絶縁層 1 4 とに同じ材料を用いた場合であっても、画素容量部の単位面積あたりの容量を配線交差部の単位面積あたりの容量よりも大きく構成できるので、画素容量部の高容量化と配線交差部の低容量化とを容易に両立できる。

【 0 0 9 3 】

また、半導体装置 1 において、第 1 絶縁層 1 2 と第 2 絶縁層 1 4 とは、同一元素を含む材料で構成されていてもよい。第 1 絶縁層 1 2 及び第 2 絶縁層 1 4 は、例えば、シリコン窒化物及びシリコン酸化物の任意の組み合わせであってもよい。このような構成は、材料の選定やプロセスを簡素化するために役立つ。

【 0 0 9 4 】

図 6 は、実施の形態に係る半導体装置 1 を用いた表示装置 1 0 0 の構成の一例を示す機能ブロック図である。表示装置 1 0 0 は、画像及び映像を表示する装置であり、表示部 1 0 2、コントローラ 1 0 3、走査線ドライバ 1 0 4、データ線ドライバ 1 0 5、及び電源 1 0 7 から構成される。

【 0 0 9 5 】

表示部 1 0 2 は、例えば、有機 E L 表示パネル、又は液晶表示パネルなどの表示パネルで構成され、当該表示パネルの基板として半導体装置 1 が用いられる。半導体装置 1 には、複数の画素部 1 0 6 と、複数の画素部 1 0 6 を制御するための少なくとも複数の走査線 S C A N と複数のデータ線 D A T A が設けられる。電源 1 0 7 は、少なくとも、複数の画素部 1 0 6 に個々に配置された有機 E L を発光させ、かつコントローラ 1 0 3 と走査線ドライバ 1 0 4 とデータ線ドライバ 1 0 5 とを動作させるための、高電位側電源 V D D と低電位側電源 V S S とを出力する。

【 0 0 9 6 】

コントローラ 1 0 3 は、受信された映像信号に基づき、走査線ドライバ 1 0 4 及びデータ線ドライバ 1 0 5 を制御する。走査線ドライバ 1 0 4 及びデータ線ドライバ 1 0 5 は、コントローラ 1 0 3 の制御下で、表示部 1 0 2 を駆動するための信号を走査線 S C A N 及びデータ線 D A T A に出力する。表示部 1 0 2 は、走査線 S C A N 及びデータ線 D A T A から供給される信号に従って、前記映像信号によって表される映像を表示する。

【 0 0 9 7 】

図 7 A は、画素部 1 0 6 の構成の一例を示す回路図であり、図 7 B は、画素部 1 0 6 を駆動するための信号の一例を示す波形図である。

【 0 0 9 8 】

画素部 1 0 6 は、有機 E L 表示パネルに用いられる画素部の最も基本的な一例であり、選択トランジスタ T 1、駆動トランジスタ T D、保持容量 C s、及び発光素子 E L から構成される。走査線 S C A N 及びデータ線 D A T A が画素部 1 0 6 内に延設される。

【 0 0 9 9 】

図 7 A に示された画素部 1 0 6 の A 部、B 部及び C 部が、それぞれ図 4 に示された画素容量部、配線交差部及び T F T 部に対応する。

【 0 1 0 0 】

ここで図 7 A、図 7 B を参照して、保持容量 C s の機能について述べる。

10

20

30

40

50

## 【0101】

選択トランジスタT1のゲート電極とソース電極およびドレイン電極との間には構造的に寄生容量Cpが存在する。すなわち走査線SCANの立下りで画素内ノードNは書込まれたデータ電圧からV(N)だけ変動する。この現象は走査線SCANの変動と選択トランジスタT1の寄生容量Cpによる突き抜けであり、V(N)の大きさは、およそ $V(SCAN) \times Cp / (Cp + Cs)$ である。すなわち保持容量Csが大きいほど、画素内に書込まれたデータ電圧の変動は小さく、画質が安定する。この画質安定化の効果は特にLCD(Liquid Crystal Display)のように偶数フレーム・奇数フレームにおいて、逆極性のデータ電圧を書込む表示装置において顕著である。

## 【0102】

また、選択トランジスタT1の非導通期間において、選択トランジスタT1のソース・ドレイン間にリーク電流Ileakが発生する場合、データ線からデータ電圧の書込みを完了(時刻t=0)してから、1フレーム経過後(時刻t=t1F)の画素内ノードNの変動量は $Ileak \times t1F / Cs$ となる。すなわち保持容量Csが大きいほど、画素内に書込まれたデータ電圧の変動は小さく、画質が安定する。

## 【0103】

さらには、有機ELのような電流駆動素子に流れる電流を駆動トランジスタTDで制御する表示装置であって、特に大画面の表示装置である場合には、低電圧側電源VSSを供給する配線の配線抵抗と、有機EL素子ELの駆動電流とにより、電圧降下が顕著に発生する。すなわち低電圧側電源VSSにおいて電圧分布が発生する。この影響は、駆動トランジスタTDにおける、ゲート電極とソース電極およびドレイン電極との間に構造的に存在する寄生容量により画素電流Ipixの不均一性を生じさせる。Ipixの不均一性については、一般に $(Cs + Cp\_gs) / Cp\_ara$ が大きいほど抑制される。ここでCp\\_gsは駆動トランジスタTDのゲート電極とソース電極との間の寄生容量であり、Cp\\_araは、駆動トランジスタTDのゲート電極とドレイン電極との間の寄生容量を含む、駆動トランジスタTDのゲート電極に接続される全ての容量である。

## 【0104】

上記のように、保持容量Csの容量値を大きくすることは、表示品位を向上させるために重要である。

## 【0105】

図8は、半導体装置1を用いて構成された表示装置100の一例であるテレビジョン受信機の外觀図である。半導体装置1を用いることで、信頼性に優れた表示装置100が実現できる。

## 【0106】

以上、本発明の一つまたは複数の態様に係る半導体装置について、実施の形態に基づいて説明したが、本発明は、この実施の形態に限定されるものではない。本発明の趣旨を逸脱しない限り、当業者が思いつく各種変形を本実施の形態に施したもののや、異なる実施の形態における構成要素を組み合わせて構築される形態も、本発明の一つまたは複数の態様の範囲内に含まれてもよい。

## 【産業上の利用可能性】

## 【0107】

本発明は、有機EL表示装置などの映像表示装置に適用できる。

## 【符号の説明】

## 【0108】

- 1、6～9 半導体装置
- 10 基板
- 11 下部電極
- 12 第1絶縁層
- 13 第1上部電極
- 14 第2絶縁層

10

20

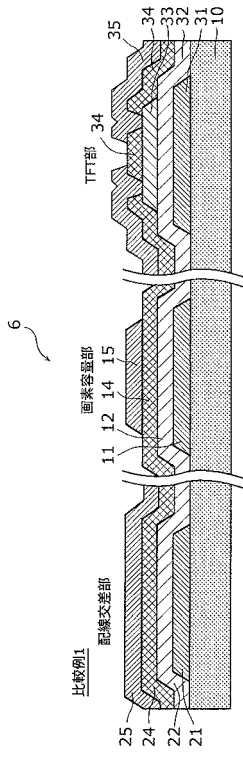
30

40

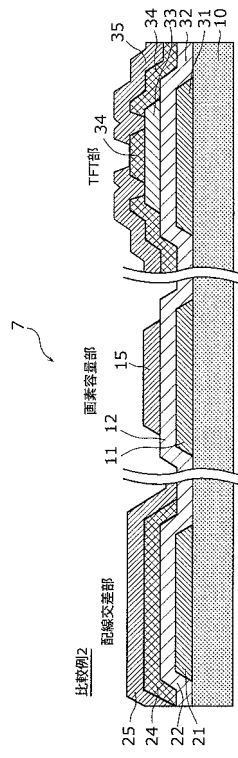
50

1 5	第 2 上部 電極	
1 6	パッシベーション層	
2 1	走査線	
2 2	第 1 配線間絶縁層	
2 4	第 2 配線間絶縁層	
2 5	データ線	
3 1	ゲート電極	
3 2	ゲート絶縁層	
3 3	チャンネル	
3 4	チャンネルエッチングストッパ	10
3 5	ソースドレイン電極	
3 9	チャンネルコンタクト部	
9 0	基板	
9 1	下電極	
9 2	誘電体層	
9 3	半導体層	
9 4	配線層	
9 6	保護層	
9 7	平坦化層	
9 8	画素電極	20
1 0 0	表示装置	
1 0 2	表示部	
1 0 3	コントローラ	
1 0 4	走査線ドライバ	
1 0 5	データ線ドライバ	
1 0 6	画素部	
1 0 7	電源	

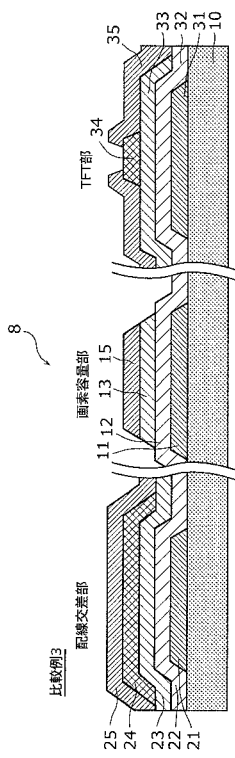
【 図 1 】



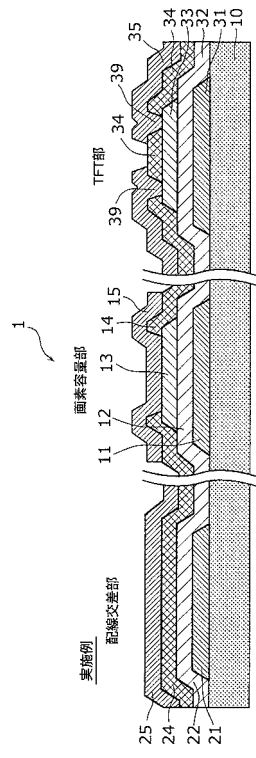
【 図 2 】



【 図 3 】

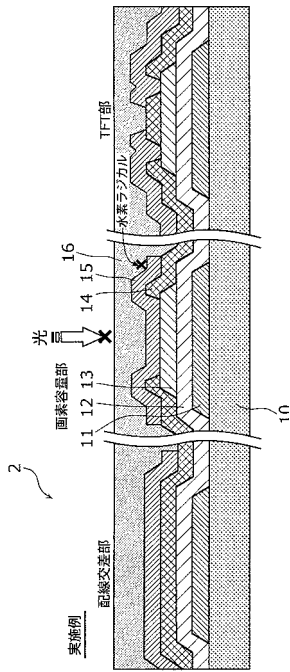


【 図 4 】

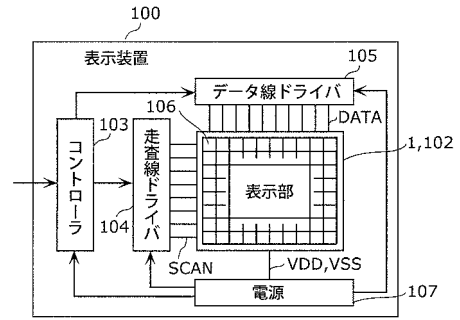




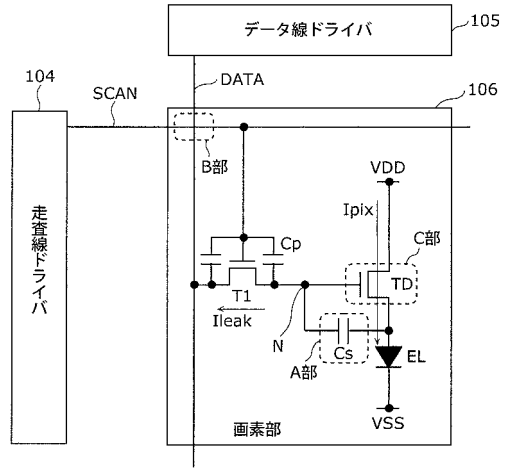
【図5】



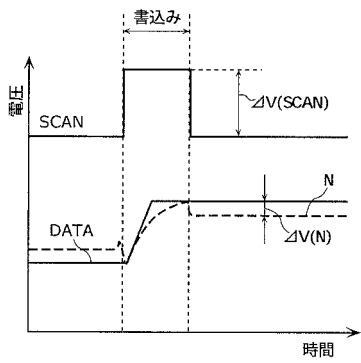
【図6】



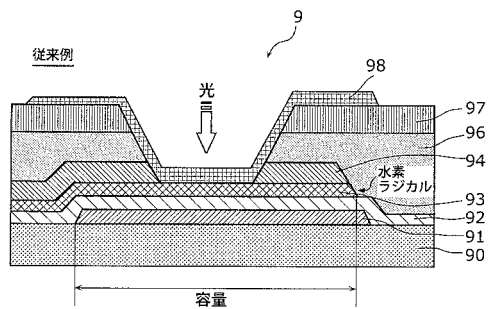
【図7A】



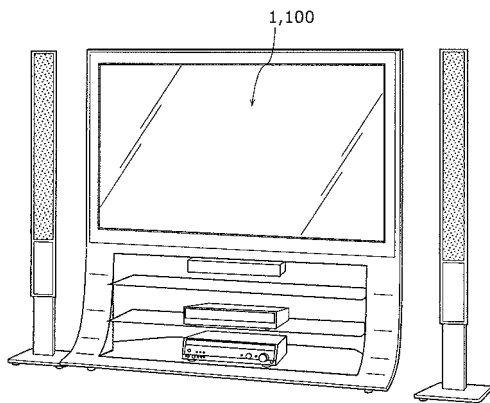
【図7B】



【図9】



【図8】



---

フロントページの続き

(51)Int.Cl. F I テーマコード(参考)  
**G 0 9 F 9/00 (2006.01)** G 0 9 F 9/00 3 3 8

Fターム(参考) 5F110 AA14 BB02 CC07 FF01 FF02 FF03 FF05 GG01 NN02 NN05  
NN22 NN23 NN24 NN27 NN28 NN72 NN73 QQ08  
5G435 AA14 AA17 BB12 CC09 KK05