



(12) 发明专利

(10) 授权公告号 CN 1831928 B

(45) 授权公告日 2010.05.12

(21) 申请号 200610004483.8

(22) 申请日 2006.02.09

(30) 优先权数据

60/652,430 2005.02.12 US

11/318,980 2005.12.27 US

(73) 专利权人 美国博通公司

地址 美国加州

(72) 发明人 斯蒂芬·R·艾伦 加里·C·基尔

(74) 专利代理机构 深圳市顺天达专利商标代理有限公司 44217

代理人 蔡晓红

(51) Int. Cl.

G09G 5/00 (2006.01)

G06F 13/28 (2006.01)

(56) 对比文件

US 2002/0118296 A1, 2002.08.29, 说明书第 7 页第 0050 段至第 0053 段、附图 3.

US 6323868 B1, 2001.11.27, 说明书第 3 栏第 51 行至第 5 栏第 7 行, 说明书第 5 栏第 36 行至第 55 行、附图 1-2.

CN 1140856 A, 1997.01.22, 全文.

同上.

CN 1251191 A, 2000.04.19, 全文.

审查员 王少伟

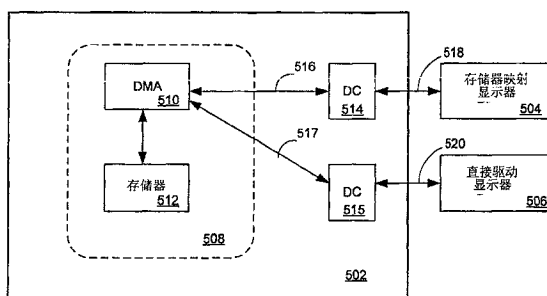
权利要求书 1 页 说明书 13 页 附图 8 页

(54) 发明名称

处理视频数据的方法和处理视频数据的移动多媒体处理器

(57) 摘要

本发明公开了一种处理视频数据的方法和系统,包括确定与将在第一视频显示器上显示的视... 由 DMA 控制器从存储器发往所述第一视频显示器的所述视频数据的流量,可基于与所述将要在第一视频显示器上显示的视频数据相关的所述确定的第一视频格式进行限定。只有所述限定量的将要在所述第一视频显示器上显示的所述视频数据,由所述 DMA 控制器从所述存储器传送到所述第一视频显示器。



1. 一种处理视频数据的方法,其特征在于,包括:

通过显示控制器识别通信连接到一个移动多媒体处理器上的多个视频显示器是隔行扫描显示器还是非隔行扫描显示器,其中所述一个移动多媒体处理器集成在移动设备中;

基于所识别的第一视频显示器是隔行扫描显示器,由所述显示控制器指示 DMA 控制器从单个片载存储器获取隔行扫描的视频数据,并传送给所述第一视频显示器进行显示;

基于所识别的第二视频显示器是非隔行扫描显示器,由所述显示控制器指示 DMA 控制器从所述单个片载存储器获取非隔行扫描的视频数据,并传送给所述第二视频显示器进行显示,其中,所述显示控制器与所述片载存储器集成在所述移动多媒体处理器中。

2. 根据权利要求 1 所述的方法,其特征在于,所述方法进一步包括:

在获取隔行扫描的视频数据时,由 DMA 控制器访问所述片载存储器,先从所有奇数像素行获取解码后视频信息,再从所有偶数像素行获取解码后视频信息。

3. 根据权利要求 1 所述的方法,其特征在于,所述方法进一步包括:

在获取非隔行扫描的视频数据时,由 DMA 控制器访问所述片载存储器,连续从像素行获取解码后视频信息。

4. 一种处理视频数据的移动多媒体处理器,其特征在于,包括:

显示控制器,识别通信连接到所述移动多媒体处理器上的多个视频显示器是隔行扫描显示器还是非隔行扫描显示器,其中所述移动多媒体处理器集成在移动设备中;

DMA 控制器,基于来自所述显示控制器的用于在隔行扫描显示器上进行显示的视频数据请求,从单个片载存储器获取隔行扫描的视频数据,并发往所述显示控制器以在所述隔行扫描显示器上进行显示;

所述 DMA 控制器还基于来自所述显示控制器的用于在非隔行扫描显示器上进行显示的视频数据请求,从所述单个片载存储器获取非隔行扫描的视频数据,并发往所述显示控制器以在所述非隔行扫描显示器上进行显示,其中,所述显示控制器与所述片载存储器集成在所述移动多媒体处理器中。

5. 根据权利要求 4 所述的移动多媒体处理器,其特征在于,在获取隔行扫描的视频数据时,所述 DMA 控制器以先从所有奇数像素行获取解码后视频信息、再从所有偶数像素行获取解码后视频信息的方式访问所述片载存储器。

6. 根据权利要求 4 所述的移动多媒体处理器,其特征在于,在获取非隔行扫描的视频数据时,所述 DMA 控制器以连续从像素行获取解码后视频信息的方式访问所述片载存储器。

处理视频数据的方法和处理视频数据的移动多媒体处理器

技术领域

[0001] 本发明涉及移动多媒体通信,更具体地,本发明涉及支持多种显示格式的移动多媒体处理器中的智能直接存储器访问(DMA)。

背景技术

[0002] 移动通信改变了人们通信的方式,移动电话也从一种奢侈品转变为人们日常生活的基本组成部分。移动电话的使用取决于社会情况,而不受地点和技术的限制。当前,语音连接已经满足了日常通信的基本需要,移动语音连接正不断溶入日常生活的方方面面,而移动通信革命的下一步将是使用移动互联网得的集成移动多媒体应用。

[0003] 能够提供多种高速接入技术的第三代(3G)蜂窝网络,以及特别设计来应用这些技术的移动电话,满足了人们对支持使用高级压缩标准的TV和音频应用、高分辨率游戏应用、音乐接口、外围接口支持等集成多媒体应用的需求。随着芯片设计者使用压缩技术和更高的带宽来传送更多的信息,处理要求也随之提高。3G无线应用所支持的比特率在384k/s到2M/s之间,这允许芯片设计者可以为无线系统提供多媒体性能、更高的质量、更低的干扰和更大的覆盖区域。

[0004] 随着移动多媒体服务越来越普及,功耗、网络性能性价比最优化和服务质量等因素对电信运营商来说将更为重要。细致的网络规划和部署、传输方式的改进、接收器技术和芯片集成方案的提高,才能使上述目标得以实现。在这点上,运营商需要一种技术使得可以为移动多媒体应用提供更高的下行吞吐量,以此来为移动多媒体应用服务的消费者提供更为出色的QoS性能和速率。当前,移动多媒体处理器还未充分开发单片系统(SOC)集成的作用,来为今天的移动手持机提供更为出色的总体系统解决方案。例如,现有的移动处理器可使用多个硬件加速器来支持多种多媒体应用,这将明显地增加功耗、实现复杂度、移动处理器所占空间和移动终端的最终体积。

[0005] 比较本发明后续将要结合附图介绍的系统,现有技术的其它局限性和弊端对于本领域的普通技术人员来说是显而易见的。

发明内容

[0006] 本发明提供了一种用于支持多种显示格式的移动多媒体处理器中的智能直接存储器访问(DMA)的系统和/或方法,并结合至少一幅附图进行了介绍,并在随后的权利要求中进行了完整的说明。

[0007] 根据本发明的一个方面,提供一种处理视频数据的方法,包括:

[0008] 通过显示控制器识别通信连接到一个移动多媒体处理器上的多个视频显示器是隔行扫描显示器还是非隔行扫描显示器,其中所述一个移动多媒体处理器集成在移动设备中;

[0009] 基于所识别的第一视频显示器是隔行扫描显示器,由所述显示控制器指示DMA控制器从单个片载存储器获取隔行扫描的视频数据,并传送给所述第一视频显示器进行显

示；

[0010] 基于所识别的第二视频显示器是非隔行扫描显示器，由所述显示控制器指示 DMA 控制器从所述单个片载存储器获取非隔行扫描的视频数据，并传送给所述第二视频显示器进行显示，其中，所述显示控制器与所述片载存储器集成在所述移动多媒体处理器中。

[0011] 优选地，所述方法进一步包括：在获取隔行扫描的视频数据时，由 DMA 控制器访问所述片载存储器，先从所有奇数像素行获取解码后视频信息，再从所有偶数像素行获取解码后视频信息。

[0012] 优选地，所述方法进一步包括：在获取非隔行扫描的视频数据时，由 DMA 控制器访问所述片载存储器，连续从像素行获取解码后视频信息。

[0013] 根据本发明的一个方面，提供一种处理视频数据的移动多媒体处理器，包括：

[0014] 显示控制器，识别通信连接到所述移动多媒体处理器上的多个视频显示器是隔行扫描显示器还是非隔行扫描显示器，其中所述移动多媒体处理器集成在移动设备中；

[0015] DMA 控制器，基于来自所述显示控制器的用于在隔行扫描显示器上进行显示的视频数据请求，从单个片载存储器获取隔行扫描的视频数据，并发往所述显示控制器以在所述隔行扫描显示器上进行显示；

[0016] 所述 DMA 控制器还基于来自所述显示控制器的用于在非隔行扫描显示器上进行显示的视频数据请求，从所述单个片载存储器获取非隔行扫描的视频数据，并发往所述显示控制器以在所述非隔行扫描显示器上进行显示，其中，所述显示控制器与所述片载存储器集成在所述移动多媒体处理器中。

[0017] 优选地，在获取隔行扫描的视频数据时，所述 DMA 控制器以先从所有奇数像素行获取解码后视频信息、再从所有偶数像素行获取解码后视频信息的方式访问所述片载存储器。

[0018] 优选地，在获取非隔行扫描的视频数据时，所述 DMA 控制器以连续从像素行获取解码后视频信息的方式访问所述存储器。

[0019] 根据本发明的一个方面，提供一种处理视频数据以进行显示的方法，包括：

[0020] 确定将在第一视频显示器上显示的视频数据的第一视频格式，所述第一视频显示器与集成在手持设备中的一个移动多媒体处理器通信连接；

[0021] 确定将在第二视频显示器上显示的视频数据的第二视频格式，所述第二视频显示器与集成在所述手持设备中的所述一个移动多媒体处理器同时通信连接；

[0022] 将具有所述第一显示格式的视频数据传送给与所述一个移动多媒体处理器连接的所述第一视频显示器；

[0023] 同时将具有所述第二显示格式的视频数据传送给与所述一个移动多媒体处理器连接的所述第二视频显示器。

[0024] 优选地，所述将具有所述第一显示格式的视频数据传送给所述第一视频显示器通过 DMA 传输进行。

[0025] 优选地，所述将具有所述第二显示格式的视频数据传送给所述第二视频显示器通过 DMA 传输进行。

[0026] 本发明的这些和其他优点、目的和创新特征，以及所描述的实施例的细节，在结合以下说明和附图后将得到全面的理解。

附图说明

- [0027] 下面将结合附图及实施例对本发明作进一步说明,附图中:
- [0028] 图 1A 是依据本发明一个实施例的移动多媒体系统的结构示意图;
- [0029] 图 1B 是依据本发明一个实施例的移动多媒体处理器的结构式意图;
- [0030] 图 1C 是依据本发明一个实施例的集成有外围设备的多媒体处理器的功能框图;
- [0031] 图 2 是依据本发明一个实施例的使用单显示控制器支持隔行扫描和非隔行扫描视频显示的移动多媒体处理器中的智能 DMA 的功能框图;
- [0032] 图 3 是依据本发明一个实施例的支持隔行扫描视频显示的移动多媒体处理器中的智能 DMA 的存储器使用情况的示意图;
- [0033] 图 4 是依据本发明一个实施例的支持非隔行扫描视频显示的移动多媒体处理器中的智能 DMA 的存储器使用情况的示意图;
- [0034] 图 5 是依据本发明一个实施例的使用两个显示控制器支持隔行扫描和非隔行扫描视频显示的移动多媒体处理器中的智能 DMA 的功能框图;
- [0035] 图 6 是依据本发明一个实施例的处理视频数据的流程图。

具体实施方式

[0036] 本发明提供一种支持多种显示格式的移动多媒体处理器中的智能直接存储器访问 (DMA) 的方法和系统。在本发明的一个实施例中,在集成在移动设备如蜂窝电话、PDA 或任何其他手持通信设备中的视频核内提供通过智能直接存储器访问 (DMA) 控制器实现的存储器访问功能。更具体地,可使用智能 DMA 控制器访问存储在片载存储器内的已解码视频信息,并且从所存储的视频信息中识别整个像素行。显示控制器可用于将通过智能 DMA 控制器访问到的已解码视频信息传送给一个或多个视频显示设备。所述显示控制器还可用于支持例如隔行扫描和非隔行扫描显示设备。在这点上,如果信息发往隔行扫描视频显示设备如 TV,那么显示控制器可用于引导智能 DMA 先从奇数行读取并传送解码视频信息,再从偶数行读取并传送视频信息。

[0037] 以类似的方式,如果信息发送给非隔行扫描视频显示设备如 LCD 时,显示控制器的作用是引导智能 DMA 从连续行中读取并传送已解码视频信息。通过使用可识别像素行边界的智能 DMA 控制器,处理速度可得到显著的提升,这是因为只有想要的视频数据才发往隔行扫描和 / 或非隔行扫描显示设备,获取的数据无一被丢弃。所述 DMA 控制器还可在显示控制器的引导下跳过一行或前进一行。此外,所述智能 DMA 控制器还允许在调整视频的过程中加快处理速度,这时可多次获取并使用当前的像素行,或者在缩放视频的过程中加快处理速度,这时可多次获取并使用前一像素行。所述智能 DMA 控制器可以在隔行扫描和非隔行扫描显示中使用单个存储器来存储视频信息。隔行扫描显示的实现可以无需获取一个帧 (或像素行) 两次并丢弃其中一行,或将奇数行和偶数行分别存储在单独的存储器模块中。

[0038] 图 1A 是依据本发明一个实施例的移动多媒体系统的结构示意图。如图 1A 所示为移动多媒体系统 105,包括移动多媒体设备 105a、TV 101h、PC 101k、外部摄像头 101m、外部存储器 101n 和外部 LCD 显示器 101p。移动多媒体设备 105a 可以是蜂窝电话或其他手持通

信设备。移动多媒体设备 105a 可包括移动多媒体处理器 (MMP) 101a、天线 101d、音频模块 101s、射频 (RF) 模块 101e、基带处理模块 101f、LCD 显示器 101b、键盘 101c 和摄像头 101g。

[0039] MMP 101a 可包含适当的电路、逻辑和 / 或代码,用于为移动多媒体设备 105a 进行视频和 / 或多媒体处理。MMP 101a 还可进一步包括多个集成接口,用于支持连接到移动多媒体设备 105a 的一个或多个外部设备。例如,MMP101a 可支持与 TV 101h、PC 101k、外部摄像头 101m、外部存储器 101n 和外部 LCD 显示器 101p 的连接。

[0040] 在工作过程中,移动多媒体设备可通过天线 101d 接收信号。收到的信号可由 RF 模块 101e 进行处理,并由基带处理模块 101f 将 RF 信号转换为基带。然后基带信号由 MMP 101a 进行处理。通过集成的摄像头 101g、TV 101h、PC101k 和 / 或外部摄像头 101m 还可接收音频和 / 或视频信号。在信号处理过程中,MMP 101a 可使用外部存储器 101n 来存储处理后的数据。处理后的音频数据发往音频模块 101s,处理后的视频数据发往例如 LCD 101b 或外部 LCD 101p。键盘 101c 可用于传送 MMP 101a 处理音频或视频数据时所需要的处理命令和 / 或其他数据。

[0041] 图 1B 是依据本发明一个实施例的移动多媒体处理器的结构式意图。如图 1B 所示,移动多媒体处理器 102 可包含适当的逻辑、电路和 / 或代码,用于为手持多媒体产品执行视频和 / 或多媒体处理。例如,移动多媒体处理器 102 可设计 / 优化为通过使用集成的外围设备和视频处理核心,进行视频记录 / 回放、移动 TV 和 3D 移动游戏。移动多媒体处理器 102 包括视频处理核心 103、RAM104、模拟模块 106、直接存储器访问 (DMA) 控制器 163、音频接口 (I/F) 142、记忆棒 I/F 144、SD 卡 I/F 146、JTAG I/F 148、TV 输出 I/F 150、USB I/F152、摄像头 I/F 154、主机 I/F 129 和内置集成电路 (I²C) I/F 156。移动多媒体处理器 102 可进一步包括串行外围接口 (SPI) 157、通用异步接收器 / 发射器 (UART) I/F 159、通用输入 / 输出 (GPIO) 管脚 164、显示控制器 162、外部存储器 I/F 158 和第二外部存储器 I/F 160。

[0042] 视频处理核心 103 可包括适当的电路、逻辑和 / 或代码,用于执行数据的视频处理。RAM 104 可包括适当的逻辑和 / 或代码,用于存储片载数据,如视频数据。在本发明的一个实施例中,RAM 104 可用于存储 10Mb 的片载数据,例如。片载 RAM 104 的大小与成本或其他因素例如芯片大小有关。

[0043] 模拟模块 106 可包含开关模式电源 (SMPS) 模块和锁相环 (PPL) 模块。此外,模拟模块 106 可包括片载 SMPS 控制器,用于生成其核心电压。该核心电压可依据例如移动多媒体处理器 102 上的速率要求进行软件编程,以此对功率管理进行进一步控制。

[0044] 在本发明的一个实施例中,正常情况下的核心电压工作范围在 0.8V-1.2V 之间,在休眠模式下,这个值降至约 0.6V。模拟模块 106 还可包括多个锁相环,用于为例如外部设备生成 195kHz-200MHz 的时钟。根据应用的类型,还可以使用其他的电压值和时钟速率。移动多媒体处理器 102 可包括多个工作电源模式,例如,运行、待机、休眠和掉电模式。依据本发明的一个实施例,移动多媒体处理器 102 可包括旁路模式,允许主机在掉电模式下访问存储器映射的外围设备。在旁路模式下,移动多媒体处理器 102 可在正常工作过程中直接对显示器进行控制,使得主机在待机模式下能维持所显示的内容。

[0045] 音频模块 108 可包括适当的逻辑、电路和 / 或代码,用于通过例如内置集成电路音频 (I²S) 总线、脉冲编码调制 (PCM) 或音频编解码 (AC' 97) 接口 142 或其他适当的接口与

移动多媒体处理器 102 进行通信。在使用 AC' 97 和 / 或 I²S 接口的情况下,无论是在主模式还是从模式下,可使用适当的音频控制器、处理器和 / 或电路来分别提供 AC' 97 和 / 或 I²S 音频输出。在使用 PCM 接口的情况下,可使用适当的音频控制器、处理器和 / 或电路来实现话音或高质量立体声音频的输入输出。PCM 音频控制器、处理器和 / 或电路可包含独立的发射和接收先入先出 (FIFO) 缓存器,并使用 DMA 进一步降低处理器开销。音频模块 108 还可包括有音频输入、音频输出端口和扬声器 / 麦克风端口 (图 1B 中未标出)。

[0046] 移动多媒体设备 100 可包括至少一个便携存储器输出 / 输出 (I/O) 模块。在这点上,记忆棒模块 110 可包括适当的逻辑、电路和 / 或代码,用于通过记忆棒支持接口 144 与移动多媒体处理器 102 进行通信。SD 卡模块 112 可包括适当的逻辑、电路和 / 或代码,用于通过 SD 输入 / 输出 (I/O) 接口 146 与移动多媒体处理器 102 通信。多媒体卡 (MMC) 还可用于通过例如 SD 输入 / 输出 (I/O) 接口 146 来与移动多媒体处理器 102 通信。移动多媒体设备 100 可包括其他便携存储器 I/O 模块,例如 xD I/O 卡。

[0047] 调试模块 114 可包括适当的逻辑、电路和 / 或代码,用于通过例如联合测试行动组 (JTAG) 接口 148 来与移动多媒体处理器 102 进行通信。调试模块 114 可用于访问移动多媒体处理器 102 的地址空间,并可通过仿真接口执行边界扫描。移动多媒体设备 100 还可以使用其他测试接入端口 (TAP)。相位交替行 (PAL) / 国家电视标准委员会 (NTSC) TV 输出 I/F 150 可用于与 TV 进行通信,通用串行总线 (USB) 1.1 或其他变体、从端口 I/F 152 可用于与例如 PC 进行通信。摄像头 120 和 / 或 122 可包括适当的逻辑、电路和 / 或代码,用于通过例如多格式原始 CCIR 601 摄像头接口 154 来与移动多媒体处理器 102 进行通信。摄像头 I/F 154 可使用例如开窗口和子采样功能,将移动多媒体处理器 102 与移动 TV 前端连接。

[0048] 移动多媒体处理器 102 还可包括多个串行接口,例如 USB I/F 152、内置集成电路 (I²C) 主 I/F 156、串行外围设备接口 (SPI) 157 和用于蓝牙或 IrDA 的通用异步接收器 / 发射器 (UART) I/F 159。I²C 主接口 156 可包括适当的电路、逻辑和 / 或代码,用于控制图像传感器,并可用于连接智能电池和其他外围设备。SPI 主接口 157 可包括适当的电路、逻辑和 / 或代码,用于控制图像传感器。使用中断或通过 DMA 控制器 163 在轮询模式 (polled mode) 下工作时,可使用双芯片选择。此外,移动多媒体处理器 102 还可包含多个通用 I/O (GPIO) 管脚 164,用于用户所定义的 I/O 或连接到其他内部外围设备。显示控制器 162 可包括适当的电路、逻辑和 / 或代码,用于例如支持 XGA 分辨率下的多种显示,以及处理 8/9/16/21 比特视频数据。

[0049] 基带闪存 124 可用于通过例如 8/16 比特并行主机接口 129 从移动多媒体处理器 102 接收数据。主机接口 129 可用于提供具备独立地址和数据寄存器的两条信道,通过该信道,主机处理器可直接读和 / 或写移动多媒体处理器 102 的存储空间。基带处理模块 126 可包含适当的逻辑、电路和 / 或代码,用于将 RF 信号转换为基带信号,并通过例如主机接口 129 将处理后的基带信号传送给移动多媒体处理器 102。RF 处理模块 130 可包括适当的逻辑、电路和 / 或代码,用于通过天线 132 接收信号,并将 RF 信号传送给基带处理模块 126。主机接口 129 可包含具备电源有效旁路模式的双软件信道。

[0050] 主 LCD 134 用于通过显示控制器 162 从移动多媒体处理器 102 接收数据,或从例如第二外部存储器接口 160 接收数据。显示控制器 162 可包括适当的逻辑、电路和 / 或代

码,用于驱动内部 TV 输出功能,或连接到 LCD 内。显示控制器 162 可用于支持一定范围的屏幕缓冲格式,使用直接存储器访问 (DMA) 来对缓存器进行直接访问,增加视频处理核 103 的视频处理效率。显示控制器 162 可生成 NTSC 和 PAL 光栅格式来驱动 TV 输出。显示控制器 162 还可支持其他格式,如 SECAM。

[0051] 在本发明的一个实施例中,显示控制器 162 可用于支持多种显示,例如,隔行扫描显示例如 TV,和 / 或非隔行扫描显示例如 LCD。显示控制器 162 还可识别并向 DMA 控制器 163 传送显示类型。在这点上,DMA 控制器 163 可通过隔行扫描或非隔行扫描方式获取视频数据,然后发往通过显示控制器 162 连接到移动多媒体处理器 102 的隔行扫描或非隔行扫描显示器。

[0052] 代用 LCD 136 可包括适当的逻辑、电路和 / 或代码,用于通过例如第二外部存储器接口与移动多媒体处理器 102 通信。移动多媒体处理器 102 可包括有 RGB 外部数据总线。移动多媒体处理器 102 可使用像素级插值和可设置的刷新率对图像输出进行调整。

[0053] 可选闪存 138 可包括适当的逻辑、电路和 / 或代码,用于通过例如外部存储器接口 158 来与移动多媒体处理器 102 通信。可选 SDRAM 140 可包括适当的逻辑、电路和 / 或代码,用于通过例如外部存储器接口 158 来从移动多媒体处理器 102 接收数据。移动多媒体处理器 102 可使用外部存储器 I/F 158 来连接到例如外部 SDRAM 140、SRAM、闪存 138 和 / 或外部外围设备。SDRAM 140 和其他异步设备的控制和定时信息可由移动多媒体处理器 102 进行配置。

[0054] 移动多媒体处理器 102 还可进一步包括次级存储器接口 160,以此来连接到例如存储器映射 LCD 和外部外围设备。次级存储器接口 160 可包括适当的电路、逻辑和 / 或代码,用于将移动多媒体处理器 102 连接到低速设备,而不会对外部存储器的访问速度造成影响。次级存储器接口 160 可提供例如 16 条数据行,6 个芯片选择 / 地址行,以及安装时使用的可编程总线计时,和访问与占用时间。移动多媒体处理器 102 可为 NAND/NOR 闪存提供支持,包括例如 NAND 启动和高速直接存储器访问 (DMA)。

[0055] 在工作过程中,移动多媒体处理器 102 可为处理后的视频数据的显示提供多种显示格式。例如,隔行扫描和 / 或非隔行扫描外部显示器可通过显示控制器 162 连接到移动多媒体处理器 102。显示控制器 162 可将外部显示类型传送给 DMA 控制器 163。DMA 控制器 163 随后访问片载 RAM 104,并获取对应于外部显示类型的隔行扫描或非隔行扫描格式的处理后视频数据。

[0056] 图 1C 是依据本发明一个实施例的集成有外围设备的多媒体处理器的功能框图。如图 1C 所示,移动多媒体处理器 141 包括处理器核心 143、核心电压开关电源 (SMPS) 145、USB 线性调节器 148、主振荡器 146、重置控制器 147、时钟控制器 149、锁相环 (PPL) 模块 149a、...、149d、外部存储器接口 151、次级存储器接口 153、主机接口 155、旁路逻辑 157、ID 和加密模块 159 以及中断控制器 161。移动多媒体处理器 141 可进一步包括系统计时器 163、通用 I/O(GPIO) 模块 165、摄像头接口 167、显示控制器 169、TV 输出接口 171、TV 输出转换器 173、USB 接口 175、USB 物理 (PHY) 层接口 177、内置集成电路 (I²C) 控制器 179、串行外围设备接口 (SPI) 181 和通用异步接收器 / 发射器 (UART) 接口 183。移动多媒体处理器 141 还可包括音频编解码 97' (AC' 97) 和内置集成电路音频 (I²S) 控制器 185、脉冲编码调制音频接口 187、记忆棒接口 189、SD 卡接口 191、联合测试行动组 (JTAG) 控制器 195、外

围设备总线 196、先进高性能总线 (AHB) 196a 和先进外围总线 (APB) 196b。处理器核心 143 可包括存储器控制器 197、片载调试模块 193、矢量处理单元 142 和标量处理单元 144。存储器控制器 197 可包括 NAND 启动模块 150 和直接存储器访问 (DMA) 控制器 198。

[0057] 处理器核心 143 用于处理建立在 2D 形式数据基础上的应用, 例如图像处理。处理核心 143 中的图像处理任务可由标量处理单元 144 和 / 或矢量处理单元 142 分担, 这使得处理器核心 143 可以以高达 150MHz 的时钟速率工作。标量处理单元 144 可用于在每个周期内执行两个标量指令。分支预测逻辑还可用于将流水线停顿 (pipeline stall) 最小化。此外, 处理器核心 143 可使用反向兼容指令集以及允许 32 位音频支持的新指令。

[0058] 核心电压 SMPS 145 可包括适当的电路、逻辑和 / 或代码, 用于为移动多媒体处理器 141 内的处理器核心 143 生成电压。该电压可依据芯片的速率要求进行软件编程, 以此来对电源管理进行进一步控制。所述核心操作电压的范围在 0.8V-1.2V 之间, 在休眠模式下, 该值下降 0.6V。处理器核心 143 可控制片载电源 145 的输出电压, 由此可以在移动多媒体处理器 141 不工作在最高速的时候降低功耗。可以分别在处理器核心 143 运行 (或待机) 时或休眠时分别对 SMPS 145 所提供的核心电压进行设定。在运行模式下, 例如, 核心电压可在 0.8V-1.2V 之间进行调整, 来满足性能 / 省电要求。在休眠模式下, 核心电压将降至 0.6V, 可在不丢失状态的情况下将功耗最小化。这两种电压都可在上电和重置后初始到 1.2V。如果核心电压发生了改变, 可使用监视模块 (“watchdog”) 来从失败情况下进行恢复, 此时移动多媒体处理器 141 内的时钟速率将降低, 使得处理器核心 143 能在较低电压条件下工作。

[0059] USB 线性调节器 148 包括有合适的电路和 / 或逻辑, 用于从 5V USB VBUS 电源中为 USB PHY 层接口 177 生成例如 3.3V 的电源电压。

[0060] 重置控制器 147 包括启动控制器和 / 或上电复位单元。在重置之后, 启动控制器检查移动多媒体处理器 141 内的管脚配置, 来确定所需的模式, 并控制内部存储器 BIST/BISR 和外部闪存按要求启动。

[0061] 时钟控制器 149 可包括适当的电路和 / 或逻辑, 用于协调 4 个 PLL 模块 149a、...、149d, 为处理器核心 143 和 / 或外围设备生成时钟。时钟控制器 149 可使用 PLL 模块 149a、...、149d 和 / 或附加独立的分离电路来生成更大范围的时钟信号, 使得可以在只使用一个外部晶振或时钟源的情况下, 按适当的频率来驱动移动多媒体处理器 141 内的外围设备。核心时钟由主振荡器 146 (正常为例如 13.5MHz) 在上电时进行驱动, 随后在核心 PLL 149a 可用后, 切换至核心 PLL 149a。

[0062] 核心 PLL 149a 包含适当的电路、逻辑和 / 或代码, 用于调整核心时钟频率, 使其满足性能和 / 或功耗要求。除了核心 PLL 149a 之外, 其他 PLL 模块 149b、149c 和 149d 可用于为多种外围设备生成更大范围的独立时钟频率。此外, 时钟控制器 149 可为临界频率外围设备如摄像头、LCD、自动客户 / 呼叫者识别系统 (ACIS)、PCM、通用串行总线 (USB) 和 / 或可移动存储设备提供独立时钟。时钟管理器 149 还可提供通用时钟 (GENCLK), 并将其提供给 GPIO 接口 165 的输出。每个时钟信号均可以从主振荡器 146 和 / 或 PLL 模块 149b、149c 和 149d 三者之一中生成。核心 PLL 149a 也可被选为时钟源。

[0063] 主振荡器 146 可用于支持高达例如 27MHz 的晶振频率。内部 PLL 模块 149a、...、149d 可用于产生想要的核心时钟频率。振荡器 146 也可由数字时钟信号驱动。当在移动多

媒体处理器 141 内使用外部时钟源时,可支持高达 35MHz 的输入频率。

[0064] 外部存储器接口 151 可包含适当的电路和 / 或逻辑,可允许 16 位或 32 位 SDRAM 和 / 或异步存储设备连接到移动多媒体处理器 141。SDRAM 和异步存储器的控制和计时信息都可由处理器核心 143 进行完全配置。存储器接口 151 可工作在核心频率或高达例如 85MHz 的半核心频率。外部直接存储器访问 (DMA) 也可通过 DMA 控制器 198 来支持。

[0065] NAND 启动模块 150 可包括适当的电路和 / 或逻辑,用于向内部 SRAM 中加载启动程序,然后将处理器从待机状态转为工作状态。启动代码可存储在 NAND 闪存的连续页中,其中在例如第一 128kB 中,第一页包含在 16kB 地址边界中。启动代码的第一个 16 位可包括有签名字。在 32 位代码字中随后的 16 位包括有可执行启动代码的大小,接着就是可执行启动代码本身。为防止启动代码中的数据损坏,对启动代码中的每个字都进行了重复。

[0066] 次级存储器接口 153 可包含适当的电路和 / 或逻辑,可连接低速设备却不影响外部存储器访问的速度。次级存储器接口 153 可包含 16 个数据行和 6 个芯片选择 / 地址行。此外,次级存储器接口 153 还包括有用于安装的可编程总线计时、访问和 / 或保持时间。作为选择的,这些管脚还可用于连接例如 LCD。

[0067] 主机接口 155 可包含适当的电路和 / 或逻辑,可提供两条具有独立地址和数据寄存器的信道,通过该信道,主机处理器可直接访问移动多媒体处理器 141 的地址空间。有效的传输大数据块时,可使用 FIFO 和自增地址模式。主机接口 155 使得移动多媒体处理器 141 可作为例如主系统处理器的协处理器来使用。主机接口 155 可连接到主机处理器的主总线上。

[0068] 在处理器核心 143 掉电的情况下,主机处理器可使用旁路逻辑 157 来访问外部和次级存储器接口。在这点上,移动多媒体处理器 141 可在在正常操作过程中直接对显示器进行控制,同时使主机在系统待机过程中仍能保持显示。由于在该模式下没有为移动多媒体处理器 141 提供时钟信号,所有计时均由主机总线信号进行驱动。

[0069] ID 和加密模块 159 可包含适当的电路和 / 或逻辑,用于支持数字权限管理,并允许移动多媒体处理器 141 可以安全地执行加密后的代码。

[0070] 中断控制器 161 可包含适当的电路和 / 或逻辑,用于支持例如 32 个硬件中断源。每个中断源都将分配给 7 个优先级中的一个,或被屏蔽掉。中断控制器 161 可生成全局中断信号和 / 或标识特定中断数的 5 位矢量。如果处理器工作需要,专用的基于 DMA 的外围设备,例如显示控制器 169 和摄像头接口 167 可依靠 DMA 控制器 198 来生成中断。其他外围设备,例如 UART 183、SPI 181、可移动存储设备和 / 或 AC' 97/I²S 控制器 185 可生成其自身的中断,并直接反馈给中断控制器 161。

[0071] 系统计时外围设备 163 可提供 4 个计时信道,运行一个单一的自由运行计数器。每个信道可包括有输出比较寄存器,用于生成中断。

[0072] GPIO 模块 165 可包含多个通用 I/O 管脚。这些管脚可用于用户定义的 I/O,或连接到内部外围设备。GPIO 管脚可分为两组,分别工作在不同的工作电压下。多数外围设备的功能都可灵活的在该两组管脚重复进行。当作为 GPIO 工作时,每个管脚都可设置为输入、输出或双向工作,包含有可配置的上拉或下拉电阻,并用于生成边界或电平触发的中断。

[0073] 摄像头接口 167 可连接两个摄像头,一个用于静止图像,一个用于视频,或者一个位于前端,一个位于后端。摄像头 I/F 167 可用于支持 CCIR 601 (YUV4:2:0) 视频源以及原

始图像传感器 AFE 芯片输入,其中,图像大小可达 8 兆像素。摄像头 I/F 167 还可支持 YUV 和 / 或原始模式下的窗口和子采样。

[0074] 显示控制器 169 可包含适当的电路和 / 或逻辑,用于连接多个 TFT LCD 或用于驱动内部 TV 输出功能。显示控制器 169 可支持多种屏幕缓冲格式,并可使用 DMA 对缓存进行直接访问,移除所有处理器开销。屏幕缓存的大小可以是最高可达 XGA 的任何大小,并且显示控制器 169 可自动对其进行缩放至输出光栅的大小,该输出光栅为最高可达 SXGA 的任何大小。显示控制器 169 可生成 NTSC 和 PAL 光栅格式,以驱动 TV 输出功能。用于次级存储器接口的管脚还可用于连接直接驱动 LCD。显示控制器 169 还可支持完全可编程选通脉冲 (strobe) 和边缘脉冲 (porch) 计时,以及 7 比特 / 像素的配色方案。显示控制器 169 可通过 DMA 从屏幕缓存中读取数据,并可生成像素和同步信号,用于驱动内部 TV 输出模块或外部 LCD。显示控制器 169 还可用于缩放动态地输出数据,使屏幕缓存的大小可反映图片的分辨率,而不是想要的屏幕大小。

[0075] 根据本发明的一个方面,显示控制器 169 可为片载 DMA 控制器 198 生成控制信号,并依据连接到移动多媒体处理器 141 的显示设备的类型,指示 DMA 控制器 198 获取隔行扫描和 / 或非隔行扫描的已解码视频数据。TV 输出接口 171 和 TV 输出转换器 173 可使用从显示控制器 169 获取的标准 NTSC 或 PAL 光栅,并生成复合视频或 S-video 输出信号反馈给 TV。USB 接口 175 可支持 USB 从连接。USB PHY 层接口 177 可用于减少 USB 系统的大小、成本和功耗。I²C 控制器 179 可用于控制图像传感器和 / 或连接到智能电池和其他外围设备。

[0076] 图像传感器或其他外围设备可使用 SPI 外围设备 181。可提供两个芯片选择,同时该接口可通过中断或通过 DMA 控制器 198,在轮询模式下工作。UART183 可包括标准 16550 UART,支持最高可达约 921600 的波特率。AC' 97 和 I²S 控制器 185 可在主模式或从模式下提供 AC' 97 和 / 或 I²S 音频输出。还可支持 AC' 97 音频输入。控制器 185 可包括独立发射和 / 或接收 FIFO,并使用 DMA 控制器 198 进一步降低处理器的开销。精确的比特时钟可由多个片载 PLL 其中之一来生成,而不影响核心或其他外围设备对时钟频率的要求。

[0077] PCM 音频接口 187 可包含适当的电路、逻辑和 / 或代码,允许输入和 / 或输出话音或高质量立体声音频,以及经典 PCM 和 I²S 输出格式的信号。接口 187 可包括独立发射和 / 或接收 FIFO,使用 DMA 来进一步降低处理器开销。记忆棒接口 189 可包括有 Sony Memory Stick Pro™ 主机,实现与记忆棒以及支持记忆棒的设备之间的无缝连接。SD 卡接口 191 可实现与 SD、xD 卡或其变体、MMC 和 / 或 SDIO 设备的连接。接口 191 可支持 1 位和 4 位传输,DMA 可用于从片载存储器上移入或移出数据。

[0078] 片载调试模块 193 可通过 JTAG 控制器 195 进行访问。片载调试模块 193 可提供对移动多媒体处理器 141 所有地址空间的访问以及对处理器核心 143 的控制,以及其他特征,例如断点 (breakpoints) 和代码分析 (codeprofiling)。内嵌的 JTAG 控制器 195 可使用对标量处理单元 144、矢量处理单元 142 和 / 或存储器控制器 197 的直接访问,使其可以监听处理器核心 143 内的主总线。这种紧密集成可提供存储器和寄存器访问、对程序执行的控制、达到断点、中止条件的设定 (setting of break conditions)、一步操作 (single stepping) 和 / 或代码分析。内置的程序和数据追踪缓存器可在出现断点或异常后对程序状态进行检查。

[0079] 外围设备总线 196 可包含 AMBA™ (先进的微控制器总线体系结构),以将外围设

备控制 / 状态寄存器与存储器控制器 197 连接。外部存储器接口 151、摄像头接口 167、比特流外围设备、主机接口、USB 设备控制器 175、显示控制器 169 连接在先进高性能总线 (AHB) 196a 上。AHB 196a 可建立到低速先进外围设备总线 (APB) 196b 的简单连接, 通过该连接, 可对其余的外围设备控制 / 状态寄存器进行访问。

[0080] 存储器控制器 197 可包含适当的电路、逻辑和 / 或代码, 用于执行移动多媒体处理器 141 内的所有存储器请求。存储器控制器 197 可用于执行地址解码, 在不同总线主控器之间进行仲裁, 保持数据高速缓存的一致, 以及处理 DMA 传输。

[0081] DMA 控制器 198 可用于在外围设备和存储器之间传送数据, 而独立于矢量处理单元 142 和标量处理单元 144。DMA 控制器 198 包括有对存储器控制器 197 的专用宽和窄数据端口, 可无缝的连接具有不同宽度的源方和目的方。DMA 控制器 198 可包括有 16 个子信道, 它们可以组成多个信道。每条信道与多个系统外围设备中的一个相关联。DMA 控制器 198 可用于支持 2 元 DMA, 可传送窗口化图像或非连续数据项。在这点上, DMA 控制器 198 可用于从存储器获取非连续的处理后视频数据, 以在与移动多媒体处理器 141 通信连接的一个或多个外部显示器上进行显示。例如, DMA 控制器 198 可获取隔行扫描或非隔行扫描视频数据, 以在隔行扫描或非隔行扫描显示器上进行显示。此外, DMA 控制器 198 还可以跳过所获取的视频行中的一个或多个视频行, 以在无需对所存储的视频数据进行冗余使用的情况下实现缩放或其他视频处理。

[0082] 图 2 是依据本发明一个实施例的带有单个显示控制器支持隔行扫描和非隔行扫描视频显示的移动多媒体处理器中的智能 DMA 的功能框图。如图 2 所示, 移动多媒体处理器 202 包括处理器核心 208 和显示控制器 (DC) 214。处理器核心 208 包括直接存储器访问 (DMA) 控制器 210 和片载存储器 212。显示控制器 214 用于支持 TV 显示器 204 和 / 或 LCD 显示器 206。

[0083] DMA 控制器 210 可包括适当的电路和 / 或逻辑, 用于获取存储在存储器 212 上的解码后视频信息, 并将获取的视频信息发往 DC 214。在本发明的一个实施例中, DMA 控制器 210 可用于或进行编程以识别确定流量的解码后视频数据。例如, DMA 控制器 210 可用于识别解码后视频信息的整个像素行。在这点上, 一个片载存储器 212 可同时存储隔行扫描和非隔行扫描显示的解码后视频信息。此外, DMA 控制器 210 还可依据 DC 214 的指令, 在例如视频调整和 / 或缩放操作中, 跳过一个像素行和前进或后退至少一个像素行。

[0084] DC 214 可包括适当的电路和 / 或逻辑, 用于从 DMA 控制器 210 请求隔行扫描和 / 或非隔行扫描视频信息, 并发往一个或多个显示器, 例如 TV 显示器 218 和 LCD 显示器 220。在本发明的一个方面中, DC 214 可识别连接到移动多媒体处理器 202 的显示器是隔行扫描显示器还是非隔行扫描显示器。依据所连接的显示器是隔行扫描还是非隔行扫描显示器, DC 214 可通过连接 216 指示 DMA 获取隔行扫描或非隔行扫描视频信息。

[0085] 在操作过程中, 如果 DC 214 请求视频信息用于在隔行扫描 TV 显示器 204 上进行显示, 则 DMA 210 可访问片载存储器 212, 并先从所有奇数像素行中获取解码后视频信息, 再从所有偶数像素行获取解码后视频信息。获取的隔行扫描视频信息可通过连接 216 从 DMA 210 发往 DC 214, 并通过连接 218 从 DC 214 发往 TV 显示器 204。

[0086] 类似地, 如果 DC 214 为非隔行扫描 LCD 显示器 206 请求视频信息, 则 DMA 210 访问片载存储器 212, 连续从像素行获取解码后视频信息。获取的非隔行扫描视频信息可通过

连接 216 从 DMA 210 发往 DC 214, 并通过连接 220 从 DC 214 发往 LCD 显示器 206。

[0087] 在本发明的另一方面, DC 214 可同时支持隔行扫描和非隔行扫描模式。因此, 隔行扫描视频显示器和非隔行扫描视频显示器可同时连接到移动多媒体处理器 202 上, 并分别同时从 DC 214 请求隔行扫描和非隔行扫描视频信息。DC 214 可生成相应的指令, 并通过 DMA 控制器 210 从片载存储器 212 上获取隔行扫描和非隔行扫描视频信息。

[0088] 图 3 是依据本发明一个实施例的支持隔行扫描视频显示的移动多媒体处理器中的智能 DMA 的存储器使用情况的示意图。如图 3 所示, 移动多媒体处理器 301 包括处理器核心 303、显示控制器 (DC) 304。处理器核心 303 包括直接存储器访问 (DMA) 控制器 306 和片载存储器 308。显示控制器 304 用于支持隔行扫描视频显示, 例如 TV 显示器 302。

[0089] DMA 控制器 306 可包括适当的电路和 / 或逻辑, 用于获取存储在存储器 308 上的解码后视频信息, 并将获取的视频信息通过连接 312 发往 DC 304。在本发明的一个实施例中, DMA 控制器 306 可用于或进行编程来识别确定流量的解码后视频信息。例如, DMA 控制器 306 可用于识别存储在片载存储器 308 上的解码后视频信息的整个像素行。此外, DMA 控制器 306 可依据 DC 304 的指示, 在视频调整和 / 或缩放操作过程中, 跳过一个像素行和 / 或前进或回退一个像素行。DC 304 可包括适当的电路和 / 或逻辑, 用于从 DMA 控制器 306 请求隔行扫描视频信息, 再发往 TV 显示器 302。

[0090] 在本发明的一个方面, DC 304 可用于识别连接到移动多媒体处理器 301 的显示器是隔行扫描显示器还是非隔行扫描显示器。在工作过程中, 由于显示器 302 为隔行扫描显示器, 则 DC 304 可通过连接 312 指示 DMA 306 获取隔行扫描视频信息。DMA 306 随后通过连接 314 访问片载存储器 308, 先从所有奇数像素行 316 获取解码后视频信息, 再从所有偶数像素行 318 获取解码后视频信息。因此, 对存储在存储器 308 上的像素行的读取顺序如下: 先读行 1、行 3、行 5 等, 再读行 2、行 4、行 6 等。获取的隔行扫描视频信息将通过连接 312 从 DMA 306 发往 DC 304, 并通过连接 310 从 DC 304 发往 TV 显示器 302。

[0091] 图 4 是依据本发明一个实施例的支持非隔行扫描视频显示的移动多媒体处理器中的智能 DMA 的存储器使用情况的示意图。如图 4 所示, 移动多媒体处理器 401 包括处理器核心 403 和显示控制器 (DC) 404。处理器核心 403 包括直接存储器访问 (DMA) 控制器 406 和片载存储器 408。显示控制器 404 用于支持非隔行扫描视频显示, 例如 LCD 显示器 402。

[0092] DMA 控制器 406 可包括适当的电路和 / 或逻辑, 用于获取存储在存储器 408 上的解码后视频信息, 并将获取的视频信息通过连接 412 发往 DC 404。在本发明的一个方面, DMA 控制器 406 可用于或进行编程来识别确定流量的解码后视频信息。例如, DMA 控制器 406 可用于识别存储在片载存储器 408 上的解码后视频信息的整个像素行。此外, DMA 控制器 406 可依据 DC 404 的指示在视频调整和 / 或缩放操作过程中, 跳过一个像素行和 / 或前进或回退一个像素行。DC 404 可包括适当的电路和 / 或逻辑, 用于从 DMA 控制器 406 读取非隔行扫描视频信息, 再发往 LCD 显示器 402。

[0093] 在本发明的一个方面, DC 404 可用于识别连接到移动多媒体处理器 401 上的显示器是隔行扫描显示器还是非隔行扫描显示器。在操作过程中, 由于显示器 402 为非隔行扫描显示器, DC 404 可通过连接 412 指示 DMA 406 来获取存储在片载存储器 408 上的非隔行扫描视频信息。DMA 406 随后通过连接 414 来访问片载存储器 408, 并从连续的像素行 416 中获取解码后视频信息。因此, 对存储在片载存储器 408 上的像素行的读取顺序如下: 行 1、

行 2、行 3、行 4 等。获取的非隔行扫描视频信息可通过连接 412 从 DMA 406 发往 DC 404，并通过连接 410 从 DC 404 发往 LCD 显示器 402。

[0094] 图 5 是依据本发明一个实施例的使用两个显示控制器支持隔行扫描和非隔行扫描视频显示的移动多媒体处理器中的智能 DMA 的功能框图。如图 5 所示，移动多媒体处理器 502 包括处理器核心 508 和显示控制器 (DC) 514 和 515。处理器核心 508 可包括直接存储器访问 (DMA) 控制器 510 和片载存储器 512。在本发明的一个方面中，移动多媒体处理器 502 可使用两个显示控制器 514 和 515 来分别处理存储器映射显示器和直接驱动显示器。例如，显示控制器 514 可用于通过连接 518 支持存储器映射显示器 504，显示控制器 515 可用于通过连接 520 支持直接驱动显示器 506。存储器映射显示器 504 可使用隔行扫描或非隔行扫描视频信息，并仅当新视频信息存储到存储器上时才进行刷新。直接驱动显示器 506 可使用隔行扫描视频信息，并持续的以 60Hz 的刷新率进行刷新。

[0095] DMA 控制器 510 可包括适当的电路和 / 或逻辑，用于获取存储在存储器 512 上的解码后视频信息，并将获取的视频信息发往 DC 514 或 DC 515。在本发明的一个方面，DMA 控制器 510 可用于或进行编程来识别确定流量的解码后视频信息。例如，DMA 控制器 510 可用于识别解码后视频信息的整个像素行。在这点上，一个片载存储器 512 可用于同时存储隔行扫描和非隔行扫描显示用的解码后视频信息。此外，DMA 控制器 510 可依据 DC 514 或 DC 515 的指示在视频调整和 / 或缩放操作中，跳过一个像素行和前进或回退一个像素行。DC 514 和 515 可包括适当的电路和 / 或逻辑，用于从 DMA 控制器 510 请求隔行扫描和 / 或非隔行扫描视频信息，并发往一个或多个显示器，例如存储器映射显示器 504 和直接驱动显示器 506。

[0096] 在操作过程中，DC 514 和 515 可识别连接到移动多媒体处理器 502 的显示器是隔行扫描显示器还是非隔行扫描显示器。依据所连接的显示器是隔行扫描显示器还是非隔行扫描显示器，DC 514 和 515 可分别通过连接 516 和 517 指示 DMA 510 来获取隔行扫描或非隔行扫描视频信息。

[0097] 例如，如果 DC 515 为隔行扫描直接驱动显示器 506 请求视频信息，则 DMA 510 访问片载存储器 512，先从所有奇数像素行获取解码后视频信息，再从所有偶数像素行获取解码后视频信息。获取的隔行扫描视频信息可通过连接 517 从 DMA 510 发往 DC 515，并从 DC 515 通过连接 520 发往直接驱动显示器 506。

[0098] 类似地，如果 DC 514 为存储器映射显示器 505 请求非隔行扫描视频信息，则 DMA 510 访问片载存储器 512，并获取非隔行扫描连续的解码后视频信息。获取的非隔行扫描视频信息将通过连接 516 从 DMA 510 发往 DC 514，并通过连接 518 从 DC 514 发往存储器映射显示器 504。

[0099] 图 6 是依据本发明一个实施例的处理视频数据的流程图。如图 6 所示，在步骤 602，确定与将要在支持多种显示格式的一个移动多媒体处理器通信连接的第一视频显示器上显示的视频数据相关的第一视频格式。所述一个移动多媒体处理器可集成在移动设备内。在步骤 604，基于所确定的与将要在第一视频显示器上显示的视频数据相关的第一视频格式，限制由 DMA 控制器从存储器发往所述第一视频显示器的视频数据的流量。在步骤 606，只将限定量的将要在所述第一视频显示器上显示的视频数据由所述 DMA 控制器从所述存储器传送到所述第一视频显示器。在步骤 608，将视频数据格式化为第二视频格式，以

在与集成在移动设备中的所述一个移动多媒体处理器连接的第二视频显示器上进行显示。在步骤 610, 将第二视频格式的视频数据传送给第二视频显示器进行显示。

[0100] 因此, 本发明可由硬件、软件或者硬软件的结合来实现。本发明可在至少一个计算机系统中以集中的方式实现, 或者以不同部件分布在几个交互连接的计算机系统上的分布式方式实现。任何种类的计算机系统或其他能够实现本发明的方法的设备都是适用的。硬件、软件和固件的一个典型结合是具有计算机程序的通用计算机系统, 当该计算机程序被上载并执行时, 控制该计算机系统以便实现本发明所述的方法。

[0101] 本发明还可嵌入包括有能够实现所述方法的各种特征的计算机程序产品中, 当该程序加载到计算机系统中时能够实现本申请所述的方法。本文中所述的计算机程序是指, 例如, 以任何语言、代码或符号表示的一组指令, 能够直接使具有信息处理能力的系统执行特定功能, 或者经过以下一种或各种处理后使具有信息处理能力的系统执行特定功能: a) 转换成另一种语言、代码或符号; b) 以不同的材料复制。但是, 本领域的普通技术人员可知的其他计算机程序的实现方法也可用于本发明。

[0102] 以上已结合一定的实施例对本发明进行了描述, 本领域的普通技术人员可知, 可对本发明进行各种改变或等同替换而并不脱离本发明的范围。此外, 根据本发明的教导进行的以适应特定的环境或材料的各种修改也并未脱离本发明的范围。因此, 本发明并不限于公开的具体实施例, 本发明包括落入权利要求范围内的所有实施例。

105

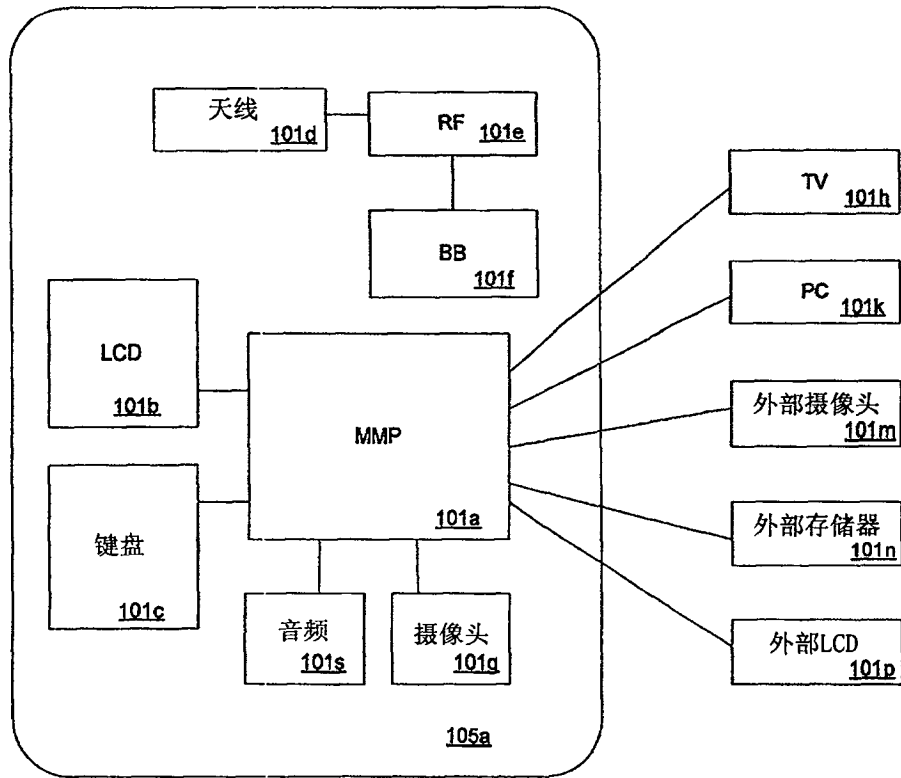


图 1A

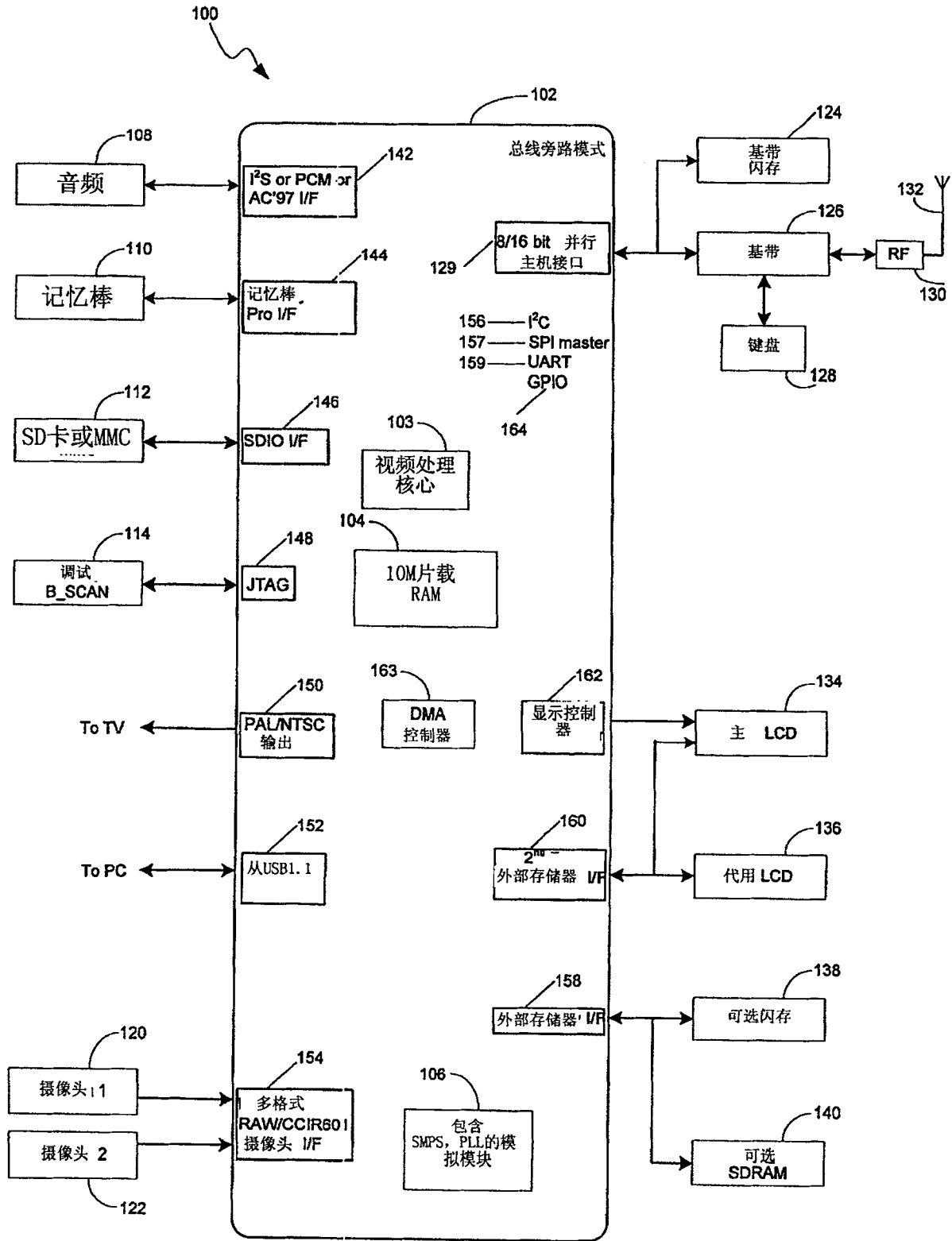


图 1B

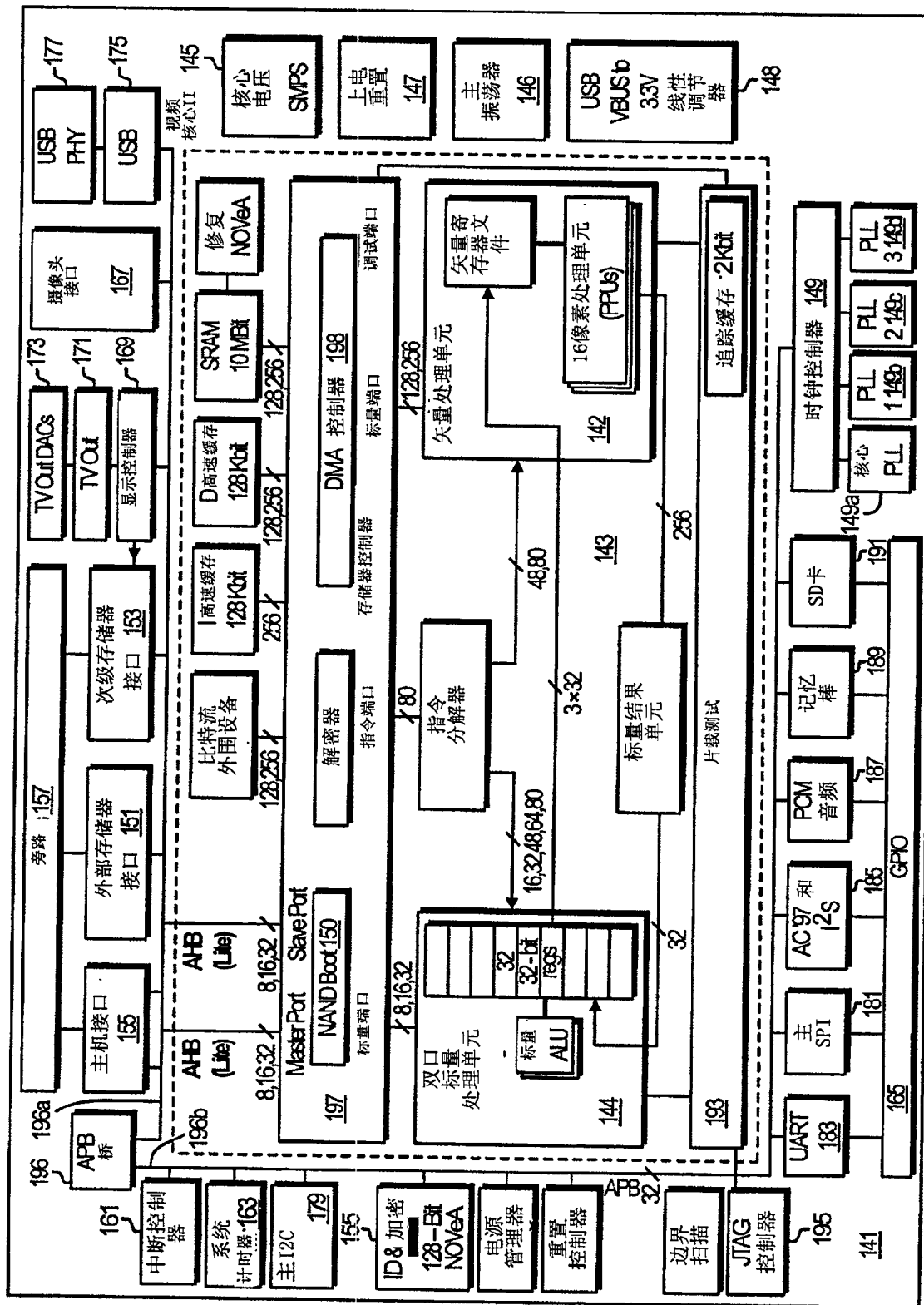


图 1C

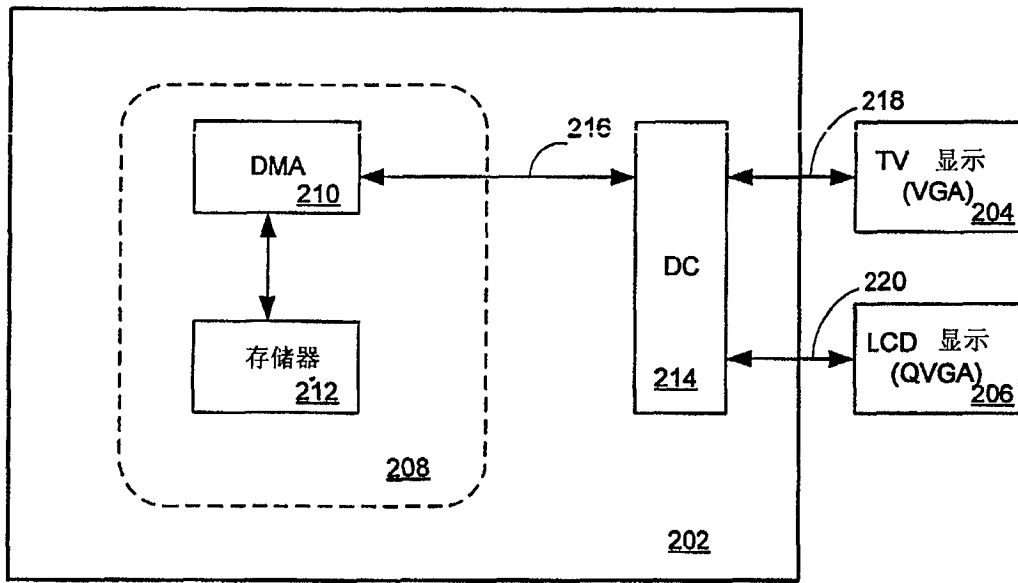


图 2

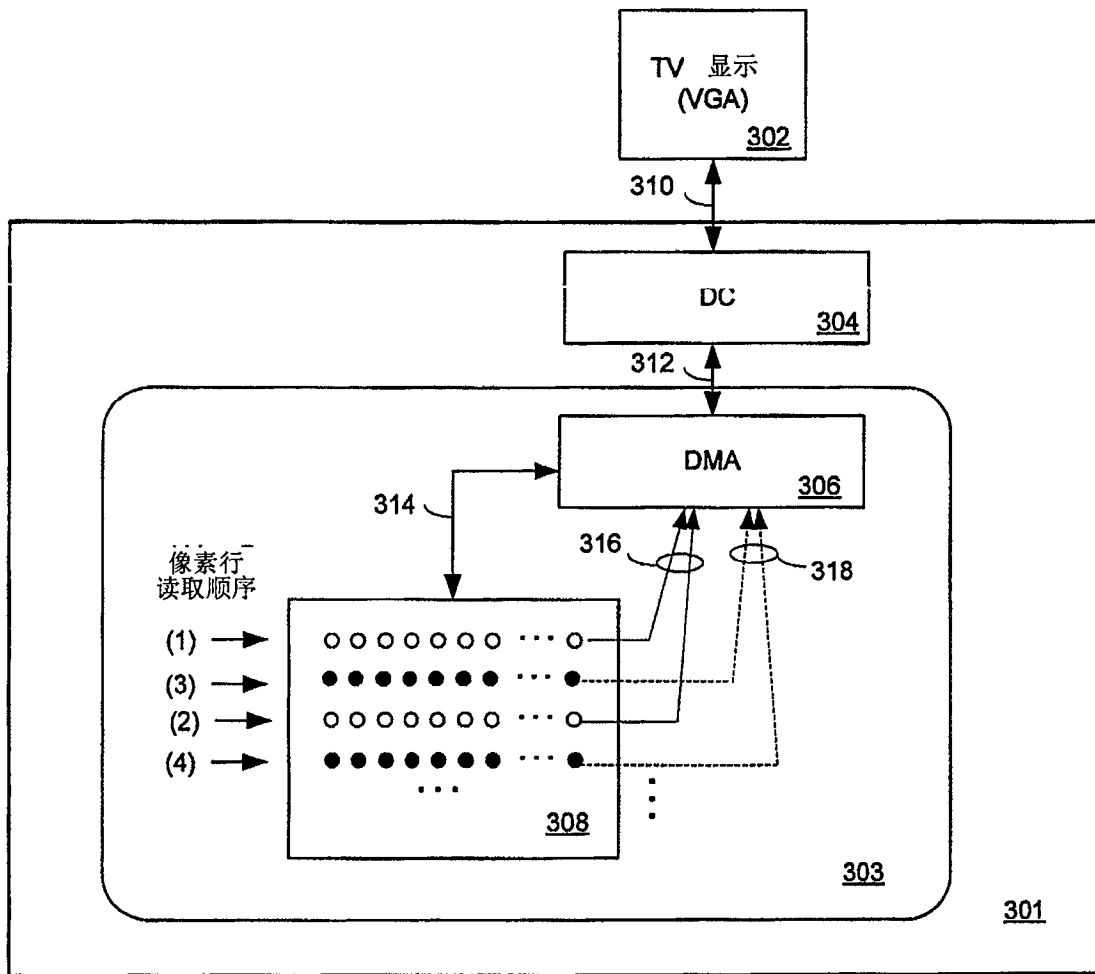


图 3

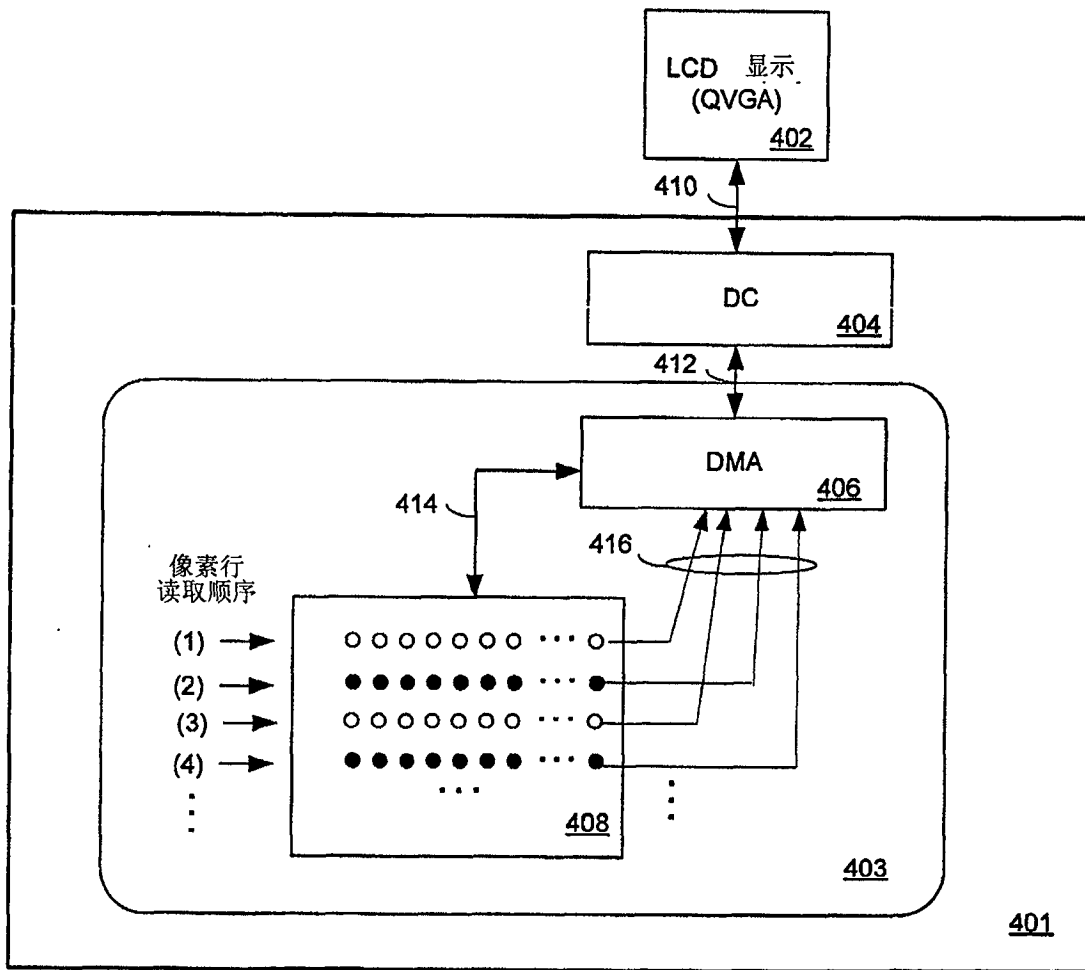


图 4

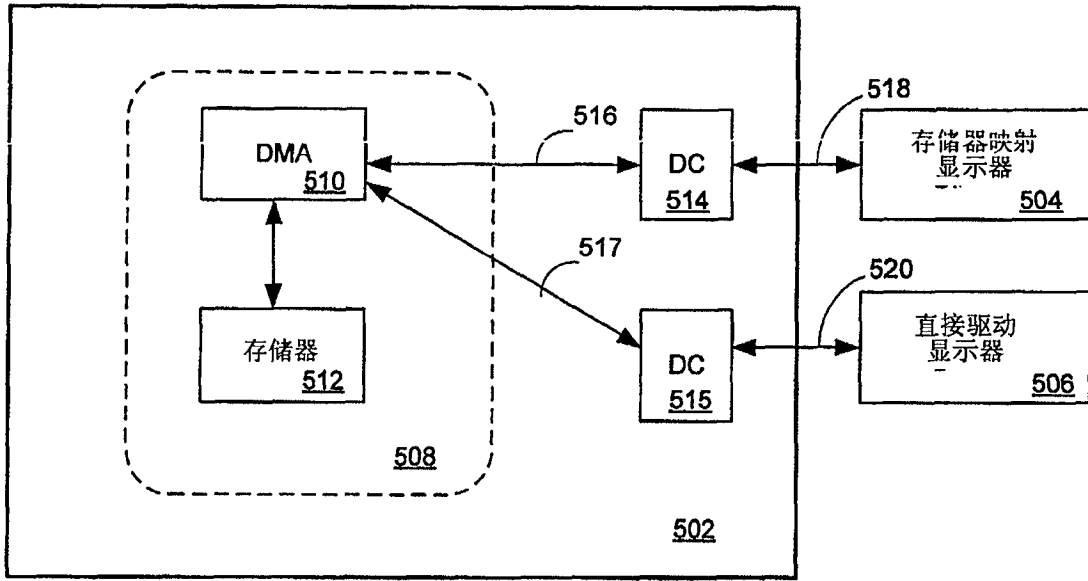


图 5

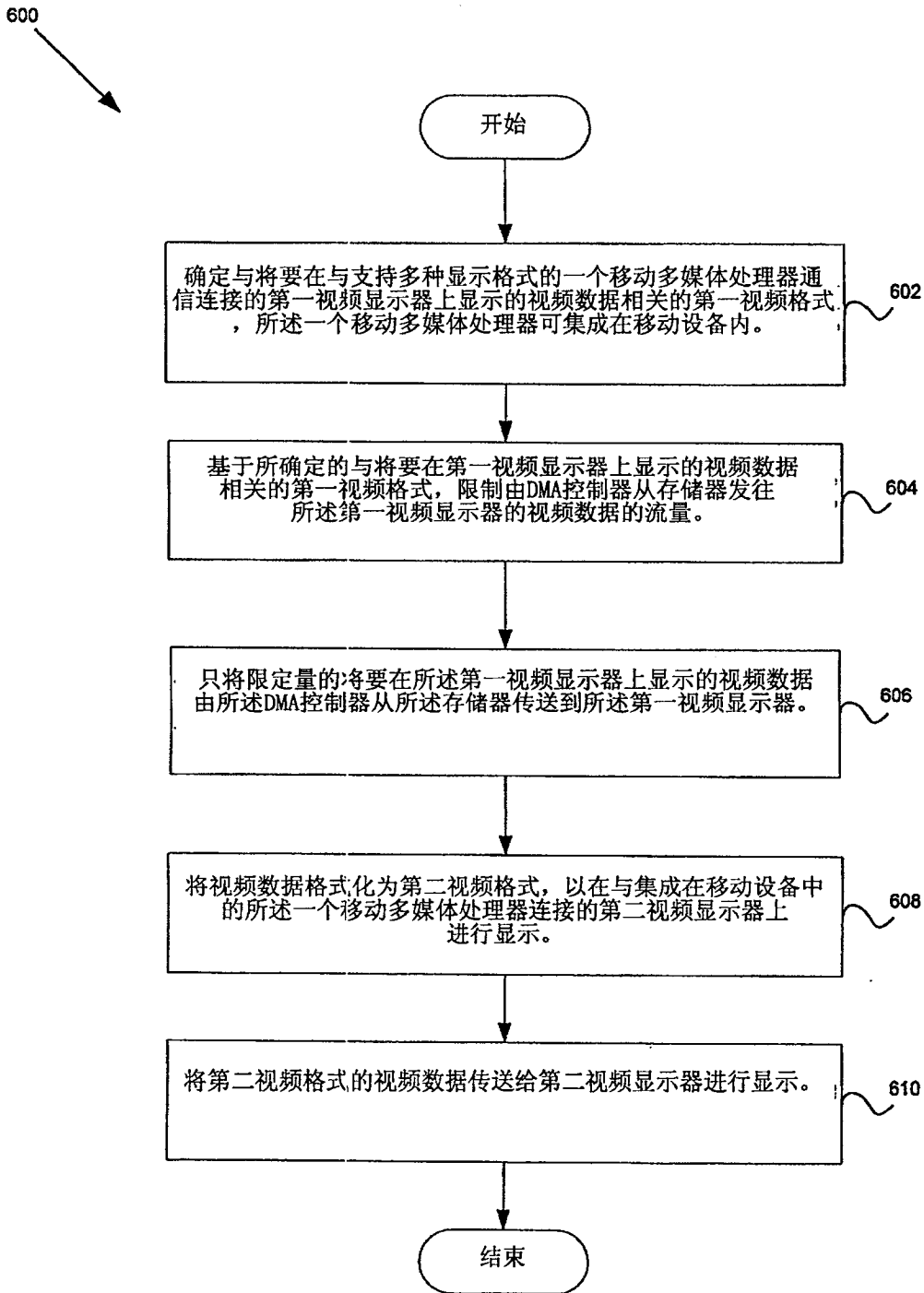


图 6