



(12)发明专利申请

(10)申请公布号 CN 111128695 A

(43)申请公布日 2020.05.08

(21)申请号 201911278684.0

(22)申请日 2019.12.13

(71)申请人 中国科学院微电子研究所
地址 100029 北京市朝阳区北土城西路3号

(72)发明人 殷华湘 林翔 罗彦娜 刘占峰

(74)专利代理机构 北京知迪知识产权代理有限公司 11628

代理人 王胜利

(51)Int.Cl.

H01L 21/18(2006.01)

H01L 21/02(2006.01)

H01L 21/306(2006.01)

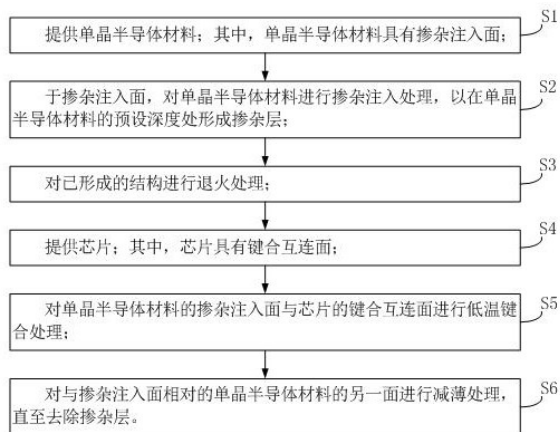
权利要求书1页 说明书4页 附图3页

(54)发明名称

一种片上单晶半导体材料的制备方法

(57)摘要

本发明公开了一种片上单晶半导体材料的制备方法,包括以下步骤:提供单晶半导体材料;其中,单晶半导体材料具有掺杂注入面;于掺杂注入面,对单晶半导体材料进行掺杂注入处理,以在单晶半导体材料的预设深度处形成掺杂层;对已形成的结构进行退火处理;提供芯片;其中,芯片具有键合互连面;对单晶半导体材料的掺杂注入面与芯片的键合互连面进行低温键合处理;对与掺杂注入面相对的单晶半导体材料的另一面进行减薄处理,直至去除掺杂层。由于本制备方法采用其内具有掺杂层的单晶半导体材料实现片上材料的制备,降低了制备成本和难度,并且,在对单晶半导体材料和芯片进行相关处理时,无须采用高温处理工艺,不会对芯片造成影响。



1. 一种片上单晶半导体材料的制备方法,其特征在于,包括以下步骤:
提供单晶半导体材料;其中,所述单晶半导体材料具有掺杂注入面;
于所述掺杂注入面,对所述单晶半导体材料进行掺杂注入处理,以在所述单晶半导体材料的预设深度处形成掺杂层;
对已形成的结构进行退火处理;
提供芯片;其中,所述芯片具有键合互连面;
对所述单晶半导体材料的所述掺杂注入面与所述芯片的所述键合互连面进行低温键合处理;
对与所述掺杂注入面相对的所述单晶半导体材料的另一面进行减薄处理,直至去除所述掺杂层。
2. 根据权利要求1所述的片上单晶半导体材料的制备方法,其特征在于,所述单晶半导体材料为体硅晶圆材料。
3. 根据权利要求1所述的片上单晶半导体材料的制备方法,其特征在于,所述掺杂注入处理的注入元素为P、As、B或In中的任意一种。
4. 根据权利要求1所述的片上单晶半导体材料的制备方法,其特征在于,所述掺杂注入处理的注入剂量为 $1e14\text{cm}^{-2}$ 至 $1e16\text{cm}^{-2}$ 。
5. 根据权利要求1所述的片上单晶半导体材料的制备方法,其特征在于,所述预设深度为10nm至5000nm。
6. 根据权利要求1所述的片上单晶半导体材料的制备方法,其特征在于,所述退火处理的退火温度大于等于 800°C 。
7. 根据权利要求1所述的片上单晶半导体材料的制备方法,其特征在于,所述退火处理的退火时间大于等于1s。
8. 根据权利要求1所述的片上单晶半导体材料的制备方法,其特征在于,在提供所述芯片后,并在进行低温键合处理前;对所述掺杂注入面与所述键合互连面进行等离子体活化处理。
9. 根据权利要求1所述的片上单晶半导体材料的制备方法,其特征在于,在将所述掺杂注入面与所述键合互连面进行所述低温键合处理中,在与所述掺杂注入面相对的所述单晶半导体材料的另一面进行机械施压处理。
10. 根据权利要求1所述的片上单晶半导体材料的制备方法,其特征在于,采用硅-硅直接键合工艺,对所述掺杂注入面和键合互连面进行所述低温键合处理;
采用湿法腐蚀工艺,对所述单晶半导体材料的另一面进行所述减薄处理。

一种片上单晶半导体材料的制备方法

技术领域

[0001] 本发明涉及半导体制备技术领域,具体涉及一种片上单晶半导体材料的制备方法。

背景技术

[0002] 随着CMOS集成电路微缩持续发展,同时,基于CMOS集成电路的微系统集成也从三维封装、系统级封装、多芯片三维系统集成向单芯片三维集成方向发展,以持续减少微系统体积、电路延迟和电路功耗,大幅提升系统性能。

[0003] 现有实现单片3D-IC(Three-dimensional integrated circuit,三维集成电路)集成的片上材料的制备方法有如下几种:

1.通过芯片与SOI或GOI等高迁移率锗基材料低温键合实现片上材料的制备;这种方式制备的材料质量好、迁移率较高,但是制备工艺成本高,并且制备控制难度大。

[0004] 2.通过在芯片上低温沉积多晶硅等材料实现片上材料的制备;这种方式虽然成本低,但是其制备的材料多晶态、缺陷多且迁移率较低,使得最终制备出的三维集成电路性能较差。

[0005] 3.通过在芯片的表面上选择性开孔,再在已形成的结构上低温选择型横向外延实现片上材料的制备;这种方式形成的片上材料缺陷较多,有晶界,并且制备过程中的工艺温度较高对底层的芯片电路影响较大,同样会使得最终制备出的三维集成电路性能较差。

[0006] CMOS集成电路的持续发展,对片上材料的制备提出了越来越高的要求,因此,如何高质量且低成本的实现片上材料的制备成了一个亟待解决的问题。

发明内容

[0007] 为了克服现有片上材料的制备方法的成本高,或者,制备出的片上材料存在缺陷多、迁移率低、多晶态等的技术问题,本发明提供一种片上单晶半导体材料的制备方法。

[0008] 本发明所述的片上单晶半导体材料的制备方法,包括以下步骤:

提供单晶半导体材料;其中,单晶半导体材料具有掺杂注入面;

于掺杂注入面,对单晶半导体材料进行掺杂注入处理,以在单晶半导体材料的预设深度处形成掺杂层;

对已形成的结构进行退火处理;

提供芯片;其中,芯片具有键合互连面;

对单晶半导体材料的掺杂注入面与芯片的键合互连面进行低温键合处理;

对与掺杂注入面相对的单晶半导体材料的另一面进行减薄处理,直至去除掺杂层。

[0009] 优选地,单晶半导体材料为体硅晶圆材料。

[0010] 优选地,掺杂注入处理的注入元素为P、As、B或In中的任意一种。

[0011] 优选地,掺杂注入处理的注入剂量为 $1e14cm^{-2}$ 至 $1e16cm^{-2}$ 。

[0012] 优选地,预设深度为10nm至5000nm。

[0013] 优选地,退火处理的退火温度大于等于800℃。

[0014] 优选地,退火处理的退火时间大于等于1s。

[0015] 优选地,在提供芯片后,并在进行低温键合处理前;对掺杂注入面与键合互连面进行等离子体活化处理。

[0016] 优选地,在将掺杂注入面与键合互连面进行低温键合处理中,在与掺杂注入面相对的单晶半导体材料的另一面进行机械施压处理。

[0017] 优选地,采用硅-硅直接键合工艺,对掺杂注入面和键合互连面进行低温键合处理;

采用湿法腐蚀工艺,对单晶半导体材料的另一面进行减薄处理。

[0018] 综上所述,本发明提供的片上单晶半导体材料的制备方法,在进行键合互连前,于掺杂注入面,对后续与芯片进行键合的单晶半导体材料进行掺杂注入处理,在单晶半导体材料的预设深度处形成掺杂层;依次进行退火处理和低温键合处理,后续在对单晶半导体材料的另一面进行减薄处理时,以掺杂层为腐蚀阻挡层,从而在芯片上保留满足厚度要求的单晶半导体材料,实现高质量片上材料的制备。

[0019] 与现有技术相比,本发明采用单晶半导体材料实现片上材料的制备,相比于采用SOI或GOI进行制备,降低了工艺制备成本,同时,本发明通过与掺杂层作为减薄处理的腐蚀停止层,可以使得片上材料的制备厚度精确更高,并且,在对单晶半导体材料进行退火处理后,对单晶半导体材料和芯片进行相关处理时,无须采用高温处理工艺,不会对芯片造成影响;也不会使得片上制备的材料出现多晶态、迁移率低等问题。

附图说明

[0020] 图1是本发明涉及的片上单晶半导体材料的制备方法流程图;

图2至图7是本发明涉及的片上单晶半导体材料的制备方法每一步骤对应的结构图;

其中,1为单晶半导体材料,11为掺杂注入面,12为掺杂层,2为芯片,21为键合互连面。

具体实施方式

[0021] 下面结合附图说明根据本发明的具体实施方式。

[0022] 在下面的描述中阐述了很多具体细节以便于充分理解本发明,但是,本发明还可以采用其他不同于在此描述的方式来实施,因此,本发明并不限于下面公开的具体实施例的限制。

[0023] 为了克服现有片上材料的制备方法的成本高,或者,制备出的片上材料存在缺陷多、迁移率低、多晶态等的技术问题,本发明提供一种片上单晶材料转移的制备方法;具体地,采用其内具有掺杂层的单晶半导体材料实现片上材料的制备,在进行减薄处理时,以掺杂层为腐蚀阻挡层,无需采用成本高的SOI衬底或GOI衬底,降低了工艺制备成本和制备难度,并且,在对单晶半导体材料和芯片进行相关处理时,无须采用高温处理工艺,不会对芯片造成影响。

[0024] 本发明所述的片上单晶半导体材料的制备方法,如图1所示,包括以下步骤:

S1、如图2所示,提供单晶半导体材料1;其中,单晶半导体材料1具有掺杂注入面11;

本步骤中,提供需要与芯片2进行键合互连的单晶半导体材料1;其中,单晶半导体材料

1为体硅晶圆材料;或者,还可以是任一种满足工作要求的现有单晶半导体材料1;掺杂注入面11为单晶半导体材料1上的一个面,具体地,掺杂注入面11为后续对单晶半导体材料1进行掺杂注入处理的面。

[0025] 采用上述技术方案,相比于采用SOI或GOI等质量好的材料,单晶半导体材料1的成本更低,同时,单晶半导体材料1也具有迁移率较高的优点,能够保证片上材料的制备品质。

[0026] S2、如图3所示,于掺杂注入面11,对单晶半导体材料1进行掺杂注入处理,以在单晶半导体材料1的预设深度处形成掺杂层12;

本步骤中,在对芯片2与单晶半导体材料1进行键合互连前,需要于掺杂注入面11,对单晶半导体材料1进行掺杂注入处理;以在单晶半导体材料1的预设深度处形成掺杂层12,掺杂层12在后续的减薄处理过程中,可以作为腐蚀停止层,从而在减薄处理后,能够在芯片2上保留满足厚度要求的片上材料,降低控制难度。

[0027] 具体地,掺杂注入处理的注入元素为P、As、B或In中的任意一种;注入剂量为 $1e14cm^{-2}$ 至 $1e16cm^{-2}$;预设深度为10nm至5000nm;其中,注入元素、注入剂量和预设深度的选取,可以根据实际情况设置,在此不作具体限定。

[0028] S3、对已形成的结构进行退火处理;

本步骤中,在对单晶半导体材料1进行掺杂注入处理时,高能量的入射离子会使一些晶格原子发生位移,造成大量的空位;故需要对掺杂注入处理后的单晶半导体材料1进行退火处理,以恢复晶体的结构和消除缺陷,提高制造品质。

[0029] 其中,退火处理的退火温度大于等于 $800^{\circ}C$;退火处理的退火时间大于等于1s;具体的退火温度值和退火时间需要根据实际情况设置,在此不作具体限定。

[0030] S4、如图4所示,提供芯片2;其中,芯片2具有键合互连面21;

本步骤中,芯片2为任意一种需要进行三维单片集成的芯片;键合互连面21为芯片2上的一个表面,具体地,键合互连面21为芯片2后续与掺杂注入面11进行面对面低温键合处理的面。

[0031] 示例的,芯片2可以为待集成的二维芯片。

[0032] S5、对单晶半导体材料1的掺杂注入面11与芯片2的键合互连面21进行低温键合处理;

本步骤中,将单晶半导体材料1通过掺杂注入面11倒置在芯片2的键合互连面21上,即掺杂注入面11与键合互连面21面对面接触;并采用低温键合处理,将掺杂注入面11与键合互连面21进行键合互连,以将单晶半导体材料1和芯片2紧密连接在一起。

[0033] 具体地,若单晶半导体材料1为体硅晶圆材料,则可以采用硅-硅直接键合工艺,对掺杂注入面11和键合互连面21进行低温键合处理;当然,也可以采用任一种满足工作要求的现有键合工艺。

[0034] 其中,采用硅-硅直接键合工艺,对掺杂注入面11和键合互连面21进行低温键合处理的具体步骤为:

S51、待对芯片2的键合互连面21依次进行平坦化处理和清洗处理后,在键合互连面21上保留一层单层水分子;

本步骤中,在低温键合处理前,为保证后续键合质量,对芯片2的键合互连面21进行平坦化处理,以使得键合互连面21全局或局域高度平整;并且,在进行平坦化处理后,对键合

互连面21进行清洗处理,以去除平坦化处理后在其上残留的杂质颗粒。

[0035] 进一步地,在进行低温键合处理前;可以对掺杂注入面11与键合互连面21进行等离子体活化处理;即在步骤S4后,并在步骤S5前,对需要键合互连的掺杂注入面11与键合互连面21进行等离子体活化处理,以进一步去除两个表面上的杂质颗粒,提高键合效果。

[0036] S52、将单晶半导体材料1的掺杂注入面11进行氧化处理;

S53、如图5所示,将单晶半导体材料1通过掺杂注入面11倒置在芯片2的键合互连面21上;

S54、如图6所示,对单晶半导体材料1的掺杂注入面11与芯片2的键合互连面21,进行低温键合处理;

本步骤中,低温键合处理的温度范围为小于或等于500℃。

[0037] S55、对已形成的结构进行低温退火处理,以实现将单晶半导体材料1与芯片2键合互连。

[0038] 进一步地,在将掺杂注入面11与键合互连面21进行低温键合处理中,即在步骤S5中,在与掺杂注入面11相对的单晶半导体材料1的另一面进行机械施压处理,以进一步提高键合效果;其中,机械施压的压强范围为:0至10kg/cm²。

[0039] S6、如图7所示,对与掺杂注入面11相对的单晶半导体材料1的另一面进行减薄处理,直至去除掺杂层。

[0040] 本步骤中,待将单晶半导体材料1与芯片2键合互连后,需要对单晶半导体材料1的背面进行减薄处理,以使得最终保留在芯片2上的单晶半导体材料1的厚度满足实际情况的要求。

[0041] 具体地,可以采用湿法腐蚀工艺,对单晶半导体材料1的另一面进行减薄处理,而在对单晶半导体材料1的背面进行腐蚀过程中,掺杂层12可以作为腐蚀阻挡层,即腐蚀至掺杂层12就会停止继续腐蚀下面的单晶半导体材料1,便于控制。

[0042] 示例的,若单晶半导体材料1为体硅晶圆材料,则可以采用TMAH溶液对单晶半导体材料1的背面进行减薄处理。

[0043] 综上所述,本发明提供的片上单晶半导体材料1的制备方法,在进行键合互连前,于掺杂注入面11,对后续与芯片2进行键合的单晶半导体材料1进行掺杂注入处理,在单晶半导体材料1的预设深度处形成掺杂层12;依次进行退火处理和低温键合处理,后续在对单晶半导体材料1的另一面进行减薄处理时,可以掺杂层12为腐蚀阻挡层,从而在芯片2上保留满足厚度要求的半导体材料,实现高质量片上材料的制备。

[0044] 与现有技术相比,本发明采用单晶半导体材料1实现片上材料的制备,相比于采用SOI或GOI进行制备,降低了工艺制备成本,同时,本发明通过与掺杂层12作为减薄处理的腐蚀停止层,可以使得片上材料的制备厚度精确更高,并且,在对单晶半导体材料1进行退火处理后,对单晶半导体材料1和芯片2进行相关处理时,无须采用高温处理工艺,不会对芯片2造成影响;也不会使得片上制备的材料出现多晶态、迁移率低等问题。

[0045] 以上所述仅为本发明的优选实施例而已,并不用于限制本发明,对于本领域的技术人员来说,本发明可以有各种更改和变化。凡在本发明的精神和原则之内,所作的任何修改、等同替换、改进等,均应包含在本发明的保护范围之内。

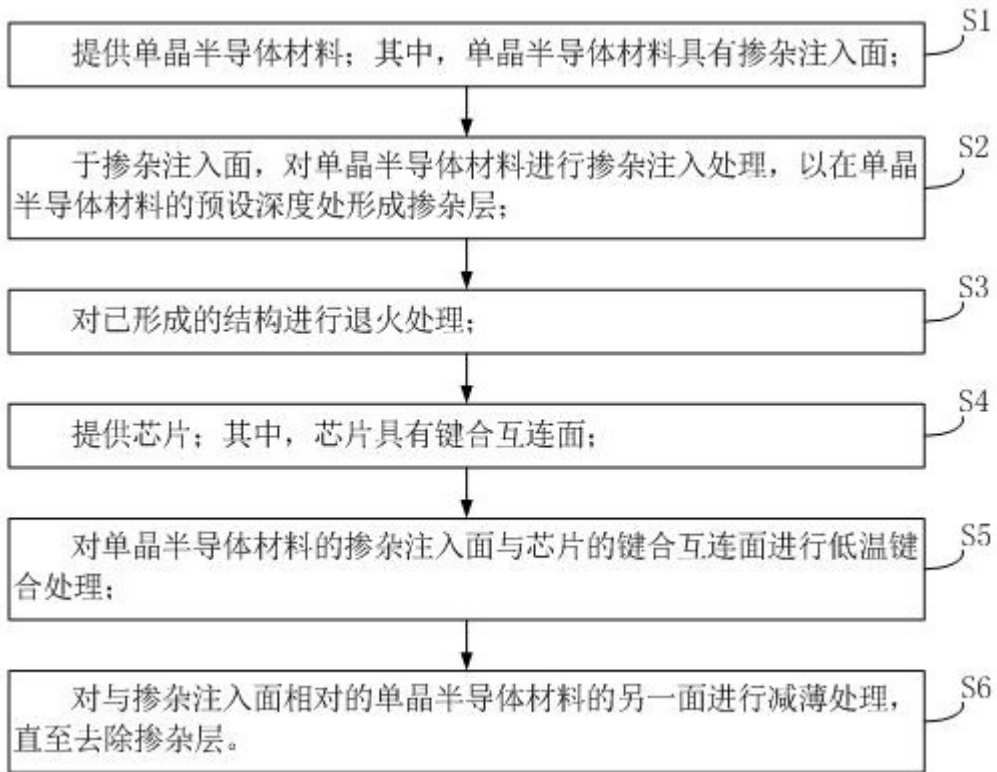


图1

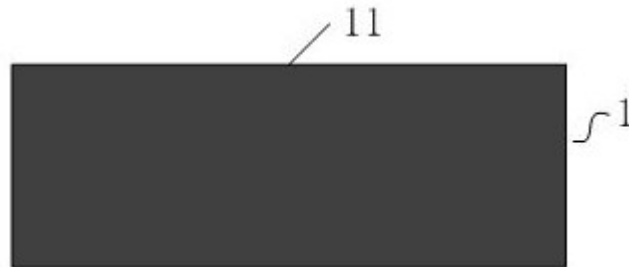


图2

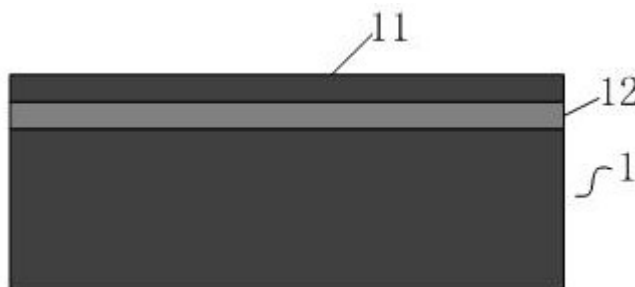


图3

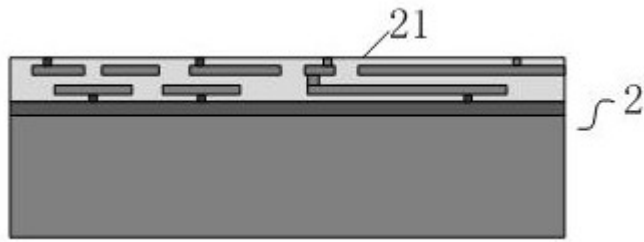


图4

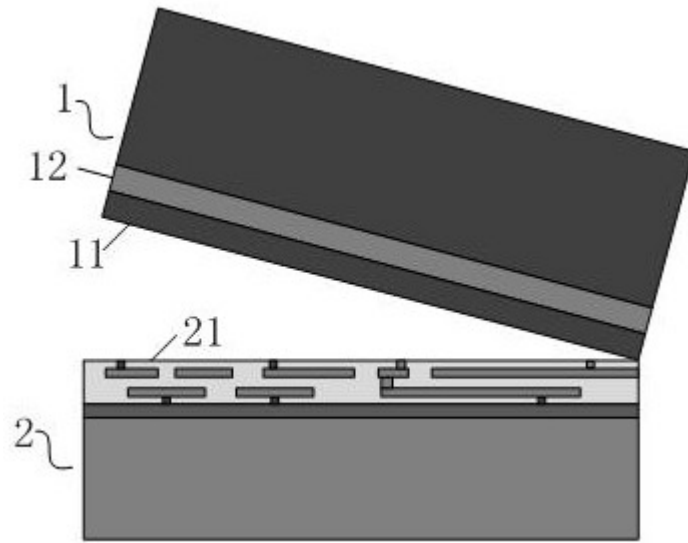


图5

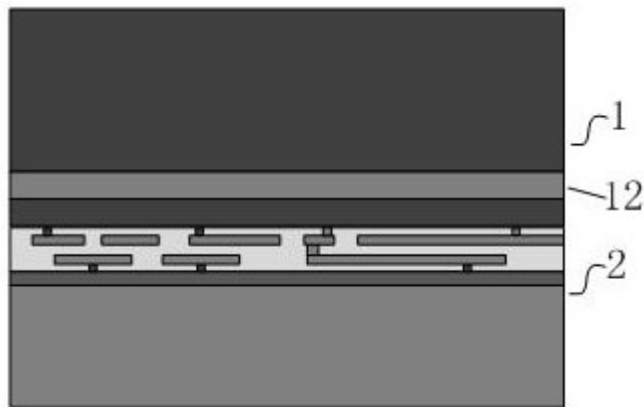


图6

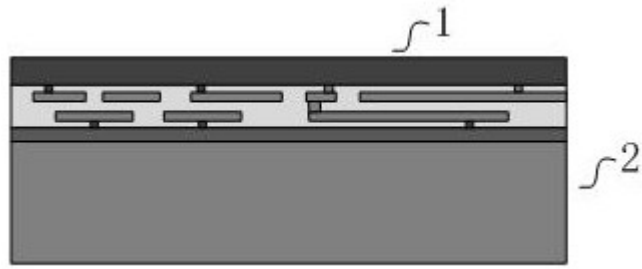


图7