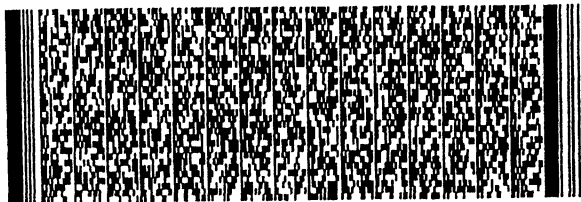


申請日期: 92-08-14	IPC分類 G11C11/41, G01F12/40
申請案號: 92122380	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	半導體記憶裝置及其控制方法
	英文	Semiconductor memory device and controlling method thereof
二、 發明人 (共4人)	姓名 (中文)	1. 高橋 弘行
	姓名 (英文)	1. Takahashi, Hiroyuki
	國籍 (中英文)	1. 日本 JP
	住居所 (中文)	1. 〒211-8668 日本國神奈川縣川崎市中原區下沼部1753番地 NEC電子股份有限公司內
	住居所 (英文)	1. c/o NEC Electronics Corporation, 1753 Shimonumabe, Nakahara-ku, Kawasaki, Kanagawa 211-8668, Japan
三、 申請人 (共1人)	名稱或姓名 (中文)	1. NEC電子股份有限公司
	名稱或姓名 (英文)	1. NEC Electronics Corporation
	國籍 (中英文)	1. 日本 JP
	住居所 (營業所) (中文)	1. 〒211-8668 日本國神奈川縣川崎市中原區下沼部1753番地 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. 1753 Shimonumabe, Nakahara-ku, Kawasaki, Kanagawa 211-8668, Japan
	代表人 (中文)	1. 戶坂 馨
	代表人 (英文)	1. Tosaka, Kaoru

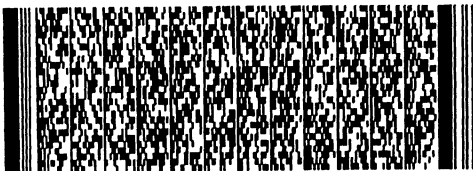


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共4人)	姓名 (中文)	2. 松井 雄嗣
	姓名 (英文)	2. Matsui, Yuuji
	國籍 (中英文)	2. 日本 JP
	住居所 (中文)	2. 〒211-8668 日本國神奈川縣川崎市中原區下沼部1753番地 NEC電子股份有限公司內
	住居所 (英文)	2. c/o NEC Electronics Corporation, 1753 Shimonumabe, Nakahara-ku, Kawasaki, Kanagawa 211-8668, Japan
三、 申請人 (共1人)	名稱或 姓名 (中文)	
	名稱或 姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
	代表人 (英文)	

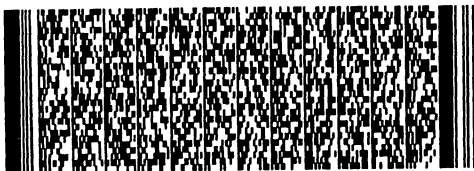


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共4人)	姓名 (中文)	3. 園田 正俊
	姓名 (英文)	3. Sonoda, Masatoshi
	國籍 (中英文)	3. 日本 JP
	住居所 (中文)	3. 〒211-8668日本國神奈川縣川崎市中原區下沼部1753番地 NEC電子股份有限公司內
	住居所 (英文)	3. c/o NEC Electronics Corporation, 1753 Shimonumabe, Nakahara-ku, Kawasaki, Kanagawa 211-8668, Japan
三、 申請人 (共1人)	名稱或 姓名 (中文)	
	名稱或 姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
	代表人 (英文)	

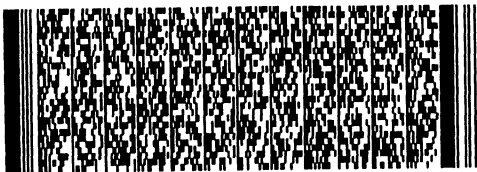


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共4人)	姓名 (中文)	4. 加藤 義之
	姓名 (英文)	4. Kato, Yosiyuki
	國籍 (中英文)	4. 日本 JP
	住居所 (中文)	4. 〒211-8668 日本國神奈川縣川崎市中原區下沼部1753番地 NEC電子股份有限公司內
	住居所 (英文)	4. c/o NEC Electronics Corporation, 1753 Shimonumabe, Nakahara-ku, Kawasaki, Kanagawa 211-8668, Japan
三、 申請人 (共1人)	名稱或 姓名 (中文)	
	名稱或 姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
	代表人 (英文)	



一、本案已向

國家(地區)申請專利	申請日期	案號	主張專利法第二十四條第一項優先權
日本 JP	2002/08/15	特願2002-236950	有

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

熟習該項技術者易於獲得, 不須寄存。



五、發明說明 (1)

一、【發明所屬之技術領域】

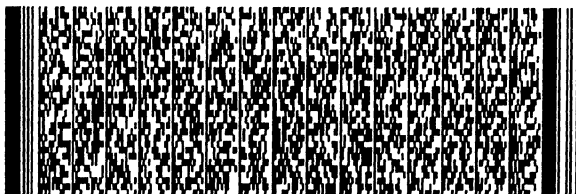
本發明係關於一種半導體記憶裝置，尤有關於一種令動作速度更提高之設計形式之半導體記憶裝置。

二、【先前技術】

近年來，開關或路由器等通訊電器等，OC-192(10Gbps)或OC-768(40Gbps)等超高速光通信規格變成一般化，在實現滿足這些規格之資料傳送速度之SRAM(Static Random Access Memory)技術方面，已有人共同開發出QDR(Quad Data Rate)/DDR(Double Data Rate)。QDR II/DDR II SRAM作為支援最高動作頻率至333MHz為止之規格(NEC. Press Release: 2002年04月15日-2: "http://www.nec.co.jp/press/ja/0204/1502/html")。QDR II架構(設計方式)之資料埠分成輸入用埠和輸出用埠(I/O分離)，各自按照雙資料速率動作。此外，QDR係IDT公司、MICRON公司之登記商標。

在QDR，交互進行讀出來自記憶體單元陣列之資料之讀出週期和向記憶體單元陣列寫入資料之寫入週期。

參照圖2，關於這種記憶體組件，說明其概略。此外，圖2係在本發明之實施例之說明參照之圖。參照圖2，設計多個單元陣列區塊10。多個單元陣列區塊10之構造相同，在圖2表示一個單元陣列區塊10之構造。單元陣列區塊10具備：單元陣列100；X選擇電路101，包含將X位址解



五、發明說明 (2)

碼之X解碼器及驅動X解碼器之解碼結果所選擇之字線之字線驅動器；電路群103，包含含有將Y位址解碼之Y解碼器及將Y解碼器之解碼結果所選擇之位元線和感測放大器或寫入用放大器連接之Y開關之Y選擇電路、感測放大器SA以及寫入用放大器WA；以及控制電路102。

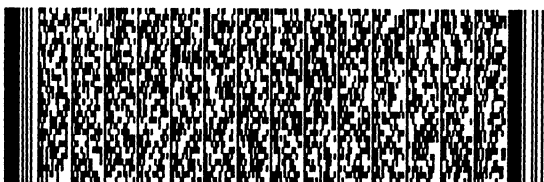
構成輸入用埠之輸入用暫存器109自輸入端子Din和時鐘信號CLK同步的閃鎖寫入資料，經由寫入用匯流排(Write Bus)供給寫入用放大器WA。又，輸入端子和輸出來自感測放大器SA之資料之讀出用匯流排(Read Bus)連接之輸出用暫存器108和時鐘信號CLK同步的閃鎖讀出資料後，自輸出端子Dout輸出。

讀出用脈衝產生電路106接受讀出/寫入(R/W)命令後，讀出動作時，輸出讀出用脈衝信號RPB，供給控制電路102。

寫入用脈衝產生電路107接受讀出/寫入命令後，寫入動作時，輸出寫入用脈衝信號WPB，供給控制電路102。

位址用時鐘產生器105接受讀出/寫入命令後，在時鐘信號CLK之轉移邊緣，產生讀出用時鐘RC、寫入用時鐘WC後輸出。

位址暫存器104輸入自圖上未示之記憶體控制器、晶元組等供給之位址信號Add，例如在時鐘信號CLK之上升緣閃鎖該位址信號，當讀出用時鐘RC或寫入用時鐘WC各自啟動時，輸出所閃鎖之位址(X位址、Y位址、區塊選擇位址)。供給X解碼器X位址，供給Y解碼器Y位址，供給例如



五、發明說明 (3)

控制電路102區塊選擇位址。控制電路102輸入讀出用脈衝信號RPB、寫入用脈衝信號WPB後，產生在單元陣列區塊10內使用之讀出用啟動信號及寫入用啟動信號，控制所選擇之字線之啟動、感測放大器SA之啟動以及寫入用放大器WA之啟動。

如上述所示，在記憶體組件設置多個單元陣列區塊10，讀出用匯流排(Read Bus)、讀出用匯流排(Read Bus)等之匯流排長度、讀出用脈衝信號RPB、寫入用脈衝信號WPB之控制信號之信號配線之長度長，由於動作頻率之高速化，即時鐘週期之短時間化，在信號配線之遠端、近端間之失真顯著化。又，記憶體容量增大時，位址信號之位元寬增大，構成X解碼器等解碼器之電路之段數增大，供給位址解碼結果之單元陣列之內部位址信號在變化點之失真也顯著化。

在QDR等設計規格，交互進行讀出週期和寫入週期，但是在此情況下，也考慮RPB、WPB信號等控制信號及內部位址信號等之失真後，決定週期。

三、【發明內容】

發明要解決之課題

在上述之構造，例如在讀出週期，用構成讀出電路之感測放大器將按照所選擇之記憶體單元之記憶資料在位元線出現之電壓放大後讀出。在寫入週期，藉著依據利用構成寫入電路之寫入用放大器全擺動之信號電壓驅動位元



五、發明說明 (4)

線，向所選擇之記憶體單元寫入。因而，在單元陣列區塊內，讀出動作比寫入動作之時間長。在這種構造，在交互進行讀出週期和寫入週期之記憶體系統，依據一個週期比較長之讀出週期決定最高動作頻率。

因此，本發明提供一種半導體記憶裝置及其控制方法，令動作頻率更提高。

解決課題之方式

為達成上述之目的，本發明之一種形態之半導體裝置，

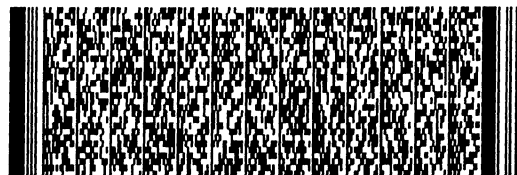
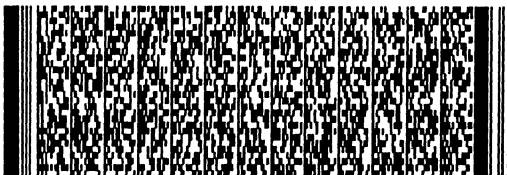
具備：

第一電路，在依照輸入之時鐘信號之第一轉移而產生之第一控制信號和依照在該時鐘信號之該第一轉移之後續之週期之第二轉移而產生之第二控制信號之其中之一被啟動之情況下，在預定之既定之期間被啟動；

第二電路，在依照該時鐘信號之第一轉移而產生之第三控制信號被啟動之情況下，在預定之既定之期間被啟動，接受該第一電路之輸出結果後動作；及

第三電路，在依照該時鐘信號之第二轉移而產生之第四控制信號被啟動之情況下，在預定之既定之期間被啟動，接受該第一電路之輸出結果後動作；

按照自該時鐘信號之第一轉移而產生之該控制信號依次被啟動之該第一電路和該第二電路之一連串之動作構成第一動作週期；



五、發明說明 (5)

按照自該時鐘信號之第二轉移而產生之該控制信號依次被啟動之該第一電路和該第三電路之一連串之動作構成第二動作週期；

更具備：

一控制電路，在控制上使得交互進行該第一動作週期和該第二動作週期；及

一控制電路，控制與在該第一動作週期之該第二電路之啟動和在該第二動作週期之該第一電路之啟動相關之該控制信號之時序，使得在該第一動作週期之該第二電路之部分動作和在該第二動作週期之該第一電路之部分動作在時間上重疊。

本發明之別的形態之半導體裝置，半導體記憶裝置具備：

記憶體單元陣列，具有多個記憶體單元；

位址暫存器，依據所輸入之時鐘信號閃鎖所輸入之位址信號，而且在依照該時鐘信號之第一轉移而產生之第一控制信號和依照在該時鐘信號之該第一轉移之後續之週期之第二轉移而產生之第二控制信號之其中之一被啟動之情況下，在預定之既定之期間被啟動後，輸出該所閃鎖之位址信號；及解碼器，輸入自該位址暫存器輸出之位址信號；

一電路，依照該時鐘信號之第一轉移而產生讀出啟動用之第三控制信號，依照在該時鐘信號之該第一轉移之後續之週期之第二轉移而產生之寫入啟動用之第四控制信



五、發明說明 (6)

號；

一電路，在依照該時鐘信號之第一轉移而產生之該第三控制信號和該第四控制信號之其中之一被啟動之情況下，在預定之既定之期間被啟動，令該解碼器所選擇之字線被啟動，選擇字線；

感測放大器，在依照該時鐘信號之第一轉移而產生之第五控制信號被啟動之情況下，在預定之既定之期間被啟動，將在所選擇之單元之位元線所讀出之資料放大後，作為讀出資料輸出；

以及寫入用放大器，在依照該時鐘信號之第二轉移而產生之第六控制信號被啟動之情況下，在預定之既定之期間被啟動，向所選擇之單元寫入；

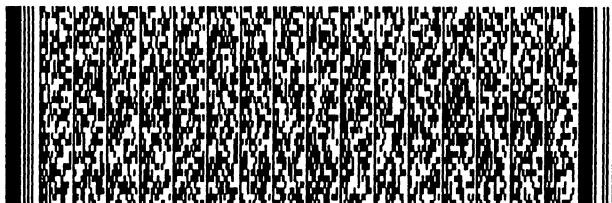
依據自輸入之時鐘信號之第一轉移而產生之該控制信號依次被啟動之該解碼器之位址之解碼動作和使該解碼器所選擇之字線被啟動之字線選擇動作以及該感測放大器之感測動作構成讀出週期；

依據自該時鐘信號之第二轉移而產生之該控制信號依次被啟動之該解碼器之位址之解碼動作和使該解碼器所選擇之字線被啟動之電路之字線之選擇動作以及該寫入用放大器之寫入動作構成寫入週期；

更具備：

一控制電路，在控制上使得交互進行該讀出週期和該寫入週期；

及一控制電路，控制時序，令在該讀出週期之該感測



五、發明說明 (7)

放大器之感測動作和在該讀出週期之下一週期之該寫入週期之該解碼器之位址之解碼動作平行的動作。

本發明之另外之形態之半導體記憶裝置，具備：

位址用時鐘產生電路，依照輸入之時鐘信號之第一轉移，按照輸入之讀出命令產生讀出用時鐘(RC)，依照在該時鐘信號之該第一轉移之後續之週期之第二轉移，按照輸入之寫入命令產生寫入用時鐘(WC)；

位址暫存器，依據該時鐘信號閃鎖所輸入之位址信號，輸入自該位址用時鐘產生電路輸出之該讀出用時鐘(RC)和該寫入用時鐘(WC)後，在該讀出用時鐘(RC)和該寫入用時鐘(WC)之其中之一被啟動之情況下，輸出所閃鎖之位址信號；

讀出用脈衝產生電路，依照該時鐘信號之該第一轉移而產生讀出用脈衝信號(RPB)；

寫入用脈衝產生電路，依照該時鐘信號之該第二轉移而產生寫入用脈衝信號(WPB)；

記憶體單元陣列，具有多個記憶體單元；

解碼器，接受自該位址暫存器輸出之位址信號後解碼；

一電路，輸入來自該讀出用脈衝產生電路之讀出用脈衝信號(RPB)後，依照該讀出用脈衝信號(RPB)產生讀出用單發脈衝信號(ROS)；

一電路，輸入來自該寫入用脈衝產生電路之寫入用脈衝信號(WPB)後，依照該寫入用脈衝信號(WPB)產生寫入用



五、發明說明 (8)

單發脈衝信號(WOS)；

一電路，輸入該讀出用單發脈衝信號(ROS)和該寫入用單發脈衝信號(WOS)，在該讀出用單發脈衝信號(ROS)和該寫入用單發脈衝信號(WOS)之其中之一被啟動之情況下，在預定之既定之期間被啟動，接受該解碼器之輸出結果後，使所選擇之字線被啟動；

一電路，依照該時鐘信號之該第一轉移，按照輸入之讀出命令使感測啟動信號(SE)被啟動；

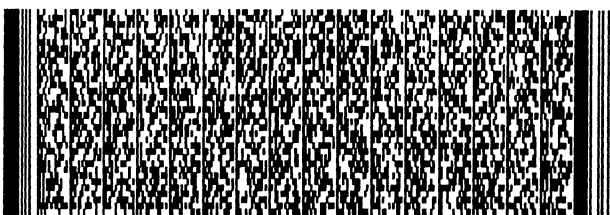
感測放大器，在該感測啟動信號(SE)被啟動之情況下，在預定之既定之期間被啟動，將在和所選擇之單元連接之位元線所讀出之資料放大後，作為讀出資料輸出；

一電路，依照該時鐘信號之該第二轉移，按照輸入之寫入命令輸出寫入用放大器(WA)啟動信號；

以及寫入用放大器，在該寫入用放大器(WA)啟動信號指示啟動之情況下，在預定之既定之期間被啟動，向所選擇之單元寫入；

依據自該時鐘信號之第一轉移而產生之該讀出用時鐘及脈衝信號依次被啟動之該解碼器之位址之解碼動作和使該所選擇之字線被啟動之電路之字線選擇動作以及該感測放大器之感測動作構成讀出週期；

依據自該時鐘信號之第二轉移而產生之該寫入用時鐘及脈衝信號依次被啟動之該解碼器之位址之解碼動作和使該所選擇之字線被啟動之電路之字線之選擇動作以及該寫入用放大器之寫入動作構成寫入週期；



五、發明說明 (9)

更具備：

一控制電路，在控制上使得交互進行該讀出週期和該寫入週期；

及一控制電路，控制時序，令在該讀出週期之該感測放大器之感測動作和在該讀出週期之下一週期之該寫入週期之該解碼器之位址之解碼動作平行的動作。

本發明之另外之形態之半導體裝置，

具備：

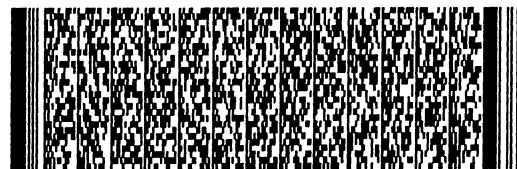
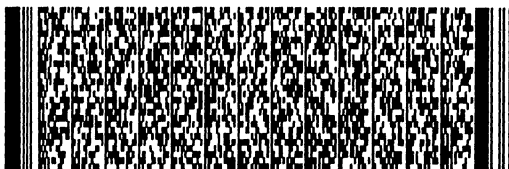
第一電路，按照依照輸入之時鐘信號之第一轉移而產生之第一控制信號被啟動後，進行第一期間(A)之第一動作；

及第二電路，按照依照在輸入之該時鐘信號之該轉移之後續之第二轉移而產生之第二控制信號被啟動後，進行第二期間(B)之第二動作；

在交互進行該第一動作和該第二動作之週期之半導體裝置，具備：一種裝置，在 $A > B$ 之情況下，將該時鐘信號之週期設為 $(A+B)/2$ ，對自該時鐘信號之該第二轉移至該第二電路之動作開始為止之延遲再附加時間 $(A-B)/2$ 之延遲。

又在本發明之另外之形態之半導體裝置，具備：一種裝置，在 $B > A$ 之情況下，將該時鐘信號之週期設為 $(A+B)/2$ ，對自該時鐘信號之該第一轉移至該第一電路之動作開始為止之延遲再附加時間 $(B-A)/2$ 之延遲。

本發明之一種形態之半導體記憶裝置之控制方法，具



五、發明說明 (10)

有

(a) 一步驟，利用位址用時鐘產生電路，依照輸入之時鐘信號之第一轉移，按照輸入之讀出命令產生讀出用時鐘(RC)，依照在該時鐘信號之該第一轉移之後續之週期之第二轉移，按照輸入之寫入命令產生寫入用時鐘(WC)；

(b) 一步驟，在位址暫存器，依據該時鐘信號門鎖所輸入之位址信號，輸入自該位址用時鐘產生電路輸出之該讀出用時鐘(RC)和該寫入用時鐘(WC)後，在該讀出用時鐘(RC)和該寫入用時鐘(WC)之其中之一被啟動之情況下，輸出所門鎖之位址信號；

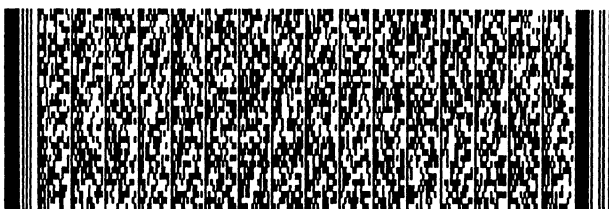
(c) 一步驟，利用讀出用脈衝產生電路，依照該時鐘信號之該第一轉移而產生讀出用脈衝信號(RPB)；

(d) 一步驟，利用寫入用脈衝產生電路，依照該時鐘信號之該第二轉移而產生寫入用脈衝信號(WPB)；

(e) 一步驟，該控制電路輸入來自該讀出用脈衝產生電路之讀出用脈衝信號(RPB)後，依照該讀出用脈衝信號(RPB)產生讀出用單發脈衝信號(ROS)；

(f) 一步驟，該控制電路輸入來自該寫入用脈衝產生電路之寫入用脈衝信號(WPB)後，依照該寫入用脈衝信號(WPB)產生寫入用單發脈衝信號(WOS)；

(g) 一步驟，輸入該讀出用單發脈衝信號(ROS)和該寫入用單發脈衝信號(WOS)，在該讀出用單發脈衝信號(ROS)和該寫入用單發脈衝信號(WOS)之其中之一被啟動之情況下，在預定之既定之期間被啟動，接受該解碼器之輸出結



五、發明說明 (11)

果後，字線驅動器使所選擇之字線被啟動；

(h) 一步驟，該控制電路依照該時鐘信號之該第一轉移，按照輸入之讀出命令使感測啟動信號(SE)被啟動；

(i) 一步驟，在該感測放大器，在該感測啟動信號(SE)被啟動之情況下，在預定之既定之期間被啟動，將在和所選擇之單元連接之位元線所讀出之資料放大後，作為讀出資料輸出；

(j) 一步驟，該控制電路依照該時鐘信號之該第二轉移，按照輸入之寫入命令輸出寫入用放大器(WA)啟動信號；

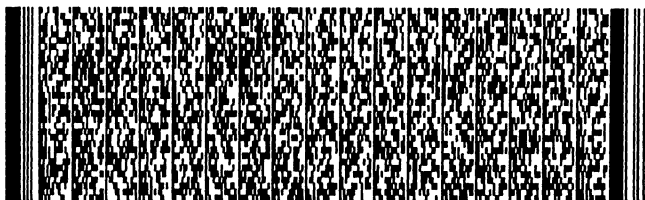
(k) 以及一步驟，在該寫入用放大器，依照該寫入用放大器(WA)啟動信號，在預定之既定之期間被啟動，向所選擇之單元寫入；

依據自該時鐘信號之第一轉移而產生之該讀出用時鐘及脈衝信號依次被啟動之該解碼器之位址之解碼動作和使該所選擇之字線被啟動之電路之字線選擇動作以及該感測放大器之感測動作構成讀出週期；

依據自該時鐘信號之第二轉移而產生之該寫入用時鐘及脈衝信號依次被啟動之該解碼器之位址之解碼動作和使該所選擇之字線被啟動之電路之字線之選擇動作以及該寫入用放大器之寫入動作構成寫入週期；

還具有

(l) 一步驟，在控制上使得交互進行該讀出週期和該寫入週期；



五、發明說明 (12)

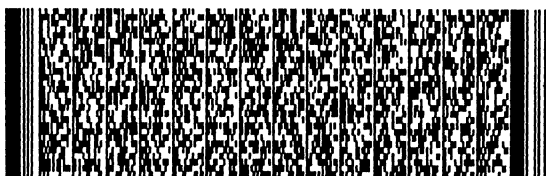
(m) 及一步驟，控制時序，令在該讀出週期之該感測放大器之感測動作和在該讀出週期之下一週期之該寫入週期之該解碼器之位址之解碼動作平行的動作。

若依據本發明，可令時鐘信號之動作頻率提高。

四、【實施方式】

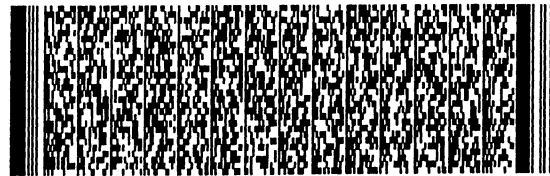
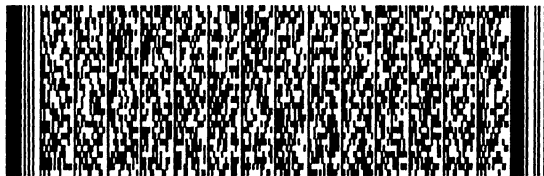
發明之實施形態

說明本發明之實施形態。本發明在其一實施形態之半導體裝置具備：以下之第一至第六電路。第一電路(例如圖2之位址暫存器、X選擇電路、Y選擇電路等位址解碼系電路)在依照輸入之時鐘信號之第一轉移而產生之第一控制信號和依照在該時鐘信號之該第一轉移之後續之週期之第二轉移而產生之第二控制信號之其中之一被啟動之情況下，在預定之既定之期間被啟動。第二電路(例如在圖2之X選擇電路選擇字線之字線驅動電路和其控制電路：參照圖5(C))在依照輸入之時鐘信號之第一轉移而產生之第三控制信號和依照在該時鐘信號之該第一轉移之後續之週期之第二轉移而產生之第四控制信號之其中之一被啟動之情況下，在預定之既定之期間被啟動，接受該第一電路之輸出結果後動作。第三電路(例如圖2之感測放大器SA)在依照輸入之時鐘信號之第一轉移而產生之第五控制信號被啟動之情況下，在預定之既定之期間被啟動，依照該第二電路之動作結果動作。第四電路(例如圖2之寫入用放大器WA，本第四電路和第三電路同時被啟動也可)在依照該時



五、發明說明 (13)

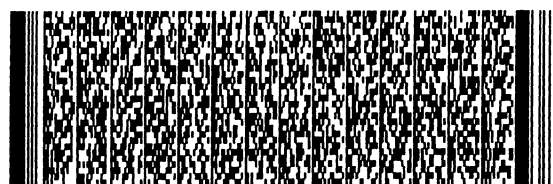
鐘信號之該第二轉移而產生之第六控制信號被啟動之情況下，在預定之既定之期間被啟動。按照自該時鐘信號之該第一轉移而產生之該控制信號依次被啟動之該第一電路、第二電路以及第三電路之一連串之動作構成第一動作週期（例如讀出週期），按照自該時鐘信號之該第二轉移而產生之該控制信號依次被啟動之該第一電路、第二電路以及第四電路之一連串之動作構成第二動作週期（例如寫入週期）。第五電路進行控制，使得交互進行該第一動作週期和該第二動作週期（參照圖17）。第六電路（例如圖2之位址用時鐘產生電路、讀出用及寫入用脈衝產生電路）控制該第三及該第二控制信號之時序，使得令在該第一動作週期之該第三電路和在該第二動作週期之該第一電路平行的動作。按照一樣之原理，本發明在其一實施形態，半導體裝置具備：第一至第五電路。第一電路（例如圖2之X選擇電路之利用字線驅動器之字線之選擇）在依照輸入之時鐘信號之第一轉移而產生之第一控制信號和依照在該時鐘信號之該第一轉移之後續之週期之第二轉移而產生之第二控制信號之其中之一被啟動之情況下，在預定之既定之期間被啟動。第二電路（例如圖2之由X選擇電路之字線驅動電路和感測放大器構成）在依照輸入之時鐘信號之第一轉移而產生之第三控制信號被啟動之情況下，在預定之既定之期間被啟動，接受該第一電路之輸出結果後動作。第三電路（圖2之X選擇電路之字線驅動電路和寫入用放大器）在依照該時鐘信號之第二轉移而產生之第四控制信號被啟動之情



五、發明說明 (14)

況下，在預定之既定之期間被啟動，接受該第一電路之輸出結果後動作。按照自該時鐘信號之該第一轉移而產生之該控制信號依次被啟動之該第一電路和第三電路之一連串之動作構成第一動作週期，按照自該時鐘信號之該第二轉移而產生之該控制信號依次被啟動之該第一電路和第三電路之一連串之動作構成第二動作週期。第四電路進行控制，使得交互進行該第一動作週期和該第二動作週期(參照圖17)。第五電路(圖2之位址用時鐘產生電路105、讀出用脈衝產生電路106、寫入用脈衝產生電路107)控制和在該第一動作週期之該第二電路之啟動及在該第二動作週期之該第一電路之啟動相關之該控制信號之時序，使得在該第一動作週期之該第二電路之部分動作和在該第二動作週期之該第一電路在時間上重疊的動作。

參照圖2，本發明之較佳之一實施形態之半導體記憶裝置具備：具有多個記憶體單元之記憶體單元陣列100、位址暫存器104、位址用時鐘產生器105、讀出用脈衝產生電路106、寫入用脈衝產生電路107、解碼器101、103以及控制電路102。位址用時鐘產生器105依照輸入之時鐘信號之第一轉移，按照輸入之讀出命令產生讀出用時鐘(RC)，依照在該時鐘信號之該第一轉移之後續之週期之第二轉移，按照輸入之寫入命令產生寫入用時鐘(WC)。位址暫存器104在依照該時鐘信號門鎖所輸入之位址信號，輸入自該位址用時鐘產生電路輸出之該讀出用時鐘(RC)和該寫入用時鐘(WC)後，該讀出用時鐘(RC)和該寫入用時鐘(WC)之

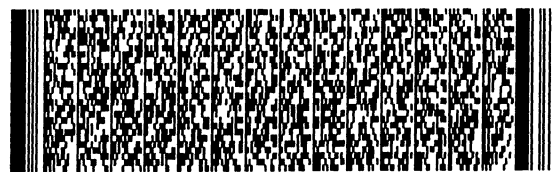


五、發明說明 (15)

其中之一被啟動之情況下，輸出所門鎖之位址信號。讀出用脈衝產生電路106依照該時鐘信號之該第一轉移而產生讀出用脈衝信號(RPB)。寫入用脈衝產生電路107依照在該時鐘信號之該第一轉移之後續之週期之第二轉移而產生寫入用脈衝信號(WPB)。解碼器101、103接受自該位址暫存器輸出之位址信號後解碼。

在本發明之一實施形態之半導體記憶裝置，控制電路102例如具備：一電路，輸入來自讀出用脈衝產生電路之讀出用脈衝信號(RPB)後，依照該讀出用脈衝信號(RPB)產生讀出用單發脈衝信號(ROS)；一電路，輸入來自寫入用脈衝產生電路之寫入用脈衝信號(WPB)後，依照該寫入用脈衝信號(WPB)，產生寫入用單發脈衝信號(WOS)；以及一電路，在輸入該讀出用單發脈衝信號(ROS)和該寫入用單發脈衝信號(WOS)後，該讀出用單發脈衝信號(ROS)和該寫入用單發脈衝信號(WOS)之其中之一被啟動之情況下，在預定之既定之期間被啟動，接受該解碼器之輸出結果後，使所選擇之字線被啟動(101，及參照圖5)。此外，控制電路102具備：一電路，依照該時鐘信號之該第一轉移，按照輸入之讀出命令使感測啟動信號(SE)被啟動；及一電路，依照該時鐘信號之該第二轉移，按照輸入之寫入命令輸出寫入用放大器(WA)啟動信號。

此外，本發明之一實施形態之半導體記憶裝置，具備：感測放大器(SA)，在感測啟動信號(SE)被啟動之情況下，在預定之既定之期間被啟動，將在和所選擇之單元連



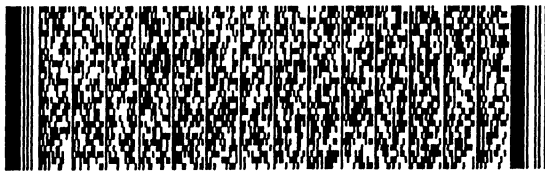
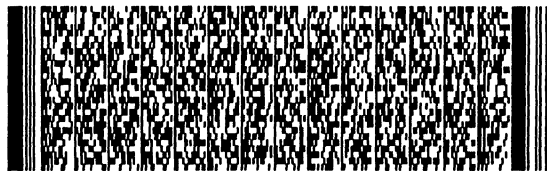
五、發明說明 (16)

接之位元線所讀出之資料放大後入讀出資料輸出；及寫入用放大器WA，在該寫入用放大器(WA)啟動信號指示啟動之情況下，在預定之既定之期間被啟動，向所選擇之單元寫入。

在本發明之一實施形態之半導體記憶裝置，依據自該時鐘信號之該第一轉移而產生之該讀出用時鐘及脈衝信號依次被啟動之該解碼器之位址之解碼動作和使該所選擇之字線被啟動之字線之選擇動作以及該感測放大器之感測動作構成讀出週期，依據自該時鐘信號之該第二轉移而產生之該寫入用時鐘及脈衝信號依次被啟動之該解碼器之位址之解碼動作和使該所選擇之字線被啟動之字線之選擇動作以及該寫入用放大器之寫入動作構成寫入週期。在本發明之一實施形態之半導體記憶裝置，分別設置寫入用資料之輸入用埠和讀出用資料之輸出用埠。

在本發明之一實施形態之半導體記憶裝置，具備：一控制電路(參照圖17)，進行控制，使得交互進行該讀出週期和該寫入週期；及一控制電路(105、106、107)，控制時序，使得令在該讀出週期之該感測放大器之感測動作和在該讀出週期之下一週期之該寫入週期之該解碼器之位址之解碼動作平行的動作。依據這種構造，使驅動時鐘信號之頻率高速化。

在本發明之一實施形態之半導體記憶裝置，依據自該時鐘信號之該第一轉移而產生之該讀出用時鐘及脈衝信號依次被啟動之該解碼器(101之X選擇電路、103之Y選擇電

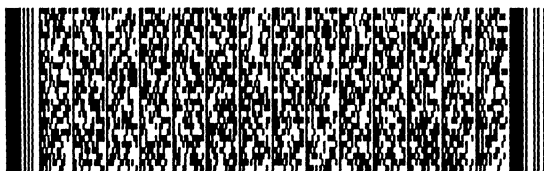


五、發明說明 (17)

路等)之解碼動作和使該所選擇之字線被啟動之字線之選擇動作以及該感測放大器之感測動作構成讀出週期，依據自該時鐘信號之該第二轉移而產生之該寫入用時鐘及脈衝信號依次被啟動之該解碼器之位址之解碼動作、使該所選擇之字線被啟動之電路之字線之選擇動作、該寫入用放大器之寫入動作以及該預充電電路之預充電動作構成寫入週期，重疊的進行該字線之選擇動作和該寫入動作，進行控制，使得交互進行該讀出週期和該寫入週期，也可控制時序，使得令在該讀出週期之該感測放大器之感測動作和在該讀出週期之下一週期之該寫入週期之該解碼器之位址之解碼動作平行的動作，令在該寫入週期之該預充電電路對位元線之預充電動作和在該寫入週期之下一週期之讀出週期之該解碼器之位址之解碼動作平行的動作也。

在本發明之一實施形態之半導體記憶裝置，在控制上，當係在該讀出週期之字線之選擇期間和自該位址暫存器向該位址解碼器輸出之位址信號變化之時序之偏差之時間之和之第一時間比係在該寫入週期之字線之選擇期間和預充電期間之和之第二時間大時，令用以產生該寫入用時鐘(WC)和該寫入用單發脈衝信號(WOS)之寫入用脈衝信號(WPB)再延遲(第一時間-第二時間)/2。

在本發明之一實施形態之半導體記憶裝置，在控制上，當係在該讀出週期之字線之選擇期間和自該位址暫存器向該位址解碼器輸出之位址信號變化之時序之偏差之時間之和之第一時間比係在該寫入週期之字線之選擇期間和



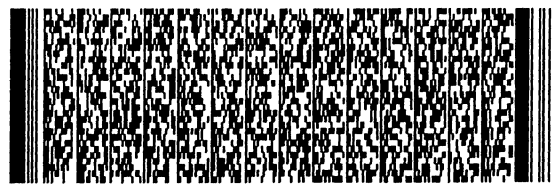
五、發明說明 (18)

預充電期間之和之第二時間小時，令用以產生該讀出用時鐘(RC)和該讀出用單發脈衝信號(ROS)之讀出用脈衝信號(RPB)再延遲(第二時間-第一時間)/2。

自上述之實施形態，在一種半導體裝置，具備：第一電路，按照依照輸入之時鐘信號之第一轉移而產生之第一控制信號被啟動後，進行第一期間(A)之第一動作；及第二電路，按照依照在輸入之該時鐘信號之該轉移之後續之第二轉移而產生之第二控制信號被啟動後，進行第二期間(B)之第二動作；在構造上交互進行該第一動作和該第二動作之週期，在 $A > B$ 之情況下，將該時鐘信號之週期設為 $(A+B)/2$ ，對自該時鐘信號之該第二轉移至該第二電路之動作開始為止之延遲再附加時間 $(A-B)/2$ 之延遲，引導將時鐘週期自A高速化至 $(A+B)/2$ 之構造。在 $B > A$ 之情況下，將該時鐘信號之週期設為 $(A+B)/2$ ，對自該時鐘信號之該第一轉移至該第一電路之動作開始為止之延遲再附加時間 $(B-A)/2$ 之延遲。

在本發明之別的實施形態之半導體記憶裝置，使得替代將該時鐘信號之該第二轉移作為在該第一轉移之後續之週期之時鐘信號之轉移，在該時鐘信號之一個脈衝之上升緣和下降緣取樣由讀出命令和寫入命令構成之命令及位址信號，使用該時鐘信號之該上升緣產生在該單元陣列區塊之解碼、該感測放大器之啟動以及該寫入用放大器之啟動。

在本發明之另外之實施形態之半導體記憶裝置，在構



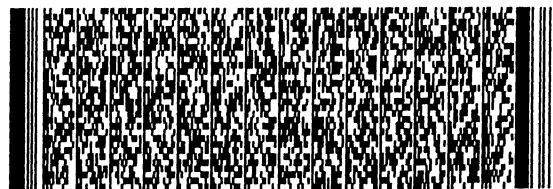
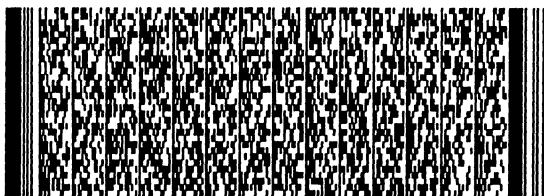
五、發明說明 (19)

造上該寫入用放大器之輸入端子經由寫入用匯流排和輸入用暫存器之輸出端子連接，該輸入用暫存器和輸入之該時鐘信號同步的門鎖供給資料輸入端子之資料後，向該寫入用匯流排輸出，該寫入用放大器之輸出端子和寫入用資料線連接，該位元線經由寫入用之Y開關和該寫入用資料線連接，位址信號由進行該記憶體單元陣列之列選擇之X位址、進行行選擇之Y位址以及進行區塊之選擇之區塊選擇位址構成，接受該區塊選擇位址之解碼結果後，令該寫入用放大器被啟動，該寫入用放大器向該寫入用資料線輸出寫入資料，接著進行該Y開關之選擇，向和變成導通之前之該寫入用Y開關連接之位元線寫入資料也可。位址信號之位元數按照區塊選擇、Y位址、X位址之順序變多，解碼時間及失真變大。因而，藉著按照所解碼之順序進行動作之啟動，可使寫入週期高速化。

實施例

更詳細說明上述之本發明之實施形態，參照圖面說明本發明之實施例。圖1係用以在模式上說明本發明之實施例之動作原理之時序圖。

在圖1，Read、Write之箭號線各自表示讀出週期和寫入週期，第一列之波形(實線)表示在讀出週期之位址之解碼和在記憶體單元陣列之字線之選擇、在讀出週期之位址之解碼以及字線之選擇。感測放大器、寫入用放大器啟動表示控制單元陣列區塊之感測放大器(SA)、寫入用放大器



五、發明說明 (20)

(WA)之啟動之信號，Bit線表示單元陣列之位元線對之電壓波形。字線之選擇表示字線之High位準期間，在解碼、感測放大器之啟動期間，將字線設為非選擇(非啟動)狀態，在向選擇單元寫入資料之寫入用放大器啟動期間，將字線設為選擇狀態。

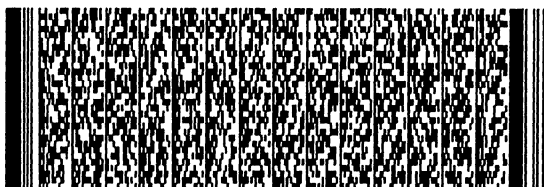
讀出週期由讀出用位址之解碼、字線之選擇以及單元選擇、感測放大器之啟動構成，寫入週期由寫入用位址之解碼、字線之選擇、寫入用放大器之啟動以及位元線之預充電構成。

在寫入週期之寫入用放大器啟動後之位元線之預充電係為了預先將位元線預充電，以備下一讀出週期的。

由圖1得知，在本實施例，讀出週期之感測放大器之啟動和在寫入週期之位址之解碼在時間上重疊。而，將各週期之期間設為比讀出週期和寫入週期之中之比較長之週期短，且比讀出週期和寫入週期之中之比較短之週期長。

圖2係表示本發明實施之半導體組件之基本構造例之圖。本發明之基本構造和在習知技術所參照之構造相同，讀出及寫入控制用之控制信號等之時序控制之方法相異。即，在習知技術所參照之構造，未進行在讀出週期之感測放大器啟動和在寫入週期之解碼之重疊控制等。此外，在本專利說明書中習知技術已概略說明圖2所示之半導體組件之各構成元件，在此，為避免重複，省略說明。

在本實施例，在單元陣列區塊10，交互進行讀出週期和寫入週期，在讀出週期，接著利用X選擇電路101、Y選



五、發明說明 (21)

擇電路、控制電路102對X位址、Y位址、區塊選擇位址解碼之解碼期間之後，在既定之期間利用字線驅動器(驅動字線之驅動器，也稱為「X驅動器」)使選擇字線被啟動，選擇單元，接著將字線設為非選擇，進行感測放大器(SA)之啟動。

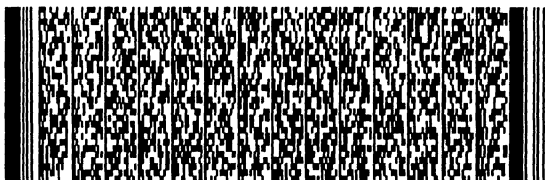
被啟動之感測放大器(SA)將在和所選擇之單元連接之位元線對出現之差電壓 ΔV (約100mV以下)放大後，向讀出用匯流排(Read Bus)輸出和讀出資料對應之邏輯值之信號。

在本實施例，在讀出週期之感測放大器啟動期間和在寫入週期之位址解碼期間在時間軸上重疊，在讀出週期之感測放大器SA啟動中進行寫入位址信號之解碼。即，讀出週期和寫入週期部分重疊，使得規定週期之期間之時鐘信號可高速化。

在本實施例，將讀出週期和寫入週期之期間設為相等。

在單元陣列區塊10，接著讀出週期之解碼期間之後，選擇單元，同時寫入用放大器(WA)被啟動，以和寫入資料對應之電壓驅動和所選擇之單元連接之位元線對。

在本實施例，藉著位元線之低振幅化(在圖1之Bit線，讀出時位元線對之差電壓 ΔV 約100mV或以下)，不必設置讀出後之位元線之預充電期間。這是因在下一寫入週期應寫入之信號之振幅比位元線對出現之差電壓 ΔV 大，不進行預充電，也可對位元線進行寫入動作。即，在使感



五、發明說明 (22)

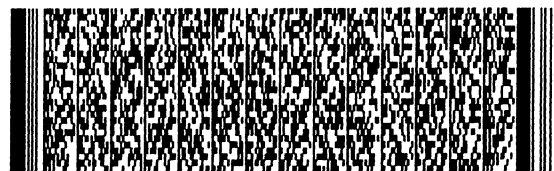
測放大器(SA)被啟動而應將讀出資料後之位元線預充電之期間，可選擇記憶體單元，進行寫入用放大器之啟動，使得出現位元線之寫入資料。

在實現如上述之時序控制時，將讀出/寫入之字線之選擇期間(字線選擇)設為可變(可程式)之構造也可。

以時鐘信號CLK為觸發信號，依照自位址用時鐘產生器105輸出之單發脈衝之讀出用時鐘RC，位址暫存器104輸出所門鎖之位址信號(讀出用位址)。在以來自位址暫存器104之位址信號為輸入之X選擇電路101、Y選擇電路103、控制電路102內之區塊選擇位址解碼器(圖上未示)，各自進行位址之解碼動作。如後述所示，藉著依據來自控制電路102之控制信號使X選擇電路101內之字線驅動器(圖上未示)被啟動，X選擇電路101內之X解碼器(圖上未示)所選擇之字線被啟動。

藉著使自控制電路102輸出之供給感測放大器(SA)之感測啟動信號被啟動，使感測放大器(SA)被啟動。

以時鐘信號CLK為觸發信號，依照自位址用時鐘產生器105輸出之寫入用時鐘WC，位址暫存器104輸出所門鎖之位址信號(寫入用位址)。在以來自位址暫存器104之位址信號為輸入之X選擇電路101、Y選擇電路103、控制電路102內之區塊選擇位址解碼器(圖上未示)，各自進行位址之解碼動作。藉著使自控制電路102輸出之供給寫入用放大器WA之寫入用放大器(WA)啟動信號(圖上未示)被啟動，使寫入用放大器WA被啟動。



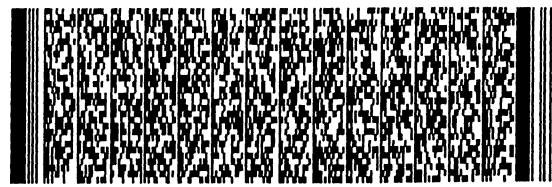
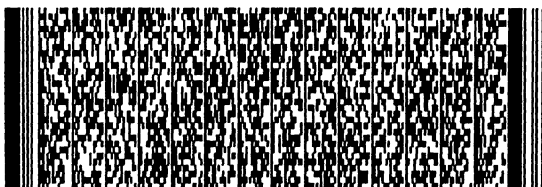
五、發明說明 (23)

圖3(A)係表示讀出用脈衝產生電路106和寫入用脈衝產生電路107之輸出電路之構造圖。

讀出用脈衝產生電路106之輸出電路由CMOS反相器構成，而該CMOS反相器由PMOS電晶體PM1和NMOS電晶體NM1構成，PMOS電晶體PM1和NMOS電晶體NM1接在高位側電源VDD和低位側電源VSS(或GND)之間，閘極共同連接後和輸出電路之輸入端子連接，汲極共同連接後和輸出電路之輸出端子連接。

在 n 個(n 係1以上之既定之正整數)之單元陣列區塊10(Block1~Block n)，對於讀出用脈衝信號(RPB)和寫入用脈衝信號(WPB)，使用下降緣。這係由於在電晶體之尺寸(或者W/L比)相同之情況下，NMOS電晶體之電流驅動能力比PMOS電晶體的高。即，NMOS電晶體變成導通，將CMOS反相器之輸出端子放電，輸出端子電壓自高位側電源VDD降至低位側電源VSS之時間比PMOS電晶體變成導通，將CMOS反相器之輸出端子充電至高位側電源VDD，輸出端子電壓自低位側電源VSS上升至高位側電源VDD之時間短。對於寫入用脈衝信號(WPB)，也由於相同之理由，使用下降緣。

可是，在圖2、圖3(A)所示之構造，分別設計讀出用脈衝信號(RPB)和寫入用脈衝信號(WPB)，因脈衝RPB之信號配線係長配線，在信號配線之遠端部之下降波形變遲鈍。在依照時鐘信號交互的重複讀出週期和寫入週期之情況下，各自之脈衝RPB、WPB之週期變成2個時鐘週期



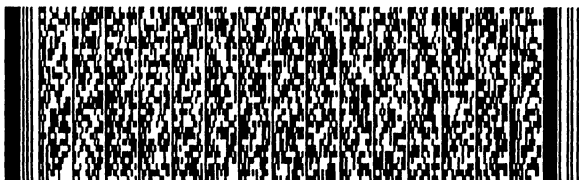
五、發明說明 (24)

2(tCK)。因而，如圖3(B)所示，在同一時序供給信號配線之遠端部和近端部之各單元陣列區塊10脈衝RPB、WPB。即，在讀出週期下降至Low位準之脈衝RPB在下一寫入週期中上升至電源電壓位準，在該寫入週期之下一讀出週期，將脈衝RPB設為高位側電源電壓VDD。

而，在讀出週期連續之情況下，如圖3(C)所示，在RPB之信號配線之遠端，因脈衝RPB無法充分擺動，在連續動作之各週期，在自時鐘之上升緣至脈衝RPB之下降緣為止之延遲時間發生差異，在此情況下，如圖4所示，也可在構造上具備：在奇數週期產生脈衝之奇數週期用脈衝產生電路41和在偶數週期產生脈衝之偶數週期用脈衝產生電路42，奇數週期用脈衝產生電路41和偶數週期用脈衝產生電路42向不同之信號線送出奇數週期和偶數週期之脈衝，在單元陣列區塊，用2個接收器43及44各自接收奇數週期和偶數週期後，用邏輯和電路(OR電路)45取接收器43及44之邏輯和，輸出單元陣列區塊內基本脈衝信號(BOS)。利用這種構造，在讀出週期連續之情況下，也在相同之時序供給單元陣列區塊10單發脈衝之基本脈衝信號(BOS)。關於寫入週期連續之情況下，當然也可應用一樣之構造。

其次，說明在本發明之一實施例之單元陣列區塊10(參照圖2)之控制脈衝信號之產生。

圖5(A)係表示在本發明之一實施例之控制信號RPB、WPB、ROS、WOS之時序波形之圖。控制信號RPB、WPB如參照圖2及圖3(A)之說明所示，自讀出用脈衝產生電路106、



五、發明說明 (25)

寫入用脈衝產生電路107輸出後輸入控制電路102。

在單元陣列區塊10內之控制電路102，如圖5(A)所示，自讀出控制用之脈衝RPB之下降緣開始，產生單發脈衝之ROS脈衝(脈寬 t_{PR})，作為字線之啟動控制信號。又，在控制電路102，自寫入控制用之脈衝WPB之下降緣開始，產生單發脈衝之WOS(脈寬 t_{WR})，作為字線之啟動控制信號。依照所產生之脈衝決定字脈寬(字線變成High位準之期間)。

在讀出週期，依照自控制電路102向X選擇電路101輸出之ROS脈衝設定驅動X解碼器所選擇之字線之字線驅動器之啟動期間(字線之選擇期間)；在寫入週期，依照WOS脈衝設定字線驅動器之啟動期間(字線之選擇期間)。

此外，

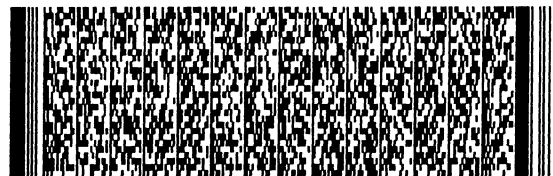
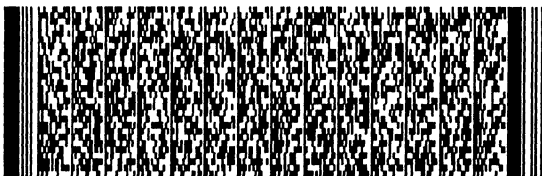
脈寬 t_{PR} 係讀出時之最小必要之字脈寬。

脈寬 t_{WR} 係寫入時之最小必要之字脈寬。

一般係 $t_{PR} > t_{WR}$ 。

圖5(C)係用以說明圖2之控制電路102和X選擇電路101(字線驅動器)之電路構造之圖。參照圖5(C)，具備：邏輯和電路51，輸入脈衝信號ROS和WOS；及AND電路52，輸入邏輯和電路51之輸出和區塊選擇位址；將AND電路52之輸出作為單元陣列區塊內基本脈衝信號BOS，在單元陣列區塊內基本脈衝信號BOS啟動之期間，用字線驅動器53驅動依據X位址之解碼結果所選擇之字線。

如圖5(B)所示，在單元陣列區塊內基本脈衝信號BOS



五、發明說明 (26)

之脈衝之上升緣之時序之前及下降緣之時序之後，對於內部位址之變化之失真(內部Skew)，確保既定之時序邊限(t_H 、 t_S)。在單元陣列區塊內基本脈衝信號BOS被啟動之期間(High位準之期間)選擇單元，內部位址之變化在單元陣列區塊內基本脈衝信號BOS非啟動期間進行。例如，將X位址之變化之內部失真(自位址暫存器向X解碼器輸入之X位址之變化之時序之偏差)設為自單元陣列區塊內基本脈衝信號BOS之下降緣開始 t_H 以後、在單元陣列區塊內基本脈衝信號BOS之上升緣之 t_S 之前之範圍。

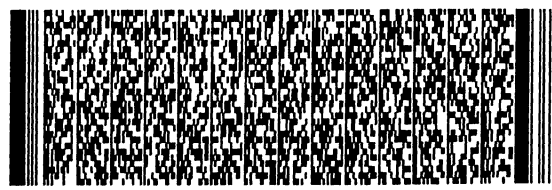
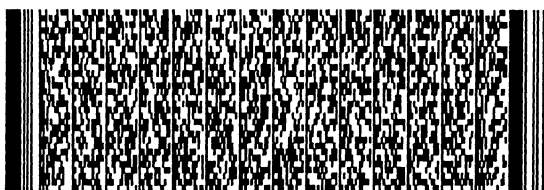
在本實施例，可將時鐘之週期縮短至界限，成為本發明之特徵之一。以下，參照圖6之時序圖說明該特徵。圖6係表示係用以說明本發明之原理之時序圖之圖1之細節之例之時序圖。

依照時鐘信號CLK之上升緣自讀出用脈衝產生電路106輸出之脈衝信號RPB下降，依照該脈衝信號RPB產生單發脈衝ROS，字線驅動器被啟動，選擇字線變成High位準。依據單發脈衝ROS之脈寬規定字線之選擇期間(脈寬 t_{PR})。

在圖6，將自時鐘信號CLK之上升緣至內部位址(X位址、Y位址、區塊位址)之變化點為止之延遲時間設為 t_{p1} 。

將自時鐘信號CLK之上升緣至單元陣列區塊內基本脈衝信號BOS之上升緣，即字線之上升緣為止之延遲時間設為 t_{p3} 。

X、Y、區塊位址之信號波形之影線部表示內部位址之



五、發明說明 (27)

變化之失真(內部Skew)。即，在自時鐘信號CLK之上升緣至內部位址之變化為止之延遲存在自位址信號波形之影線部之左端至影線部之右端之範圍之失真(Skew)。

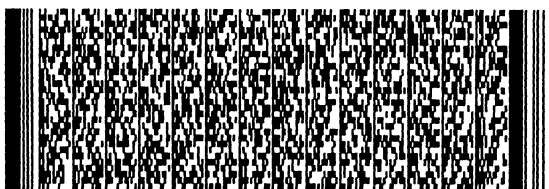
在單發脈衝ROS(脈寬 t_{PR})下降後，即字線下降後之 t_{Skew} 和位址之變化之內部失真(位址之影線部)對應，和對於位址之變化之內部失真確保既定之時序邊限之單元陣列區塊內基本脈衝信號BOS之Low位準期間(參照圖5(B))對應。

在下一寫入週期，依照時鐘信號CLK之上升緣自寫入用脈衝產生電路107產生信號RPB後，產生單發脈衝WOS，選擇字線變成High位準。將字線之脈寬 t_{PW} 規定為單發脈衝WOS之脈寬。在寫入週期，將自時鐘信號CLK之上升緣至內部位址之變化點為止之延遲時間設為 t_{p2} ，將自時鐘信號CLK之上升緣至單元陣列區塊內基本脈衝信號BOS之上升緣，即字線之上升緣為止之延遲時間設為 t_{p4} 。

在圖6，在單發脈衝WOS(脈寬 t_{PW})下降後，即寫入週期，字線下降後之 t_R 係位元線之預充電期間。

在圖6，在自時鐘信號CLK之上升緣延遲 t_{p1} 得到內部位址(X位址、Y位址、區塊位址)之變化(解碼處理結果)，在自時鐘信號CLK之上升緣延遲 t_{p3} 後之 t_{PR} 期間之間，選擇字線，在將字線設為非選擇後(下降至Low位準後)，感測放大器被啟動之動作係讀出週期(Read Cycle)。

在該讀出週期，和為了讀出單元資料而將字線設為High位準之期間(t_{PR})在時間上重疊，下一週期之時鐘信



五、發明說明 (28)

號CLK上升，在自該時鐘信號之上升轉移延遲 tp_2 ，發生寫入用位址之解碼結果所引起之內部位址之變化。即，用感測放大器將在位元線所讀出之選擇單元之資料放大後讀出之感測期間和寫入用位址之解碼期間重疊。這種構造成為本發明之特徵之一。

在自寫入週期之時鐘信號之上升緣延遲 tp_4 ，選擇字線，在選擇字線之期間(tp_w)內，自寫入用放大器向選擇單元寫入。

接著，將字線設為非選擇，進行資料寫入後之預充電。包含接在位元線和電源之間之開關之預充電電路(及接在位元線對間之等化電路)被啟動，將位元線預充電。

在圖6所示之例子，在寫入週期之預充電期間 t_R 和成為下一週期之讀出週期之開始時刻在時間上重疊，在時間上重疊的進行在寫入週期之預充電動作和讀出用位址之解碼動作。這種構造成為本發明之特徵之一。

即，

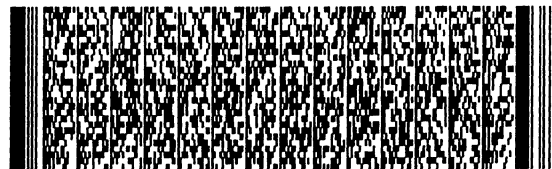
(T1)在某讀出週期之位址之解碼和在該讀出週期之前之寫入週期之位元線之預充電。

(T2)在該讀出週期之字線之選擇。

(T3)在該讀出週期之感測放大器之啟動期間和下一寫入週期之位址之解碼。

(T4)依據在該寫入週期之字線之選擇和寫入用放大器啟動之對單元之寫入。

(T5)在該寫入週期之位元線之預充電和下一讀出週期



五、發明說明 (29)

之位址之解碼。

(T6) 在下一讀出週期之字線之選擇。

...

照這樣，至少在時間上重疊的進行讀出週期之終端處理和寫入週期之最初處理。此外，T2、T3...等區間表示藉著依照時鐘信號CLK之上升緣和讀出命令產生之單發脈衝信號等規定其期間(時間)之非同步電路之動作之期間，T2、T3...等不是將時鐘信號規定為觸發信號的。即，本發明和時鐘同步型之管路式控制不同。在後面將詳細說明之。

自圖6得知下式(1)成立。

$$\text{讀出週期} + \text{寫入週期} = t_{PR} + t_{SKEW} + t_{PW} + t_R \dots (1)$$

(A) $t_{PR} + t_{SKEW} = t_{PW} + t_R$ 時， $tp1 = tp2$ 、 $tp3 = tp4$ ，係最快，讀出和寫入變成同一時序。

(B) $t_{PR} + t_{SKEW} > t_{PW} + t_R$ 時，在自時鐘信號之上升緣至寫入用位址之變化點為止之延遲 $tp2$ 和自時鐘信號之上升緣至字線之啟動為止之延遲 $tp4$ 之路徑，令只延遲 $| (t_{PR} + t_{SKEW}) - (t_{PW} + t_R) | / 2$ 。

(C) $t_{PR} + t_{SKEW} < t_{PW} + t_R$ 時，在自時鐘信號之上升緣至讀出用位址之變化點為止之延遲 $tp1$ 和自時鐘信號之上升緣至字線之啟動為止之延遲 $tp3$ 之路徑，令只延遲 $| (t_{PW} + t_R) - (t_{PR} + t_{SKEW}) | / 2$ 。

為了令自時鐘信號CLK之轉移至讀出、寫入用之內部位址之變化點為止之延遲 $tp1$ 、 $tp2$ 再延遲，例如可採用改



五、發明說明 (30)

變圖2之輸入位址暫存器104之讀出用時鐘RC和寫入用時鐘WC之時序之構造。

為了令自時鐘信號CLK之轉移至脈衝ROS、WOS之上升緣為止之延遲時間 $tp3$ 、 $tp4$ 延遲，例如可採用在圖2之讀出用脈衝產生電路106、寫入用脈衝產生電路107令讀出控制用脈衝RPB、寫入用控制脈衝WPB之時序延遲之構造。

因此，為了令在寫入週期之延遲 $tp2$ 和 $tp4$ 之路徑延遲，令輸入位址暫存器104之寫入用時鐘WC之時序延遲，在寫入用脈衝產生電路107令WPB之時序延遲。

為了令在讀出週期之延遲 $tp1$ 和 $tp3$ 之路徑延遲，令輸入位址暫存器104之讀出用時鐘RC之時序延遲，在讀出用脈衝產生電路106令RPB之時序延遲。

圖7(A)係表示位址暫存器104之構造之圖，表示各自使用讀出用時鐘RC和寫入用時鐘WC令圖6之延遲 $tp1$ 、 $tp2$ 再延遲之構造圖。圖7(B)係表示在圖7(A)之時鐘信號CLK、讀出用時鐘RC以及寫入用時鐘WC之時序圖。

第一門鎖電路201在時鐘信號CLK之上升緣門鎖位址信號Add。第一門鎖電路201之輸出經由依據讀出用時鐘RC開閉之路徑電晶體206和反相器204輸出。又，第一門鎖電路201之輸出輸入第二門鎖電路202，第二門鎖電路202之輸出輸入第三門鎖電路203。第二門鎖電路202在寫入用時鐘WC之下降緣門鎖第一門鎖電路201之輸出，第三門鎖電路203在寫入用時鐘WC之下降緣門鎖第二門鎖電路202之輸出。第三門鎖電路203之輸出經由依據寫入用時鐘WC開閉

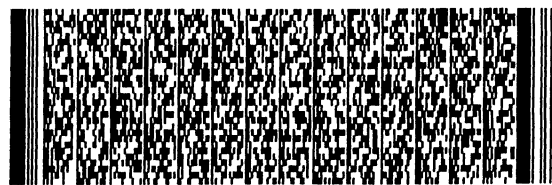


五、發明說明 (31)

之路徑電晶體207和反相器204輸出。反相器204和反相器205構成正反器，路徑電晶體206、路徑電晶體207不導通時，記憶保持正前之輸出之邏輯值。此外，在不是延遲寫入(Late Write：對單元之資料之寫入自時鐘信號CLK之上升緣延遲後進行)之產品之情況下，不需要第二、第三門鎖電路202、203。

如圖7(B)所示，在位址用時鐘產生器105，藉著令自時鐘信號CLK之上升緣至讀出用時鐘RC之上升緣之時序為止之延遲 $tpd1$ 延遲所需之時間，在圖7(A)之位址暫存器104，自時鐘信號CLK之上升緣至自反相器204輸出位址信號為止之延遲時間增大，因而，供給位址解碼器讀出用位址之時序延遲，自時鐘信號CLK之上升緣至內部位址(X位址、Y位址、區塊選擇位址)之變化為止之延遲(圖6之 $tp1$)也延遲。又，在位址用時鐘產生器105，藉著令自時鐘信號CLK之上升緣至寫入用時鐘WC為止之延遲 $tpd2$ 延遲所需之時間，在圖7(A)之位址暫存器104，自時鐘信號CLK之上升緣至自反相器204輸出位址信號為止之延遲時間增大，因而，供給位址解碼器讀出用位址之時序延遲，自時鐘信號CLK之上升緣至內部位址(X位址、Y位址、區塊選擇位址)之變化為止之延遲(圖6之 $tp2$)也延遲。此外，在位址用時鐘產生器105，在時序之控制未使用時鐘信號CLK之下降緣。

其次，參照圖8及圖9說明在本發明之一實施例之陣列區塊之讀出動作。在圖9表示圖2所示單元陣列區塊之位元

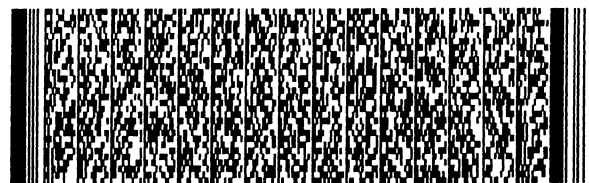
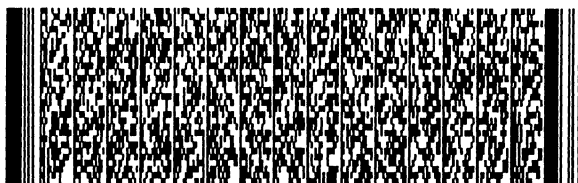


五、發明說明 (32)

線系之電路構造。

參照圖9，單元110和位元線對B、/B及字線WL連接。在位元線對B、/B之間連接在閘極連接Y選擇信號之PMOS電晶體117之源極和汲極，在PMOS電晶體117之源極端子及汲極端子和電源VDD之間連接在閘極連接Y選擇信號之2個PMOS電晶體113、116，電晶體111、112、117當Y選擇信號為Low位準時(非選擇)，將位元線對B、/B預充電及等化。更具備：Y開關113，接在位元線對B和RD(讀出用資料)線之間；Y開關114，接在位元線對B和WD(字線資料)線之間；Y開關116，接在位元線對/B和互補之RD線之間；以及Y開關115，接在位元線對/B和互補之WD線之間；感測放大器(SA)119之輸出和讀出用匯流排(Read Bus)連接，寫入用放大器118之輸入和寫入用匯流排(Write Bus)連接，讀出用匯流排和輸出用暫存器(圖2之108)連接，寫入用匯流排和輸入用暫存器(圖2之109)之輸入端子連接。時序脈寬控制電路120包含於圖2之控制電路102，輸入讀出及寫入用字線啟動用之單發之脈衝信號ROS和WOS(自RPB、WPB信號各自產生之單發脈衝)，依照脈衝信號ROS，例如進行在脈衝信號ROS下降至LOW位準後輸出既定之脈寬之感測啟動信號SE之控制，又依照該脈衝WOS，調整寫入用放大器(WA)啟動信號之時序及脈寬後輸出。感測放大器119依據輸入之感測啟動信號SE被啟動，寫入用放大器118依據輸入之寫入用放大器(WA)啟動信號被啟動。

參照圖8，將字線WL、Y選擇信號Y設為HIGH位準，選



五、發明說明 (33)

擇單元，在位元線對B、/B間出現按照所選擇之記憶體單元之保持資料之差電壓 ΔV 。

接著，字線(WL)、Y開關下降至LOW位準，感測啟動信號SE被啟動(上升至HIGH位準)。

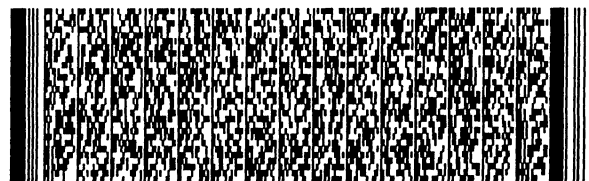
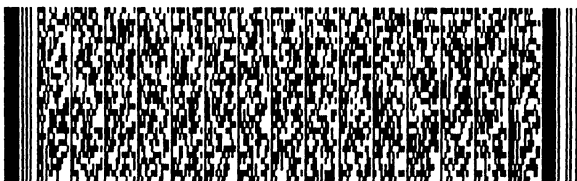
此時，下一寫入週期之位址(X位址、Y位址、區塊選擇位址)發生變化。在圖8，X位址、Y位址、區塊選擇位址之以箭號規定範圍之失真(Skew)係位址在變化點之失真(自位址暫存器104供給單元陣列區塊之X、Y、區塊選擇位址解碼器之內部位址在變化點之失真)。

如圖8所示，在本實施例，自感測啟動信號SE之LOW位準往HIGH位準之上升緣和X、Y、區塊選擇位址之變化同時發生。

在圖8，感測啟動信號SE為HIGH位準之感測期間之 t_{RR} 係位元線對B、/B之復原期間，將差電壓 ΔV 之位元線對設為同一電壓(VCC)。在感測期間，自感測放大器119(參照圖9)向讀出用匯流排輸出讀出資料。

又，將讀出動作時之位元線對之振幅(差電壓) ΔV 設為感測放大器119(參照圖9)可正常動作之最小之電壓。例如，設為約100mV或以下。

若下一寫入週期之位址之失真比位元線對復原至0V為止之時間 t_{RR} 早結束，在 t_{RR} 之前令下一字線之選擇開始。這係由於讀出週期之下一週期係寫入週期，位元線對之復原不充分也可進行寫入動作。此外，在讀出週期連續之情況下，位元線對之差電壓未復原至0V，而移至下一讀出週



五、發明說明 (34)

期時，就在位元線對之差電壓作為偏置存在下進行讀出動作。因而，在讀出週期連續之情況下，進行復原動作。

其次，說明在本實施例之單元陣列區塊10(參照圖2)之寫入動作。圖10係用以說明在本實施例之單元陣列區塊之寫入動作之時序圖。在圖10，WL和Y係字線和Y選擇信號(參照圖9)，WA表示寫入用放大器之啟動信號，位址、寫入用匯流排(Write Bus)之信號波形之 t_{SKEW} (影線部)係寫入用位址之變化之失真。又，單元反相所需之脈寬係 t_{pW} ，位元線對之差電壓復原至0V為止之時間係 t_R (預充電期間)。因寫入週期之下一週期係讀出週期，需要預充電。一般係 $t_R > t_{SKEW}$ 。

其次，參照圖11之時序圖，在本發明之一實施例之變形例上說明縮短寫入週期之手法。

在圖11，

WL係字線之波形

Y係Y選擇信號(參照圖9)之信號波形

WA係表示寫入用放大器之啟動狀態，輸入寫入用放大器之寫入用啟動信號之波形

WD係圖9之寫入用資料線對WD之電壓波形

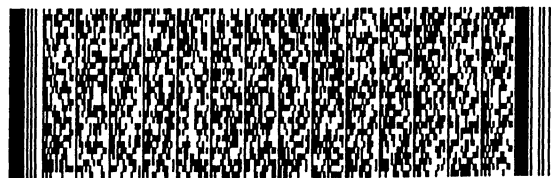
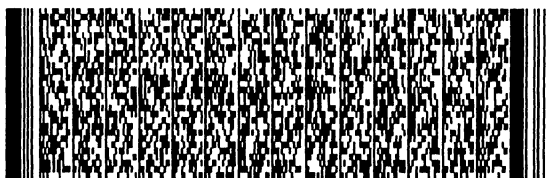
Write Bus係圖2、圖9之寫入用匯流排之信號

SKEWX係X位址之變化之失真

SKEWY係Y位址之變化之失真以及

SKEWBLOCK選擇係區塊選擇位址之變化之失真。

在位址信號之位元寬愈寬，解碼器之段數變深，一般



五、發明說明 (35)

按照X系之位址位元寬最大，其次Y系之位址、區塊系之位址之順序。

在本實施例，藉著利用X系、Y系、區塊系之位址間之失真之差，使Y位址比字線WL、寫入用放大器(WA)之啟動比Y位址提前，縮短寫入週期。首先，使輸入寫入用匯流排(Write Bus)之資料之寫入用放大器(WA)被啟動，自被啟動之寫入用放大器(WA)向互補之WD輸出資料，經過延遲時間 t_B 後，Y選擇信號變成HIGH位準，和互補之WD連接之Y開關114、115變成導通，依據來自寫入用放大器(WA)之資料驅動位元線對B、/B。此外，因單元之反相快，也可採用在位元線之電壓下降之時刻使字線WL上升之構造。在圖11所示之例子，在自Y開關114、115變成導通開始經過延遲時間 t_A 之時刻(位元線之電壓下降了某程度之時刻)，字線WL上升，選擇單元，向單元110寫入(單元反相)。

因寫入用資料線WD、寫入用放大器WA、寫入用匯流排(Write Bus)只在寫入週期動作，和前一讀出週期之終端部無關，先行降低寫入用資料線WD之電壓。因而，位元線對B、/B之下降變快。

如上述所示，在本實施例，進行令讀出週期之感測期間和寫入週期之位址解碼期間重疊之控制，但是其動作原理和管路式完全不同。

在以下，以以往之管路式為比較例說明本實施例之讀出/寫入重疊方式。

在一般之管路式之情況下，如圖12所示，為了在A3位



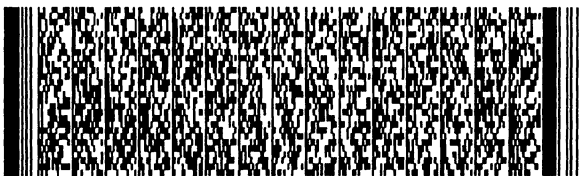
五、發明說明 (36)

址之解碼中平行的處理感測輸出上一週期之A2之讀出用資料，以A3之時鐘緣為觸發信號，進行使感測放大器被啟動之控制。

而，在本實施例，以讀出週期之A2之邊緣為觸發信號，使感測放大器被啟動。

圖13係表示產生供給感測放大器之感測啟動信號SE之電路之一實施例之構造圖。讀出用脈衝產生電路301(和圖2之106對應)具備：反相器串，由令時鐘信號延遲之偶數段之第一、第二反相器302、303構成；第三反相器304，令該反相器串之輸出反相；以及AND電路305，輸入第一、第二反相器302、303之輸出；自時鐘信號CLK之上升緣產生單發之讀出用脈衝RPB。但，在圖13，自讀出用脈衝產生電路301輸出之讀出用脈衝RPB如圖3(B)所示之讀出用脈衝RPB所示，不是依據時鐘信號CLK之下降緣決定，而自時鐘信號CLK之上升緣延遲第一、第二反相器302、303之延遲時間量後上升，由依據第三反相器304之延遲時間規定脈寬之脈衝構成。此外，在圖13所示之例子，採用各自之單元陣列區塊之控制電路102(參照圖2)輸入命令(R/W命令)後產生感測啟動信號、寫入用放大器啟動信號之構造，作為在控制電路102內分別產生讀出用脈衝RPB、寫入用脈衝WPB之構造也可。

第一暫存器311在時鐘信號CLK之上升緣門鎖讀出命令RE(讀出用啟動)，以第一暫存器311之輸出和RPB為輸入之AND電路314輸出SA啟動信號(和感測啟動信號SE等價)。



五、發明說明 (37)

又，寫入用脈衝產生電路313(和圖2之107對應)和讀出用脈衝產生電路301一樣，自時鐘信號CLK產生單發之寫入用脈衝信號WPB。第二暫存器312在時鐘信號CLK之上升緣門鎖寫入命令WE(寫入用啟動)，以第二暫存器312之輸出和信號WPB為輸入之AND電路315輸出WA啟動信號。

圖14係於比較例中，表示按照管路式產生感測啟動信號SE之電路之構造圖。參照圖14，此一電路具備：讀出用脈衝產生電路301和串接2段之暫存器311、316，將由AND電路314所產生的暫存器316之輸出和讀出用脈衝產生電路301之輸出之邏輯積(AND)輸出，作為SA啟動信號(和感測啟動信號SE等價)。如上述所示，本發明進行和管路式不同之時序控制。

其次，說明本發明之別的實施例。

本發明未採用按照管路式令讀出/寫入重疊之控制方式。因而，在一個時鐘邊緣取入位址或命令，若狀態決定了，在內部可令讀出/寫入獨立的動作。因此，在一個時鐘週期，也可令重疊的執行讀出和寫入。圖15係用以說明本發明之別的實施例之動作之時序圖。

如圖15所示，將時鐘信號CLK之上升緣和下降緣雙方用作觸發信號，在位址暫存器104及位址用時鐘產生器105(參照圖2)，取入位址信號、讀出/寫入(RE/WE)命令。在圖15，在時鐘信號CLK之上升緣取入讀出命令RE及位址A1、A3，在時鐘信號CLK之下降緣取入寫入命令WE及位址A2。



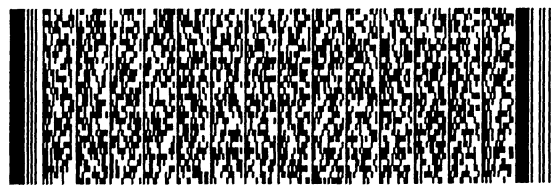
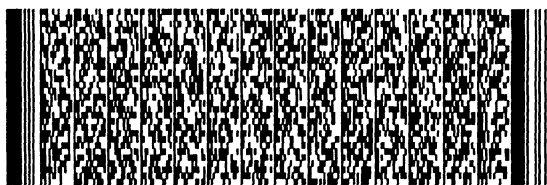
五、發明說明 (38)

而，只使用時鐘信號CLK之上升緣產生在單元陣列區塊10內部之解碼、感測放大器SA之啟動、寫入用放大器WA之啟動。

圖16(A)係表示進行圖15所示之時序動作之電路構造例之圖。本電路，係在控制電路102(參照圖2)自一個時鐘邊緣產生感測放大器啟動信號和寫入用放大器啟動信號之電路，如圖16(B)所示，將時鐘信號CLK之自LOW往HIGH之上升緣、時鐘信號CLK之自HIGH往LOW之下降緣決定為寫入用。

參照圖16(A)，具備：第一脈衝產生電路414，輸入時鐘信號；第一暫存器411，在時鐘信號CLK之上升緣門鎖讀出命令RE；第二暫存器412，在時鐘信號CLK之上升緣門鎖寫入命令WE；延遲電路415，令時鐘信號CLK延遲；第二脈衝產生電路413，輸入延遲電路415之輸出信號後產生脈衝信號；第一AND電路416，輸入第一脈衝產生電路414和第一暫存器411之輸出；以及第二AND電路417，輸入第二脈衝產生電路413和第二暫存器412之輸出；自第一AND電路416之輸出輸出感測啟動信號，自第二AND電路417輸出寫入用放大器(WA)啟動信號。

如圖16(C)所示，時鐘信號CLK之週期 t_{cyc} 係定值，也會由於負荷錯誤(duty error)等，造成HIGH位準期間、LOW位準期間易偏移。在本實施例，因只使用時鐘之上升緣決定動作時序，時序之精度、安定性提高，和使用時鐘

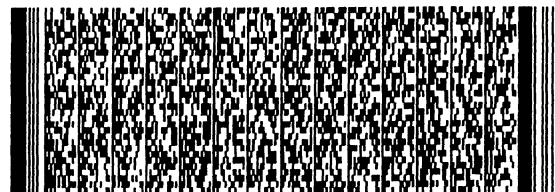
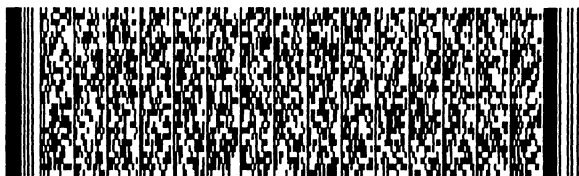


五、發明說明 (39)

之上升緣和下降緣決定時序之構造相比，可令性能提高。

其次，說明讀出/寫入週期之交互動作之內部控制脈衝之產生。圖17係表示交互產生讀出、寫入用之控制信號之電路之構造例之圖，用於位址用時鐘產生器105等。參照圖17，本電路具備：2輸入AND電路515，輸入讀出命令RE；第一暫存器511，輸入2輸入AND電路515之輸出後在時鐘信號CLK之上升緣閃鎖；第一反相器513，將第一暫存器511之輸出反相；第一反相器513之輸出回授輸入2輸入AND電路515，又具備：第二反相器516，輸入第一反相器513之輸出。更具備：3輸入AND電路517，輸入寫入命令WE；第二暫存器512，輸入3輸入AND電路517之輸出後在時鐘信號CLK之上升緣閃鎖；以及第三反相器514，將第二暫存器512之輸出反相，第二、第三反相器516、514之輸出輸入3輸入AND電路517，自第一及第二暫存器511、512之輸出端子各自輸出讀出(Read)啟動信號及寫入啟動信號(Write)。此外，自第一及第二暫存器511、512輸出之讀出啟動信號及寫入啟動信號例如和圖13之來自暫存器311及312之輸出信號一樣，使得各自輸入對應之2個AND電路(參照圖13之314、315)後，將和讀出控制用脈衝、寫入控制用脈衝之邏輯積輸出作為感測放大器(SA)啟動信號、寫入用放大器(WA)啟動信號輸出也可。

在讀出啟動時，在AND電路515依據前一週期之值之反相資料a(第一反相器513之輸出)和讀出命令RE之邏輯積判斷，在時鐘信號CLK之上升緣將AND電路515之輸出取入第



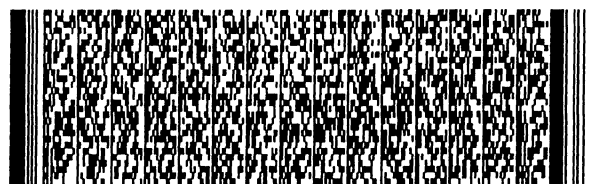
五、發明說明 (40)

一暫存器511，因而每隔1個時鐘週期讀出被啟動。

在寫入啟動時，在AND電路517依據前一週期之值之反相資料b(第三反相器514之輸出)和寫入命令WE之邏輯積及前一週期之讀出啟動狀態a'(反相器516之輸出)判斷，在時鐘信號CLK之上升緣將AND電路517之輸出取入第二暫存器512，每隔1個週期寫入被啟動。在寫入之判定，因依照讀出啟動狀態a'，讀出/寫入相差1個週期的交互被啟動。使用第一、第二暫存器511、512之輸出信號進行讀出啟動、寫入啟動。

本發明適合應用於交互進行讀出週期和寫入週期之QDR方式之SRAM等，但是藉著具備：切換在讀出週期連續之情況最佳化之時序控制或在寫入週期連續之情況最佳化之時序控制及在交互進行讀出週期和寫入週期之情況最佳化之時序控制之裝置，可應用於如讀出週期(或寫入週期)連續之情況之DDR方式之SRAM。又，本發明適合應用於I/O分離型之QDR/DDR方式之SRAM等，但是當然未限定為那種SRAM等。又，本發明之時序控制方法除了半導體記憶組件以外，也可一樣的應用於內藏記憶體之邏輯積體電路或依據在時鐘邊緣產生之單發脈衝信號控制時序之任意之電路。

以上按照上述之實施例說明了本發明，但是本發明未只限定為上述實施例之構造，當然包含若係本行業者可能在如申請專利範圍之申請項之發明之範圍進行之各種變形、修正。



五、發明說明 (41)

發明之效果

如以上所示，若依據本發明，藉著在構造上進行令讀出週期之感測動作和寫入動作之解碼期間相重疊之時序控制，可令動作頻率更提高。

此外，若依據本發明，藉著在構造上考慮依據位址之位元寬之解碼時間控制寫入用放大器、Y開關以及字線之啟動，可使寫入週期高速化。



圖式簡單說明

五、【圖式簡單說明】

圖1係用以說明本發明之一實施例之動作原理之圖。

圖2係表示本發明之一實施例之半導體記憶裝置之構造例之圖。

圖3(A)係表示圖1所示脈衝產生電路之構造例之圖，(B)係在模式上表示在讀出寫入交互動作之脈衝波形之圖，(C)係在模式上表示讀出週期連續時之脈衝波形之圖。

圖4係表示用以遲緩的應付讀出週期連續時之脈衝波形之構造圖。

圖5係用以說明在本發明之一實施例之單元陣列區塊內部之基本脈衝產生之圖，(A)、(B)係時序圖，(C)係說明字線之選擇電路之圖。

圖6係用以說明在本發明之一實施例之時序動作之時序圖。

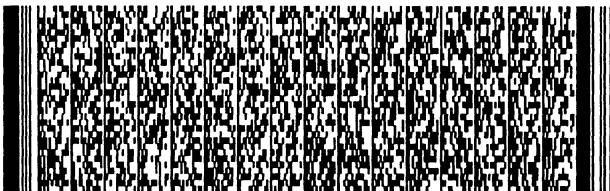
圖7(A)係表示在本發明之一實施例令 $tp1$ 、 $tp2$ 延遲之電路之圖，(B)係用以說明時序動作之時序圖。

圖8係用以說明在本發明之一實施例之單元陣列區塊內部之讀出動作之時序波形圖。

圖9係表示本發明之一實施例之單元陣列區塊內部之位元線系之電路圖。

圖10係用以說明在本發明之一實施例之單元陣列區塊內部之寫入動作之時序圖。

圖11係用以說明在本發明之一實施例之縮短寫入動作



圖式簡單說明

之手法之時序圖。

圖12係在本發明之比較例上用以說明管路式架構之動作之時序圖。

圖13係表示本發明之產生控制讀出、寫入啟動之信號之電路圖。

圖14係在比較例上表示管路式之產生控制讀出、寫入啟動之信號之電路圖。

圖15係用以說明本發明之別的實施例之動作之時序圖。

圖16(A)係表示本發明之別的實施例之圖，(B)、(C)係表示時鐘波形圖。

圖17係表示實現讀出/寫入交互動作之內部控制脈衝信號之電路圖。

元件符號說明

10~單元陣列區塊

41~奇數週期用脈衝產生電路

42~偶數週期用脈衝產生電路

43、44~接收器

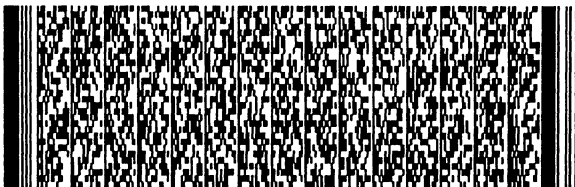
45~OR電路

51~OR電路

52~AND電路

53~字線驅動電路(驅動器)

100~記憶體單元陣列



圖式簡單說明

- 101~X 選擇 電路
- 102~ 控制 電路
- 103~Y 選擇 電路 • 感測放大器 • 寫入放大器
- 104~ 位址 暫存器
- 105~ 位址 用時鐘 產生 電路
- 106~ 讀出 用脈衝 產生 電路
- 107~ 寫入 用脈衝 產生 電路
- 108~ 輸出 用暫存器
- 109~ 輸入 用暫存器
- 110~ 單元
- 111、112、117~PMOS 電晶體
- 113、116~PMOS 電晶體(Y 開關)
- 114、115~NMOS 電晶體(Y 開關)
- 118~ 寫入 用放大器
- 119~ 感測 放大器
- 120~ 時序 脈寬 控制 電路
- 201、202、203~ 暫存器
- 204、205~ 反相器
- 206、207~ 路徑 電晶體
- 302、303、304~ 反相器
- 301、313~ 脈衝 產生 電路
- 311、312、316~ 暫存器
- 314~AND 電路
- 315~AND 電路



圖式簡單說明

410~反相器

411、412~暫存器

413、414~脈衝產生電路

416、417~AND電路

511、512~暫存器

513、514~反相器

515~AND電路

516~反相器

517~AND電路

NM1、NM2~NMOS電晶體

PM1、PM2~PMOS電晶體



四、中文發明摘要 (發明名稱：半導體記憶裝置及其控制方法)

本發明提供一種可達到動作週期高速化的半導體記憶裝置及其控制方法。

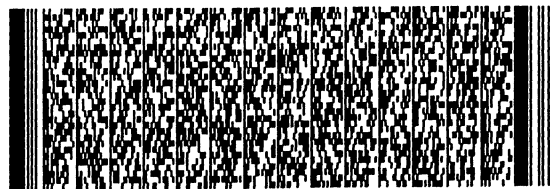
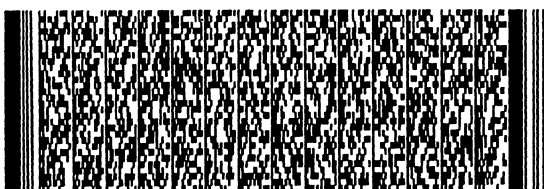
為達成前述目的，本發明提供一種半導體裝置，具備：一種於接受命令信號後，依照時鐘信號CLK之轉移，產生讀出控制用之信號(RPB)的裝置；及一種於接受命令信號後，依照時鐘信號之轉移，產生寫入控制用之信號(WPB)的裝置；交互的進行讀出週期，依照讀出控制用之信號進行位址之解碼、字線之選擇以及感測放大器之啟動後，讀出單元資料；及寫入週期，依照寫入控制用之信號進行位址之解碼、字線之選擇以及寫入用放大器之啟動後，向所選擇之單元寫入資料，還進行位元線之預充電；讀出週期之感測期間和寫入週期之解碼期間重疊。

伍、(一)、本案代表圖為：第1圖

(二)、本案代表圖之元件代表符號簡單說明：

六、英文發明摘要 (發明名稱：Semiconductor memory device and controlling method thereof)

The present invention provides a semiconductor memory device and its controlling method for attempting to speed up operation cycle. The semiconductor memory device includes: a RPB generating means for generating a read control signal (RPB) based on the transition of a clock signal CLK after receiving a command signal; and a WPB generating means for generating a write

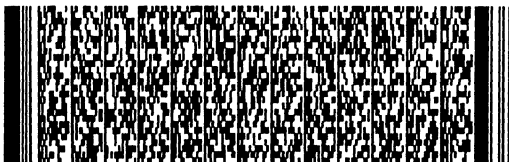


四、中文發明摘要 (發明名稱：半導體記憶裝置及其控制方法)

無

六、英文發明摘要 (發明名稱：Semiconductor memory device and controlling method thereof)

control signal (WPB) based on the transition of a clock signal CLK after receiving a command signal. A read cycle includes: decoding an address; choosing a word line; activating a sense amplifier; and then reading out the cell data based on the read control signal. A write cycle includes: decoding an address; choosing a word line; activating a write amplifier; writing the



四、中文發明摘要 (發明名稱：半導體記憶裝置及其控制方法)

六、英文發明摘要 (發明名稱：Semiconductor memory device and controlling method thereof)

data into the chosen cell; and then precharging a bit line based on the write control signal. Besides, the read cycle and the write cycle are performed alternatively. Further, the sense period of the read cycle overlaps with the decoding period of the write cycle.



圖式

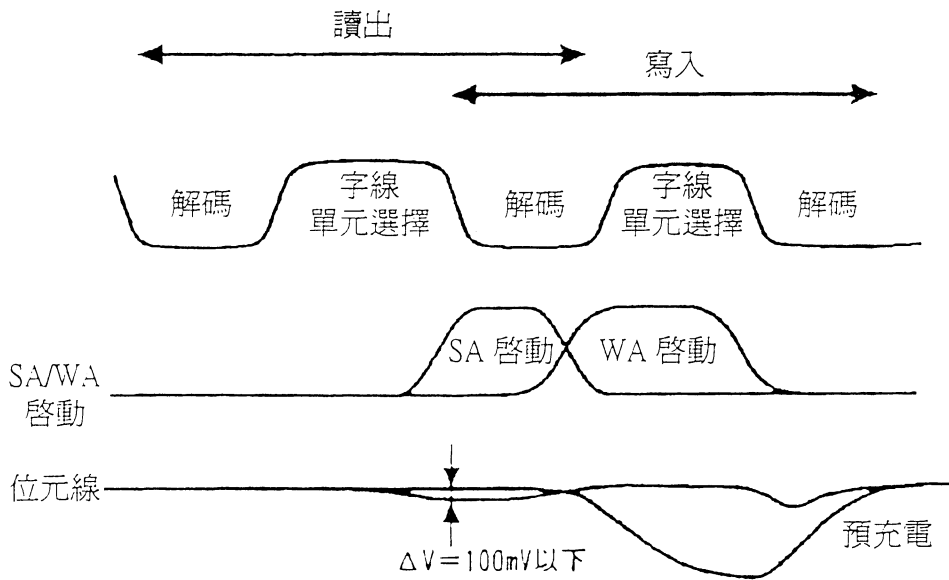


圖 1

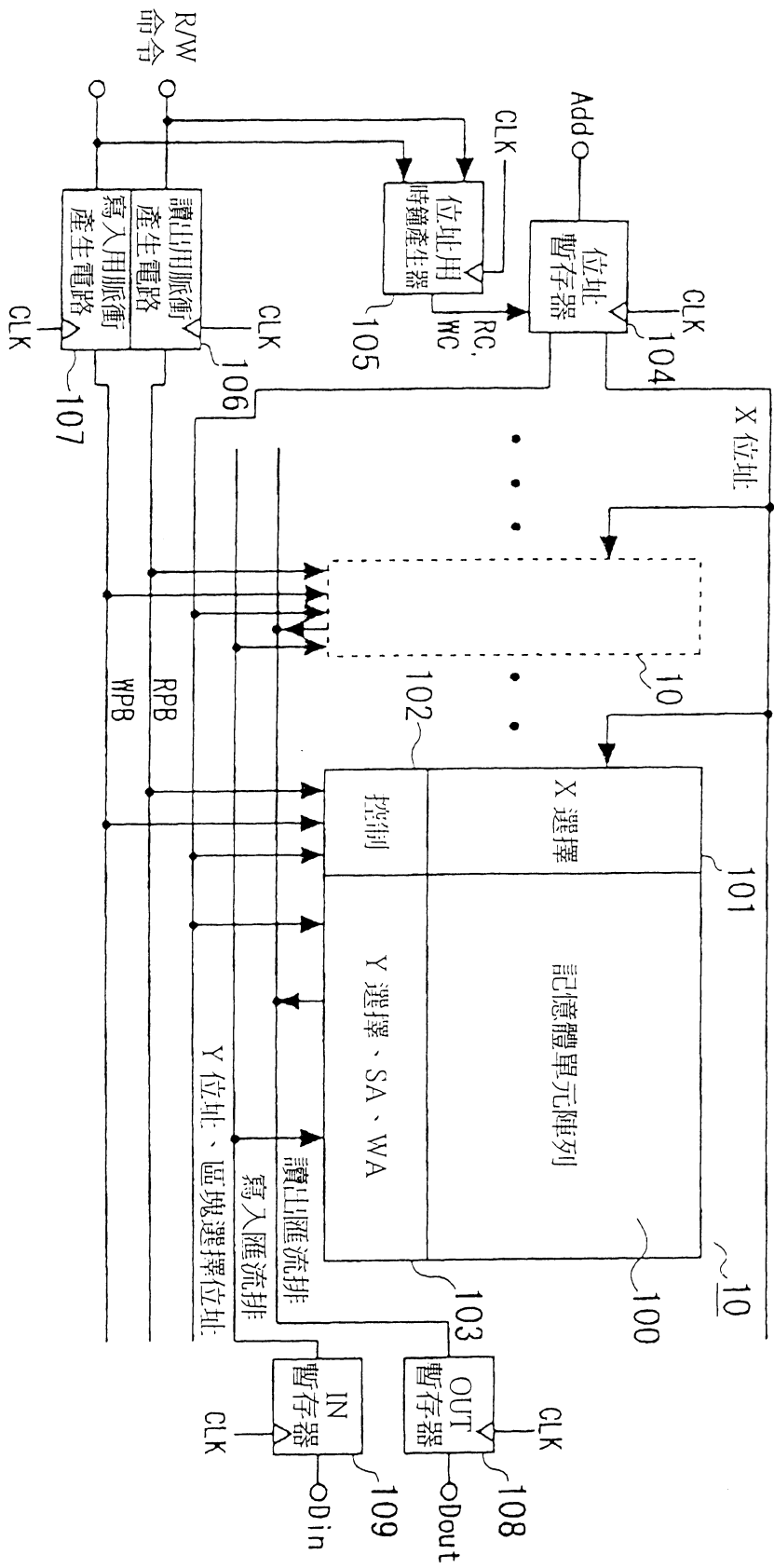


圖 2

圖式

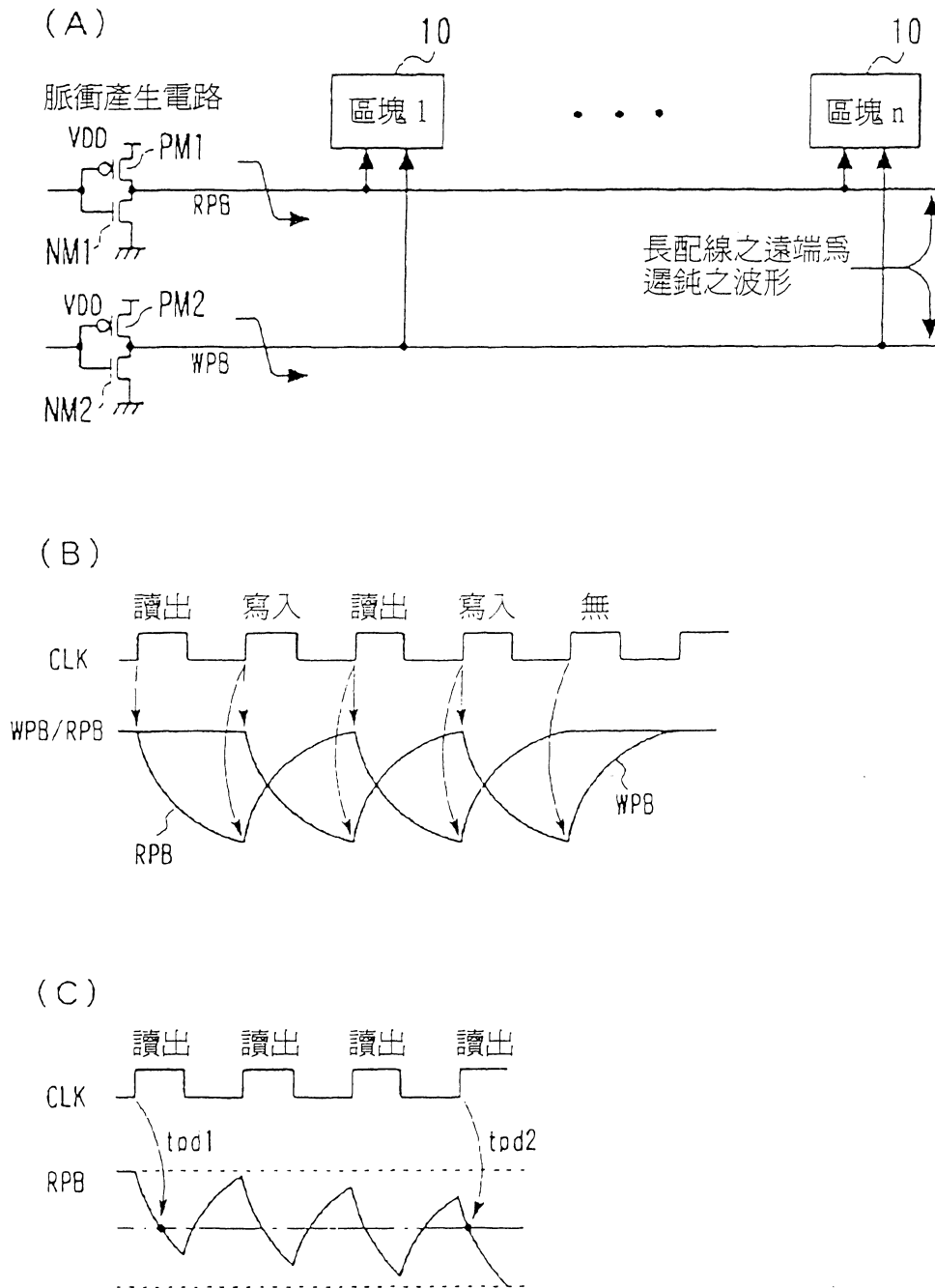


圖 3

圖式

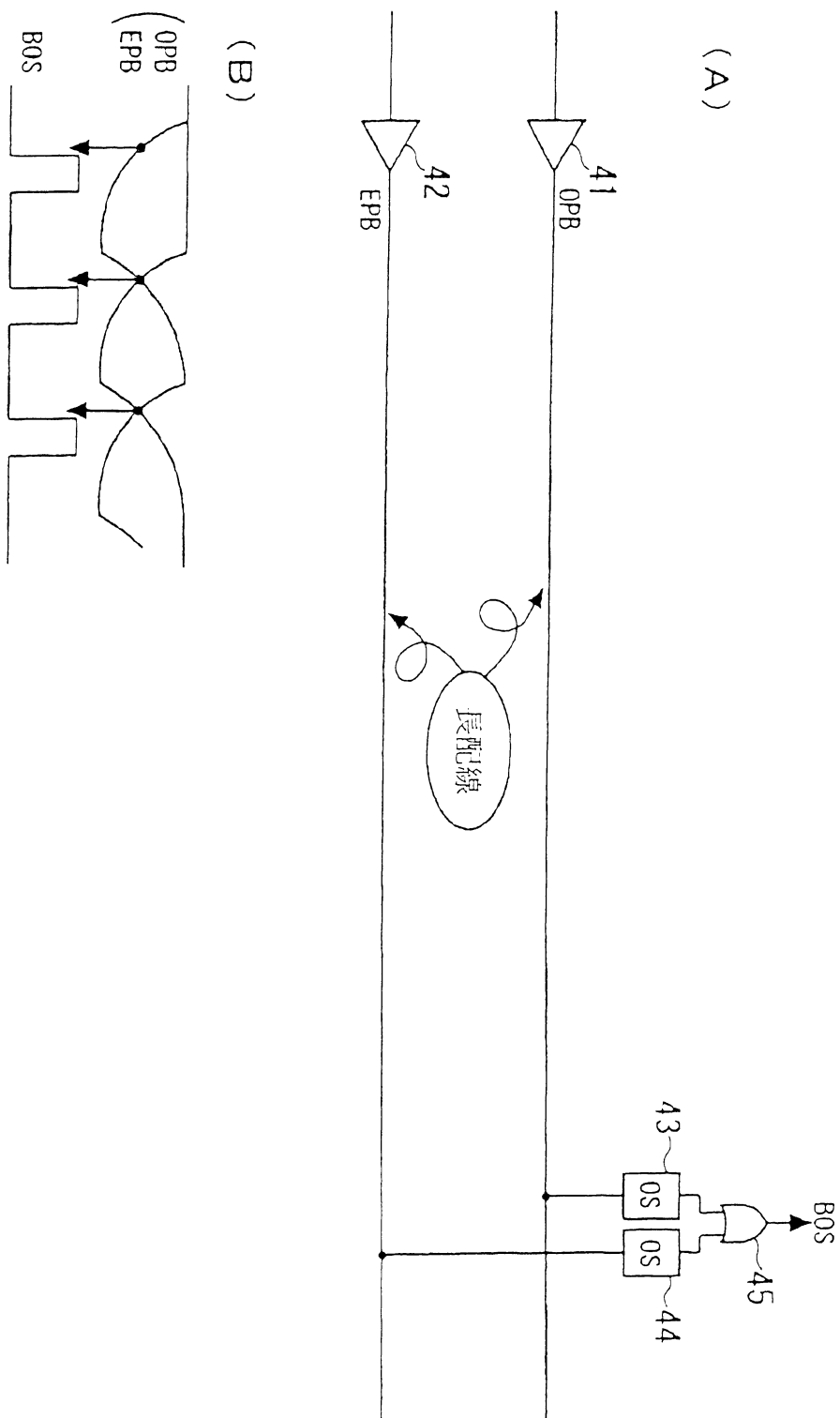


圖 4

圖式

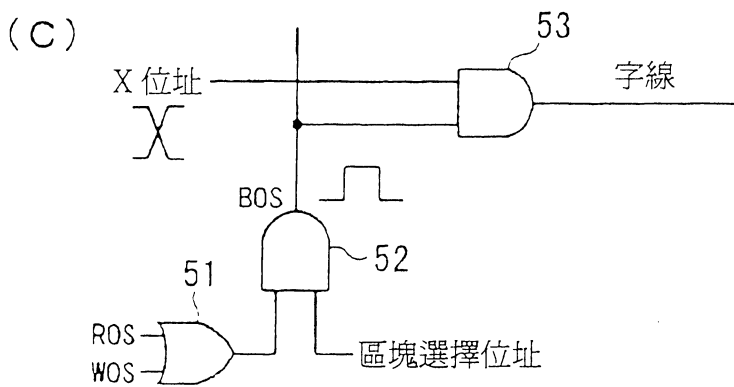
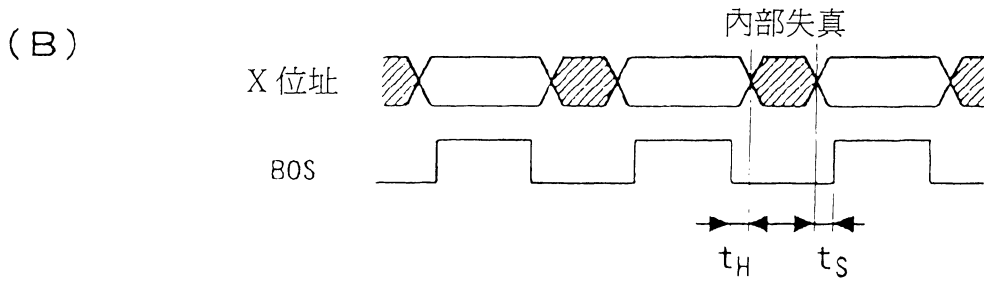
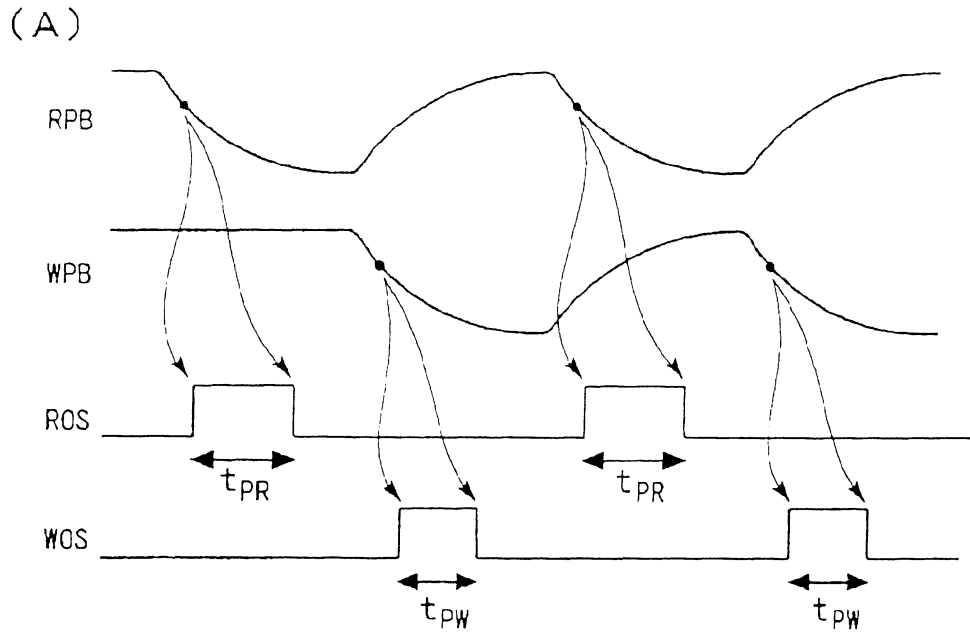


圖 5

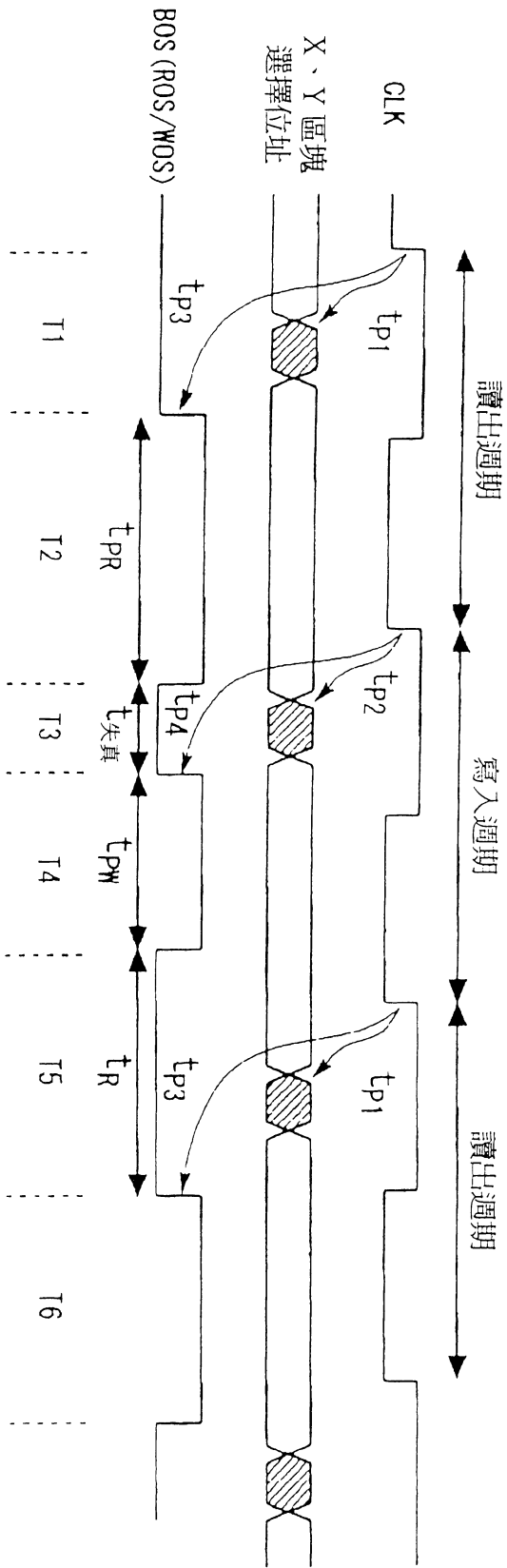


圖 6

圖式

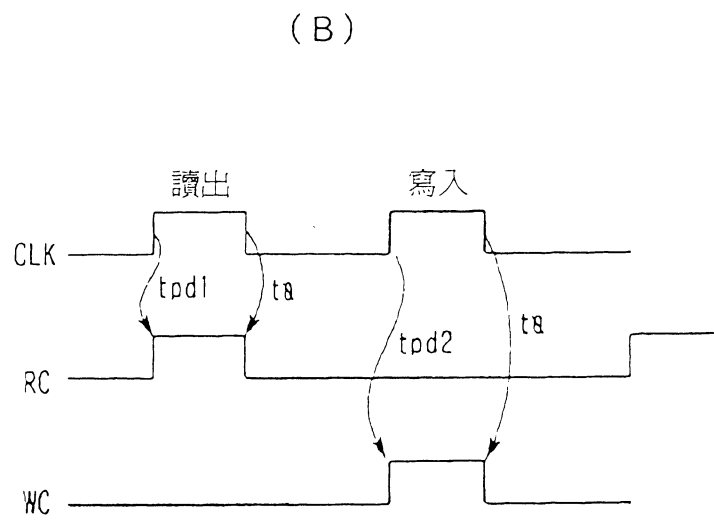
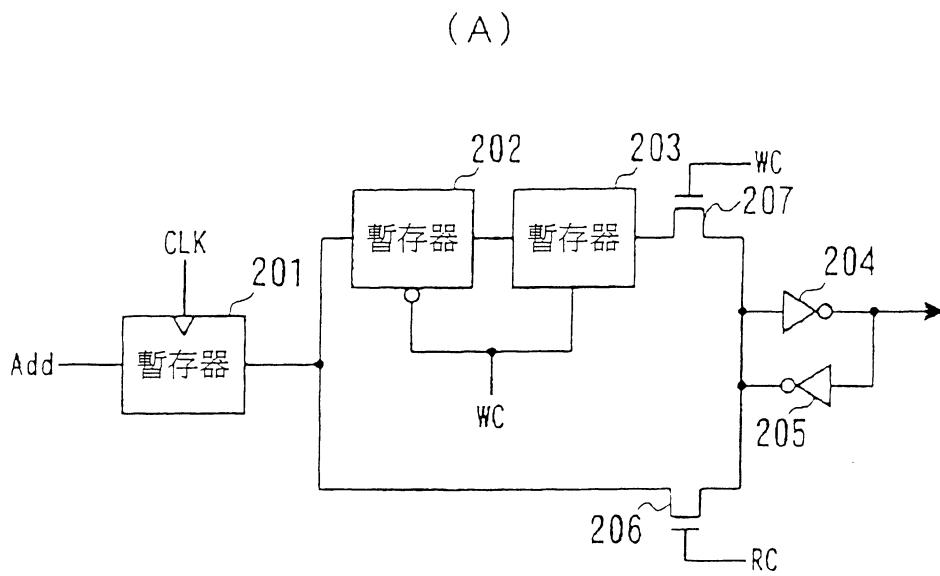


圖 7

圖式

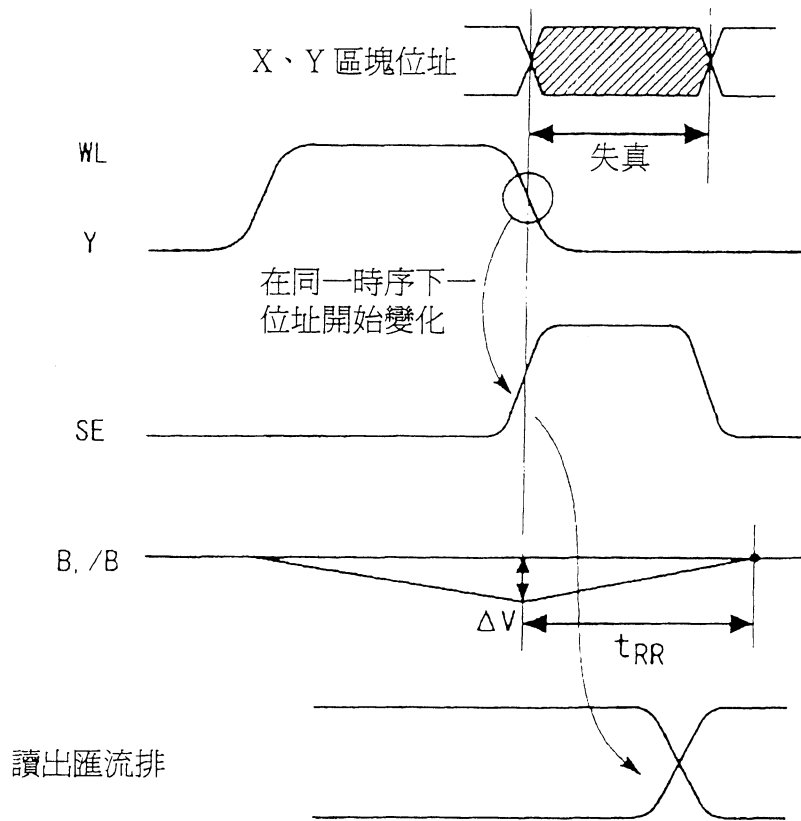


圖 8

圖式

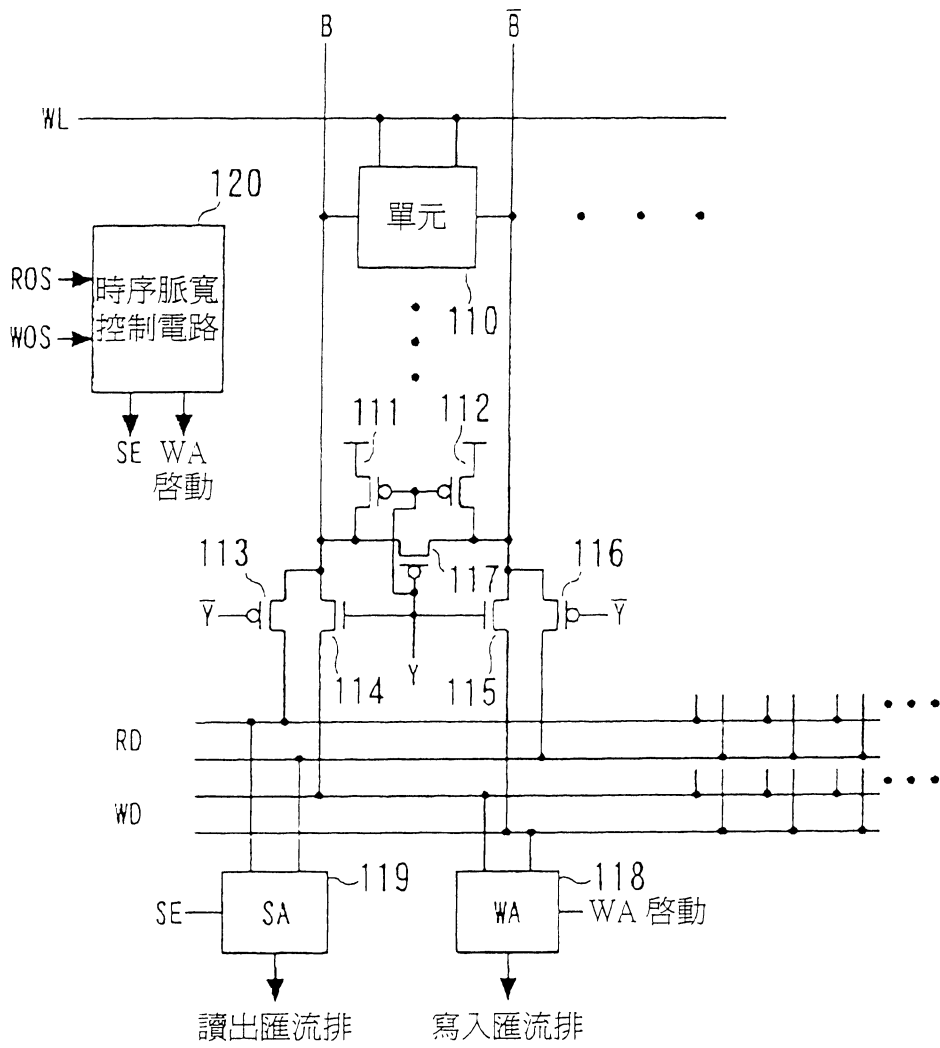


圖 9

圖式

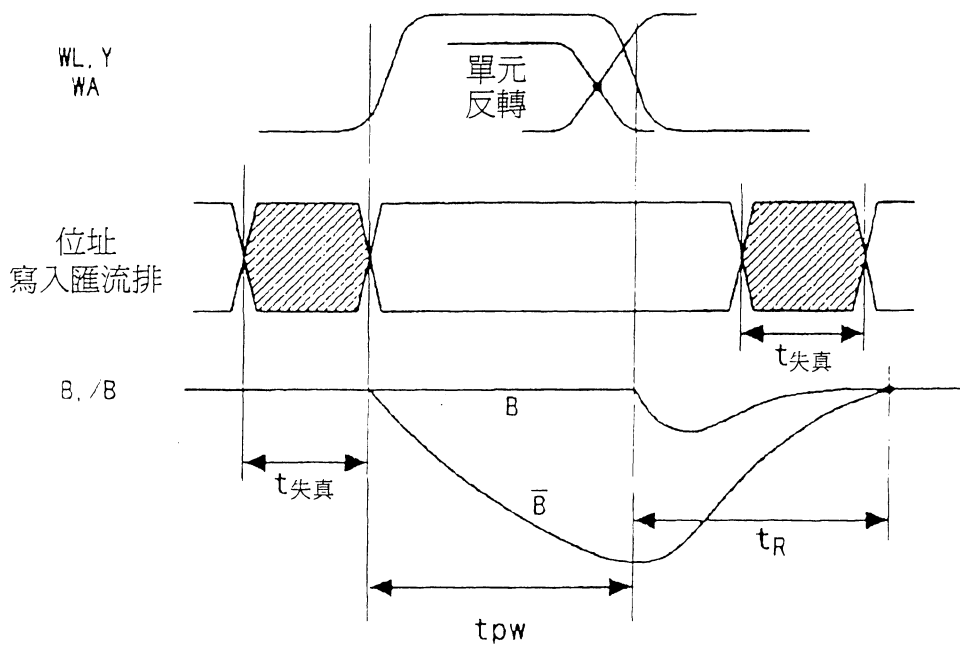


圖 10

圖式

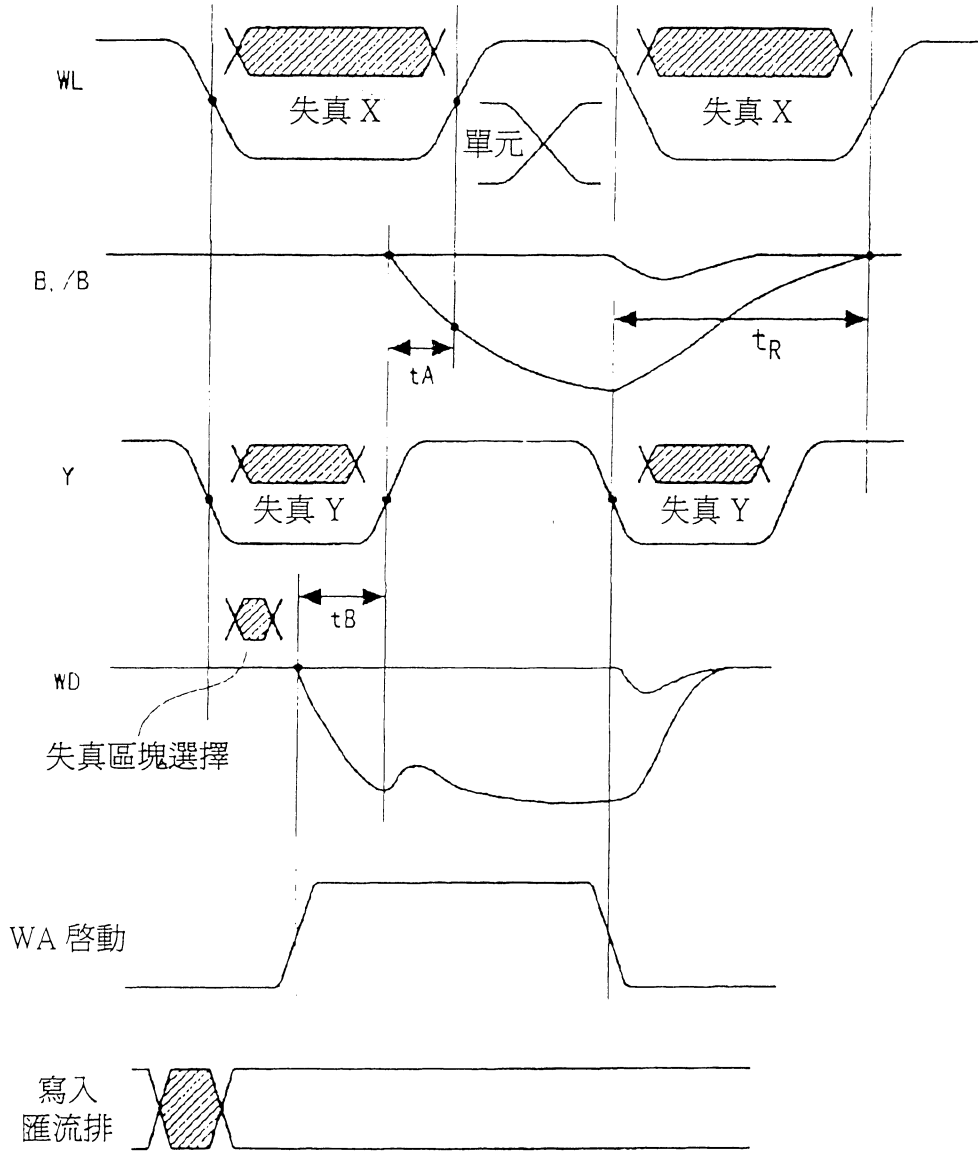


圖 11

圖式

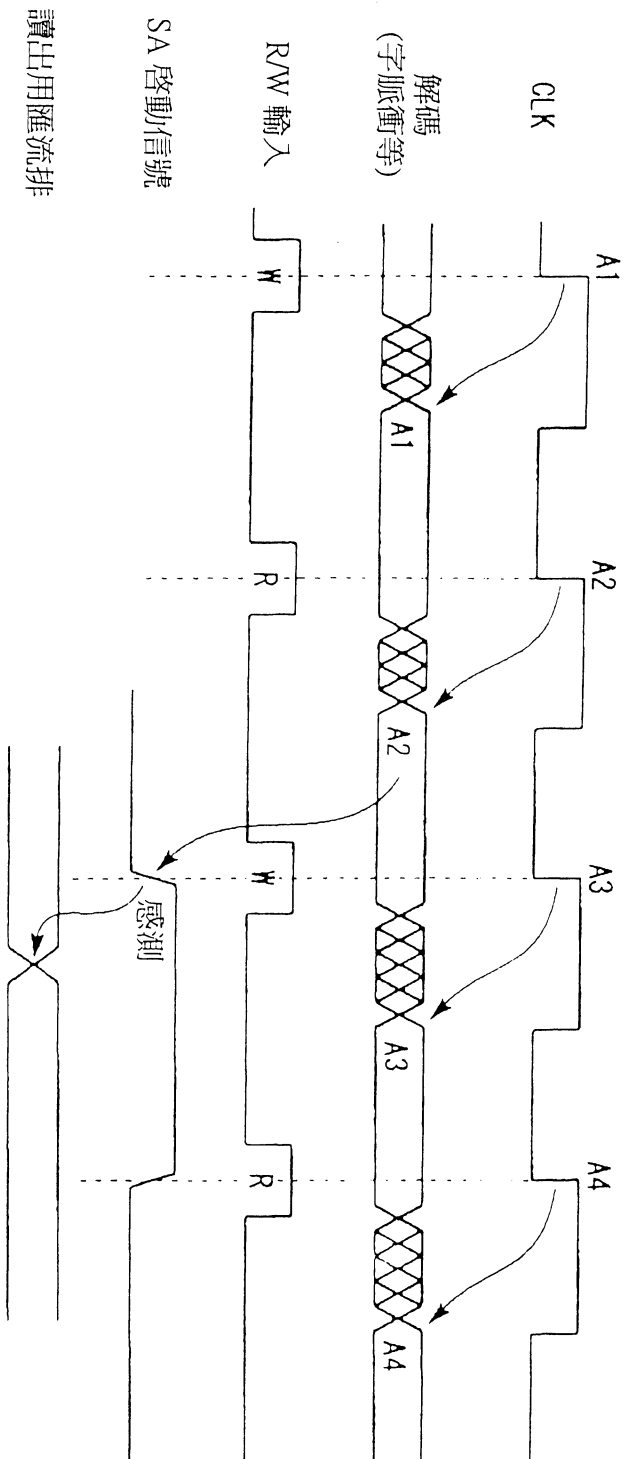


圖 12

圖式

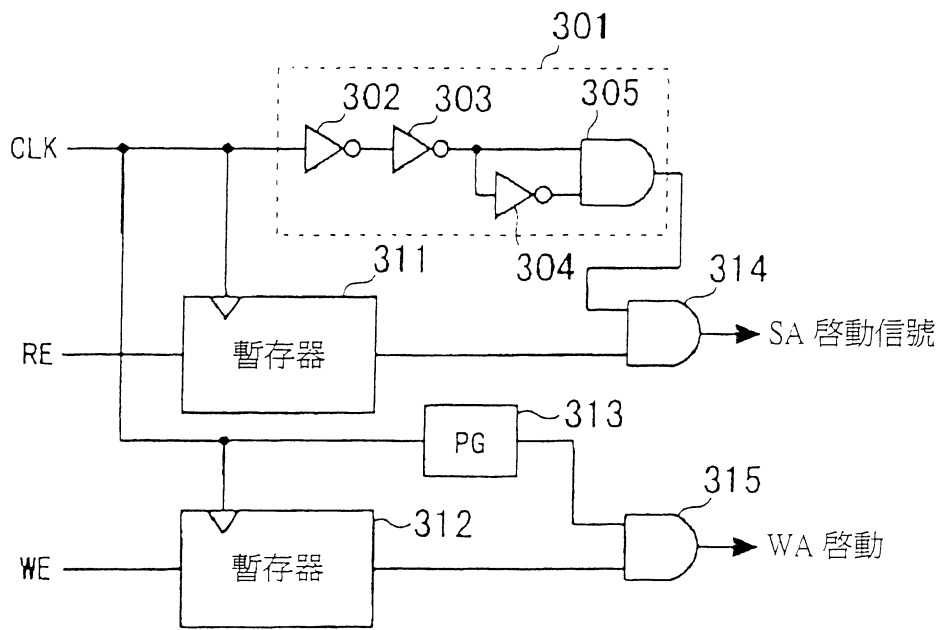


圖 13

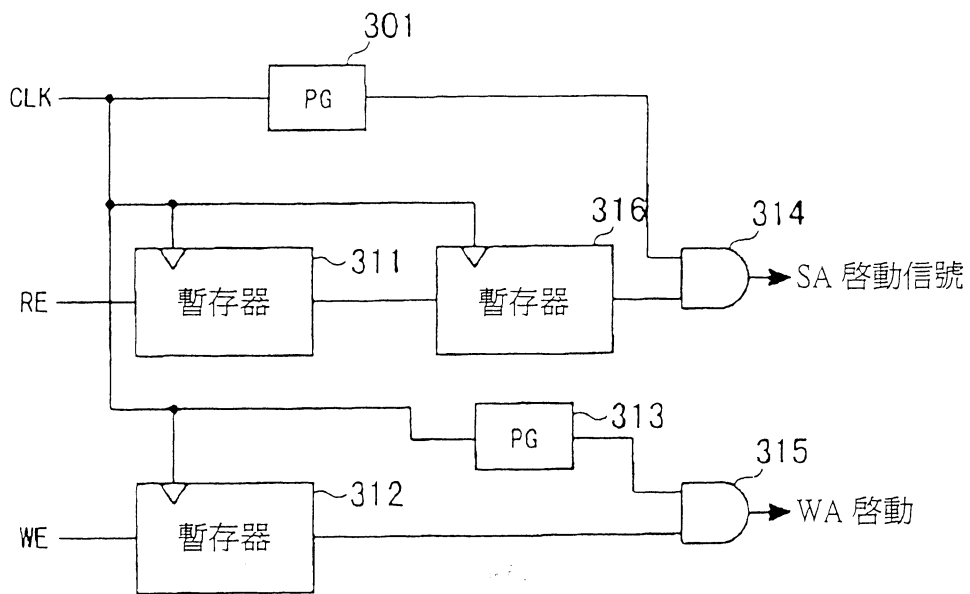


圖 14

圖式

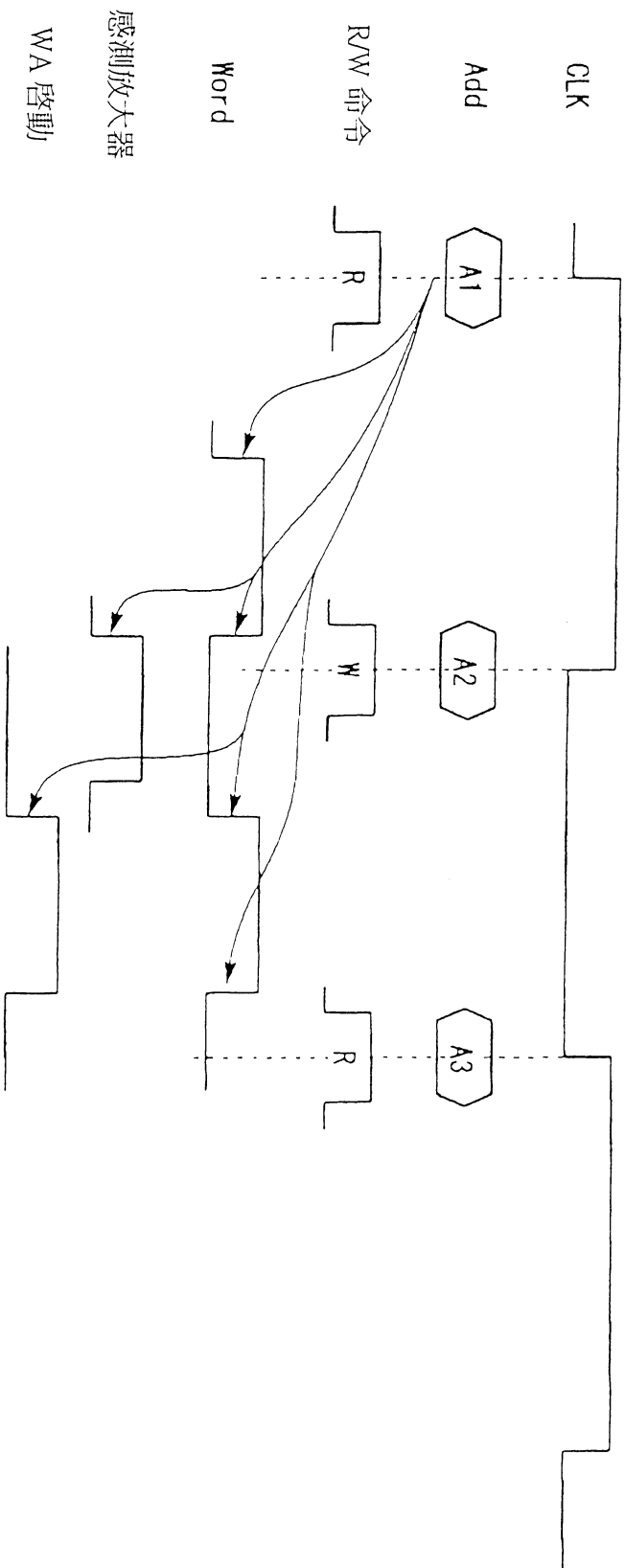
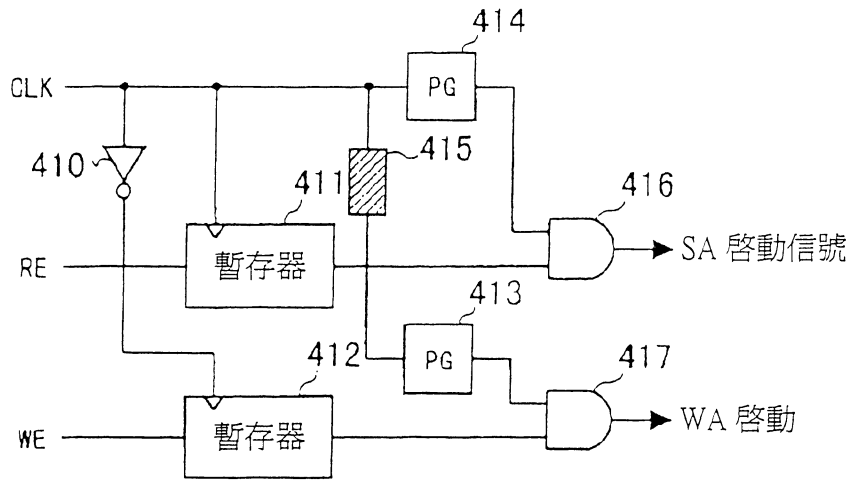


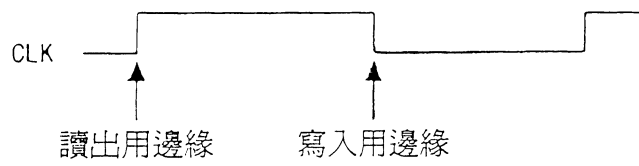
圖 15

圖式

(A)



(B)



(C)

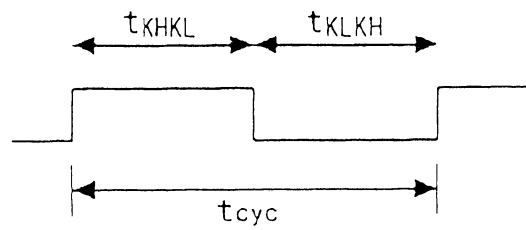


圖 16

圖式

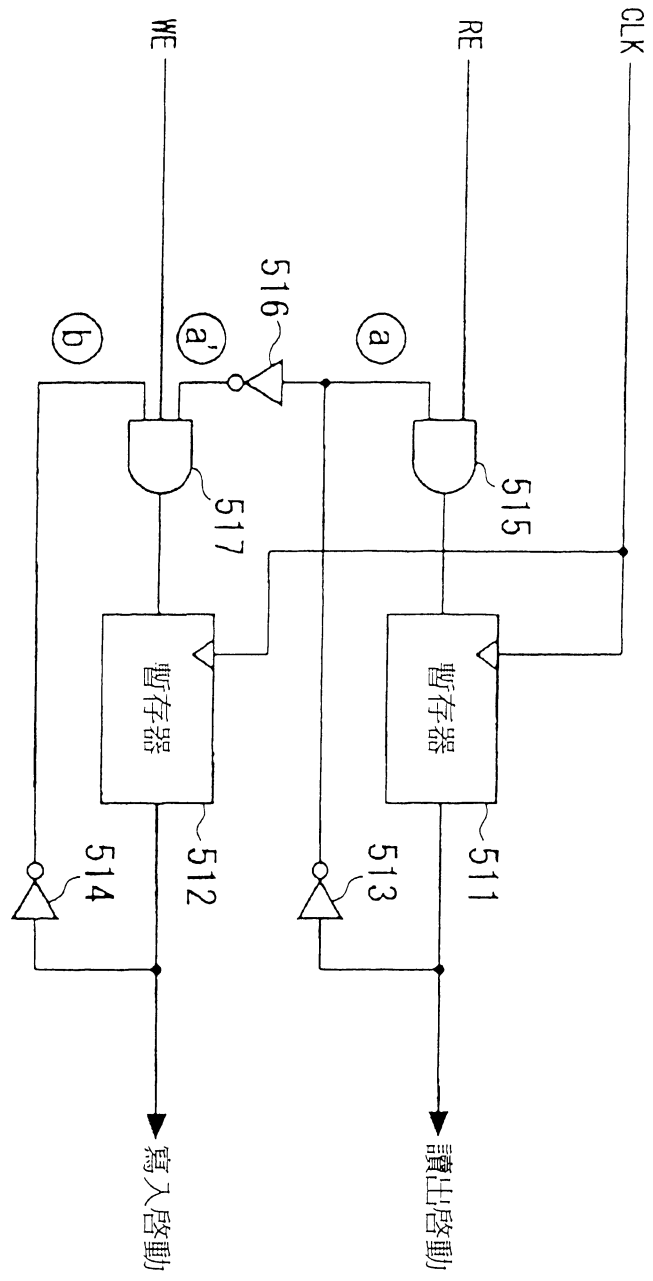


圖 17

六、申請專利範圍

1. 一種半導體裝置，其特徵為：

具備：

第一電路，在依照輸入之時鐘信號之第一轉移而產生之第一控制信號和依照在該時鐘信號之該第一轉移的後續之週期之第二轉移而產生之第二控制信號之其中之一被啟動之情況下，該第一電路在預定之既定之期間被啟動；

第二電路，在依照該時鐘信號之第一轉移而產生之第三控制信號被啟動之情況下，該第二電路在預定之既定之期間被啟動，接受該第一電路之輸出結果後動作；及

第三電路，在依照該時鐘信號之第二轉移而產生之第四控制信號被啟動之情況下，該第三電路在預定之既定之期間被啟動，接受該第一電路之輸出結果後動作；

按照自該時鐘信號之第一轉移而產生之該控制信號依次被啟動之該第一電路和該第二電路之一連串之動作構成第一動作週期；

按照自該時鐘信號之第二轉移而產生之該控制信號依次被啟動之該第一電路和該第三電路之一連串之動作構成第二動作週期；

更具備：

一第一控制電路，控制成使得該第一動作週期和該第二動作週期交互進行；及

一第二控制電路，與在該第一動作週期之該第二電路之啟動和在該第二動作週期之該第一電路之啟動相關連地控制該控制信號之時序，使得在該第一動作週期之該第二

六、申請專利範圍

電路之部分動作和在該第二動作週期之該第一電路之部分動作在時間上重疊。

2. 一種半導體裝置，其特徵為：

具備：

第一電路，在依照輸入之時鐘信號之第一轉移而產生之第一控制信號和依照在該時鐘信號之該第一轉移之後續之週期之第二轉移而產生之第二控制信號之其中之一被啟動之情況下，該第一電路在預定之既定之期間被啟動；

第二電路，在依照該時鐘信號之第一轉移而產生之第三控制信號和依照該時鐘信號之該第二轉移而產生之第四控制信號之其中之一被啟動之情況下，該第二電路在預定之既定之期間被啟動，接受該第一電路之輸出結果後動作；

第三電路，在依照該時鐘信號之第一轉移而產生之第五控制信號被啟動之情況下，該第三電路在預定之既定之期間被啟動，接受該第二電路之輸出結果後動作；及

第四電路，在依照該時鐘信號之第二轉移而產生之第六控制信號被啟動之情況下，該第四電路在預定之既定之期間被啟動；

按照自該時鐘信號之第一轉移而產生之該控制信號依次被啟動之該第一電路、該第二電路以及該第三電路之一連串之動作構成第一動作週期；

按照自該時鐘信號之第二轉移而產生之該控制信號依



六、申請專利範圍

次被啟動之該第一電路、該第二電路以及該第四電路之一、連串之動作構成第二動作週期；

更具備：

一 第一控制電路，控制成使得該第一動作週期和該第二動作週期交互進行；及

一 第二控制電路，控制該第三控制信號及該第二控制信號之時序，使得在該第一動作週期之該第三電路和在該第二動作週期之該第一電路平行的動作。

3. 如申請專利範圍第2項之半導體裝置，其中，該第四控制信號和該第六控制信號係依照該時鐘信號之該第一轉移而產生者。

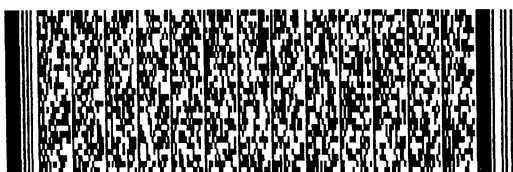
4. 一種半導體記憶裝置，其特徵為：

具備：

記憶體單元陣列，具有多個記憶體單元；

位址暫存器，依據所輸入之時鐘信號門鎖所輸入之位址信號，而且在依照該時鐘信號之第一轉移而產生之第一控制信號和依照在該時鐘信號之該第一轉移之後續之週期之第二轉移而產生之第二控制信號之其中之一被啟動之情況下，在預定之既定之期間被啟動後，輸出該所門鎖之位址信號；及解碼器，輸入自該位址暫存器輸出之位址信號；

一 第一電路，依照該時鐘信號之第一轉移而產生讀出



六、申請專利範圍

啟動用之第三控制信號，依照在該時鐘信號之該第一轉移之後續之週期之第二轉移而產生之寫入啟動用之第四控制信號；

一 第二電路，在依照該時鐘信號之第一轉移而產生之該第三控制信號和該第四控制信號之其中之一被啟動之情況下，在預定之既定之期間被啟動，令該解碼器所選擇之字線被啟動，而選擇字線；

感測放大器，在依照該時鐘信號之第一轉移而產生之第五控制信號被啟動之情況下，在預定之既定之期間被啟動，將在所選擇之單元之位元線所讀出之資料放大後，作為讀出資料輸出；及

寫入用放大器，在依照該時鐘信號之第二轉移而產生之第六控制信號被啟動之情況下，在預定之既定之期間被啟動，向所選擇之單元寫入；

依據自輸入之時鐘信號之第一轉移而產生之該控制信號依次被啟動之該解碼器之位址之解碼動作和使該解碼器所選擇之字線被啟動之字線選擇動作以及該感測放大器之感測動作構成讀出週期；

依據自該時鐘信號之第二轉移而產生之該控制信號依次被啟動之該解碼器之位址之解碼動作和使該解碼器所選擇之字線被啟動之第二電路之字線之選擇動作以及該寫入用放大器之寫入動作構成寫入週期；

更具備：

一 第一控制電路，在控制上使得交互進行該讀出週期



六、申請專利範圍

和該寫入週期；及

一 第二控制電路，控制時序，令在該讀出週期之該感測放大器之感測動作和在該讀出週期之下一週期之該寫入週期之該解碼器之位址之解碼動作平行的動作。

5. 一種半導體記憶裝置，其特徵為：

具備：

位址用時鐘產生電路，依照輸入之時鐘信號之第一轉移，按照輸入之讀出命令產生讀出用時鐘(RC)，依照在該時鐘信號之該第一轉移之後續之週期之第二轉移，按照輸入之寫入命令產生寫入用時鐘(WC)；

位址暫存器，依據該時鐘信號門鎖所輸入之位址信號，輸入自該位址用時鐘產生電路輸出之該讀出用時鐘(RC)和該寫入用時鐘(WC)後，在該讀出用時鐘(RC)和該寫入用時鐘(WC)之其中之一被啟動之情況下，輸出所門鎖之位址信號；

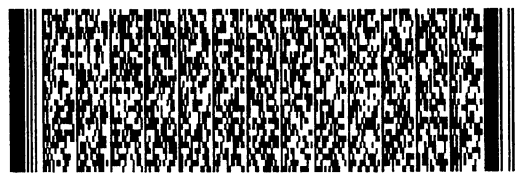
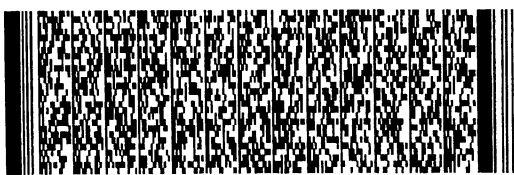
讀出用脈衝產生電路，依照該時鐘信號之該第一轉移而產生讀出用脈衝信號(RPB)；

寫入用脈衝產生電路，依照該時鐘信號之該第二轉移而產生寫入用脈衝信號(WPB)；

記憶體單元陣列，具有多個記憶體單元；

解碼器，接受自該位址暫存器輸出之位址信號後解碼；

一 第一電路，輸入來自該讀出用脈衝產生電路之讀出



六、申請專利範圍

用脈衝信號(RPB)後，依照該讀出用脈衝信號(RPB)產生讀出用單發脈衝信號(ROS)；

一 第二電路，輸入來自該寫入用脈衝產生電路之寫入用脈衝信號(WPB)後，依照該寫入用脈衝信號(WPB)產生寫入用單發脈衝信號(WOS)；

一 第三電路，輸入該讀出用單發脈衝信號(ROS)和該寫入用單發脈衝信號(WOS)，在該讀出用單發脈衝信號(ROS)和該寫入用單發脈衝信號(WOS)之其中之一被啟動之情況下，在預定之既定之期間被啟動，接受該解碼器之輸出結果後，使所選擇之字線被啟動；

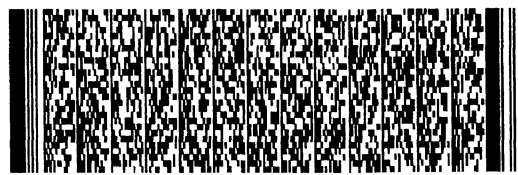
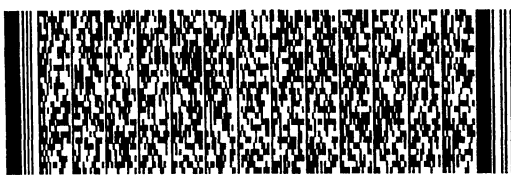
一 第四電路，依照該時鐘信號之該第一轉移，按照輸入之讀出命令使感測啟動信號(SE)被啟動；

感測放大器，在該感測啟動信號(SE)被啟動之情況下，在預定之既定之期間被啟動，將在和所選擇之單元連接之位元線所讀出之資料放大後，作為讀出資料輸出；

一 第五電路，依照該時鐘信號之該第二轉移，按照輸入之寫入命令輸出寫入用放大器(WA)啟動信號；及

寫入用放大器，在該寫入用放大器(WA)啟動信號指示啟動之情況下，在預定之既定之期間被啟動，向所選擇之單元寫入；

依據自該時鐘信號之第一轉移而產生之該讀出用時鐘及脈衝信號依次被啟動之該解碼器之位址之解碼動作和使該所選擇之字線被啟動之第三電路之字線選擇動作以及該感測放大器之感測動作構成讀出週期；



六、申請專利範圍

依據自該時鐘信號之第二轉移而產生之該寫入用時鐘及脈衝信號依次被啟動之該解碼器之位址之解碼動作和使該所選擇之字線被啟動之第三電路之字線之選擇動作以及該寫入用放大器之寫入動作構成寫入週期；

更具備：

一第一控制電路，在控制上使得交互進行該讀出週期和該寫入週期；及

一第二控制電路，控制時序，令在該讀出週期之該感測放大器之感測動作和在該讀出週期之下一週期之該寫入週期之該解碼器之位址之解碼動作平行的動作。

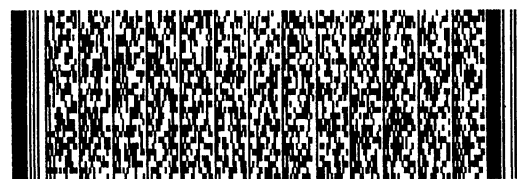
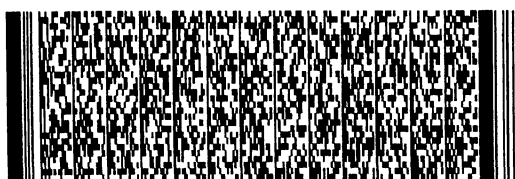
6. 一種半導體記憶裝置，其特徵為：

具備：

位址用時鐘產生電路，依照輸入之時鐘信號之第一轉移，按照輸入之讀出命令產生讀出用時鐘(RC)，依照在該時鐘信號之該第一轉移之後續之週期之第二轉移，按照輸入之寫入命令產生寫入用時鐘(WC)；

位址暫存器，依據該時鐘信號門鎖所輸入之位址信號，輸入自該位址用時鐘產生電路輸出之該讀出用時鐘(RC)和該寫入用時鐘(WC)後，在該讀出用時鐘(RC)和該寫入用時鐘(WC)之其中之一被啟動之情況下，輸出所門鎖之位址信號；

讀出用脈衝產生電路，依照該時鐘信號之該第一轉移而產生讀出用脈衝信號(RPB)；



六、申請專利範圍

寫入用脈衝產生電路，依照該時鐘信號之該第二轉移而產生寫入用脈衝信號(WPB)；

記憶體單元陣列，具有多個記憶體單元；

解碼器，接受自該位址暫存器輸出之位址信號後解碼；

一第一電路，輸入來自該讀出用脈衝產生電路之讀出用脈衝信號(RPB)後，依照該讀出用脈衝信號(RPB)產生讀出用單發脈衝信號(ROS)；

一第二電路，輸入來自該寫入用脈衝產生電路之寫入用脈衝信號(WPB)後，依照該寫入用脈衝信號(WPB)產生寫入用單發脈衝信號(WOS)；

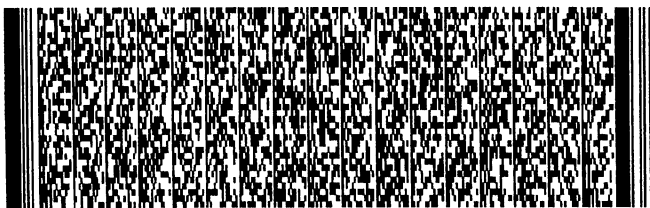
一第三電路，輸入該讀出用單發脈衝信號(ROS)和該寫入用單發脈衝信號(WOS)，在該讀出用單發脈衝信號(ROS)和該寫入用單發脈衝信號(WOS)之其中之一被啟動之情況下，在預定之既定之期間被啟動，接受該解碼器之輸出結果後，使所選擇之字線被啟動；

一第四電路，依照該時鐘信號之該第一轉移，按照輸入之讀出命令使感測啟動信號(SE)被啟動；

感測放大器，在該感測啟動信號(SE)被啟動之情況下，在預定之既定之期間被啟動，將在和所選擇之單元之位元線所讀出之資料放大後，作為讀出資料輸出；

一第五電路，依照該時鐘信號之該第二轉移，按照輸入之寫入命令輸出寫入用放大器(WA)啟動信號；

寫入用放大器，在該寫入用放大器(WA)啟動信號指示



六、申請專利範圍

啟動之情況下，在預定之既定之期間被啟動，向所選擇之單元寫入；及

預充電電路，進行在記憶體單元陣列之位元線之預充電；

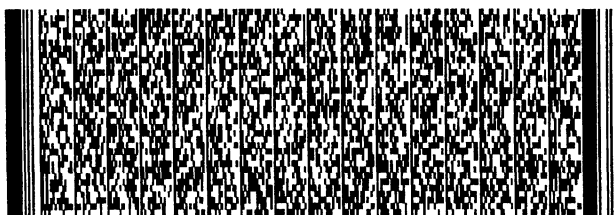
依據自該時鐘信號之第一轉移而產生之該讀出用時鐘及脈衝信號依次被啟動之該解碼器之位址之解碼動作和使該所選擇之字線被啟動之第三電路之字線選擇動作以及該感測放大器之感測動作構成讀出週期；

依據自該時鐘信號之第二轉移而產生之該寫入用時鐘及脈衝信號依次被啟動之該解碼器之位址之解碼動作、使該所選擇之字線被啟動之第三電路之字線之選擇動作、該寫入用放大器之寫入動作以及該預充電電路之預充電動作構成寫入週期，重疊的進行該字線之選擇動作和該寫入動作；

更具備：

一 第一控制電路，在控制上使得交互進行該讀出週期和該寫入週期；及

一 第二控制電路，控制時序，令在該讀出週期之該感測放大器之感測動作和在該讀出週期之下一週期之該寫入週期之該解碼器之位址之解碼動作平行的動作，令在該寫入週期之該預充電電路對位元線之預充電動作和在該寫入週期之下一週期之該讀出週期之該解碼器之位址之解碼動作平行的動作。

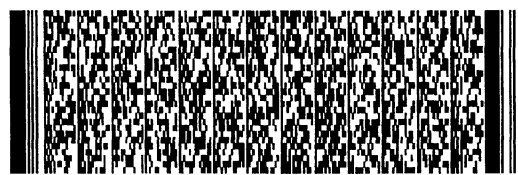
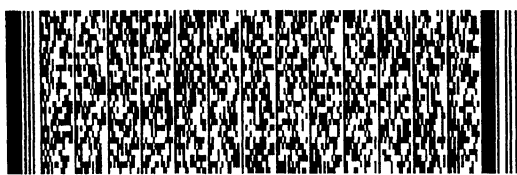


六、申請專利範圍

7. 如申請專利範圍第5項之半導體記憶裝置，其中，當係在該讀出週期之字線之選擇期間和自該位址暫存器向該位址解碼器輸出之位址信號變化之時序之偏差之時間之和之第一時間比係在該寫入週期之字線之選擇期間和該預充電期間之和之第二時間大時，令用以產生該寫入用時鐘(WC)和該寫入用單發脈衝信號(WOS)之寫入用脈衝信號(WPB)再延遲(該第一時間 - 該第二時間)/2。

8. 如申請專利範圍第5項之半導體記憶裝置，其中，當係在該讀出週期之字線之選擇期間和自該位址暫存器向該位址解碼器輸出之位址信號變化之時序之偏差之時間之和之第一時間比係在該寫入週期之字線之選擇期間和預充電期間之和之第二時間小時，令用以產生該讀出用時鐘(RC)和該讀出用單發脈衝信號(ROS)之讀出用脈衝信號(RPB)再延遲(該第二時間 - 該第一時間)/2。

9. 如申請專利範圍第5項之半導體記憶裝置，其中，具備：一種裝置，替代將該時鐘信號之該第二轉移作為在該第一轉移之後續之週期之時鐘信號之轉移，在該時鐘信號之一個脈衝之上升緣和下降緣取樣由讀出命令和寫入命令構成之命令及位址信號，使用該時鐘信號之上升緣產生在該單元陣列區塊之解碼、該感測放大器之啟動以及該寫入用放大器之啟動。



六、申請專利範圍

10. 如申請專利範圍第5項之半導體記憶裝置，其中：

該寫入用放大器之輸入端子經由寫入用匯流排和輸入用暫存器之輸出端子連接；

該輸入用暫存器和輸入之時鐘信號同步的閘鎖供給資料輸入端子之資料後向該寫入用匯流排輸出；

該寫入用放大器之輸出端子和寫入用資料線連接；

該位元線經由寫入用之Y開關和該寫入用資料線連接；

位址信號由選擇該記憶體單元陣列之列之X位址、選擇行之Y位址以及選擇區塊之區塊選擇位址構成；

接受該區塊選擇位址之解碼結果後令該寫入用放大器被啟動，該寫入用放大器向該寫入用資料線輸出寫入資料；

接著選擇該Y開關，向變成導通之該寫入用之Y開關連接之位元線傳送寫入資料；

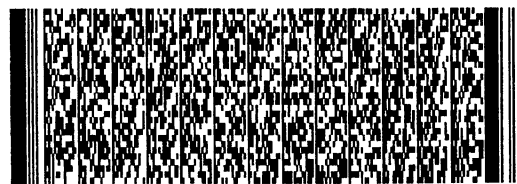
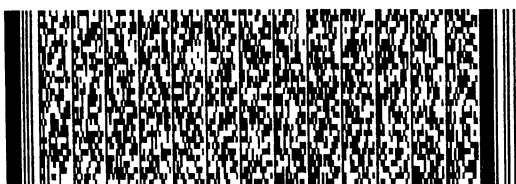
然後，選擇字線後，向所選擇之單元寫入資料。

11. 如申請專利範圍第4項之半導體記憶裝置，其中，分別設置寫入用資料之輸入用埠和讀出用資料之輸出用埠。

12. 如申請專利範圍第6項之半導體記憶裝置，其中：

該讀出週期還包含在該感測放大器之感測動作後進行之該預充電電路之預充電動作；

該控制時序之電路控制時序，令在該讀出週期之預充電動作和在該讀出週期之下一該寫入週期之該寫入用放大



六、申請專利範圍

器之寫入動作平行的動作。

13. 一種半導體裝置，其特徵為：

具備：

第一電路，按照依照輸入之時鐘信號之第一轉移而產生之第一控制信號被啟動後，進行第一期間(A)之第一動作；及

第二電路，按照依照在輸入之該時鐘信號之該轉移之後續之第二轉移而產生之第二控制信號被啟動後，進行第二期間(B)之第二動作；

在交互進行該第一動作和該第二動作之週期之半導體裝置，包含一種裝置，在 $A > B$ 之情況下，將該時鐘信號之週期設為 $(A+B)/2$ ，對自該時鐘信號之該第二轉移至該第二電路之動作開始為止之延遲再附加時間 $(A-B)/2$ 之延遲。

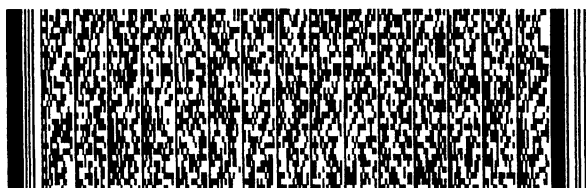
14. 一種半導體裝置，其特徵為：

具備：

第一電路，按照依照輸入之時鐘信號之第一轉移而產生之第一控制信號被啟動後，進行第一期間(A)之第一動作；及

第二電路，按照依照在輸入之該時鐘信號之該轉移之後續之第二轉移而產生之第二控制信號被啟動後，進行第二期間(B)之第二動作；

在交互進行該第一動作和該第二動作之週期之半導體



六、申請專利範圍

裝置，包含一種裝置，在 $B > A$ 之情況下，將該時鐘信號之週期設為 $(A+B)/2$ ，對自該時鐘信號之該第一轉移至該第一電路之動作開始為止之延遲再附加時間 $(B-A)/2$ 之延遲。

15. 一種半導體記憶裝置之控制方法，該半導體記憶裝置具有：

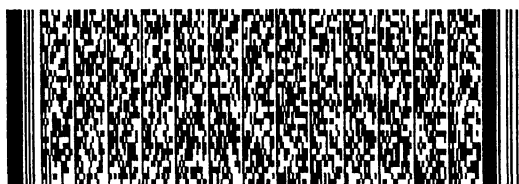
記憶體單元陣列，具有多個記憶體單元；

位址暫存器，依據所輸入之時鐘信號門鎖所輸入之位址信號，而且在依照該時鐘信號之第一轉移而產生之第一控制信號和依照在該時鐘信號之該第一轉移之後續之週期之第二轉移而產生之第二控制信號之其中之一被啟動之情況下，在預定之既定之期間被啟動，輸出該所門鎖之位址信號；及解碼器，輸入自該位址暫存器輸出之位址信號；

一第一電路，依照該時鐘信號之第一轉移而產生讀出啟動用之第三控制信號，依照該時鐘信號之該第二轉移而產生寫入啟動用之第四控制信號，

一第二電路，在依照該時鐘信號之第一轉移而產生之該第三控制信號和該第四控制信號之其中之一被啟動之情況下，在預定之既定之期間被啟動，令該解碼器所選擇之字線被啟動，選擇字線；

感測放大器，在依照該時鐘信號之第一轉移而產生之第五控制信號被啟動之情況下，在預定之既定之期間被啟動，將在所選擇之單元之位元線所讀出之資料放大後，作為讀出資料輸出；及



六、申請專利範圍

寫入用放大器，在依照該時鐘信號之第二轉移而產生之第六控制信號被啟動之情況下，在預定之既定之期間被啟動，向所選擇之單元寫入；

該半導體記憶裝置之控制方法包含：

一控制步驟，用以控制上使得交互進行一讀出週期和一寫入週期交互進行；

該讀出週期係由以下動作所構成：依據自輸入之時鐘信號之該第一轉移而產生之該控制信號依次被啟動之該解碼器之解碼動作、使該解碼器所選擇之字線被啟動之字線選擇動作以及該感測放大器之感測動作；

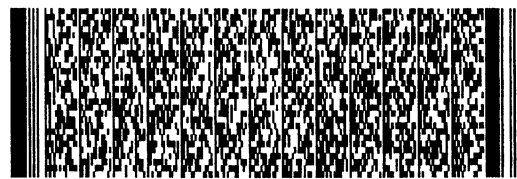
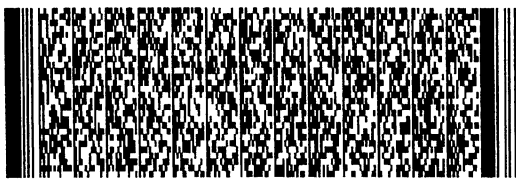
該寫入週期係由以下動作所構成：依據自該時鐘信號之第二轉移而產生之該控制信號依次被啟動之該解碼器之位址之解碼動作、使該解碼器所選擇之字線被啟動之字線選擇動作以及該寫入用放大器之寫入動作；

及一控制步驟，控制該控制信號之時序，令在該讀出週期之該感測放大器之感測動作和在該讀出週期之下一週期之該寫入週期之該解碼器之位址之解碼動作平行的動作。

16. 一種半導體記憶裝置之控制方法，其特徵為：

具有如下步驟：

一步驟，利用位址用時鐘產生電路，依照輸入之時鐘信號之第一轉移，按照輸入之讀出命令產生讀出用時鐘(RC)，依照在該時鐘信號之該第一轉移之後續之週期之第



六、申請專利範圍

二轉移，按照輸入之寫入命令產生寫入用時鐘(WC)；

一步驟，在位址暫存器，依據該時鐘信號門鎖所輸入之位址信號，輸入自該位址用時鐘產生電路輸出之該讀出用時鐘(RC)和該寫入用時鐘(WC)後，在該讀出用時鐘(RC)和該寫入用時鐘(WC)之其中之一被啟動之情況下，輸出所門鎖之位址信號；

一步驟，利用讀出用脈衝產生電路，依照該時鐘信號之該第一轉移而產生讀出用脈衝信號(RPB)；及

一步驟，利用寫入用脈衝產生電路，依照該時鐘信號之該第二轉移而產生寫入用脈衝信號(WPB)；

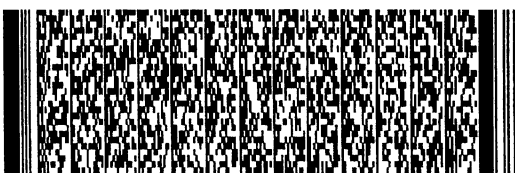
一單元陣列區塊，具備：具有多個記憶體單元之記憶體單元陣列、接受自該位址暫存器輸出之位址信號後解碼之解碼器、控制電路、感測放大器以及寫入用放大器；

於該單元陣列區塊具有如下步驟：

一步驟，該控制電路輸入來自該讀出用脈衝產生電路之讀出用脈衝信號(RPB)後，依照該讀出用脈衝信號(RPB)產生讀出用單發脈衝信號(ROS)；

一步驟，該控制電路輸入來自該寫入用脈衝產生電路之寫入用脈衝信號(WPB)後，依照該寫入用脈衝信號(WPB)產生寫入用單發脈衝信號(WOS)；

一步驟，輸入該讀出用單發脈衝信號(ROS)和該寫入用單發脈衝信號(WOS)，在該讀出用單發脈衝信號(ROS)和該寫入用單發脈衝信號(WOS)之其中之一被啟動之情況下，在預定之既定之期間被啟動，接受該解碼器之輸出結果後，



六、申請專利範圍

字線驅動器使所選擇之字線被啟動；

一步驟，該控制電路依照該時鐘信號之該第一轉移，按照輸入之讀出命令使感測啟動信號(SE)被啟動；

一步驟，在該感測放大器，在該感測啟動信號(SE)被啟動之情況下，在預定之既定之期間被啟動，將在和所選擇之單元連接之位元線所讀出之資料放大後，作為讀出資料輸出；

一步驟，該控制電路依照該時鐘信號之該第二轉移，按照輸入之寫入命令輸出寫入用放大器(WA)啟動信號；及

一步驟，在該寫入用放大器，依照該寫入用放大器(WA)啟動信號，在預定之既定之期間被啟動，向所選擇之單元寫入；

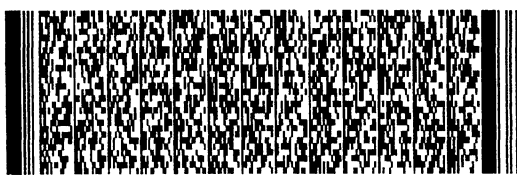
另具有如下步驟：

一步驟，控制上使得一讀出週期和一寫入週期交互進行；

該讀出週期係由如下動作構成：依據自該時鐘信號之第一轉移而產生之該讀出用時鐘及脈衝信號依次被啟動之該解碼器之位址之解碼動作和使該所選擇之字線被啟動之電路之字線選擇動作以及該感測放大器之感測動作；

該寫入週期係由如下動作構成：依據自該時鐘信號之第二轉移而產生之該寫入用時鐘及脈衝信號依次被啟動之該解碼器之位址之解碼動作和使該所選擇之字線被啟動之電路之字線之選擇動作以及該寫入用放大器之寫入動作；

及一步驟，控制時序，令在該讀出週期之該感測放大



六、申請專利範圍

器之感測動作和在該讀出週期之下一週期之該寫入週期之該解碼器之位址之解碼動作平行的動作。

17. 一種半導體記憶裝置之控制方法，其特徵為：

具有如下步驟：

一步驟，利用位址用時鐘產生電路，依照輸入之時鐘信號之第一轉移，按照輸入之讀出命令產生讀出用時鐘(RC)，依照在該時鐘信號之該第一轉移之後續之週期之第二轉移，按照輸入之寫入命令產生寫入用時鐘(WC)；

一步驟，在位址暫存器，依據該時鐘信號門鎖所輸入之位址信號，輸入自該位址用時鐘產生電路輸出之該讀出用時鐘(RC)和該寫入用時鐘(WC)後，在該讀出用時鐘(RC)和該寫入用時鐘(WC)之其中之一被啟動之情況下，輸出所門鎖之位址信號；

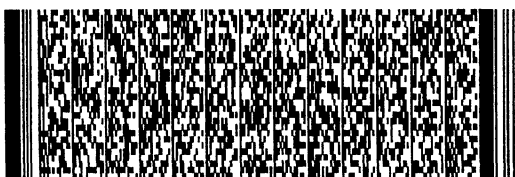
一步驟，利用讀出用脈衝產生電路，依照該時鐘信號之該第一轉移而產生讀出用脈衝信號(RPB)；

一步驟，利用寫入用脈衝產生電路，依照該時鐘信號之該第二轉移而產生寫入用脈衝信號(WPB)；

一單元陣列區塊，具備：具有多個記憶體單元之記憶體單元陣列、接受自該位址暫存器輸出之位址信號後解碼之解碼器、控制電路、感測放大器以及寫入用放大器；

於該單元陣列區塊具有如下步驟：

一步驟，輸入來自該讀出用脈衝產生電路之讀出用脈衝信號(RPB)後，依照該讀出用脈衝信號(RPB)產生讀出用



六、申請專利範圍

單發脈衝信號(ROS)；

一步驟，輸入來自該寫入用脈衝產生電路之寫入用脈衝信號(WPB)後，依照該寫入用脈衝信號(WPB)產生寫入用單發脈衝信號(WOS)；

一步驟，輸入該讀出用單發脈衝信號(ROS)和該寫入用單發脈衝信號(WOS)，在該讀出用單發脈衝信號(ROS)和該寫入用單發脈衝信號(WOS)之其中之一被啟動之情況下，在預定之既定之期間被啟動，接受該解碼器之輸出結果後，字線驅動器使所選擇之字線被啟動；

一步驟，該控制電路依照該時鐘信號之該第一轉移，按照輸入之讀出命令使感測啟動信號(SE)被啟動；

一步驟，在該感測放大器，在該感測啟動信號(SE)被啟動之情況下，在預定之既定之期間被啟動，將在和所選擇之單元之位元線所讀出之資料放大後，作為讀出資料輸出；

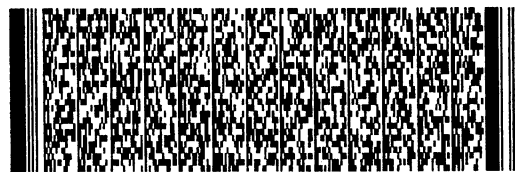
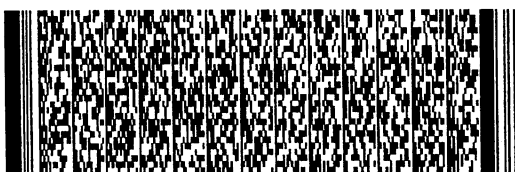
一步驟，依照該時鐘信號之該第二轉移，按照輸入之寫入命令輸出寫入用放大器(WA)啟動信號；及

一步驟，在該寫入用放大器，在該寫入用放大器(WA)啟動信號指示啟動之情況下，在預定之既定之期間被啟動，向所選擇之單元寫入；

另具有如下步驟：

一步驟，控制上使得一讀出週期和一寫入週期交互進行；

該讀出週期係由如下動作構成：依據自該時鐘信號之



六、申請專利範圍

第一轉移而產生之該讀出用時鐘及脈衝信號依次被啟動之該解碼器之位址之解碼動作和使該所選擇之字線被啟動之電路之字線選擇動作以及該感測放大器之感測動作；

該寫入週期係由如下動作構成：依據自該時鐘信號之第二轉移而產生之該寫入用時鐘及脈衝信號依次被啟動之該解碼器之位址之解碼動作、使該所選擇之字線被啟動之電路之字線之選擇動作、該寫入用放大器之寫入動作以及該預充電電路之預充電動作；重疊的進行該字線之選擇動作和該寫入動作；

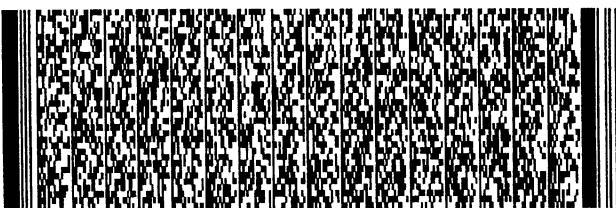
一步驟，控制時序，令在該讀出週期之該感測放大器之感測動作和在該讀出週期之下一週期之該寫入週期之該解碼器之位址之解碼動作平行的動作；及

一步驟，令在該寫入週期之該預充電電路對位元線之預充電動作和在該寫入週期之下一週期之該讀出週期之該解碼器之位址之解碼動作平行的動作。

18. 如申請專利範圍第15項之半導體記憶裝置之控制方法，其中：

該讀出週期還包含在該感測放大器之感測動作後進行之預充電電路之預充電動作；

控制時序，令在該讀出週期之預充電動作和在該讀出週期之下一該寫入週期之該寫入用放大器之寫入動作平行的動作。



六、申請專利範圍

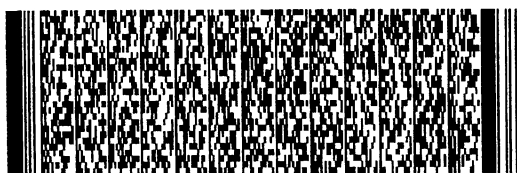
19. 如申請專利範圍第16項之半導體記憶裝置之控制方法，其中，包含如下步驟：在該讀出週期之字線之選擇期間和自該位址暫存器向該位址解碼器輸出之位址信號變化之時序之偏差之時間之和的第一時間，比該寫入週期之字線之選擇期間和該預充電期間之和的第二時間為大之情況下，令用以產生該寫入用時鐘(WC)和該寫入用單發脈衝信號(WOS)之寫入用脈衝信號(WPB)延遲 $[(\text{該第一時間}) - (\text{該第二時間})] / 2$ 。

20. 如申請專利範圍第16項之半導體記憶裝置之控制方法，其中，包含如下步驟：於該讀出週期之字線之選擇期間和自該位址暫存器向該位址解碼器輸出之位址信號變化之時序之偏差之時間之和之第一時間，比該寫入週期之字線之選擇期間和預充電期間之和之第二時間小之情況下，令用以產生該讀出用時鐘(RC)和該讀出用單發脈衝信號(ROS)之讀出用脈衝信號(RPB)延遲 $[(\text{該第二時間}) - (\text{該第一時間})] / 2$ 。

21. 如申請專利範圍第15項之半導體記憶裝置之控制方法，其中：

替代以該時鐘信號之該第二轉移作為在該第一轉移之後續之週期之時鐘信號之轉移，而包含；

在該時鐘信號之一脈衝之上升緣和下降緣，對於由讀出命令和寫入命令構成之命令及位址信號施以取樣的步



六、申請專利範圍

驟；及

使用該時鐘信號之上升緣，產生用以控制在該單元陣列區塊之解碼、該感測放大器之啟動以及該寫入用放大器之啟動之信號的步驟。

22. 如申請專利範圍第16項之半導體記憶裝置之控制方法，其中：

該寫入用放大器之輸入端子經由寫入用匯流排和輸入用暫存器之輸出端子連接，該寫入用放大器之輸出端子和寫入用資料線連接；

該位元線經由寫入用之Y開關和該寫入用資料線連接；位址信號由選擇該記憶體單元陣列之列之X位址、選擇行之Y位址以及選擇區塊之區塊選擇位址構成；

該半導體記憶裝置之控制方法包含：

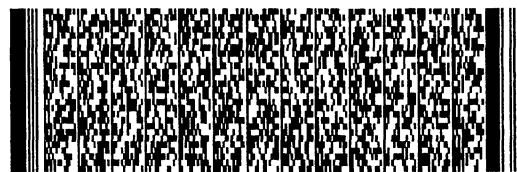
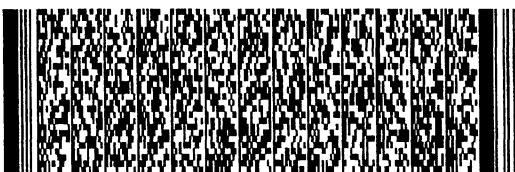
該輸入用暫存器和輸入之時鐘信號同步的門鎖供給資料輸入端子之資料後，向該寫入用匯流排輸出的步驟；

接受該區塊選擇位址之解碼結果而令該寫入用放大器被啟動，該寫入用放大器向該寫入用資料線輸出寫入資料的步驟；

選擇該Y開關，向變成導通之該寫入用之Y開關連接之位元線傳送寫入資料的步驟；及

選擇字線，並向所選擇之單元寫入資料的步驟。

23. 如申請專利範圍第15項之半導體記憶裝置之控制方法，



六、申請專利範圍

其中，分別設置寫入用資料之輸入用埠和讀出用資料之輸出用埠。

24. 一種半導體裝置之控制方法，該半導體裝置具備：

第一電路，按照依照輸入之時鐘信號之第一轉移而產生之第一控制信號被啟動後，進行第一期間(A)之第一動作；及

第二電路，按照依照在輸入之該時鐘信號之該轉移之後續之第二轉移而產生之第二控制信號被啟動後，進行第二期間(B)之第二動作；

該半導體記憶裝置之控制方法係使該第一動作和該第二動作之週期交互進行，其特徵為：

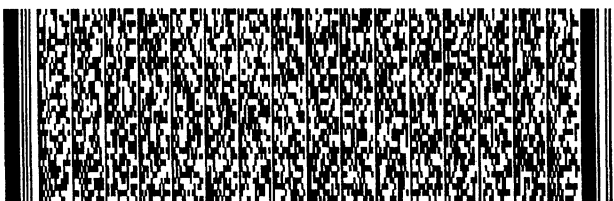
在 $A > B$ 之情況下，將該時鐘信號之週期設為 $(A+B)/2$ ；

包含如下步驟：對自該時鐘信號之該第二轉移至該第二電路之動作開始為止之延遲再附加時間 $(A-B)/2$ 之延遲。

25. 一種半導體裝置之控制方法，該半導體裝置具備：

第一電路，按照依輸入之時鐘信號之第一轉移而產生之第一控制信號被啟動，而進行第一期間(A)之第一動作；及

第二電路，按照依輸入之該時鐘信號之該轉移之後續之第二轉移而產生之第二控制信號被啟動，而進行第二期間(B)之第二動作；



六、申請專利範圍

該半導體記憶裝置之控制方法係使該第一動作和該第二動作之週期交互進行，其特徵為：

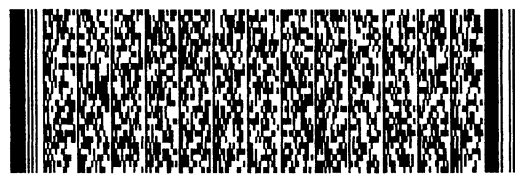
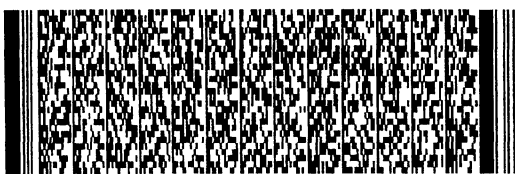
在 $B > A$ 之情況下，將該時鐘信號之週期設為 $(A+B)/2$ ；

包含如下步驟：對自該時鐘信號之該第一轉移至該第一電路之動作開始為止之延遲再附加時間 $(B-A)/2$ 之延遲。

26. 如申請專利範圍第6項之半導體記憶裝置，其中，當該讀出週期之字線之選擇期間和自該位址暫存器向該位址解碼器輸出之位址信號變化之時序之偏差之時間之和之第一時間，比該寫入週期之字線之選擇期間和該預充電期間之和之第二時間為大時，令用以產生該寫入用時鐘(WC)和該寫入用單發脈衝信號(WOS)之寫入用脈衝信號(WPB)延遲 $[(\text{該第一時間}) - (\text{該第二時間})]/2$ 。

27. 如申請專利範圍第6項之半導體記憶裝置，其中，當該讀出週期之字線之選擇期間和自該位址暫存器向該位址解碼器輸出之位址信號變化之時序之偏差之時間之和之第一時間，比該寫入週期之字線之選擇期間和預充電期間之和之第二時間為小時，令用以產生該讀出用時鐘(RC)和該讀出用單發脈衝信號(ROS)之讀出用脈衝信號(RPB)延遲 $[(\text{該第二時間}) - (\text{該第一時間})]/2$ 。

28. 如申請專利範圍第6項之半導體記憶裝置，其中，具



六、申請專利範圍

備：一種裝置，替代將該時鐘信號之該第二轉移作為在該第一轉移之後續之週期之時鐘信號之轉移，而在該時鐘信號之一個脈衝之上升緣和下降緣取樣由讀出命令和寫入命令構成之命令及位址信號，使用該時鐘信號之上升緣產生控制在該單元陣列區塊之解碼、該感測放大器之啟動以及該寫入用放大器之啟動之信號。

29. 如申請專利範圍第6項之半導體記憶裝置，其中：

該寫入用放大器之輸入端子經由寫入用匯流排和輸入用暫存器之輸出端子連接；

該輸入用暫存器和輸入之時鐘信號同步的門鎖供給資料輸入端子之資料後向該寫入用匯流排輸出；

該寫入用放大器之輸出端子係連接於寫入用資料線；

該位元線係經由寫入用之Y開關而連接於該寫入用資料線；

位址信號係由施行該記憶體單元陣列之列選擇之X位址、施行行選擇之Y位址以及施行區塊的選擇之區塊選擇位址所構成；

接受該區塊選擇位址之解碼結果而令該寫入用放大器啟動，該寫入用放大器向該寫入用資料線輸出寫入資料；

接著選擇該Y開關，向連接在變成導通之該寫入用之Y開關的位元線傳送寫入資料；

然後，選擇字線，而向所選擇之單元寫入資料。

