

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-166381

(P2008-166381A)

(43) 公開日 平成20年7月17日(2008.7.17)

|                         |                |             |
|-------------------------|----------------|-------------|
| (51) Int.Cl.            | F I            | テーマコード (参考) |
| HO 1 L 31/12 (2006.01)  | HO 1 L 31/12 A | 5 F 0 8 9   |
| HO 1 L 25/065 (2006.01) | HO 1 L 25/08 Z |             |
| HO 1 L 25/07 (2006.01)  |                |             |
| HO 1 L 25/18 (2006.01)  |                |             |

審査請求 未請求 請求項の数 16 O L (全 15 頁)

(21) 出願番号 特願2006-352250 (P2006-352250)  
 (22) 出願日 平成18年12月27日 (2006.12.27)

(71) 出願人 00001889  
 三洋電機株式会社  
 大阪府守口市京阪本通2丁目5番5号  
 (71) 出願人 506227884  
 三洋半導体株式会社  
 群馬県邑楽郡大泉町坂田一丁目1番1号  
 (74) 代理人 100107906  
 弁理士 須藤 克彦  
 (72) 発明者 野間 崇  
 群馬県邑楽郡大泉町坂田一丁目1番1号  
 三洋半導体株式会社内  
 Fターム(参考) 5F089 AB13 AC02 AC05 AC09 CA20  
 EA01

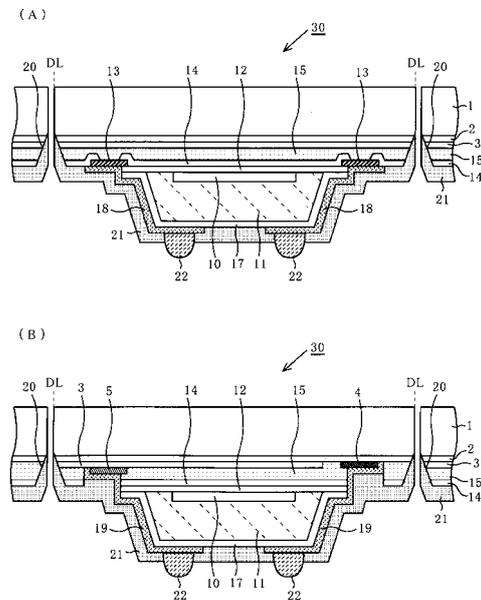
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】信頼性が高く、より小型の装置を実現できる半導体装置及びその製造方法を提供することを目的とする。

【解決手段】半導体基板1の表面上にデバイス素子として例えば発光素子が形成されている。具体的には半導体基板1の表面上に、N型半導体層2、P型半導体層3、及びパッド電極4、5が形成されている。半導体基板11の表面上には、デバイス素子として例えば上記発光素子からの光を受光するデバイス素子10(例えばフォトダイオード素子)とパッド電極13が形成されている。半導体基板1と半導体基板11は接着層15を介して貼り合わされ、一体化されている。パッド電極13と電気的に接続された配線層18と、パッド電極4、5と電気的に接続された配線層19とが、半導体基板11の側面に沿って形成されている。

【選択図】 図1 1



21: 保護層 22: 導電端子 30: 半導体装置

## 【特許請求の範囲】

## 【請求項 1】

その表面上に第 1 のデバイス素子が形成された第 1 の基板と、  
その表面上に第 2 のデバイス素子が形成された第 2 の基板とを備え、  
前記第 1 の基板の表面側と前記第 2 の基板の表面側とが向かい合い、接着層を介して貼り  
合わされていることを特徴とする半導体装置。

## 【請求項 2】

前記第 1 の基板の表面上に、前記第 1 のデバイス素子と電氣的に接続された第 1 のパッド  
電極と、

前記第 2 の基板の表面上に、前記第 2 のデバイス素子と電氣的に接続された第 2 のパッド  
電極とを備えることを特徴とする請求項 1 に記載の半導体装置。

10

## 【請求項 3】

前記第 1 のパッド電極と前記第 2 のパッド電極とが重なり合わないよう貼り合わされて  
いることを特徴とする請求項 2 に記載の半導体装置。

## 【請求項 4】

前記第 1 及び第 2 のパッド電極と電氣的に接続され、前記第 1 及び前記第 2 の基板の厚み  
方向に突出した導電端子を備えることを特徴とする請求項 2 または請求項 3 に記載の半導  
体装置。

## 【請求項 5】

前記第 1 及び第 2 のパッド電極と電氣的に接続され、前記第 2 の基板の側面に沿って形成  
された配線層を備えることを特徴とする請求項 2 または請求項 3 に記載の半導体装置。

20

## 【請求項 6】

前記配線層は、前記第 2 の基板の裏面上に延在していることを特徴とする請求項 5 に記載  
の半導体装置。

## 【請求項 7】

前記第 2 の基板を貫通する貫通孔を備え、前記貫通孔内に形成された導電材料を介して前  
記第 1 のパッド電極及び前記第 2 のパッド電極と外部の電源が電氣的に接続されるよう  
に構成されていることを特徴とする請求項 2 または請求項 3 に記載の半導体装置。

## 【請求項 8】

前記接着層は、前記第 2 の基板の表面から前記第 1 のパッド電極に至る領域が除去されて  
おり、当該接着層の除去領域に形成された導電材料を介して、前記第 1 のパッド電極と外  
部の電源が電氣的に接続されるよう構成されていることを特徴とする請求項 2 または請  
求項 3 に記載の半導体装置。

30

## 【請求項 9】

前記第 1 のデバイス素子は発光素子を含み、前記第 2 のデバイス素子は前記発光素子から  
の光を受ける受光素子を含むことを特徴とする請求項 1 乃至請求項 3 のいずれかに記載の  
半導体装置。

## 【請求項 10】

前記第 1 のデバイス素子または前記第 2 のデバイス素子は、MEMS 素子を含むことを特  
徴とする請求項 1 乃至請求項 3 のいずれかに記載の半導体装置。

40

## 【請求項 11】

その表面上に第 1 のデバイス素子が形成された第 1 の基板と、  
その表面上に第 2 のデバイス素子が形成された第 2 の基板とを準備し、  
前記第 1 の基板の表面側と前記第 2 の基板の表面側とを向かい合わせ、接着層を介して両  
者を貼り合わせる工程と、

所定のダイシングラインに沿って前記第 1 及び前記第 2 の基板を切削し、個々の半導体チ  
ップに分割する工程を備えることを特徴とする半導体装置の製造方法。

## 【請求項 12】

前記第 1 の基板の表面上に、前記第 1 のデバイス素子と電氣的に接続された第 1 のパッド  
電極を備え、

50

前記第2の基板の表面上に、前記第2のデバイス素子と電氣的に接続された第2のパッド電極とを備えることを特徴とする請求項11に記載の半導体装置の製造方法。

【請求項13】

前記第1の基板と前記第2の基板とを貼り合わせる工程では、前記第1のパッド電極と前記第2のパッド電極とが重なり合わないように行うことを特徴とする請求項12に記載の半導体装置の製造方法。

【請求項14】

前記第2の基板の裏面側から前記第2の基板の一部を除去して、前記第2のパッド電極の少なくとも一部を露出させる工程と、

前記第2の基板の裏面側から前記接着層の一部を除去して、前記第1のパッド電極の少なくとも一部を露出させる工程とを有することを特徴とする請求項12または請求項13に記載の半導体装置の製造方法。

10

【請求項15】

前記露出された第1及び第2のパッド電極のそれぞれと電氣的に接続された配線層を、前記基板の側面に沿って形成する工程を有することを特徴とする請求項14に記載の半導体装置の製造方法。

【請求項16】

前記露出された第1及び第2のパッド電極のそれぞれと電氣的に接続され、前記第1及び前記第2の基板の厚み方向に突出した導電端子を形成する工程を備えることを特徴とする請求項14に記載の半導体装置の製造方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置に関し、特にパッケージ型の半導体装置及びその製造方法に関するものである。

【背景技術】

【0002】

従来より、複数の半導体チップを回路基板上に実装することで各チップ同士を電氣的に接続したり、あるいは電氣的に接続されていなくても複数の半導体チップを互いに協働させることによって、全体として一つの装置が実現される場合がある。

30

【0003】

例えば従来のフォトカプラ(Photo coupler)は、図15に示すように、第1の半導体チップとして発光素子100を有し、第2の半導体チップとして受光素子101を備えている。発光素子100及び受光素子101は、ボンディングワイヤ102を介してリード103と電氣的に接続される。また、発光素子100と受光素子101とは透明樹脂層104で封止され、光を遮断するモールド樹脂105で更に封止されている。なお、発光素子100と受光素子101とは電氣的に接続されていない。

【0004】

このようなフォトカプラでは、入力された電気信号が発光素子100で光信号に変換され、その光で受光素子101を導通させることによって信号の伝達がなされる。

40

【0005】

本発明に関連した技術は、例えば以下の特許文献に記載されている。

【特許文献1】特開2001-94142号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかしながら、近年は半導体装置の更なる小型化・薄型化が要求されていた。そこで本発明は、信頼性が高く、より小型の装置を実現できる半導体装置及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

50

## 【0007】

本発明は上記課題に鑑みてなされたものであり、その主な特徴は以下のとおりである。すなわち、本発明の半導体装置は、その表面上に第1のデバイス素子が形成された第1の基板と、その表面上に第2のデバイス素子が形成された第2の基板とを備え、前記第1の基板の表面側と前記第2の基板の表面側とが向かい合い、接着層を介して貼り合わされていることを特徴とする。

## 【0008】

また、本発明の半導体装置の製造方法は、その表面上に第1のデバイス素子が形成された第1の基板と、その表面上に第2のデバイス素子が形成された第2の基板とを準備し、前記第1の基板の表面側と前記第2の基板の表面側とを向かい合わせ、接着層を介して両者を貼り合わせる工程と、所定のダイシングラインに沿って前記第1及び前記第2の基板を切削し、個々の半導体チップに分割する工程を備えることを特徴とする。

10

## 【発明の効果】

## 【0009】

本発明の半導体装置は、表面上に第1のデバイス素子が形成された第1の基板と、表面上に第2のデバイス素子が形成された第2の基板とを備え、両者が表面側を向かい合わせて貼り合わされている。そのため、従来2つの半導体チップに分離していたような構成を、個々の半導体装置に分割する以前のウェハ状態のときから一体化することが可能となり、より薄く、より小型の半導体装置を実現することができる。

20

## 【0010】

また、本発明の製造方法によれば、従来2つのチップがそれぞれ別々に完成し、その後の組立作業を経ていたような構成が一体化して完成するため、後の組み立て作業等の工程を省き、半導体装置の作業性を向上させることができる。

## 【発明を実施するための最良の形態】

## 【0011】

次に、本発明の第1の実施形態について図面を参照しながら説明する。第1の実施形態は、フォトプラの構造及び製造方法に本発明を適用したものである。図1乃至図12はそれぞれ製造工程順に示した断面図あるいは平面図である。

## 【0012】

まず、フォトプラの発光素子部を形成する。本実施形態では、半導体基板上に発光ダイオード(LED)を形成する。図1に示すように、例えばガリウムヒ素(GaAs)や窒化ガリウム(GaN)等から成るN型の半導体基板1を準備する。半導体基板1の厚みは、例えば300 $\mu$ m程度である。なお、本実施形態における半導体基板1は、半導体基板11を支持する機能も有する。半導体基板1の材質は、目的とする発光の色に応じて適宜変更できる。次に、半導体基板1の表面上にエピタキシャル結晶成長法にてN型半導体層2とP型半導体層3を順に形成する。これらによるPN接合領域が発光領域となる。なお、第1の半導体基板21及びN型半導体層22に添加されるN型不純物は例えば硫黄(S)やセレン(Se)やテルル(Te)等である。また、P型半導体層23に添加されるP型不純物は例えば亜鉛(Zn)である。

30

## 【0013】

次に、P型半導体層3の一部を例えばドライエッチング法で選択的に除去し、図1に示すようにN型半導体層2の一部を露出させる。次に、当該露出したN型半導体層2と、P型半導体層3上のそれぞれにパッド電極4(カソード電極)、パッド電極5(アノード電極)を形成する。パッド電極4,5は、例えばスパッタリング法等の薄膜形成技術によりアルミニウム(Al)や銅(Cu)等の金属層を形成し、その後レジスト層(不図示)をマスクとして当該金属層を選択的にエッチングすることによって形成される。

40

## 【0014】

次に、必要に応じて例えばCVD法で半導体基板1の全面を被覆する絶縁膜を形成し、フォトリソ技術によりパッド電極4,5上の絶縁膜を除去してもよい。つまり、N型半導体層2やP型半導体層3の表面は絶縁膜で被覆されていても良いし、露出されていてもよ

50

い。本実施形態では、このような絶縁膜の形成工程を有しないものとして説明を続ける。

【0015】

こうして、発光素子としてのLEDと、当該LEDと電氣的に接続されたパッド電極4, 5とが表面上に形成された半導体基板1が形成される。なお、以上の説明は発光素子の製造方法の一例であって、求められる特性(例えば発光の色等)に応じて製造プロセスは異なる。また、発光素子とは光を発する素子であればよく、レーザーダイオードでもよい。

【0016】

次に、フォトクラの受光素子部を形成する。図2に示すように、表面にデバイス素子10(例えば、フォトダイオード素子)が形成されたシリコン(Si)等から成る半導体基板11を準備する。半導体基板11は、例えば300 $\mu$ m~700 $\mu$ m程度の厚さになっている。次に、半導体基板11の表面に第1の絶縁膜12(例えば、熱酸化法やCVD法等によって形成されたシリコン酸化膜)を例えば2 $\mu$ mの膜厚に形成する。

10

【0017】

次に、スパッタリング法やメッキ法、その他の成膜方法によりアルミニウム(Al)やアルミニウム合金や銅(Cu)等の金属層を形成し、その後当該金属層を選択的にエッチングし、第1の絶縁膜12上にパッド電極13を例えば1 $\mu$ mの膜厚に形成する。パッド電極13は、デバイス素子10やその周辺素子と不図示の配線を介して電氣的に接続された外部接続用の電極である。なお、図2ではデバイス素子10の両側にパッド電極13が配置されているが、その位置に限定はなく、デバイス素子10上に配置することもできる。また、最終的に完成する半導体装置の外周を囲むようにパッド電極13を配置することもできる。

20

【0018】

次に、半導体基板11の表面上にパッド電極13の一部上あるいは全部を被覆するパッシベーション膜14(例えば、CVD法により形成されたシリコン窒化膜)を形成する。図2では、パッド電極13の一部上を被覆するようにしてパッシベーション膜14が形成されている。こうして、受光素子としてのデバイス素子10と、当該デバイス素子10と電氣的に接続されたパッド電極13とが表面上に形成された半導体基板11が形成される。

【0019】

次に、図3(A), (B)に示すようにエポキシ樹脂, ポリイミド(例えば感光性ポリイミド), レジスト, アクリル等の接着層15を介して、半導体基板11の表面側(素子面側)と半導体基板1の表面側(素子面側)とを貼り合わせる。接着層15の厚みは数 $\mu$ m~数十 $\mu$ m程度である。従って、半導体基板1上の素子(発光素子)と半導体基板11上の素子(デバイス素子10)とは近接している。第1の実施形態における接着層15は透明であって、上述した発光素子の光が透過できる性状を有するものとする。なお、接着層15は、半導体装置の用途に応じて必ずしも透明である必要はない。

30

【0020】

半導体基板1と半導体基板11とは、図4で示すように、パッド電極4, 5とパッド電極13とが重ならないように貼り合わされている。図4は、貼り合わせ面の一部を示す平面図であり、図3(A)は図4のX-X線に沿った断面図に相当し、図3(B)はY-Y線に沿った断面図に相当するものである。これ以後、図3と同様にそれぞれの断面図を用いて説明する。

40

【0021】

次に、半導体基板11の裏面に対して裏面研削装置(グラインダー)を用いてバックグラインドを行い、半導体基板11の厚さを所定の厚さ(例えば100 $\mu$ m程度)に薄くする。なお、バックグラインド後の半導体基板11が薄くなると、製造工程の中での搬送等において強度低下による反りや破損が生じるおそれがある。そのため、半導体基板1の厚さがバックグラインド後の半導体基板11よりも厚いことが好ましい。換言すれば、後述する開口部16の形成や配線層18, 19を形成する側の基板よりも、それらを形成しな

50

い側の基板の方が厚いことが好ましい。当該研削工程はエッチング処理でもよいし、グラインダーとエッチング処理の併用でもよい。なお、最終製品の用途や仕様，準備した半導体基板 11 の当初の厚みによっては、当該研削工程を行う必要がない場合もある。また、必要に応じて半導体基板 1 の裏面に対して同様の研削工程を行ってもよい。

【0022】

また、当該研削工程を行うと研削面が荒れる場合があるため、研削工程後に平らな面を得るための工程として例えばウエットエッチング処理を行ってもよい。

【0023】

次に、図 5 (A)，(B) に示すように、半導体基板 11 のうちパッド電極 4，5，13 に対応する所定の領域を、半導体基板 11 の裏面側から選択的にエッチングし、第 1 の絶縁膜 12 を一部露出させる。以下、この露出部分を開口部 16 とする。

10

【0024】

当該半導体基板 11 の選択的なエッチングについて、図 6 (A)，(B) を参照して説明する。図 6 (A)，(B) は、ウェハ状態の構成の一部を半導体基板 11 側から見た概略平面図であり、図 5 (A) は、図 6 (A)，(B) の X - X 線に沿った断面図であり、図 5 (B) は Y - Y 線に沿った断面図に対応するものである。

【0025】

図 6 (A) に示すように、半導体基板 11 を半導体基板 1 の幅よりも狭い、略長方形の形状にエッチングすることもできる。また、図 6 (B) に示すように、パッド電極 4，5，13 が形成された領域のみをエッチングすることで、半導体基板 11 の外周が凹凸状になるように構成することもできる。後者の方が、半導体基板 11 と半導体基板 1 の重畳する面積が大きく、半導体基板 1 の外周近くまで半導体基板 11 が残る。そのため、半導体基板 11 と半導体基板 1 との接着強度を向上させる観点からは、後者の構成が好ましい。また、後者の構成によれば、半導体基板 1 と半導体基板 11 の熱膨張率の差異による半導体基板 1 及び半導体基板 11 の反りが防止できるため、半導体装置のクラックや剥離が防止できる。なお、図 6 (A)，(B) で示した平面形状とは別の形状に半導体基板 11 をデザインすることも可能である。

20

【0026】

また、本実施形態では半導体基板 11 の横幅が、図 5 (A)，(B) に示すように表面側に行くほど広がるように側壁が斜めにエッチングされているが、側壁が半導体基板 1 の主面に対して垂直となるようにエッチングすることもできる。

30

【0027】

次に、図 7 (A)，(B) に示すように、開口部 16 内及び半導体基板 11 の裏面上に第 2 の絶縁膜 17 を形成する。この第 2 の絶縁膜 17 は、例えばプラズマ CVD 法によって形成されたシリコン酸化膜やシリコン窒化膜等の絶縁膜である。

【0028】

次に、図 8 (A) (B) に示すように、不図示のレジスト層をマスクとして、第 1 の絶縁膜 12 及び第 2 の絶縁膜 17 を選択的にエッチングする。このエッチングにより、パッド電極 4，5，13 からダイシングライン DL に至る領域にかけて形成された第 1 の絶縁膜 12 及び第 2 の絶縁膜 17 が除去され、開口部 16 の底部においてパッド電極 13 の少なくとも一部が露出される。

40

【0029】

次に、図 9 (A) (B) に示すように、不図示のレジスト層をマスクとして、開口部 16 の底部のパッシベーション膜 14 と接着層 15 の一部を順にエッチングする。この選択的なエッチングにより、開口部 16 の底部において一部のパッシベーション膜 14 及び接着層 15 が除去され、パッド電極 4，5 の少なくとも一部が露出される。こうして、半導体基板 1 側のパッド電極 4，5 と、半導体基板 11 側のパッド電極 13 のいずれもが露出される。

【0030】

次に、スパッタリング法やメッキ法、その他の成膜方法により、配線層 18，19 とな

50

るアルミニウム ( A l ) や銅 ( C u ) 等の導電層を例えば 1 μ m の膜厚で形成する。その後、不図示のレジスト層をマスクとして当該導電層を選択的にエッチングする。このエッチングによって導電層は、図 10 ( A ) , ( B ) に示すように、第 2 の絶縁膜 17 を介して半導体基板 11 の側面に沿って形成された配線層 18 , 19 となる。配線層 18 は、図 10 ( A ) に示すようにパッド電極 13 の少なくとも一部と接続されて、半導体基板 11 の裏面の一部上に延在している。配線層 19 は、図 10 ( B ) に示すようにパッド電極 4 , 5 の少なくとも一部と接続されて、半導体基板 11 の裏面の一部上に延在している。

#### 【 0031 】

次に、ダイシングブレードやエッチングによって、半導体基板 11 側から接着層 15 及び半導体基板 1 の一部を除去することで切り欠き部 20 を形成する。なお、切り欠き部 20 の断面形状は、半導体基板 1 に切り欠き部 20 が到達するのであれば図 10 に示すような V 字形状に限定されず、楕円形状や略長方形等でも構わない。

10

#### 【 0032 】

次に、配線層 18 , 19 を被覆する電極接続層 ( 不図示 ) を形成する。電極接続層を形成するのは、アルミニウム等から成る配線層 18 , 19 と、後述するハンダ等から成る導電端子 22 は接合しにくいという理由や、導電端子 22 の材料が配線層 18 , 19 側に流入してくることを保護するという理由による。電極接続層は、例えばレジスト層をマスクとしてニッケル ( N i ) 層と金 ( A u ) 層等の金属層を順次スパッタリングし、その後レジスト層を除去するというリフトオフ法や、メッキ法によって形成することができる。

20

#### 【 0033 】

次に、図 11 ( A ) ( B ) に示すように、後述する導電端子 22 の形成領域に開口を有する保護層 21 を、例えば 10 μ m の厚みで形成する。保護層 21 の形成は例えば以下のように行う。まず、塗布・コーティング法によりポリイミド系樹脂、ソルダレジスト等の有機系材料を全面に塗布し、熱処理 ( プリベーク ) を施す。次に、塗布された有機系材料を露光・現像して所定領域を露出させる開口を形成し、その後これに熱処理 ( ポストベーク ) を施す。これにより、導電端子 22 の形成領域に開口を有する保護層 21 を得る。本実施形態では、切り欠き部 20 を形成しているため、半導体基板 1 の側面の一部が保護層 21 で被覆される。つまり、接着層 15 の側面が保護層 21 で完全に被覆される。そのため、接着層 15 が外気に触れることを抑えるとともに、デバイス素子 10 や接着層 15 への腐食物質 ( 例えば水分 ) の浸入を防止することができる。

30

#### 【 0034 】

次に、保護層 21 の開口から露出した電極接続層 ( 不図示 ) 上に導電材料 ( 例えばハンダ ) をスクリーン印刷し、この導電材料を熱処理でリフローさせる。こうして、図 11 に示すように配線層 18 , 19 を介してパッド電極 4 , 5 , 13 と電氣的に接続された導電端子 22 が半導体基板 11 の裏面上に形成される。なお、導電端子 22 の形成方法は上記に限定されることはなく、電解メッキ法や、ディスペンサを用いてハンダ等を所定領域に塗布するいわゆるディスペンサ法 ( 塗布法 ) 等で形成することもできる。また、導電端子 22 は、金や銅、ニッケルを材料としたものでもよく、その材料は特に限定されない。また、電極接続層 ( 不図示 ) の形成は、保護層 21 の形成後に行ってもよい。

40

#### 【 0035 】

次に、ダイシングライン D L に沿って切断し、個々の半導体装置 30 に分割する。個々の半導体装置 30 に分割する方法としては、ダイシング法、エッチング法、レーザーカット法等がある。図 12 は半導体装置 30 の裏面側 ( 半導体基板 11 側 ) から見た平面図の概略である。なお、図 11 ( A ) , ( B ) の半導体装置 30 は、図 12 の X - X 線、Y - Y 線に沿った断面図に対応する。

#### 【 0036 】

以上の工程により、半導体基板 1 と半導体基板 11 との貼り合わせ面に、発光素子 ( L E D ) 及び受光素子 ( デバイス素子 10 ) の両者を備えるチップサイズパッケージ型のフォトカプラが完成する。当該フォトカプラは、導電端子 22 を介してプリント基板等に実装される。

50

## 【0037】

本実施形態では、従来構造（図15参照）のように発光素子と受光素子とが別々のチップに分離しておらず、個々の半導体装置に分割される以前、つまりウェハー状態のときから接着層15を介して一つのチップとして一体化した構成となっている。そのため、従来に比して半導体装置の小型化を図ることができる。

## 【0038】

また、従来2つのチップが別々に完成し、その後組み立て作業を経た上で一体化されていたものが、本実施形態によれば個々の半導体装置に分割した時点で一体化して完成する。そのため、後の組み立て作業等を簡略化し半導体装置の作業性を向上させることができる。

10

## 【0039】

次に、本発明の第2の実施形態について説明する。図13は、第2の実施形態に係る半導体装置の断面図である。なお、第2の実施形態も第1の実施形態と同様に2つの断面図を用いて説明し、上記第1の実施形態と同様の構成については同一符号を示し、その説明を省略する。

## 【0040】

図13(A)、(B)に示す第2の実施形態の半導体装置40は、パッド電極4,5,13に対応する位置が開口し、かつ半導体基板11の側面及び裏面を被覆する保護層41が形成されている。そして、保護層41の開口位置のパッド電極4,5,13上に電極接続層42が形成されている。電極接続層42は、例えばニッケル(Ni)層と金(Au)層を順に積層した層であり、レジスト層をマスクとしてこれらの金属を順にスパッタリングし、その後レジストを除去するというリフトオフ法や、メッキ法によって形成できる。そして、パッド電極4,5,13上には、電極接続層42を介してハンダ等から成る導電端子43が形成されている。このように、半導体基板11の側面及び裏面に配線層(第1の実施形態の配線層18,19)を形成することなく、半導体基板11の側壁に隣接するように導電端子43を形成することもできる。

20

## 【0041】

第2の実施形態によれば、第1の実施形態の半導体装置(図11(A)(B))で示したような半導体基板11の配線層18,19及び第2の絶縁膜17を形成する工程が不要である。そのため、第1の実施形態で得られる効果に加えて、製造工程が簡素化され、製造コストを低く抑えることができる。また、第2の実施形態では、導電端子43が半導体基板11の裏面上に形成されず、半導体基板11の側壁の外側に隣接するように形成されているため、第1の実施形態の半導体装置に比して薄くすることができる。

30

## 【0042】

次に、本発明の第3の実施形態について説明する。図14(A)、(B)は、第3の実施形態に係る半導体装置の断面図である。なお、本実施形態も第1及び第2の実施形態と同様に2つの断面図を用いて説明し、上記第1の実施形態と同様の構成については同一符号を示し、その説明を省略する。

## 【0043】

図14(A)、(B)に示す第3の実施形態の半導体装置50は、表面上にデバイス素子51及びこれと電氣的に接続されたパッド電極52とが形成された半導体基板53(第1の基板)と、表面上にデバイス素子54及びこれと電氣的に接続されたパッド電極55とが形成された半導体基板56(第2の基板)とを有し、互いの表面側が接着層15を介して貼り合わされている。

40

## 【0044】

また、半導体基板56は、その裏面側(非素子面側)から表面にかけて貫通してパッド電極55に至る第1の貫通孔57と、その裏面側から半導体基板56及び接着層15を貫通してパッド電極52に至る第2の貫通孔58を有している。第1及び第2の貫通孔57,58には、アルミニウムや銅等から成る貫通電極59が形成され、半導体基板56の裏面上には貫通電極59と電氣的に接続された配線層60及びボール状の導電端子61とが

50

形成されている。また、第2の絶縁膜17と、貫通電極59及び配線層60との間には例えばチタン(Ti)層、チタンナイトライド(TiN)層、もしくはタンタルナイトライド(TaN)層等の金属から成るバリアメタル層62が形成されている。

#### 【0045】

このようないわゆる貫通電極型の半導体装置は例えば以下の製造プロセスによって製造される。まず、デバイス素子51及びパッド電極52が形成された半導体基板53と、デバイス素子54及びパッド電極55が形成された半導体基板56を準備する。次に、半導体基板53と半導体基板56の両表面側を接着層15を介して貼り合わせる。この際、図4で示したものと同様に、パッド電極52とパッド電極55とが重なり合わないようして貼り合わせる。

10

#### 【0046】

次に、パッド電極55に対応する位置に、半導体基板56を貫通する第1の貫通孔57を形成し、パッド電極55の一部を露出させる。次に、パッド電極52に対応する位置に、半導体基板56及び接着層15の一部を貫通する第2の貫通孔58を形成し、パッド電極52の一部を露出させる。次に、当該第1及び第2の貫通孔57, 58の側壁内及び半導体基板56の裏面を被覆する第2の絶縁膜17を形成する。次に、第1及び第2の貫通孔57, 58の底部の第2の絶縁膜17を除去してパッド電極52, 55を再度露出させ、その後第1及び第2の貫通孔57, 58内にバリアメタル層62を形成する。次に、第1及び第2の貫通孔57, 58内に例えば電解メッキ法などで貫通電極59及びこれと電氣的に接続された配線層60を形成する。なお、配線層60は、パッド電極52とパッド電極55を接続するものであってもよい。その後、配線層60上に電極接続層(例えばニッケル層と金層から成る積層)を形成し、所定の開口部を有するソルダーレジスト等から成る保護層63を形成する。次に、保護層63の開口部内で露出した電極接続層上にボール状の導電端子61を形成する。次に、個々の半導体装置50にダイシングする。なお、上記一連の工程は貫通電極型の半導体装置の製造工程の一例である。

20

#### 【0047】

第1及び第2の実施形態では、半導体基板11の側面に沿った配線層18, 19(図11(A)(B))や、半導体基板11の側壁に隣接するような導電端子43(図13)からパッド電極4, 5, 13に電源が供給される構成になっていた。これに対して、第3の実施形態では、いわゆる貫通電極型の半導体装置にも本発明が適用できることを示している。このように、パッド電極4, 5, 13と外部の電源との接続の仕方は適宜変更することができる。

30

#### 【0048】

また、第1及び第2の実施形態では、半導体基板1(第1の基板)側に発光素子が形成され、半導体基板11(第2の基板)側にその発光素子からの光信号を受光する受光素子が形成され、両素子がフォトカップラとして一体化された構成を説明した。これに対して第3の実施形態では、本発明が上記発光素子と受光素子とを備えるフォトカップラに限定されないことを示している。つまり、デバイス素子51とデバイス素子54は、それぞれ同種の機能を有する素子であってもよいし、それぞれ別の機能を有する素子であってもよく、素子の種類に限定はない。例えば、デバイス素子51, 54の両者をDRAM等の記憶素子としてもよいし、いずれか一方を記憶素子として他方を当該記憶素子の読み書きを制御するドライバー素子としてもよい。

40

#### 【0049】

また、第1及び第2の実施形態では、2つの基板上にそれぞれ形成された素子(発光素子と受光素子)は電氣的に接続されていなかった。しかし、パッド電極52とパッド電極55とを配線層で接続することで、デバイス素子51とデバイス素子54とを電氣的に接続してもよい。また、2つの基板上の素子の電氣的接続は、実装基板側の配線で行ってもよい。

#### 【0050】

このように第3の実施形態においても2つのデバイス素子(51, 54)とが別々のチ

50

ップとして分離しておらず、一つのチップとして一体化した構成になっている。そのため、従来に比して半導体装置の小型化を図ることができる。

【0051】

また、基板上に形成するデバイス素子の種類に限定がないため、従来1チップに混載して封止していなかったもの、あるいは1チップに混載して封止することが製造プロセス上の理由から困難であったものでも、それらを1チップで封止することが可能である。例えば、MEMSは一般的に高温処理で形成されるため、CMOSプロセス等と整合性が良好でない。MEMSとは、機械要素部品、センサー、アクチュエーター、電子回路等を半導体基板上に集積化したデバイスのことである。そのため、MEMSと他の素子（例えばMEMS用の駆動素子）とを1チップ内に混載して形成することが従来の製造プロセスでは困難であった。しかし、上述した実施形態で示したものと同様にMEMSを一方の基板上に形成し、他方の基板上に当該MEMSの駆動素子を形成することで1チップで所望のMEMS装置を形成することができる。

10

【0052】

また、個々の半導体装置に分割した時点で、従来2つのチップがそれぞれ別々に完成し、その後の組み立て作業を経ていたような構成が一体化して完成するため、後の組み立て作業等を簡略化させることができる。

【0053】

また、上述した全ての実施形態では、デバイス素子が2つの基板で封止されて保護されるため、半導体装置の信頼性が高くなっている。

20

【0054】

なお、本発明は上述した実施形態に限定されることはなく、その要旨を逸脱しない範囲で変更が可能なのは言うまでも無い。例えば、上述した実施形態では半導体基板（半導体基板1, 11, 53, 56）が用いられていたが、半導体ではなくガラスや石英のような絶縁性の材料から成る基板を用いることも可能である。装置の用途に応じて、当該基板は透明であって光を透過させる性状を有していてもよい。また、基板上に形成されるデバイス素子は、上述のようにMEMS (Micro Electro Mechanical Systems) 素子のような機械的デバイスでもよい。

【0055】

また、上述した実施形態では、いずれか一方の基板側にのみ電圧を供給するための配線層や導電端子が形成されていた。第1の実施形態であれば、半導体基板11側に開口部16を形成し、その後配線層18, 19や導電端子22が形成されている。しかし、本発明はこれに限定されない。従って、必要に応じて逆側の基板に配線層や導電端子を形成してもよいし、両者の基板側に配線層や導電端子を形成することも可能である。例えば発光素子側の基板（半導体基板1）に同様の開口部や配線層や導電端子を形成しても良い。

30

【0056】

また、上述した実施形態では、2つの基板上に形成されたパッド電極（第1の実施形態であればパッド電極4, 13）が重なり合わないよう貼り合わされていたが、両方のパッド電極が重なり合ったとしても、開口部や配線層や導電端子をそれぞれのパッド電極が形成された側の基板に対して形成することで、両方向から各パッド電極に電圧を供給することも可能である。このように、素子への電圧の供給の仕方は適宜変更できる。

40

【0057】

また、以上の実施形態では、ボール状の導電端子（22, 43, 61）を有するBGA型の半導体装置について説明したが、本発明はLGA (Land Grid Array) 型の半導体装置に適用するものであっても構わない。本発明は、様々なデバイス素子を小型に封止する技術として広く適用できるものである。

【図面の簡単な説明】

【0058】

【図1】本発明の第1の実施形態に係る半導体装置及びその製造方法を説明する断面図である。

50

【図2】本発明の第1の実施形態に係る半導体装置及びその製造方法を説明する断面図である。

【図3】本発明の第1の実施形態に係る半導体装置及びその製造方法を説明する断面図である。

【図4】本発明の第1の実施形態に係る半導体装置及びその製造方法を説明する平面図である。

【図5】本発明の第1の実施形態に係る半導体装置及びその製造方法を説明する断面図である。

【図6】本発明の第1の実施形態に係る半導体装置及びその製造方法を説明する平面図である。

10

【図7】本発明の第1の実施形態に係る半導体装置及びその製造方法を説明する断面図である。

【図8】本発明の第1の実施形態に係る半導体装置及びその製造方法を説明する断面図である。

【図9】本発明の第1の実施形態に係る半導体装置及びその製造方法を説明する断面図である。

【図10】本発明の第1の実施形態に係る半導体装置及びその製造方法を説明する断面図である。

【図11】本発明の第1の実施形態に係る半導体装置及びその製造方法を説明する断面図である。

20

【図12】本発明の第1の実施形態に係る半導体装置及びその製造方法を説明する平面図である。

【図13】本発明の第2の実施形態に係る半導体装置及びその製造方法を説明する断面図である。

【図14】本発明の第3の実施形態に係る半導体装置及びその製造方法を説明する断面図である。

【図15】従来の半導体装置を説明する断面図である。

【符号の説明】

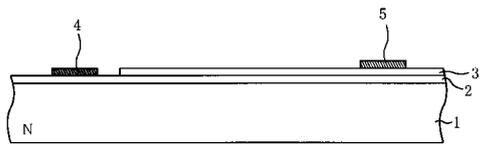
【0059】

- 1 半導体基板      2 N型半導体層      3 P型半導体層      4 パッド電極
- 5 パッド電極      10 デバイス素子      11 半導体基板
- 12 第1の絶縁膜      13 パッド電極      14 パッシベーション膜
- 15 接着層      16 開口部      17 第2の絶縁膜      18 配線層
- 19 配線層      20 切り欠き部      21 保護層      22 導電端子
- 30 半導体装置      40 半導体装置      41 保護層      42 電極接続層
- 43 導電端子      50 半導体装置      51 デバイス素子      52 パッド電極
- 53 半導体基板      54 デバイス素子      55 パッド電極
- 56 半導体基板      57 第1の貫通孔      58 第2の貫通孔
- 59 貫通電極      60 配線層      61 導電端子      62 バリアメタル層
- 63 保護層      100 発光素子      101 受光素子
- 102 ボンディングワイヤ      103 リード      104 透明樹脂層
- 105 モールド樹脂      DL ダイシングライン

30

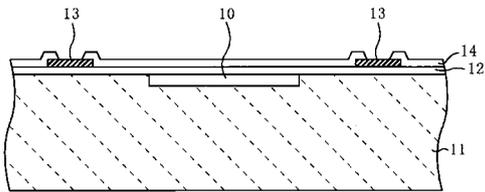
40

【図1】



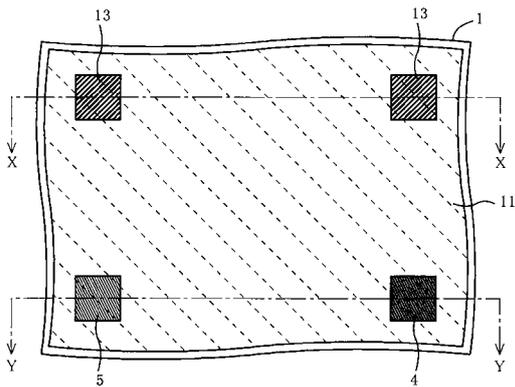
1: 半導体基板      2: N型半導体層      3: P型半導体層  
 4: パッド電極      5: パッド電極

【図2】

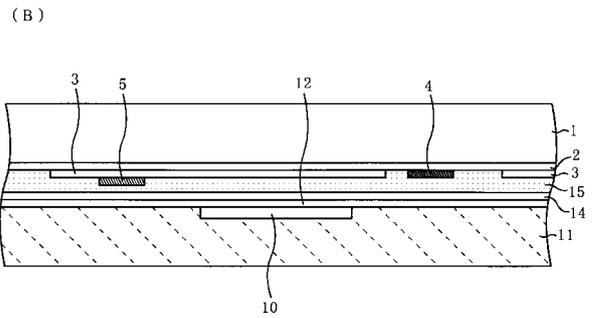
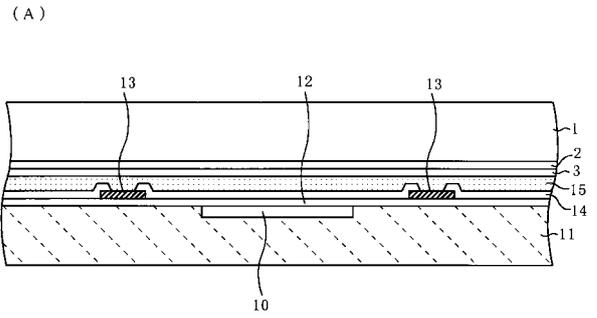


10: デバイス素子      11: 半導体基板      12: 第1の絶縁膜  
 13: パッド電極      14: パッシベーション膜

【図4】

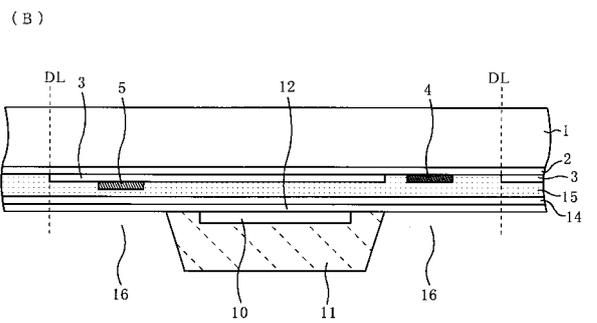
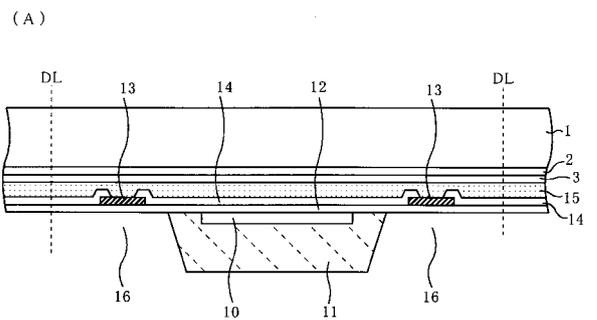


【図3】



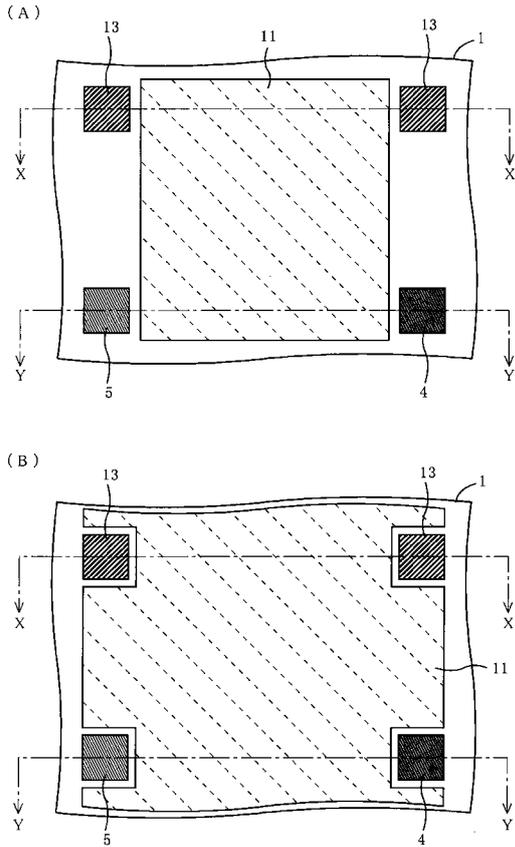
15: 接着層

【図5】

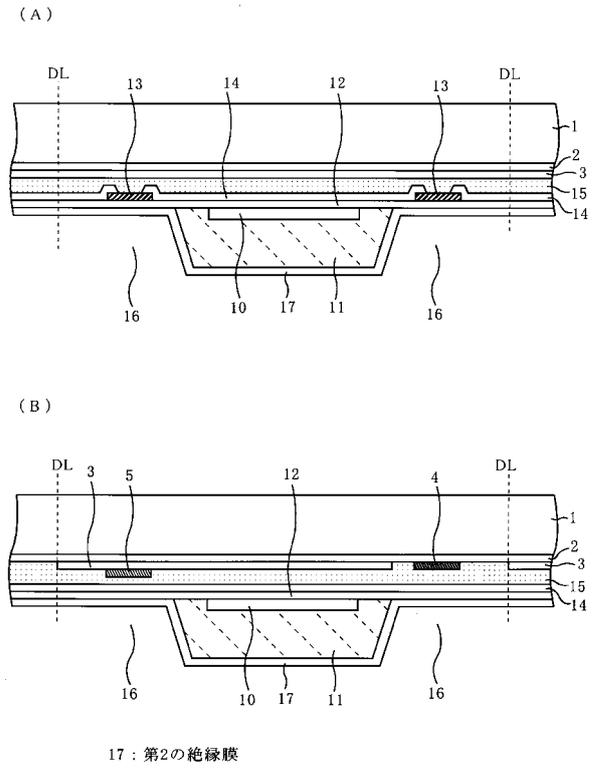


16: 開口部

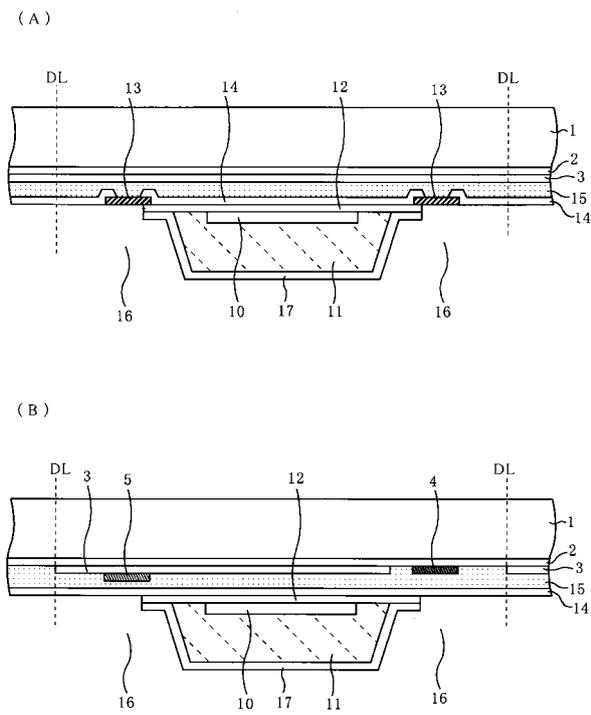
【図6】



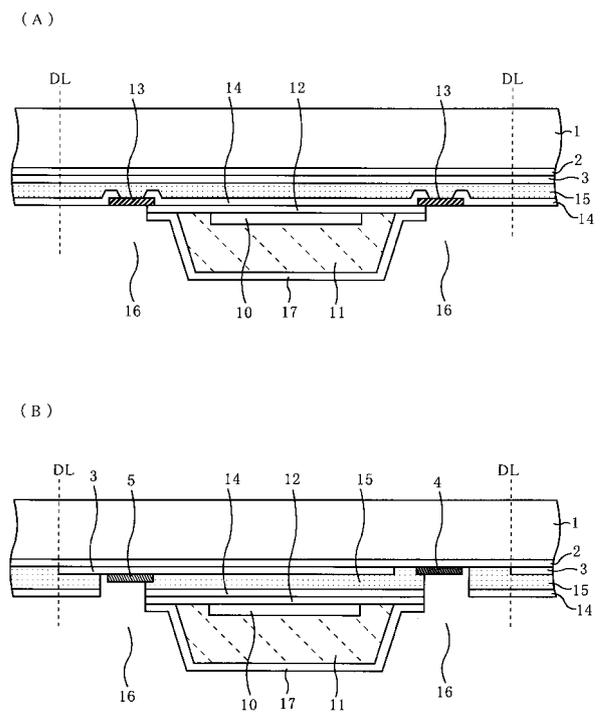
【図7】



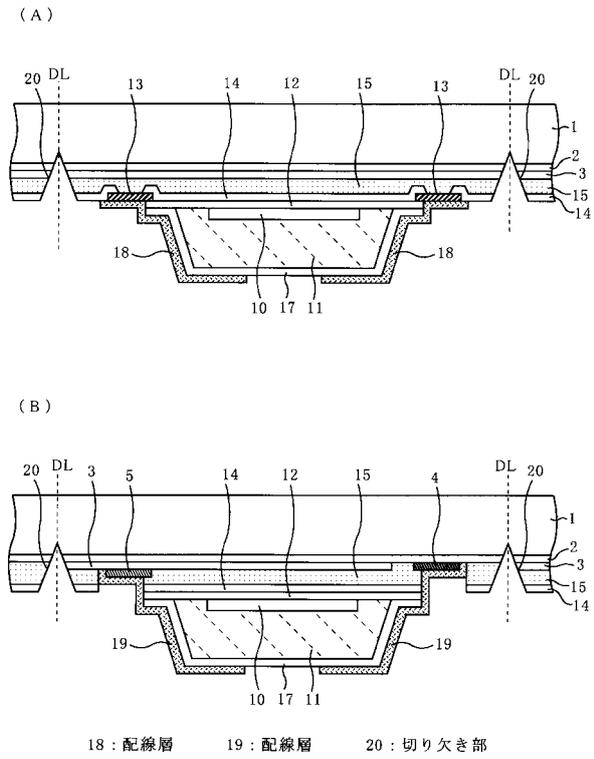
【図8】



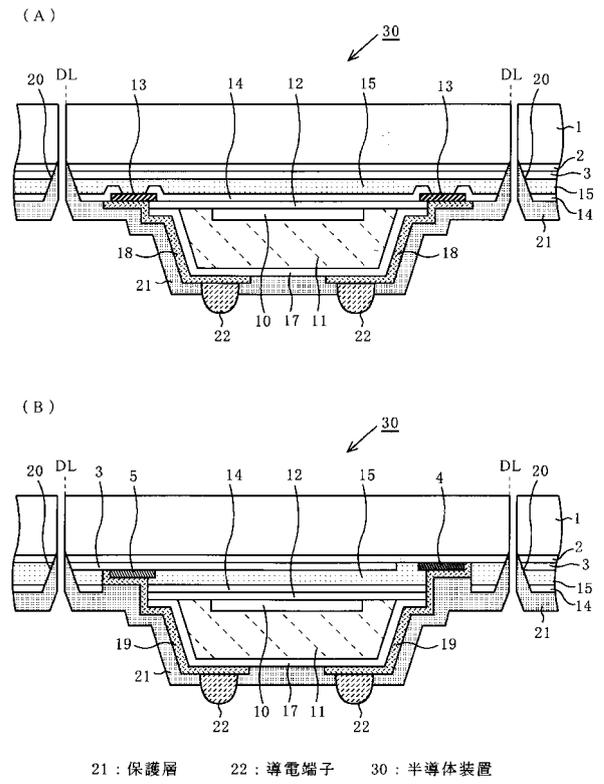
【図9】



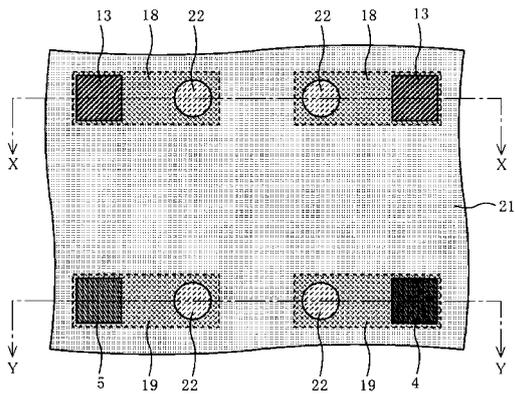
【図 10】



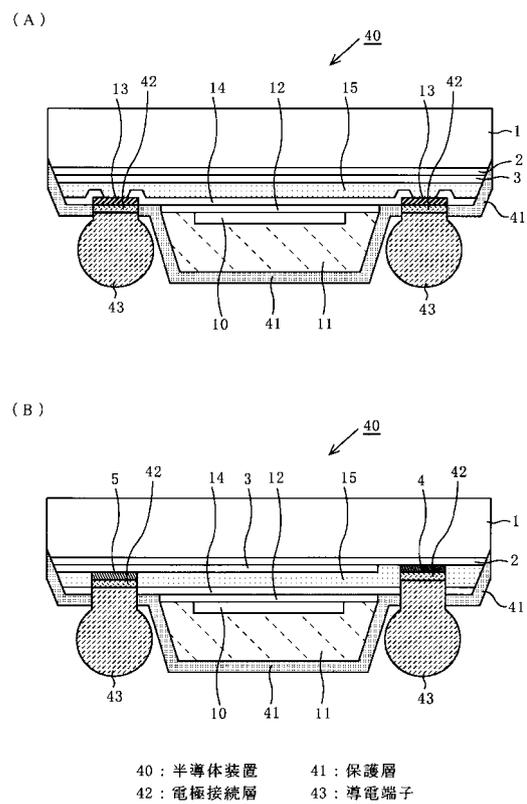
【図 11】



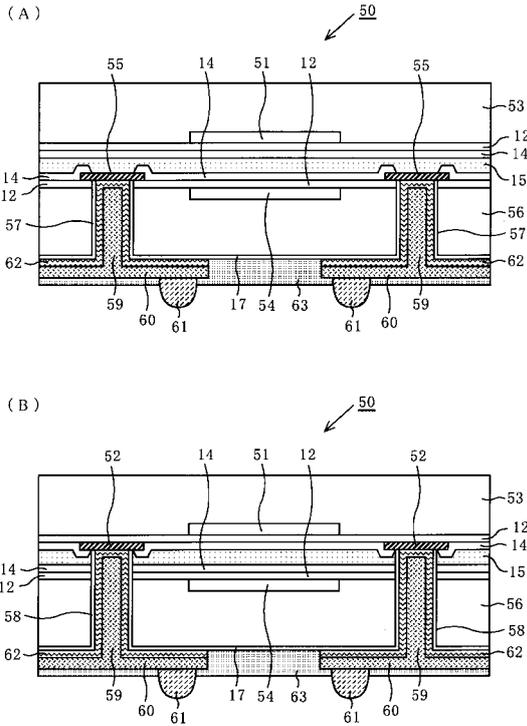
【図 12】



【図 13】

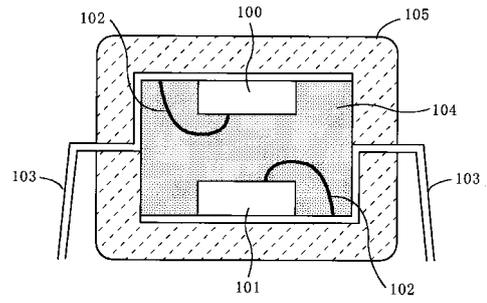


【 図 1 4 】



- |              |             |             |
|--------------|-------------|-------------|
| 50 : 半導体装置   | 51 : デバイス素子 | 52 : パッド電極  |
| 53 : 半導体基板   | 54 : デバイス素子 | 55 : パッド電極  |
| 56 : 半導体基板   | 57 : 第1の貫通孔 | 58 : 第2の貫通孔 |
| 59 : 貫通電極    | 60 : 配線層    | 61 : 導電端子   |
| 62 : バリアメタル層 | 63 : 保護層    |             |

【 図 1 5 】



- |            |             |                 |
|------------|-------------|-----------------|
| 100 : 発光素子 | 101 : 受光素子  | 102 : ボンディングワイヤ |
| 103 : リード  | 104 : 透明樹脂層 | 105 : モールド樹脂    |