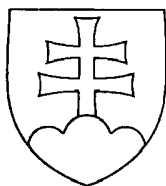


SLOVENSKÁ REPUBLIKA

(19) SK



ÚRAD
PRIEMYSELNÉHO
VLASTNÍCTVA
SLOVENSKEJ REPUBLIKY

ZVEREJNENÁ PRIHLÁŠKA VYNÁLEZU

- (22) Dátum podania: 23.08.95
(31) Číslo prioritnej prihlášky: P 44 31 415.9
(32) Dátum priority: 24.08.94
(33) Krajina priority: DE
(43) Dátum zverejnenia: 08.05.1996
(86) Číslo PCT:

(21) Číslo dokumentu:

1034-95

(13) Druh dokumentu: A3

(51) Int. Cl.⁶:

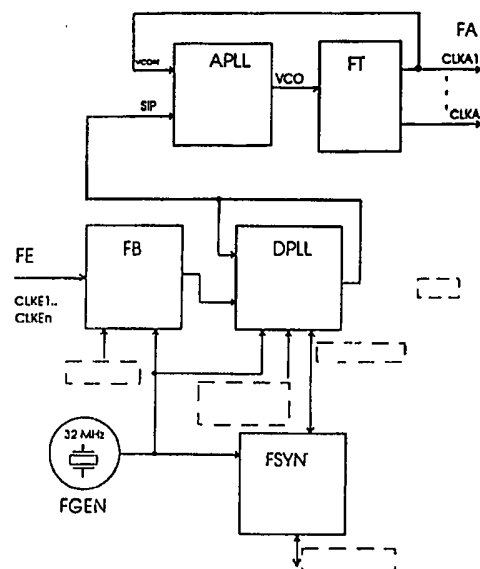
H 03L 7/06,
H 04L 7/00,
G 06F 1/12

(71) Prihlasovateľ: DeTeWe - Deutsche Telephonwerke Aktiengesellschaft, Berlin, DE;

(72) Pôvodca vynálezu: Egbers Jochen, Berlin, DE;
Huhn Karl-Eckardt, Berlin, DE;
George Rainer, Berlin, DE;
Nikolaus Riehm, Hamburg, DE;

(54) Názov prihlášky vynálezu: **Spôsob synchronizovania výstupných frekvencií taktovacieho generátora, zariadenia s externými vstupnými frekvenciami**

(57) Anotácia:
Spôsob synchronizovania výstupných frekvencií taktovacieho generátora napr. v telekomunikačných ústrediach s externými vstupnými frekvenciami vysokej presnosti, používa pomerne nepresnú pracovnú frekvenciu ako základnú frekvenciu pre taktovací generátor. Frekvenčným syntetizátorom (FSYN) sa prevedie základná frekvencia na presnú frekvenciu. Externé vstupné frekvencie (FE) sa prostredníctvom nastaviteľného zhodnocovacieho obvodu (FB) prevedú na normovanú frekvenciu, signálna frekvencia (SIP) vysiela digitálnym regulačným obvodom (DPLL) fázy sa synchronizuje s normovanou frekvenciou a frekvenčný delič (FT) vytvára systémove interné výstupné frekvencie (FA), pričom predradený analógový regulačný obvod (APLL) fáz vytvára korektúry k signálnej frekvencii (SIP), ktoré zabraňujú výskytu časových skokov výstupných frekvencií (FA).



Spôsob synchronizovania výstupných frekvencií taktovacieho generátora zariadenia s externými vstupnými frekvenciami

Oblasť techniky

Vynález sa týka spôsobu synchronizovania výstupných frekvencií taktovacieho generátora zariadenia s externými vstupnými frekvenciami vysokej presnosti.

Doterajší stav techniky

V digitálnych oznamovacích sieťach sa synchronizovanie siete vykonáva spôsobom hlavnej a podriadenej siete, (master - slave). Taktovací generátor riadi pritom priamo alebo prostredníctvom medzistupňov ako hlavné všetky sprostredkovacie pracoviská. Tieto sprostredkovacie pracoviská sú tiež príslušné na synchronizáciu napojených pobočkových sietí a pobočkových ústrední. To znamená, že sieťou, napr. ISDN-sieťou vysielané taktovacie impulzy sa napojenou telekomunikačnou ústredňou prevedú synchronne na potrebné taktovacie impulzy. Pokiaľ sa vyskytnú rýchle kmitania, fázové posuny zariadení pomalé kmitania vstupných signálov, potom sa v zodpovedajúcom rozsahu znižujú.

Podstata vynálezu

Úlohou vynálezu je navrhnúť pre taktovací generátor spôsob synchronizovania výstupných frekvencií s extrémnymi vstupnými frekvenciami, ktorý by zahrňoval rozpoznávanie fázového posunutia a znižoval chvenie fáze a zaisťoval preklenovanie výpadkov vysielaných taktovacích impulzov v zodpovedajúcom rozsahu. Použitie taktovacieho generátora má dovoliť použitie hospodárnych konštrukčných prvkov ako aj

rozsiahlu integráciu týchto konštrukčných prvkov.

Táto úloha je riešená kombináciou znakov:

Relatívne nepresná pracovná frekvencia slúži ako základná frekvencia pre taktovací generátor, ktorá sa frekvenčným syntetizátorom premení na presnú frekvenciu.

Externé vstupné frekvencie sa prevedú pomocou nastaviteľného zhodnocovacieho obvodu na normovanú frekvenciu.

Regulačným obvodom fáze vysielaná signálna frekvencia sa reguluje tak, aby bola synchronná s normovanou frekvenciou a frekvenčný delič vytvára systémovo interné výstupné frekvencie, pričom priradený analógový regulačný obvod vykonáva korektúry signálnych frekvencií, ktoré slúžia na zabránenie časových skokov výstupných frekvencií.

Prednosťou takéhoto taktovacieho generátora je použitie nie nákladného kremenného oscilátora s nepatrnými požiadavkami na presnosť, priestorová nenáročnosť daná možnosťou integrácie veľkých častí zapojenia do jedného konštrukčného dielu a využitie doterajšieho mikroprocesoru zariadenia, ktorý je len nepatrne zaťažený. Ďalej sa môže vhodným externým spínacím obvodom umožniť spätné hlásenie pre putovné zhodnotenie vlastnej frekvencie.

Ďalšie výhodné opatrenia sú predmetom podružných nárokov.

Prehľad obrázkov na výkrese

Vynález bude v ďalšom texte bližšie objasnený pomocou troch obrázkov, znázornených na výkresoch.

Obr. 1 ukazuje blokovú schému zapojenia taktovacieho

generátora.

Obr. 2 ukazuje príklad integrácie dielov taktovacieho generátora.

Obr. 3 ukazuje diagram priebehu dejov taktovacieho generátora.

Príklady vyhotovenia vynálezu

Taktovací generátor skladajúci sa podľa obr. 1 z frekvenčného generátora FGEN, frekvenčného zhodnocovacieho obvodu FB, digitálneho regulačného obvodu DPLL fáz, analógového regulačného obvodu APLL fáz, frekvenčného deliča FT. Taktovací generátor vytvára viac výstupných frekvencií FA s redukovaným chvením a s vysokou presnosťou synchronizácie so vstupnou frekvenciou FE.

Nastavenie taktovacieho generátora sa riadi prostredníctvom napríklad stávajúceho mikroprocesoru v telekomunikačnej ústredni, z ktorého sú na obr. 1 až 3 naznačené len ohlasovacie vstupy prípadne ohlasovacie výstupy.

Frekvenčný generátor FGEN slúži na vytváranie pracovnej frekvencie FWORK s relatívne nepresnú frekvenciou, napr. typickou 32 MHz +/- 100 ppm. Táto pracovná frekvencia FWORK je základnou frekvenciou pre celé zapojenie taktovacieho generátora. Privádza sa frekvenčnému zhodnocovaciemu obvodu FB, frekvenčnému syntetizátoru FSYN a digitálnemu regulačnému obvodu DPLL fáz. Na použitie nákladovo výhodných kremíkových oscilátorov je potrebné uvážiť iba ich krátkodobé starnutie a teplotné pomery.

Frekvenčný syntetizátor FSYN je spojený s digitálnym regulačným obvodom DPLL fáz a s riadiacim mikroprocesorom

napr. telekomunikačnej ústredni. Frekvenčný syntetizátor FSYN zaisťuje z hľadiska presnosti pracovnej frekvencie FWORK korekčné hodnoty pre digitálny regulačný obvod DPLL fáz. Informácie o korekčných hodnotách sa napr. mikroprocesorom telekomunikačnej ústredni zapamätá ako iniciačná hodnota pre frekvenčný syntetizátor FSYN.

Ak vypadne vstupná frekvencia FE, alebo ak sa iniciuje napr. telekomunikačná ústredňa, privedú sa prostredníctvom mikroprocesora posledne zapamätaná hodnota frekvenčnému syntetizátoru FSYN. Tento postup zaručuje, že predtým dosiahnutá presnosť výstupnej frekvencie FA sa taktovacím generátorom bez frekvenčných a fázových skokov udrží.

Nastaviteľný frekvenčný zhodnocovací obvod FB skúma vstupnú frekvenciu FE pri každom novom napojení iných taktovacích impulzov či dodržiava frekvenčné obmedzenie za určitý časový úsek, napr. 2 ms a normuje pre ďalšie spracovanie vstupnej frekvencie FE na normovanú frekvenciu FNOR, napr. 8 kHz. Zavedením normovanej frekvencie FNOR je taktovací generátor nezávislý na privedenej vstupnej frekvencii FE, napr. typickej $CLKE1 = 1,536 \text{ MHz}$ alebo $CLKE2 = 2,048 \text{ MHz}$.

Pre taktovací generátor platné pásma vstupných frekvencií FE sú vopred určovaná mikroprocesorom napr. telekomunikačnej ústredni a programovaná frekvenčným zhodnocovacím obvodom FB.

Digitálny regulačný obvod DPLL fáz reguluje svojou vysielanou signálnou frekvenciou FNOR tak, že je vždy synchronný s normovanou frekvenciou FNOR. Tým sa zmenší fázové kmitanie vstupnej frekvencie FE. Zmena signálnej frekvencie SIP digitálneho regulačného obvodu DPLL sa dosiahne zavedením alebo vypustením impulzov výstupného bitového prúdu. Pre ten účel sa informácia frekvenčného syntetizátora FSYN a

digitálneho regulačného obvodu DPLL zhromažďujú a použijú sa na riadenie bitového prúdu. Filtračné vlastnosti a filtračné pásmo digitálneho regulačného obvodu DPLL fáze sú programovateľné mikroprocesorom, napr. telekomunikačnej ústredni.

Analógový regulačný obvod APLL fáz slúži na zabránenie časových skokov výstupných frekvencií FA pomocou korektúr signálnej frekvencie SIP digitálneho regulačného obvodu DPLL fáz. Zapnutie taktovacieho generátora po jeho spätnom nastavení je úlohou analógového regulačného obvodu APLL fáz pre výstupnú frekvenciu FA, pokiaľ digitálny regulačný obvod DPLL fáz nie je ešte v prevádzkovej pohotovosti.

Frekvenčný delič FT prevádza vysokú frekvenciu VCO analógového regulačného obvodu APLL fáz na požadované vnútorné výstupné frekvencie FA systému, napr. na $CLKA1 = 2,048 \text{ MHz}$ a $CLKA2 = 8,192 \text{ MHz}$.

Ako možno z obr. 2 poznať, dajú sa hospodárnym spôsobom frekvenčný zhodnocovací obvod FB, digitálny regulačný obvod DPLL, frekvenčný syntetizátor FSYN a frekvenčný delič FT integrovať do obvodu taktovacieho generátora TG-ASC.

Ako frekvenčný generátor FGEN slúži, ako bolo už uvedené, kremíkový oscilátor vysokej frekvencie s malou presnosťou.

Ako analógový regulačný obvod fáz APLL sa použije nákladovo výhodný štandardný spínací obvod.

Taktovací generátor TG-ASIC, frekvenčný generátor FGEN a analógový regulačný obvod APLL môžu sa tiež integrovať do konštrukčného prvku, špecifikovaného zákazníkom.

Na obr. 3 je znázornený diagram priebehu činnosti

taktovacieho generátora vo forme vývojového diagramu, z ktorého je zrejmá jeho funkcia. Po jeho vrátení do východiskovej polohy sú regulačnému obvodu DPLL fáz oznamované mikroprocesorom MP filtračné vlastnosti a pásma priepustnosti. Tak isto sa oznamujú frekvenčnému syntetizátoru FSYN informácie o posledne dosiahnutej výstupnej frekvencii prípadne iniciačnej hodnoty pri prvom zapojení. Potom sa oznámi mikroprocesorom MP frekvenčnému zhodnocovaciemu obvodu FB platné frekvenčné pásma pre prichádzajúce vstupné frekvencie FE. Po štarte mikroprocesorom MP sa vykonáva regulácia, ako je znázornené na obr. 3. Pritom sa tiež berie do úvahy vyhodnotenie posunovania vstupnej frekvencie FE tak, že sa využije spätné hlásenie externého spínacieho obvodu a znižuje sa kmitanie.

Po dosiahnutí synchronizovaného stavu sa preskúšavajú medze regulačného pásma taktovacím generátorom. Výpad vstupnej frekvencie FE je rozpoznávaný taktovacím generátorom. Pokiaľ je taktovací generátor synchronný, zisťujú sa pravidelne mikroprocesorom MP aktuálne nastavené hodnoty, aby sa pri novom štarte alebo výpadku vstupnej frekvencie FE použili ako nové iniciačné hodnoty pre frekvenčný syntetizátor FSYN.

P A T E N T O V É N Á R O K Y

1. Spôsob synchronizovania výstupných frekvencií taktovacieho generátora zariadenia s externými výstupnými frekvenciami vysokej presnosti, v y z n a č u j ú c i s a t ý m, že relatívne nepresná pracovná frekvencia (FWORK) slúži ako základná frekvencia pre taktovací generátor, ktorá sa frekvenčným syntetizátorom (FSYN) premení na presnú frekvenciu, externé vstupné frekvencie (FE) sa prevedú prostredníctvom nastavovacieho frekvenčného zhodnocovacieho obvodu (FB) na normovanú frekvenciu (NOR) digitálnym regulačným obvodom (DPLL) fáz, vysielaná signálna frekvencia (SIP) sa reguluje synchronne s normovanou frekvenciou (FNOR) a frekvenčný delič (FT) vytvára interné výstupné frekvencie (FA) systému, pričom predradený analógový regulačný obvod (APLL) fáze vytvára korektúry signálnej frekvencie (SIP), ktoré slúžia na zabránenie časových skokov výstupných frekvencií (FA).

2. Spôsob podľa nároku 1, v y z n a č u j ú c i s a t ý m, že na riadenie taktovacieho generátora sa použije ľubovoľný, napr. v telekomunikačnej ústredni stávajúci mikroprocesor.

3. Spôsob podľa nároku 1 a 2, v y z n a č u j ú c i s a t ý m, že pri výpadku vstupnej frekvencie (FE) taktovací generátor zachová prostredníctvom posledne frekvenčným syntetizátorom (FSYN) zistených hodnôt pred tým dosahované presnosti výstupnej frekvencie (FA) bez frekvenčných a fázových skokov.

4. Spôsob podľa nároku 1 a 2, v y z n a č u j ú c i s a t ý m, že pracovná frekvencia (FWORK) sa vytvára kremíkovým oscilátorom nepatrnej presnosti frekvenčného generátora (FGEN).

5. Spôsob podľa nároku 1 a 2, v y z n a č u j ú c i s a t ý m, že pri prevode pracovnej frekvencie (FWORK) na presnú frekvenciu sa frekvenčným syntetizátorom (FSYN) zistené korekčné hodnoty ukladajú do pamäti v použítom mikroprocesore.

6. Spôsob podľa nároku 1 a 2, v y z n a č u j ú c i s a t ý m, že frekvenčný zhodnocovací obvod (FB) pri novom zopnutí taktovacieho generátora skúma vstupnú frekvenciu (FE) počas určitého časového úseku na dodržovanie vopred zadaných frekvenčných medzí.

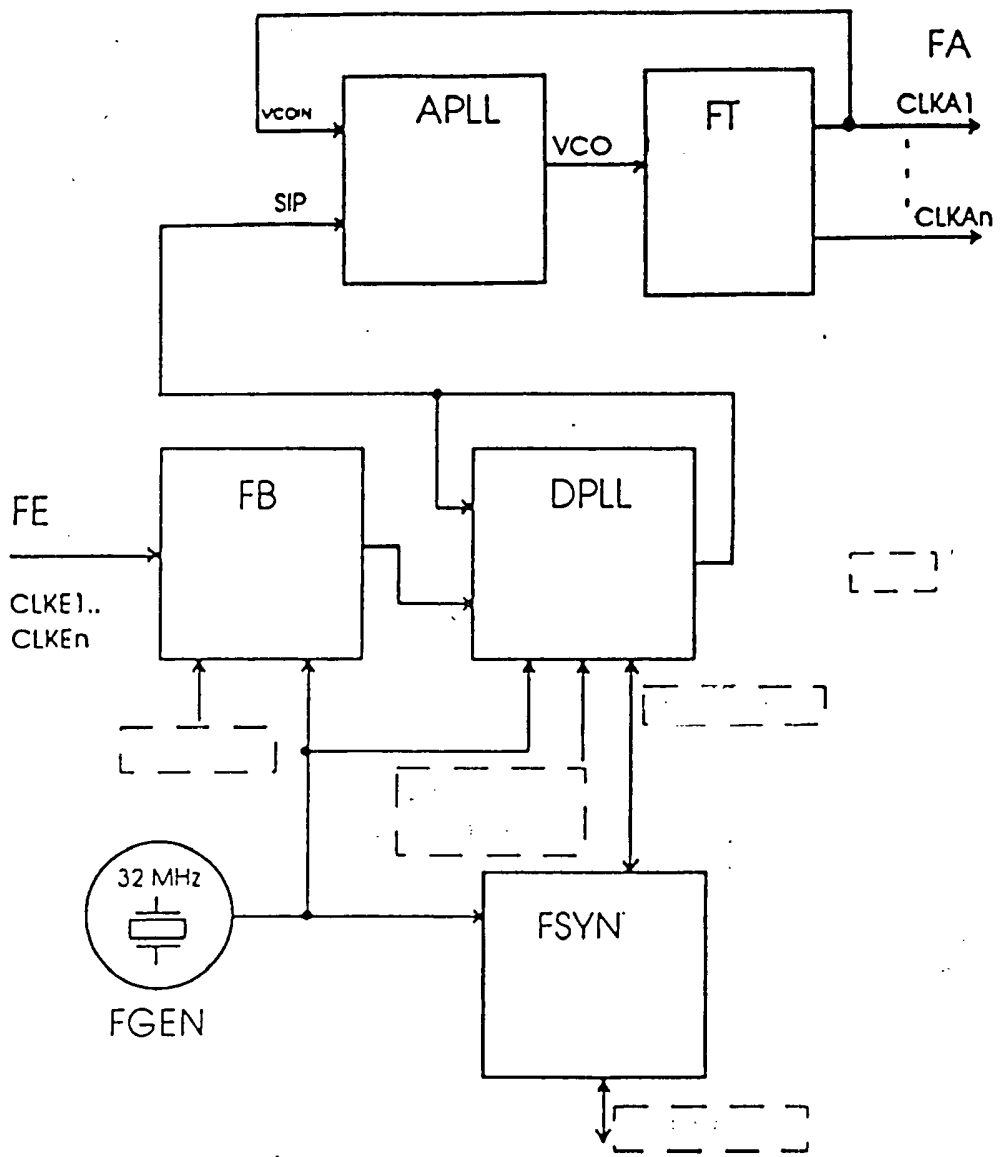
7. Spôsob podľa nároku 1 a 2, v y z n a č u j ú c i s a t ý m, že na synchronizovanie signálnej frekvencie (SIP) s normovanou frekvenciou (FNOR) sa združujú informácie frekvenčného syntetizátora (FSYN) a digitálneho regulačného obvodu (DPLL) fáz a použijú sa na riadenie.

8. Zariadenie na vykonávanie spôsobu podľa nárokov 1 až 7, v y z n a č u j ú c e s a t ý m, že frekvenčný syntetizátor (FSYN), frekvenčný zhodnocovací obvod (FB), digitálny regulačný obvod (DPLL) fáze a frekvenčný delič (FT) sú integrované v obvode taktovacieho generátora (TG-ASIC).

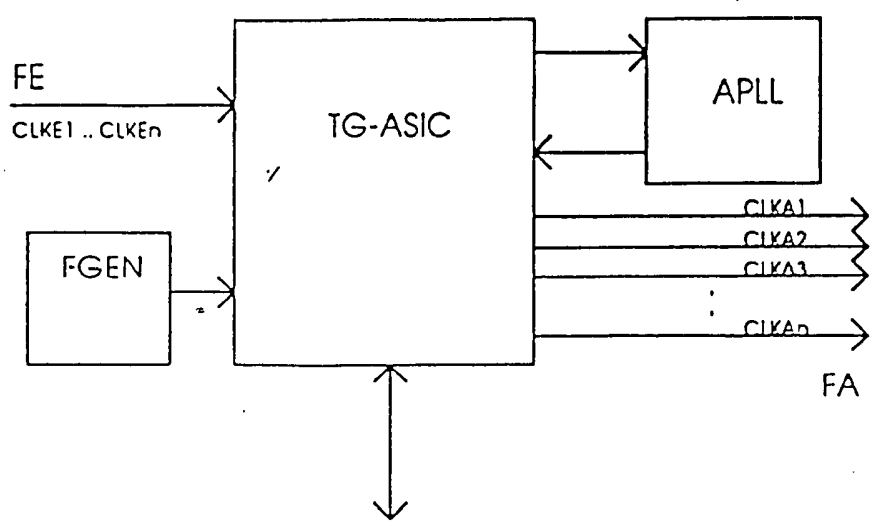
Z o z n a m
použitých vzťahových značiek

| | |
|---------|--------------------------------|
| FWORK | pracovná frekvencia |
| FSYN | frekvenčný syntetizátor |
| FE | vstupná frekvencia |
| FB | frekvenčný zhodnocovací obvod |
| FNOR | normovaná frekvencia |
| DPLL | digitálny regulačný obvod fáze |
| SIP | signálna frekvencia |
| FT | frekvenčný delič |
| FA | výstupná frekvencia |
| APLL | analógový regulačný obvod |
| FGEN | frekvenčný generátor |
| TG-ASIC | obvod taktovacieho generátora |
| MP | mikroprocesor |

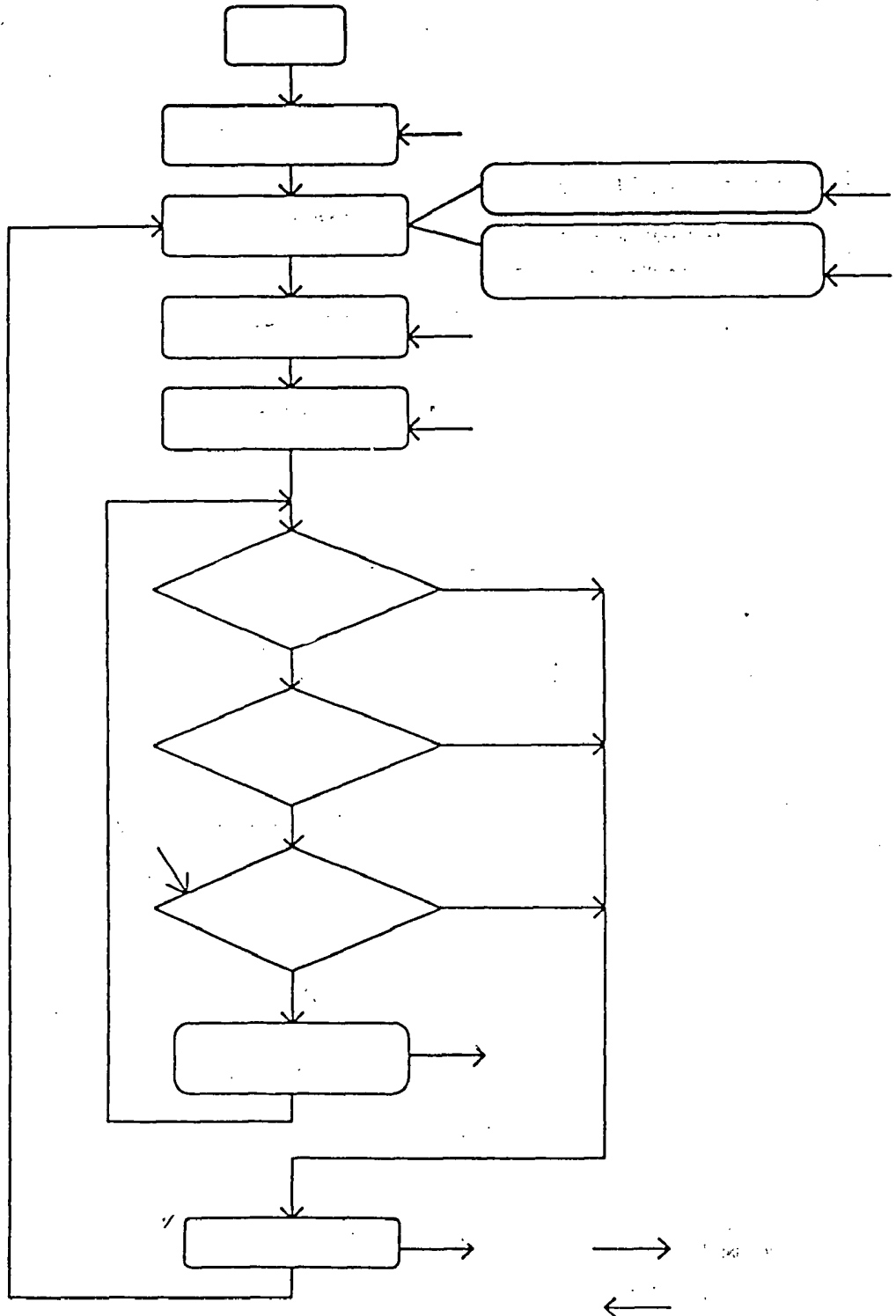
PV 1034-95
Zier



Obr. 1



Obr. 2



Обр. 3