

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3652322号

(P3652322)

(45) 発行日 平成17年5月25日(2005.5.25)

(24) 登録日 平成17年3月4日(2005.3.4)

(51) Int. Cl.⁷

F I

H O 1 L 29/78

H O 1 L 29/78 6 5 2 C

H O 1 L 21/336

H O 1 L 29/78 6 5 2 H

H O 1 L 29/78 6 5 2 Z

H O 1 L 29/78 6 5 3 A

H O 1 L 29/78 6 5 8 Z

請求項の数 8 (全 12 頁)

(21) 出願番号 特願2002-127830 (P2002-127830)
 (22) 出願日 平成14年4月30日(2002.4.30)
 (65) 公開番号 特開2003-324196 (P2003-324196A)
 (43) 公開日 平成15年11月14日(2003.11.14)
 審査請求日 平成14年4月30日(2002.4.30)

(73) 特許権者 302062931
 N E Cエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部1753番地
 (74) 代理人 100081433
 弁理士 鈴木 章夫
 (72) 発明者 隅田 涉
 東京都港区芝五丁目7番1号 日本電気株
 式会社内

審査官 小野田 誠

(56) 参考文献 特開2001-345444 (JP, A)
)
 特開2002-217415 (JP, A)
)

最終頁に続く

(54) 【発明の名称】 縦型MOSFETとその製造方法

(57) 【特許請求の範囲】

【請求項1】

一導電型の基板上一導電型の高抵抗ドリフト層を有し、前記高抵抗ドリフト層の表面領域に反対導電型のベース層と一導電型のソース層とゲート電極とを備える縦型MOSFETにおいて、前記ゲート電極を挟む領域にトレンチを有し、前記トレンチ内の下部は絶縁膜が埋設されるとともに、その上部には前記ソース層及びベース層と電気的に接触する電極が埋設されるトレンチ型バックゲート部を有し、前記トレンチ型バックゲート部の直下には反対導電型の不純物層を備えることを特徴とする縦型MOSFET。

【請求項2】

前記反対導電型の不純物層は、深さの異なる位置に存在して深さ方向に連続している複数の不純物層で構成されていることを特徴とする請求項1に記載の縦型MOSFET。

10

【請求項3】

前記反対導電型の不純物層は、深さの異なる位置に存在して深さ方向に離れている複数の不純物層で構成されていることを特徴とする請求項1に記載の縦型MOSFET。

【請求項4】

前記ゲート電極は前記ソース層及びベース層を通して形成されたトレンチ内にゲート絶縁膜を介して導電材料が埋設されたトレンチ型ゲート電極であることを特徴とする請求項1ないし3のいずれかに記載の縦型MOSFET。

【請求項5】

前記ゲート電極は前記ソース層の表面上にゲート絶縁膜を介して形成されたプレーナ型ゲ

20

ート電極であることを特徴とする請求項 1 ないし 3 のいずれかに記載の縦型 MOSFET。

【請求項 6】

前記ソース層上に層間絶縁膜が被着され、前記層間絶縁膜に開口されたコンタクト開口を通して前記ソース層及びベース層に接続されるソース電極が設けられ、前記コンタクト開口内には前記ソース電極とは別の導電材料が埋設されていることを特徴とする請求項 1 ないし 5 のいずれかに記載の縦型 MOSFET。

【請求項 7】

一導電型の基板上に一導電型の高抵抗のドリフト層を形成する工程と、前記ドリフト層の表面領域に反対導電型のベース層と一導電型のソース層を形成する工程と、前記ベース層及びソース層に対してゲート絶縁膜を介して対向配置されるゲート電極を形成する工程とを含む縦型 MOSFET の製造方法において、前記ゲート電極を挟む領域において高抵抗ドリフト層に表面からトレンチを形成する工程と、前記トレンチの底面に反対導電型の不純物をイオン注入して前記トレンチの直下の前記高抵抗のドリフト層に反対導電型の不純物層を形成する工程と、前記トレンチ内の下部に絶縁物を埋設し、その上部に前記ソース層及びベース層と電気的に接触する電極を埋設する工程とを備えることを特徴とする縦型 MOSFET の製造方法。

10

【請求項 8】

前記イオン注入は前記高抵抗のドリフト層の異なる深さ位置に対して複数回のイオン注入を行って深さの異なる位置にそれぞれ不純物層を形成する工程を含むことを特徴とする請求項 7 に記載の縦型 MOSFET の製造方法。

20

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は縦型 MOSFET に関し、特にドレイン - ソース間耐圧を低下させることなくドリフト抵抗を低減した縦型 MOSFET とその製造方法に関するものである。

【0002】

【従来の技術】

図 7 に従来の一般的な縦型 MOSFET を示す。この縦型 MOSFET は、 N^+ 型基板 201 上に高抵抗ドリフト層となる N^- 型エピタキシャル層 202 が形成され、その表面の所要領域に P 型ベース層 203 が形成され、この P 型ベース層 203 には N^+ 型ソース層 204 と P^+ 型ベース層 205 が形成されている。また、P 型ベース層 203 内には表面からトレンチ 207 が形成され、このトレンチ 207 内にゲート絶縁膜 208 及びゲートポリシリコン 209 が埋め込まれてトレンチ型ゲート電極 206 が形成されている。また、表面を覆う層間絶縁膜 210 上には前記 N^+ 型ソース層 204 と P^+ 型ベース層 205 に接続されるソース電極 211 が形成されている。また、前記 N^+ 型基板 201 の裏面にはドレイン電極 212 が形成されている。

30

【0003】

このような縦型 MOSFET では、ドリフト抵抗を低減するためには高抵抗ドリフト層 (N^- 型エピタキシャル層) 202 の濃度を高く設定することが好ましい。しかしながら、ドレイン - ソース間電圧印加時に、P 型ベース層 203 と高抵抗ドリフト層 202 との間で縦方向のみに空乏化するため、空乏層が伸びていく段階で電界強度が臨界電界を超え、また、ドレイン - ソース間耐圧低下の要因となる電界集中を起こしやすいため、ある一定のドレイン - ソース間耐圧を確保するには、高抵抗ドリフト層濃度をある一定濃度以上にすることができないという限界があった。

40

【0004】

このような問題に対し、ドリフト抵抗の低減とドレイン - ソース間耐圧の向上を図った縦型 MOSFET が提案されている。例えば、特開 2001 - 119022 公報に記載の第 1 の技術は、図 8 に示すように、P 型ベース層 203 の直下の高抵抗ドリフト層 202 に複数の P^- 型層 213 を縦方向 (基板の厚み方向) に積層配置し、高抵抗ドリフト層 20

50

2に並列したPN接合を形成したものである。なお、この例はプレーナ型ゲート電極の縦型MOSFETの例であるが、図7と等価な部分には同一符号を付して説明は省略している。このように構成することで、縦型MOSFETのオフ状態でのドレイン-ソース間電圧印加時に、P型ベース層と高抵抗ドリフト層間の縦方向だけでなく、P⁻型層213と高抵抗ドリフト層202を横方向にも空乏化することで、P⁻型層を形成しない形態の縦型MOSFETに比べ、同一耐圧でも高抵抗ドリフト層の濃度を高く設定でき、ドリフト抵抗を低減することが可能になる。また、500V以上の高耐圧縦型MOSFETを得ることができる。

【0005】

また、特開2000-260982公報に記載の第2の技術は、図9に示すように、高抵抗ドリフト層としてのN⁻型エピタキシャル層202に縦方向のトレンチ214を形成し、この溝内にP型ベース203につながるP⁻型エピタキシャル層215を成長することで、高抵抗ドリフト層202に並列したPN接合を形成したものである。なお、図8の第1の技術と等価な部分には同一符号を付してある。この第2の技術によれば、図8の技術と同様に所要の耐圧を保持しながらも高抵抗ドリフト層の濃度を高く設定でき、ドリフト抵抗を低減することが可能になる。

【0006】

【発明が解決しようとする課題】

しかしながら、第1の技術では、P⁻型層を高抵抗ドリフト層の厚み方向に連続した状態に形成するために、N⁻型エピタキシャル層を薄く成長した上でP型不純物を注入する工程を複数回繰り返しながら積層し、その上で熱処理してP型不純物を活性化して所要の厚さの高抵抗ドリフト層を形成する手法であるため、深く縦長にP⁻型層を形成できるが、工程が長くなり価格が高くなるという問題がある。また、第2の技術では、N⁻型エピタキシャル層の表面から選択的にトレンチエッチを行い、トレンチ内部にP⁻型エピタキシャル層を成長して埋め込む方法であるため、深いトレンチエッチングや選択的なエピタキシャル成長において技術的困難が伴ない、価格が高くなるという問題が生じる。

【0007】

本発明の目的は、150V程度の中耐圧を確保しながらもドリフト抵抗を低減し、かつ製造が容易で低価格化が実現できる縦型MOSFETとその製造方法を提供するものである。

【0008】

【課題を解決するための手段】

本発明は、一導電型の基板上に一導電型の高抵抗ドリフト層を有し、高抵抗ドリフト層の表面領域に反対導電型のベース層と一導電型のソース層とゲート電極とを備える縦型MOSFETにおいて、ゲート電極を挟む領域にトレンチを有し、前記トレンチ内の下部は絶縁物が埋設されるとともに、その上部には前記ソース層及びベース層と電氣的に接触する電極が埋設されるトレンチ型バックゲート部を有し、トレンチ型バックゲート部の直下には反対導電型の不純物層を備えることを特徴としている。ここで、反対導電型の不純物層は、深さの異なる位置に存在して深さ方向に連続している複数の不純物層、あるいは深さ方向に離れている複数の不純物層で構成される。

【0009】

また、本発明では、ゲート電極はソース層及びベース層を通して形成されたトレンチ内にゲート絶縁膜を介して導電材料が埋設されたトレンチ型ゲート電極で構成される。あるいは、ゲート電極はソース層の表面上にゲート絶縁膜を介して形成されたプレーナ型ゲート電極で構成される。また、本発明では、ソース層上に層間絶縁膜が被着され、層間絶縁膜に開口されたコンタクト開口を通してソース層及びベース層に接続されるソース電極が設けられ、コンタクト開口内にはソース電極とは別の導電材料が埋設されている構成としてもよい。

【0010】

本発明の製造方法は、一導電型の基板上に一導電型の高抵抗のドリフト層を形成する工

10

20

30

40

50

程と、前記ドリフト層の表面領域に反対導電型のベース層と一導電型のソース層を形成する工程と、ベース層及びソース層に対してゲート絶縁膜を介して対向配置されるゲート電極を形成する工程とを含む縦型MOSFETの製造方法において、ゲート電極を挟む領域において高抵抗ドリフト層に表面からトレンチを形成する工程と、トレンチの底面に反対導電型の不純物をイオン注入してトレンチの直下の高抵抗のドリフト層に反対導電型の不純物層を形成する工程と、前記トレンチ内の下部に絶縁物を埋設し、その上部に前記ソース層及びベース層と電氣的に接触する電極を埋設する工程とを備えている。ここで、イオン注入は高抵抗のドリフト層の異なる深さ位置に対して複数回のイオン注入を行って深さの異なる位置にそれぞれ不純物層を形成する工程を含むことが好ましい。

【0011】

本発明の縦型MOSFETによれば、トレンチ型バックゲート部の下層に深さ方向に延びるドリフト層と反対導電型の不純物層の存在により、ドレイン-ソース間電圧印加時にベース層と高抵抗ドリフト層間の縦方向だけでなく、トレンチ型バックゲート部下の不純物と高抵抗ドリフト層を横方向にも空乏化することで、ドレイン-ソース間耐圧低下の要因となる電界集中を緩和し、耐圧を向上させることができ、高抵抗ドリフト層の濃度を高く設定してドリフト抵抗を低減できる。また、トレンチ型バックゲート部はトレンチ内に絶縁物を埋設した構成とすることで、ドレイン-ソース間電圧印加時にトレンチ型バックゲート部下の不純物層及びベース層内部に伸びる空乏層のソース電極へのリーチスルーによる耐圧低下を防止することができる。さらに、トレンチ内の上部にソース層及びベース層と電氣的に接触する電極が埋設されるので、トレンチ型バックゲート部をソースコンタ

【0012】

【発明の実施の形態】

次に、本発明の実施形態を図面を参照して説明する。図1は本発明の縦型MOSFETの第1の実施形態の断面図である。低抵抗ドリフト層である N^+ 型半導体基板101上に高抵抗ドリフト層である N^- 型エピタキシャル層102が形成されている。前記 N^+ 型半導体基板101は例えば、 N 型不純物が $2E19/cm^3$ の濃度であり、 N^- 型エピタキシャル層102は例えば N 型不純物が $3E15/cm^3$ の濃度である。さらに、その上に P

【0013】

また、前記トレンチ型ゲート電極105を挟む領域、ここでは複数のトレンチ型ゲート電極が並列状態に配列されているので各トレンチ型ゲート電極の相互間の領域には表面から前記 P 型ベース層103よりも深く N^- 型エピタキシャル層102に達するトレンチ型バックゲート部109が形成されている。このトレンチ型バックゲート部109は、トレンチ110の内部に酸化膜111が埋め込まれた構成とされている。このトレンチ型バックゲート部109の直下の前記 N^- 型エピタキシャル層102には P^- 型層112が深さ方向に形成されている。ここでは、それぞれ異なる深さに形成された2つの P^- 型層112が深さ方向に連続した状態に形成されている。これら P^- 型層112の P 型不純物の濃度は中心と周辺部とで若干異なるが、平均して $3E15/cm^3$ の濃度とされている。因みに、中心部では $1E16/cm^3$ オーダ、周辺部は $1E15/cm^3$ オーダである。さらに、前記トレンチ型バックゲート部109の周囲の前記 N^+ 型ソース層104の下層には前記 P 型ベース層103に接する P^+ 型ベース層113が形成されている。この P^+ 型ベー

10

20

30

40

50

ス層 1 1 3 の P 型不純物の濃度は例えば $1 E 1 9 / c m^3$ 程度とされている。その上で、全面に層間絶縁膜 1 1 4 が被着されるとともに、この層間絶縁膜 1 1 4 において前記 P⁺ 型ベース層 1 1 3 を含む領域が開口されたコンタクト開口 1 1 5 内において前記 N⁺ 型ソース層 1 0 4 及び P⁺ 型ベース層 1 1 3 に接するソース電極 1 1 6 が形成されている。なお、前記 N⁺ 型半導体基板 1 0 1 の裏面にはドレイン電極 1 1 7 が形成されている。

【 0 0 1 4 】

以上の構成の縦型 MOSFET の製造方法を図 2 ~ 図 3 を参照して説明する。まず、図 2 (a) のように、低抵抗ドリフト層としての N⁺ 型半導体基板 1 0 1 上に高低抵抗ドリフト層としての N⁻ 型エピタキシャル層 1 0 2 を成長する。そして、N⁻ 型エピタキシャル層 1 0 2 の表面上にフォトレジストを塗布し、かつ後にトレンチ型バックゲート部を形成する領域を開口したレジストパターン PR 1 を形成する。次いで、このレジストパターン PR 1 をマスクに用いて前記 N⁻ 型エピタキシャル層 1 0 2 を所要の深さまで選択エッチングしてトレンチ 1 1 0 を形成する。

10

【 0 0 1 5 】

次いで、図 2 (b) のように、表面からボロン等の P 型イオンを入射角度 0 ° でイオン注入し、トレンチ底部に選択的に導入してイオン注入層 1 1 2 a を形成する。このとき、イオン注入エネルギーを変えて、注入の深さ位置を数箇所に分けている。ここでは、イオン注入の深さ位置を異なる 2 箇所にしている。この時、高エネルギーイオン注入を行えば、より深い位置にイオン注入することができることは言うまでもない。

【 0 0 1 6 】

次いで、図 2 (c) のように、前記レジストパターンを除去した後、熱処理を施し、イオン注入した深さ方向に異なる 2 箇所の P 型不純物を拡散し、それぞれ P⁻ 型層 1 1 2 を形成する。ここでは、各 P⁻ 型層 1 1 2 は深さ方向及び平面方向に拡散し、この拡散によって各 P⁻ 型層 1 1 2 は連結して深さ方向に一体化した P⁻ 型層として形成されることになる。

20

【 0 0 1 7 】

次いで、図 2 (d) のように、全面に CVD 法等によって酸化膜を十分な厚さに成長して前記トレンチ 1 1 0 を埋め込むと共に、当該酸化膜をエッチバックして表面上の酸化膜は除去する一方でトレンチ 1 1 0 の内部にのみ酸化膜 1 1 1 を残す。これにより、トレンチ型バックゲート部 1 0 9 が形成される。

30

【 0 0 1 8 】

次いで、図 3 (a) のように、全面に P 型不純物をイオン注入し、かつ熱処理により活性化して N⁻ 型エピタキシャル層 1 0 2 の表面に P 型ベース層 1 0 3 を形成する。さらに、形成された P 型ベース層 1 0 3 の表面に N 型不純物をイオン注入し、かつ熱処理して当該表面に N⁺ 型ソース層 1 0 4 を形成する。さらに、図外のフォトレジストでレジストパターンを形成し、前記 N⁺ 型ソース層 1 0 4、P⁺ 型ベース層 1 0 3 をエッチングしてトレンチ 1 0 6 を形成する。そして、このトレンチ 1 0 6 の内面にゲート絶縁膜 1 0 7 を形成し、その内部にポリシリコン 1 0 8 を埋設し、トレンチ型ゲート電極 1 0 5 を形成する。

【 0 0 1 9 】

次いで、図 3 (b) のように、前記 N⁺ 型ソース層 1 0 5 の表面上に酸化膜等の層間絶縁膜 1 1 4 を成長した後、フォトレジストをパターンニングしたレジストパターンをマスクにして当該層間絶縁膜 1 1 4 を選択的にエッチングし、前記トレンチ型バックゲート部 1 0 9 よりも若干広い領域を開口してコンタクト開口 1 1 5 を形成する。また、このエッチング時には、前記 N⁺ 型ソース層 1 0 4 の下層の前記 P 型ベース層 1 0 3 の一部がトレンチ内に露出するように、トレンチ 1 1 0 内に埋設した前記酸化膜 1 1 1 の表面を一部エッチングする。

40

【 0 0 2 0 】

その後、図 3 (c) のように、P 型ベース層 1 0 3 とのオーム接触を行うために、前記 N⁺ 型ソース層 1 0 4 に対して前記層間絶縁膜 1 1 4 をマスクにしてフッ化ボロン等の P 型不純物をコンタクト開口 1 1 5 に対する斜め回転注入方法で行い、かつ活性化のための熱

50

処理を行なってトレンチ110の開口周縁部に沿うN⁺型ソース層104の下層にP⁺型ベース層113を形成する。

【0021】

しかる後、図3(d)のように、前記層間絶縁膜114上にAl(アルミニウム)等の金属層をスパッタ法等によって形成し、前記層間絶縁膜114のコンタクト開口115を介して前記N⁺型ソース層104及びP⁺型ベース層113にそれぞれ接続されるソース電極116を形成する。また、前記N⁺型半導体基板101の裏面に同様に金属層を形成してドレイン電極117を形成する。これにより、図1に示した縦型MOSFETが製造される。

【0022】

この構成の縦型MOSFETによれば、トレンチ型バックゲート部109の下層に深さ方向に延びるP⁻型層112は、図1の左側に示す電界分布となる。このP⁻型層112の存在により、ドレイン-ソース間電圧印加時にP型ベース層103と高抵抗ドリフト層102間の縦方向だけでなく、トレンチ型バックゲート部109の直下のP⁻型層112と高抵抗ドリフト層102を横方向にも空乏化することで、ドレイン-ソース間耐圧低下の要因となる電界集中を緩和し、トレンチ型バックゲート部下にP⁻型層を形成しない構造に比べて同一濃度の高抵抗ドリフト層でも耐圧を向上させることができ、また、同一耐圧でも、高抵抗ドリフト層の濃度を高く設定でき、ドリフト抵抗を低減できる。また、トレンチ型バックゲート部109はトレンチ110内に絶縁物111を埋設した構成とすることで、ドレイン-ソース間電圧印加時にトレンチ型バックゲート部109の直のP⁻型層112及び、P型ベース層103内部に伸びる空乏層のソース電極116へのリーチスルーによる耐圧低下を防止する。この縦型MOSFETでは、特に150V前後の中耐圧系において、ドレイン-ソース間耐圧を低下させることなく、ドリフト抵抗を低減できる

【0023】

また、以上説明した製造方法では、トレンチ110の底面に不純物をイオン注入してP⁻型層112を形成し、しかも異なるエネルギーで複数のイオン注入を行うことで高抵抗ドリフト層の深さ方向に並んだ複数のP⁻型層112を形成して任意の深さのP⁻型層112を形成することができるので、従来技術のようなドリフト層を積層形成する技術や選択エッチング及び選択エピタキシャル成長の技術に比較して製造を容易に行うことが可能になる。

【0024】

ここで、図2(a)の工程において、トレンチ110をエッチングする際のマスク材に窒化膜と酸化膜を用いて、その後の熱酸化によりトレンチの直角な箇所を丸め、絶縁物の埋め込み性を向上させたり、直角な部分を無くすことでドレイン-ソース間電圧印加時に電界集中が起きにくくすることもできる。

【0025】

また、図3(d)の工程において、図4に示すように、層間絶縁膜114のコンタクト開口115内にW(タングステン)等の金属118を埋め込んだ後、Al層からなるソース電極116を形成することで、ソース電極116の表面を平坦化することも可能である。Wの埋込は、例えば全面にW膜を成長した後、化学機械研磨(CMP)法によって表面を平坦化する方法が採用可能である。

【0026】

また、前記実施形態では、P⁻型層112を成長するためのイオン注入は深さの異なる2箇所に対して行っているが、イオン注入のエネルギーを3以上に分けて、しかもより高いエネルギーで行うことで、高抵抗ドリフト層のさらに深い領域にまでP⁻型層112を形成することが可能である。

【0027】

図5は本発明の縦型MOSFETの第2の実施形態の断面図であり、図1と等価な部分には同一符号を付してある。低抵抗ドリフト層であるN⁺型半導体基板101上に高抵抗ドリフト層であるN⁻型エピタキシャル層102が形成され、さらに、その上にP型ベース

10

20

30

40

50

層103及びN⁺型ソース層104が積層状態に形成されている。そして、前記N⁺型ソース層104の表面からN⁻型エピタキシャル層102に達するトレンチゲート電極105が形成されている。また、前記トレンチゲート電極105を挟む領域には表面からN⁻型エピタキシャル層102に達するトレンチ型バックゲート部109が形成されている。そして、このトレンチ型バックゲート部109の直下の前記N⁻型エピタキシャル層102には互いに深さ方向に離された2つのP⁻型層112が形成されている。さらに、前記トレンチ型バックゲート部109の周囲の前記N⁺型ソース層104の下層には前記P型ベース層103に接するP⁺型ベース層113が形成されている。全面に層間絶縁膜114が被着されるとともに、コンタクト開口115において前記N⁺型ソース層104及びP⁺型ベース層113に接するソース電極116が形成されている。また、前記N⁺型半

10

【0028】

この第2の実施形態の縦型MOSFETの製造方法は第1の実施形態の製造方法とほぼ同じであるが、図2(b)に示したP⁻型層112を形成する際のイオン注入に際し、各P⁻型層112を形成する際のイオン注入のエネルギーの差を大きくすることで、各イオン注入の深さの差を大きくし、注入したイオンを活性化したときに各P⁻型層112が深さ方向に離れた位置に形成するようにすればよい。

【0029】

この第2の実施形態の縦型MOSFETでは、2つのP⁻型層112による深さ方向の電界分布は図5の左側に示す通りとなる。このように、P⁻型層112を深さ方向に離して形成した場合でも、第1の実施形態と同様に、トレンチ型バックゲート部109の直下のP⁻型層112により、ドレイン-ソース間電圧印加時にP型ベース層103と高抵抗ドリフト層102間の縦方向だけでなく、トレンチ型バックゲート部109の直下のP⁻型層と高抵抗ドリフト層を横方向にも空乏化し、ドレイン-ソース間耐圧低下の要因となる電界集中を緩和し、高抵抗ドリフト層でも耐圧を向上させることができ、また、同一耐圧でも、高抵抗ドリフト層102の濃度を高く設定でき、ドリフト抵抗を低減できる。また、トレンチ型バックゲート部109はトレンチ内に絶縁物を埋設した構成とすることで、ドレイン-ソース間電圧印加時にトレンチ型バックゲート部109の直下のP⁻型層112及び、P型ベース層103内部に伸びる空乏層のソース電極116へのリーチスルーによる耐圧低下を防止することができる。この第2の実施形態では、各P⁻型層112をイ

20

30

【0030】

図6は本発明の縦型MOSFETの第3の実施形態の断面図であり、ここではプレーナ型ゲート電極の縦型MOSFETに適用した例を示している。図1と等価な部分には同一符号を付してあり、低抵抗ドリフト層であるN⁺型半導体基板101上に高抵抗ドリフト層であるN⁻型エピタキシャル層102が形成されている。そして、ここでは前記N⁻型エピタキシャル層102の表面には島状の領域にそれぞれP型ベース層103が形成され、各P型ベース層103の表面にはN⁺型ソース層104が形成されている。前記N⁺型ソース層104には、表面からN⁻型エピタキシャル層102に達するトレンチ型バックゲート部109が形成され、このトレンチ型バックゲート部109の周囲の前記N⁺型ソース領域104の直下にP⁺型ベース層113が形成されている。そして、このトレンチ型バックゲート部109の直下の前記N⁻型エピタキシャル層102には深さ方向に接した状態で2つのP⁻型層112が形成されている。そして、前記P型ベース層103間のN⁺型ソース層104の表面上にはゲート絶縁膜107及びゲート電極108が形成されてプレーナ型ゲート電極105Aが形成され、さらにこれらを覆う層間絶縁膜114が被着されている。そして、この層間絶縁膜114には前記トレンチ型バックゲート部109の直上にコンタクト開口115が設けられ、このコンタクト開口115を通してソース電極116が前記N⁺型ソース層104及びP⁺型ベース層113に接続されている。また、前記N⁺型半導体基板101の裏面にはドレイン電極117が形成されている。

40

50

【0031】

この第3の実施形態の縦型MOSFETでは、ゲート電極105Aがプレーナ型であるために前記第1の実施形態とは製造工程が若干相違するが、第1の実施形態と同様に、トレンチ型バックゲート部109の直下のP⁻型層112の存在により、トレンチ型バックゲート部109の直下のP⁻型層112と高抵抗ドリフト層102を横方向にも空乏化でき、ドレイン-ソース間耐圧低下の要因となる電界集中を緩和し、高抵抗ドリフト層でも耐圧を向上させることができ、また、同一耐圧でも、高抵抗ドリフト層102の濃度を高く設定でき、ドリフト抵抗を低減できる。また、トレンチ型バックゲート部109はトレンチ内に絶縁物を埋設した構成とすることで、ドレイン-ソース間電圧印加時にトレンチ型バックゲート部109の直下のP⁻型層112及び、P型ベース層103の内部に伸びる空乏層のソース電極116へのリーチスルーによる耐圧低下を防止することができる。この第3の実施形態では前記各実施形態のようなトレンチ型ゲート電極を形成するためのトレンチの形成及びトレンチ内への絶縁物及び導電材料の埋込工程が不要であるため、製造を容易に行う上で有利である。

10

【0032】

ここで、図示は省略するが、前記第3の実施形態において、トレンチ型バックゲート部109の直下のP⁻型層112は、第2の実施形態と同様に深さ方向に離れた構成であってもよい。また、図示は省略するが、前記第2及び第3の実施形態において、図4に示したように、コンタクト開口115内に金属118を埋設して表面の平坦化を図るように構成してもよい。

20

【0033】

なお、前記各実施形態で例示した縦型MOSFETは、それぞれの導電型が反対導電型であっても本発明が同様に適用できることは言うまでもない。

【0034】

【発明の効果】

以上説明したように本発明の縦型MOSFETによれば、トレンチ型バックゲート部の下層に深さ方向に延びるドリフト層と反対導電型の不純物層が存在しているので、ドレイン-ソース間電圧印加時にベース層と高抵抗ドリフト層間の縦方向だけでなく、トレンチ型バックゲート部下の不純物と高抵抗ドリフト層を横方向にも空乏化することで、ドレイン-ソース間耐圧低下の要因となる電界集中を緩和し、耐圧を向上させることができ、高抵抗ドリフト層の濃度を高く設定してドリフト抵抗を低減できる。また、トレンチ型バックゲート部はトレンチ内に絶縁物を埋設した構成とすることで、ドレイン-ソース間電圧印加時にトレンチ型バックゲート部下の不純物層及びベース層内部に伸びる空乏層のソース電極へのリーチスルーによる耐圧低下を防止することができる。さらに、トレンチ内の上部にソース層及びベース層と電気的に接触する電極が埋設されるので、トレンチ型バックゲート部をソースコンタクト部として活用でき、半導体の活性領域を有効利用できる。

30

【0035】

また、本発明の製造方法では、トレンチの底面に不純物をイオン注入して反対導電型の不純物層を形成でき、しかも異なるエネルギーで複数のイオン注入を行うことで高抵抗ドリフト層の深さ方向に並んだ複数の不純物層を形成して任意の深さの不純物層を形成することができるので、従来技術のようなドリフト層を積層形成する技術や選択エッチング及び選択エピタキシャル成長の技術に比較して製造を容易に行うことが可能になる。

40

【図面の簡単な説明】

【図1】本発明の第1の実施形態の断面図である。

【図2】第1の実施形態の製造方法を工程順に示す断面図のその1である。

【図3】第1の実施形態の製造方法を工程順に示す断面図のその2である。

【図4】本発明の第1の実施形態の変形例の断面図である。

【図5】本発明の第2の実施形態の断面図である。

【図6】本発明の第3の実施形態の断面図である。

【図7】従来の縦型MOSFETの一例の断面図である。

50

【図8】公報に記載の従来の第1の技術の断面図である。

【図9】公報に記載の従来の第2の技術の断面図である。

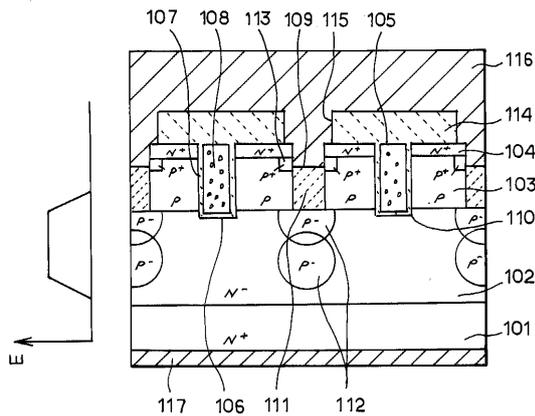
【符号の説明】

- 101 N⁺型半導体基板（低抵抗ドリフト層）
- 102 N⁻型エピタキシャル層（高抵抗ドリフト層）
- 103 P型ベース層
- 104 N⁺型ソース層
- 105 トレンチ型ゲート電極
- 105 A プレーナ型ゲート電極
- 106 トレンチ
- 107 ゲート絶縁膜
- 108 ポリシリコン
- 109 トレンチ型バックゲート部
- 110 トレンチ
- 111 絶縁物
- 112 P⁻型層
- 113 P⁺型ベース層
- 114 層間絶縁膜
- 115 コンタクト開口
- 116 ソース電極
- 117 ドレイン電極
- 118 金属

10

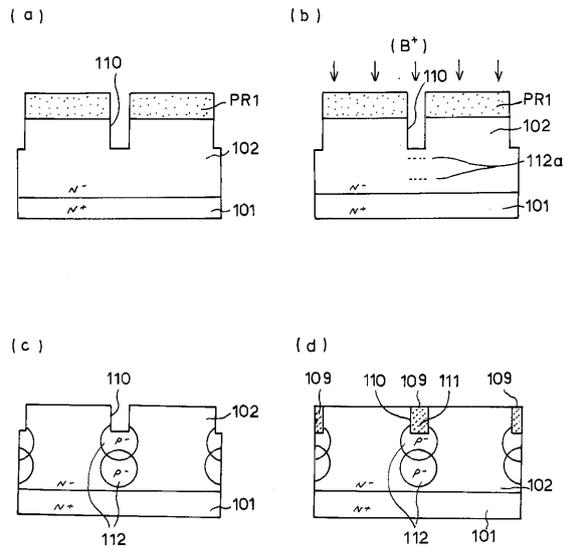
20

【図1】

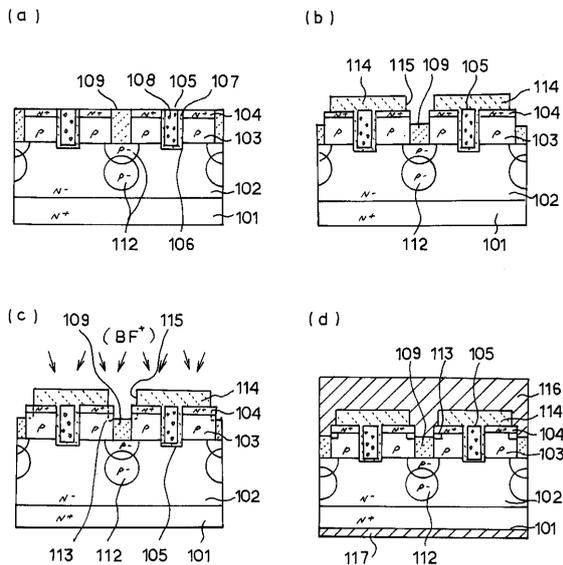


- 101: N⁺型半導体基板
- 102: N⁻型エピタキシャル層
- 103: P型ベース層
- 104: N⁺型ソース層
- 105: トレンチ型ゲート電極
- 106: トレンチ
- 107: ゲート絶縁膜
- 108: ポリシリコン
- 109: トレンチ型バックゲート部
- 110: トレンチ
- 111: 絶縁物
- 112: P⁻型層
- 113: P⁺型ベース層
- 114: 層間絶縁膜
- 115: コンタクト開口
- 116: ソース電極
- 117: ドレイン電極

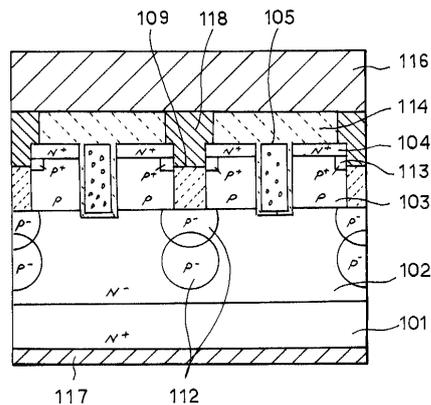
【図2】



【 図 3 】

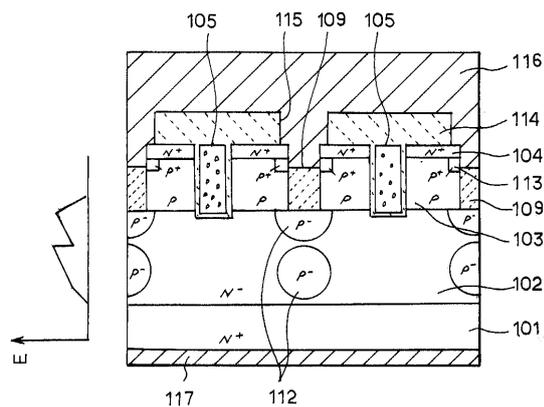


【 図 4 】



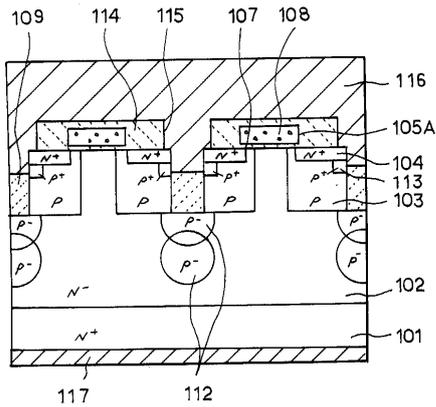
- 101 : N⁺ 型半導体基板
- 102 : N⁻ 型エピタキシャル層
- 103 : P型ベース層
- 104 : N⁺ 型ソース層
- 105 : トレンチ型ゲート電極
- 109 : トレンチ型バックゲート部
- 112 : P⁻ 型層
- 114 : 層間絶縁膜
- 116 : ソース電極
- 117 : ドレイン電極
- 118 : 金属 (埋込金属)

【 図 5 】



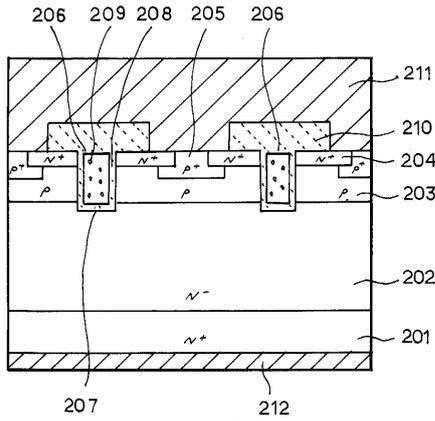
- 101 : N⁺ 型半導体基板
- 102 : N⁻ 型エピタキシャル層
- 103 : P型ベース層
- 104 : N⁺ 型ソース層
- 105 : トレンチ型ゲート電極
- 109 : トレンチ型バックゲート部
- 111 : 絶縁物
- 112 : P⁻ 型層
- 113 : P⁺ 型ベース層
- 114 : 層間絶縁膜
- 115 : コンタクト開口
- 116 : ソース電極
- 117 : ドレイン電極

【 図 6 】



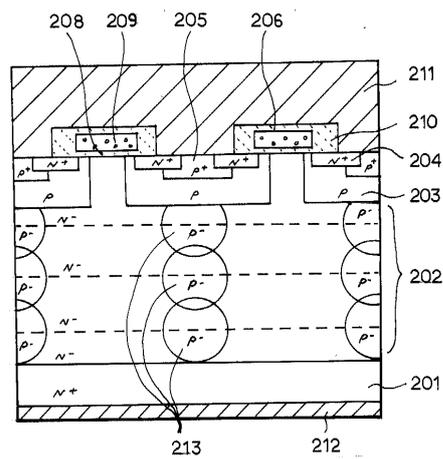
- 101 : N⁺ 型半導体基板
- 102 : N⁻ 型エピタキシャル層
- 103 : P型ベース層
- 104 : N⁺ 型ソース層
- 105A : プレーナ型ゲート電極
- 109 : トレンチ型バックゲート部
- 112 : P⁻ 型層
- 114 : 層間絶縁膜
- 115 : コンタクト開口
- 116 : ソース電極
- 117 : ドレイン電極

【 図 7 】



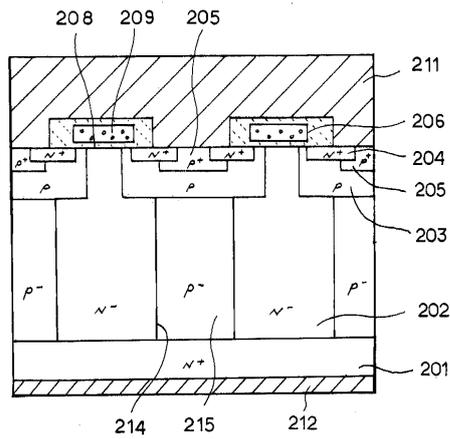
- 201 : N⁺ 型半導体基板
- 202 : N⁻ 型エピタキシャル層
- 203 : P型ベース層
- 204 : N⁺ 型ソース層
- 205 : P⁺ 型ベース層
- 206 : ゲート電極
- 207 : トレンチ
- 208 : ゲート絶縁膜
- 209 : ポリシリコン
- 210 : 層間絶縁膜
- 211 : ソース電極
- 212 : ドレイン電極

【 図 8 】



- 201 : N⁺ 型半導体基板
- 202 : N⁻ 型エピタキシャル層
- 203 : P型ベース層
- 204 : N⁺ 型ソース層
- 205 : P⁺ 型ベース層
- 206 : ゲート電極
- 208 : ゲート絶縁膜
- 209 : ポリシリコン
- 210 : 層間絶縁膜
- 211 : ソース電極
- 212 : ドレイン電極
- 213 : P⁻ 型層

【 図 9 】



- 201 : N⁺ 型半導体基板
- 202 : N⁻ 型エピタキシャル層
- 203 : P型ベース層
- 204 : N⁺ 型ソース層
- 205 : P⁺ 型ベース層
- 206 : ゲート電極
- 208 : ゲート絶縁膜
- 209 : ポリシリコン
- 210 : 層間絶縁膜
- 211 : ソース電極
- 212 : ドレイン電極
- 214 : トレンチ
- 215 : P⁻ 型エピタキシャル層

フロントページの続き

(58)調査した分野(Int.Cl.⁷, DB名)

H01L 29/78

H01L 21/336