

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-86149
(P2006-86149A)

(43) 公開日 平成18年3月30日(2006.3.30)

(51) Int. Cl. F I テーマコード (参考)
 HO 1 L 25/18 (2006.01) HO 1 L 25/08 Z
 HO 1 L 25/07 (2006.01)
 HO 1 L 25/065 (2006.01)

審査請求 有 請求項の数 5 O L (全 10 頁)

(21) 出願番号	特願2004-266288 (P2004-266288)	(71) 出願人	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22) 出願日	平成16年9月14日 (2004.9.14)	(74) 代理人	100077849 弁理士 須山 佐一
		(72) 発明者	関口 正博 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内
		(72) 発明者	田窪 知章 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内
		(72) 発明者	明島 周三 三重県四日市市山之一色町800番地 株式会社東芝四日市工場内

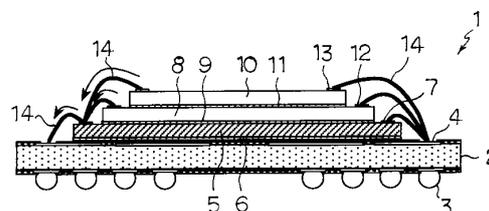
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 スタック型マルチチップパッケージ構造を適用した半導体装置において、複数の半導体素子間の相互接続や半導体素子と基板との接続を簡易な構造で安価に実現する。

【解決手段】 複数の半導体素子8、10は配線基板2上に積層されて搭載されている。配線基板2上には再配線用素子5が搭載されており、再配線用素子5は複数の半導体素子8、10間や配線基板2と半導体素子8、10間を接続する配線を有している。複数の半導体素子8、10間の相互接続や半導体素子8、10の電極パット12、13の再配置等は再配線用素子5により実施されている。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

基板と、
前記基板上に積層されて搭載された複数の半導体素子と、
前記基板上に搭載され、前記複数の半導体素子間および前記基板と前記半導体素子間の少なくとも一方を接続する配線を有する再配線用素子と
を具備することを特徴とする半導体装置。

【請求項 2】

請求項 1 記載の半導体装置において、
前記再配線用素子は前記半導体素子と積層されて前記基板上に搭載されていることを特徴とする半導体装置。 10

【請求項 3】

請求項 1 記載の半導体装置において、
前記再配線用素子は前記基板上に直接搭載されていることを特徴とする半導体装置。

【請求項 4】

請求項 1 ないし請求項 3 のいずれか 1 項記載の半導体装置において、
前記複数の半導体素子はそれぞれ前記再配線用素子とワイヤボンディング接続またはフリップチップ接続により接続されており、かつ前記再配線用素子の前記配線を介して相互接続されていることを特徴とする半導体装置。

【請求項 5】

請求項 1 ないし請求項 4 のいずれか 1 項記載の半導体装置において、
前記半導体素子は前記再配線用素子とワイヤボンディング接続またはフリップチップ接続により接続されており、かつ前記再配線用素子により再配置された接続パッドを介して前記基板とワイヤボンディング接続またはフリップチップ接続により接続されていることを特徴とする半導体装置。 20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は複数の半導体素子を積層して搭載した半導体装置に関する。

【背景技術】

【0002】

近年、半導体装置の小型化や高密度実装化等を実現するために、1つのパッケージ内に複数の半導体素子（半導体チップ）を積層して封止したスタック型マルチチップパッケージが実用化されている。このようなスタック型マルチチップパッケージでは、複数の半導体素子の各電極パッドと基板の電極部とがワイヤボンディングやフリップチップ接続により電氣的に接続される。また、複数の半導体素子間を相互接続する場合には、各半導体素子の電極パッド間をワイヤボンディング等で電氣的に接続している。 30

【0003】

ところで、基板上に搭載する複数の半導体素子は電極パットの配列等がスタック型パッケージを意識して設計されていない場合が多く、また汎用の半導体素子を使用した場合には素子によってパッド配置が異なる場合がある。このため、複数の半導体素子間の相互配線および複数の半導体素子と基板との間の配線をワイヤボンディングで実施すると、三次元的なクロス配線を伴う場合が多いという問題がある。 40

【0004】

また、基板側の配線層で複数の半導体素子間の相互接続を行う場合もあるが、この場合には基板に外部接続端子までの配線に加えて、複数の半導体素子間の相互配線が負荷されることになる。このため、基板に要求される微細配線技術や多層化技術が高度になり、基板の製造コストが増加するという問題がある。これはマルチチップパッケージの製造コストの増加要因となっている。さらに、基板側の配線層による取り回しでは複数の半導体素子間の異なるパッド配置への対応に限界がある。 50

【0005】

一方、スタック型マルチチップパッケージにおいて、半導体素子の電極パッドと基板の電極部とを接続するボンディングワイヤの長さを低減したり、またボンディングワイヤの交差等を回避するために、複数の半導体素子間に配線基板等を配置することが提案されている（例えば特許文献1, 2参照）。しかしながら、表面配線構造の配線基板では配線の取り回しに限界があり、また多層配線構造の配線基板では製造コストの増加やスタック型パッケージの厚さの増大等を招くという問題がある。

【特許文献1】特開2001-7278号公報

【特許文献2】特開2001-177050号公報

【発明の開示】

10

【発明が解決しようとする課題】

【0006】

上述したように、従来のスタック型マルチチップパッケージ構造を適用した半導体装置においては、複数の半導体素子間の異なるパッド配置や相互配線等に基づく三次元的なクロス配線等によって、配線構造の複雑化や例えばワイヤ間の接触による不良発生等を招きやすいという問題がある。また、基板側の配線や半導体素子間に配置した配線基板で複数の半導体素子間の相互接続等を実施した場合には、基板自体の製造コストや中間の配線基板を含む基板全体のコストが増大し、ひいては半導体装置としての製造コストが増加してしまうという問題がある。

【0007】

20

本発明はこのような課題に対処するためになされたもので、スタック型マルチチップパッケージ構造を適用した半導体装置において、複数の半導体素子間の相互接続や半導体素子と基板との接続を簡易な構造で安価に実現することを可能にした半導体装置を提供することを目的としている。

【課題を解決するための手段】

【0008】

本発明の一態様に係る半導体装置は、基板と、前記基板上に積層されて搭載された複数の半導体素子と、前記基板上に搭載され、前記複数の半導体素子間および前記基板と前記半導体素子間の少なくとも一方を接続する配線を有する再配線用素子とを具備することを特徴としている。

30

【発明の効果】

【0009】

本発明の一態様による半導体装置は、複数の半導体素子間の相互接続や半導体素子の電極パットの再配置等に再配線用素子を使用している。これによって、基板ひいては半導体装置の製造コストを増大させることなく、複数の半導体素子を積層・搭載した半導体装置における配線構造の複雑化やそれに伴う不良発生等を抑制することが可能となる。

【発明を実施するための最良の形態】

【0010】

以下、本発明を実施するための形態について、図面を参照して説明する。なお、以下では本発明の実施形態を図面に基づいて説明するが、それらの図面は図解のために提供されるものであり、本発明はそれらの図面に限定されるものではない。

40

【0011】

図1は本発明の第1の実施形態による半導体装置の構成を一部断面で示す図である。同図に示す半導体装置（半導体パッケージ）1は、素子搭載基板として配線基板2を有している。配線基板2には、樹脂基板、セラミックス基板、ガラス基板等、各種の材料からなる基板を適用することができる。樹脂基板としては一般的な多層銅張積層板（多層プリント配線板）等が使用される。配線基板2の下面側には、金属パンプ等の外部接続端子3が形成されている。一方、配線基板2の上面側には外部接続端子3と図示を省略した内層配線を介して電氣的に接続された電極部4が設けられている。

【0012】

50

配線基板 2 の素子搭載面（上面）には、再配線用素子 5 が第 1 の接着剤層 6 を介して固着されている。この再配線用素子 5 は半導体の微細配線技術を利用して作製したものであり、一般的な半導体素子と同様な微細配線（内部配線）とそれに接続された接続パッド 7 とを有している。再配線用素子 5 はあくまでも複数の半導体素子間の相互接続や半導体素子の接続パッド（電極パッド）の再配置等を実現するものであり、演算素子や記憶素子等として機能する半導体素子（機能素子）とは異なるものである。このように、再配線用素子 5 は再配線専用の半導体素子である。

【 0 0 1 3 】

上述した再配線用素子 5 上には、機能素子として働く第 1 の半導体素子 8 が第 2 の接着剤層 9 を介して固着されている。さらに、第 1 の半導体素子 8 上には機能素子として働く第 2 の半導体素子 10 が第 3 の接着剤層 11 を介して固着されている。第 1 および第 2 の半導体素子 8、10 はそれぞれ電極パッド 12、13 を有している。第 1 および第 2 の半導体素子 8、10 の電極パッド 12、13 は、それぞれ直接もしくは再配線用素子 5 を介して配線基板 2 の電極部 4 と電氣的に接続されている。

10

【 0 0 1 4 】

また、第 1 の半導体素子 8 と第 2 の半導体素子 10 との相互接続は、再配線用素子 5 を介して実施されている。なお、第 1 および第 2 の半導体素子 8、10 の電極パッド 12、13 の位置によっては、これらが直接接続された箇所があってもよい。第 1 および第 2 の半導体素子 8、10 と再配線用素子 5 との間、再配線用素子 5 と配線基板 2 との間、また第 1 および第 2 の半導体素子 8、10 と配線基板 2 との間は、それぞれボンディングワイヤ 14 を介して接続されている。図 2 はこのような配線構造の一例を示している。

20

【 0 0 1 5 】

再配線用素子 5 を用いた再配線構造について、図 2 を参照して述べる。図 2 に示す再配線構造において、第 1 の半導体素子 8 の電極パッド 12 A は再配線用素子 5 の接続パッド 7 A と接続されている。再配線用素子 5 の接続パッド 7 A は内部配線 15 A の一端部に接続されており、内部配線 15 A の他端部は接続パッド 7 B に接続されている。接続パッド 7 B は第 1 の半導体素子 8 の電極パッド 12 A を再配線用素子 5 により再配置したものであり、基板 2 の電極部 4 A と接続されている。内部配線 15 A は第 1 および第 2 の半導体素子 8、10 間を相互接続する機能も有しており、その分岐線に接続された接続パッド 7 C は第 2 の半導体素子 10 の電極パッド 13 A と接続されている。

30

【 0 0 1 6 】

また、第 1 の半導体素子 8 の電極パッド 12 B と第 2 の半導体素子 10 の電極パッド 13 B とは、再配線用素子 5 の内部配線 15 B を介して相互接続されている。第 1 の半導体素子 8 の電極パッド 12 B は再配線用素子 5 の接続パッド 7 D と接続されており、第 2 の半導体素子 10 の電極パッド 13 B は再配線用素子 5 の接続パッド 7 E と接続されている。これら接続パッド 7 D、7 E は内部配線 15 B の両端部に設けられている。電極パッド 12 B、13 B 間を相互接続している内部配線 15 B は、さらに接続パッド 7 F を介して基板 2 の電極部 4 B と接続されている。

【 0 0 1 7 】

再配線を必要としない電極パッド、例えば第 1 の半導体素子 8 の電極パッド 12 C や第 2 の半導体素子 10 の電極パッド 13 C はそれぞれ基板 2 の電極部 4 C、4 D と直接接続されている。このように、再配線を必要としない半導体素子 8、10 の電極パッド 12 C、13 C は直接基板 2 にワイヤボンディングすることができる。なお、再配線用素子 5 の接続パッド 7 と半導体素子 8、10 の電極パッド 12、13 との間や再配線用素子 5 の接続パッド 7 と基板 2 の電極部 4 との間は、いずれもボンディングワイヤ 14 を介して電氣的に接続されている。半導体素子 8、10 の電極パッド 12 C、13 C と基板 2 の電極部 4 とを直接的に接続する場合も同様である。

40

【 0 0 1 8 】

上述したような再配線構造に基づいて基板 2 との接続や相互接続が実施された第 1 および第 2 の半導体素子 8、10 は、再配線用素子 5 やボンディングワイヤ 14 等と共に封止

50

樹脂（図示せず）で封止される。このようにして、スタック型マルチチップパッケージ構造の半導体装置 1 が構成される。なお、なお、図 1 は 2 個の半導体素子 8、10 を配線基板 2 上に搭載した半導体装置 1 を示しているが、半導体素子の搭載数は 2 個に限られるものではなく、3 個もしくはそれ以上であってもよい。この点は後述する他の実施形態においても同様である。

【0019】

このようなスタック型マルチチップパッケージ構造の半導体装置 1 によれば、再配線用素子 5 を用いて複数の半導体素子 8、10 間の相互接続や半導体素子 8、10 の電極パッド 12、13 の再配置等を実現しているため、配線構造の複雑化やそれに伴う不良発生等を抑制することが可能となる。さらに、再配線用素子 5 は半導体の微細配線技術を利用しているため、それ自体を低コストで作製できるだけでなく、配線基板 2 に要するコストを低減することができる。例えば、微細配線が可能な再配線用素子 5 で信号線の取り回しを行うことによって、配線基板 2 は外部接続端子 3 までの配線だけでよくなる。これらによって、再配線用素子 5 を含むスタック型マルチチップパッケージ構造の半導体装置 1 の製造コストを低減することが可能となる。

10

【0020】

また、再配線用素子 5 によれば通常の半導体素子と同等の厚さで微細配線が実現されるため、スタック型マルチチップパッケージ構造の半導体装置 1 の厚さが増大するようなこともない。さらに、再配線用素子 5 は材質的には通常の半導体素子と同様に Si 等から形成されているため、半導体素子 8、10 と積層して配線基板 2 上に搭載しても熱的な問題等を招くことがない。すなわち、複数の半導体素子間に一般的な配線基板等を積層した場合には、これら構成材料の熱膨張係数の違いに基づいて、熱が加わった際に反り等が生じやすいが、再配線用素子 5 では熱膨張係数の違いに基づく反り等を生じることがない。

20

【0021】

次に、本発明の第 2 の実施形態による半導体装置について、図 3 および図 4 を参照して説明する。図 3 および図 4 は第 2 の実施形態による半導体装置の構成を一部断面で示す図である。なお、第 1 の実施形態と同一部分には同一符号を付し、その説明を一部省略する。これらの図に示す半導体装置（半導体パッケージ）20 において、再配線用素子 5 は第 1 の半導体素子 8 と第 2 の半導体素子 10 との間に積層・配置されている。すなわち、配線基板 2 の素子搭載面（上面）には第 1 の半導体素子 8 が固着されている。第 1 の半導体素子 8 上には再配線用素子 5 が固着されており、さらにその上には第 2 の半導体素子 10 が固着されている。

30

【0022】

第 1 および第 2 の半導体素子 8、10 の電極パッド 12、13 は、それぞれ直接もしくは再配線用素子 5 を介して配線基板 2 の電極部 4 と電氣的に接続されている。これら第 1 および第 2 の半導体素子 8、10 と再配線用素子 5 との間、再配線用素子 5 と配線基板 2 との間、また第 1 および第 2 の半導体素子 8、10 と配線基板 2 との間は、それぞれボンディングワイヤ 14 を介して接続されている。第 1 および第 2 の半導体素子 8、10 間の相互接続や半導体素子 8、10 の電極パッド 12、13 の再配置等は、上述した第 1 の実施形態と同様に再配線用素子 5 の内部配線により実施されている。

40

【0023】

上述したように、再配線用素子 5 は第 1 の半導体素子 8 と第 2 の半導体素子 10 との間に配置してもよい。この際、再配線用素子 5 への接続は、図 3 に示したように直接接続パッド 7 にボンディングワイヤ 14 を接続してもよいし、また図 4 に示したように一旦基板 2 の電極部 4 にボンディングワイヤ 14 を接続した後、再配線用素子 5 の接続パッド 7 にボンディングワイヤ 14 を接続してもよい。このように、再配線用素子 5 を第 1 の半導体素子 8 と第 2 の半導体素子 10 との間に配置することで、より多様な配線構造を実現することができる。

【0024】

また、第 2 の実施形態の半導体装置 20 によれば、第 1 の実施形態と同様に、半導体装

50

置 20 の製造コストや厚さ等を増大させることなく、配線構造の複雑化やそれに伴う不良発生等を抑制することが可能となる。さらに、スタック型マルチチップパッケージ構造における反り等の問題を解消することができる。これらによって、低コストで汎用性に優れ、かつ信頼性の高いスタック型マルチチップパッケージ構造の半導体装置 20 を提供することが可能となる。

【0025】

次に、本発明の第 3 の実施形態による半導体装置について、図 5、図 6 および図 7 を参照して説明する。図 5、図 6 および図 7 は第 3 の実施形態による半導体装置の構成を一部断面で示す図である。なお、第 1 および第 2 の実施形態と同一部分には同一符号を付し、その説明を一部省略する。これらの図に示す半導体装置（半導体パッケージ）30 において、再配線用素子 5 は積層された半導体素子 8、10 の最上層に配置されている。すなわち、配線基板 2 の素子搭載面（上面）には第 1 の半導体素子 8 が固着されており、その上には第 2 の半導体素子 10 が固着されている。そして、再配線用素子 5 は第 2 の半導体素子 10 上に固着されている。

10

【0026】

第 1 および第 2 の半導体素子 8、10 の電極パッド 12、13 は、それぞれ直接もしくは再配線用素子 5 を介して配線基板 2 の電極部 4 と電氣的に接続されている。これら第 1 および第 2 の半導体素子 8、10 と再配線用素子 5 との間、再配線用素子 5 と配線基板 2 との間、また第 1 および第 2 の半導体素子 8、10 と配線基板 2 との間は、それぞれボンディングワイヤ 14 を介して接続されている。第 1 および第 2 の半導体素子 8、10 間の相互接続や半導体素子 8、10 の電極パッド 12、13 の再配置等は、上述した第 1 の実施形態と同様に再配線用素子 5 の内部配線により実施されている。

20

【0027】

上述したように、再配線用素子 5 は積層された半導体素子 8、10 の最上層に配置してもよい。この際、再配線が必要な半導体素子 8、10 のパッド数が少ない場合には、図 6 や図 7 に示したように、再配線用素子 5 を小型化することやオフセットして配置することも可能である。また、再配線用素子 5 への接続は、図 6 に示したように直接接続パッド 7 にボンディングワイヤ 14 を接続してもよいし、また図 7 に示したように一旦基板 2 の電極部 4 にボンディングワイヤ 14 を接続した後、再配線用素子 5 の接続パッド 7 にボンディングワイヤ 14 を接続してもよい。

30

【0028】

次に、本発明の第 4 の実施形態による半導体装置について、図 8 を参照して説明する。図 8 は第 4 の実施形態による半導体装置の構成を一部断面で示す図である。なお、第 1 ないし第 3 の実施形態と同一部分には同一符号を付し、その説明を一部省略する。これらの図に示す半導体装置（半導体パッケージ）40 において、再配線用素子 5 は積層された半導体素子 8、10 とは別に、配線基板 2 の素子搭載面（上面）に直接固着されている。再配線用素子 5 は配線基板 2 上にプレーン配置してもよく、このような構造でも半導体素子 8、10 間の相互接続や半導体素子 8、10 の電極パッド 12、13 の再配置等を再配線用素子 5 により実施することができる。

【0029】

次に、本発明の第 5 の実施形態による半導体装置について、図 9、図 10、図 11 および図 12 を参照して説明する。図 9、図 10、図 11 および図 12 は第 5 の実施形態による半導体装置の構成を一部断面で示す図である。なお、第 1 ないし第 4 の実施形態と同一部分には同一符号を付し、その説明を一部省略する。これらの図に示す半導体装置（半導体パッケージ）50 においては、配線基板 2 と半導体素子 8、10 との接続、あるいは再配線用素子 5 と半導体素子 8、10 との接続にフリップチップ接続が適用されている。第 1 および第 2 の半導体素子 8、10 間の相互接続や半導体素子 8、10 の電極パッド 12、13 の再配置等は、再配線用素子 5 の内部配線により実施されている。

40

【0030】

図 9 に示す半導体装置 50 は、配線基板 2 上に再配線用素子 5 が固着されている。再配

50

線用素子 5 上には第 1 の半導体素子 8 が金属バンプ 5 1 を介して電氣的に接続されていると共に機械的に固着されている。再配線用素子 5 上には第 2 の半導体素子 1 0 が固着されている。第 1 の半導体素子 8 と再配線用素子 5 とは金属バンプ 5 1 を介して電氣的に接続されている。また、再配線用素子 5 と配線基板 2 との間、再配線用素子 5 と第 2 の半導体素子 1 0 との間は、それぞれボンディングワイヤ 1 4 を介して電氣的に接続されている。なお、再配線用素子 5 自体を配線基板 2 にフリップチップ接続することも可能である。

【0031】

図 1 0 に示す半導体装置 5 0 は、配線基板 2 上に第 1 の半導体素子 8 が金属バンプ 5 1 を介して電氣的に接続されていると共に機械的に固着されている。第 1 の半導体素子 8 上には再配線用素子 5 が固着されており、さらにその上には第 2 の半導体素子 1 0 が固着されている。第 1 の半導体素子 8 と配線基板 2 とは金属バンプ 5 1 を介して電氣的に接続されている。また、再配線用素子 5 と配線基板 2 との間、再配線用素子 5 と第 1 および第 2 の半導体素子 8、1 0 との間は、それぞれボンディングワイヤ 1 4 を介して電氣的に接続されている。なお、再配線用素子 5 を第 1 の半導体素子 8 にフリップチップ接続することも可能である。

10

【0032】

図 1 1 および図 1 2 に示す半導体装置 5 0 は、配線基板 2 上に第 1 の半導体素子 8 が金属バンプ 5 1 を介して電氣的に接続されていると共に機械的に固着されている。第 1 の半導体素子 8 上には第 2 の半導体素子 1 0 が固着されており、さらにその上には再配線用素子 5 が固着されている。第 1 の半導体素子 8 と配線基板 2 とは金属バンプ 5 1 を介して電氣的に接続されている。また、再配線用素子 5 と配線基板 2 との間、再配線用素子 5 と第 1 および第 2 の半導体素子 8、1 0 との間は、それぞれボンディングワイヤ 1 4 を介して電氣的に接続されている。なお、再配線用素子 5 を第 2 の半導体素子 1 0 にフリップチップ接続することも可能である。

20

【0033】

上述したように、配線基板 2 と半導体素子 8、1 0 との接続や再配線用素子 5 と半導体素子 8、1 0 との接続には、フリップチップ接続を適用することも可能である。このような第 5 の実施形態の半導体装置 5 0 によれば、第 1 ないし第 4 の実施形態と同様に、半導体装置 5 0 の製造コストや厚さ等を増大させることなく、配線構造の複雑化やそれに伴う不良発生等を抑制することが可能となる。さらに、スタック型マルチチップパッケージ構造における反り等の問題を解消することができる。これらによって、低コストで汎用性に優れ、かつ信頼性の高いスタック型マルチチップパッケージ構造の半導体装置 5 0 を提供することが可能となる。

30

【0034】

なお、本発明は上記した実施形態に限定されるものではなく、複数の半導体素子を積層して搭載した各種の半導体装置に適用することができる。そのような半導体装置についても、本発明に含まれるものである。また、本発明の実施形態は本発明の技術的思想の範囲内で拡張もしくは変更することができ、この拡張、変更した実施形態も本発明の技術的範囲に含まれるものである。

【図面の簡単な説明】

40

【0035】

【図 1】本発明の第 1 の実施形態による半導体装置の概略構成を示す図である。

【図 2】図 1 に示す半導体装置の再配線構造を示す斜視図である。

【図 3】本発明の第 2 の実施形態による半導体装置の概略構成を示す図である。

【図 4】図 2 に示す半導体装置の変形例を示す図である。

【図 5】本発明の第 3 の実施形態による半導体装置の概略構成を示す図である。

【図 6】図 5 に示す半導体装置の変形例を示す図である。

【図 7】図 5 に示す半導体装置の他の変形例を示す図である。

【図 8】本発明の第 4 の実施形態による半導体装置の概略構成を示す図である。

【図 9】本発明の第 5 の実施形態による半導体装置の概略構成を示す図である。

50

【図10】図9に示す半導体装置の変形例を示す図である。

【図11】図9に示す半導体装置の他の変形例を示す図である。

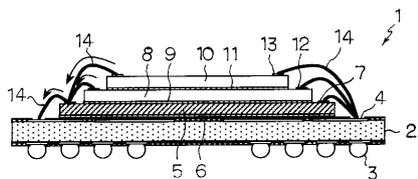
【図12】図9に示す半導体装置のさらに他の変形例を示す図である。

【符号の説明】

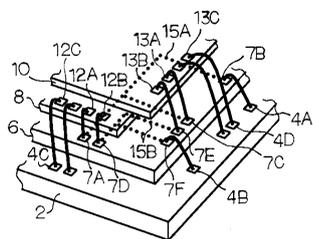
【0036】

1, 30, 40, 50...半導体装置、2...配線基板、4...電極部、5...再配線用素子、8...第1の半導体素子、10...第2の半導体素子、14...ボンディングワイヤ、51...金属バンプ。

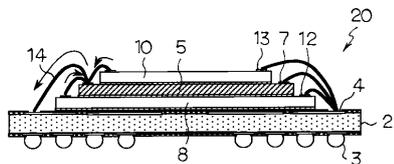
【図1】



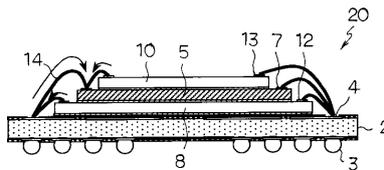
【図2】



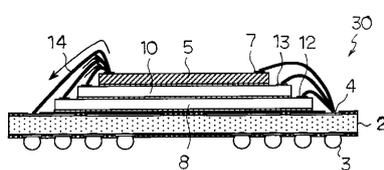
【図3】



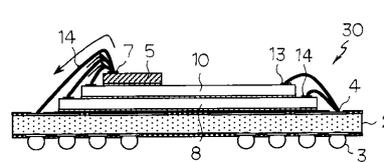
【図4】



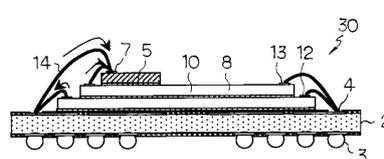
【図5】



【図6】



【図7】



【請求項 3】

請求項 2 記載の半導体装置において、

前記第 1 の接続部は少なくとも一部が前記再配線用半導体素子の内部配線を含むことを特徴とする半導体装置。

【請求項 4】

請求項 2 または請求項 3 記載の半導体装置において、

前記複数の半導体素子はそれぞれ前記再配線用半導体素子とワイヤボンディング接続またはフリップチップ接続により接続されており、かつ前記再配線用半導体素子の前記内部配線を介して相互接続されていることを特徴とする半導体装置。

【請求項 5】

請求項 1 または請求項 3 記載の半導体装置において、

前記半導体素子は前記再配線用半導体素子とワイヤボンディング接続またはフリップチップ接続により接続されており、かつ前記再配線用半導体素子の前記内部配線により再配置された接続パッドを介して前記基板とワイヤボンディング接続またはフリップチップ接続により接続されていることを特徴とする半導体装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正の内容】

【0008】

本発明の一態様に係る半導体装置は、基板と、前記基板上に積層されて搭載された複数の半導体素子と、前記基板上に搭載され、前記複数の半導体素子間および前記基板と前記半導体素子間の少なくとも一方を接続する内部配線を有する再配線用半導体素子と、前記基板と前記複数の半導体素子との間を電氣的に接続する接続部であって、少なくとも一部が前記再配線用半導体素子の内部配線を含む接続部とを具備することを特徴としている。

本発明の他の態様に係る半導体装置は、基板と、前記基板上に積層されて搭載された複数の半導体素子と、前記基板上に搭載され、前記複数の半導体素子間および前記基板と前記半導体素子間の少なくとも一方を接続する内部配線を有する再配線用半導体素子と、前記基板と前記複数の半導体素子との間を電氣的に接続する第 1 の接続部と、前記複数の半導体素子間を電氣的に接続する第 2 の接続部であって、少なくとも一部が前記再配線用半導体素子の内部配線を含む第 2 の接続部とを具備することを特徴としている。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正の内容】

【0009】

本発明の態様による半導体装置は、複数の半導体素子間の相互接続や半導体素子の電極パットの再配置等に再配線用半導体素子を使用している。これによって、基板ひいては半導体装置の製造コストを増大させることなく、複数の半導体素子を積層・搭載した半導体装置における配線構造の複雑化やそれに伴う不良発生等を抑制することが可能となる。