

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6662289号
(P6662289)

(45) 発行日 令和2年3月11日(2020.3.11)

(24) 登録日 令和2年2月17日(2020.2.17)

(51) Int.Cl.	F I
HO 1 L 21/8239 (2006.01)	HO 1 L 27/105 4 4 8
HO 1 L 27/105 (2006.01)	HO 1 L 21/302 1 0 5 A
HO 1 L 21/3065 (2006.01)	HO 1 L 21/302 1 0 4 C

請求項の数 9 (全 20 頁)

(21) 出願番号 特願2016-523124 (P2016-523124)	(73) 特許権者 000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(86) (22) 出願日 平成27年5月20日(2015.5.20)	
(86) 国際出願番号 PCT/JP2015/002538	(74) 代理人 100109313 弁理士 机 昌彦
(87) 国際公開番号 W02015/182074	(74) 代理人 100124154 弁理士 下坂 直樹
(87) 国際公開日 平成27年12月3日(2015.12.3)	
審査請求日 平成30年4月13日(2018.4.13)	(72) 発明者 多田 宗弘 東京都港区芝五丁目7番1号 日本電気株式会社社内
(31) 優先権主張番号 特願2014-111109 (P2014-111109)	(72) 発明者 阪本 利司 東京都港区芝五丁目7番1号 日本電気株式会社社内
(32) 優先日 平成26年5月29日(2014.5.29)	
(33) 優先権主張国・地域又は機関 日本国(JP)	審査官 小山 満
(出願人による申告) 国等の委託研究の成果に係る特許出願(平成23年度、独立行政法人新エネルギー・産業技術総合開発機構委託研究「低炭素社会を実現する超低電圧デバイスプロジェクト」)、産業技術力強化法第19条の適用を受ける特許出願	最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

上部電極と、下部電極を兼ねる第1の下層配線と、前記上部電極と前記第1の下層配線との間に介在する抵抗変化膜と、第2の下層配線と、コンタクトプラグと、を有し、前記コンタクトプラグは、前記上部電極と前記第2の下層配線とに接続し、前記第1の下層配線と前記第2の下層配線との間に層間絶縁膜を有し前記第1の下層配線と前記第2の下層配線と前記層間絶縁膜との上に第1の絶縁性バリア膜を有し、前記第1の絶縁性バリア膜は、前記第1の下層配線のエッジ部と前記層間絶縁膜に跨って開口部を有し、前記抵抗変化膜は、前記開口部にて前記エッジ部を含む第1の下層配線と前記層間絶縁膜に接する、半導体装置。

【請求項2】

前記上部電極の側面と前記抵抗変化膜の側面の双方の少なくとも一部に、前記コンタクトプラグの側面が接する、請求項1記載の半導体装置。

【請求項3】

前記上部電極の側面と前記コンタクトプラグとの間の少なくとも一部に、第2の絶縁性バリア膜が介在する、請求項1または2記載の半導体装置。

【請求項4】

前記第2の絶縁性バリア膜はSiN膜を含む、請求項3記載の半導体装置。

【請求項5】

前記上部電極はルテニウムを含む、請求項 1 から 4 の内の 1 項記載の半導体装置。

【請求項 6】

前記上部電極は、前記抵抗変化膜に接する第 1 の上部電極と、前記第 1 の上部電極に前記抵抗変化膜と反対面で接する第 2 の上部電極とを有し、前記第 1 の上部電極はルテニウムを含み、前記第 2 の上部電極はタンタル、チタン、もしくはそれらの窒素化合物を含む、請求項 1 から 5 の内の 1 項記載の半導体装置。

【請求項 7】

前記コンタクトプラグは上層配線と一体化したスリット型のコンタクトプラグである、請求項 1 から 6 の内の 1 項記載の半導体装置。

【請求項 8】

前記抵抗変化膜は固体電解質を有する、請求項 1 から 7 の内の 1 項記載の半導体装置。

【請求項 9】

半導体基板上に形成した第 1 の層間絶縁膜に、第 1 の下層配線と第 2 の下層配線を形成し、

前記第 1 の下層配線と前記第 2 の下層配線と前記第 1 の層間絶縁膜との上に、前記第 1 の下層配線のエッジ部と前記第 1 の層間絶縁膜が露出する開口部を有する第 1 の絶縁性バリア膜を形成し、

前記開口部を介して、前記エッジ部を含む第 1 の下層配線上及び前記第 1 の層間絶縁膜上に、抵抗変化膜、上部電極を順次形成し、

少なくとも前記上部電極の側面に第 2 の絶縁性バリア膜を形成し、

前記第 2 の絶縁性バリア膜上に第 2 の層間絶縁膜を形成し、

前記第 2 の層間絶縁膜および前記第 2 の絶縁性バリア膜にビアホールを形成して、前記ビアホール底部に前記上部電極と前記第 2 の下層配線とを露出し、

前記ビアホールに前記上部電極と前記第 2 の下層配線とに接続するコンタクトプラグを形成する、半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体基板上に形成された多層配線層の内部に不揮発な抵抗変化素子を有する半導体装置およびその製造方法に関する。

【背景技術】

【0002】

半導体装置である半導体デバイス、特に、シリコンデバイスは、Mooreの法則と呼ばれるスケーリング則に沿った微細化により、3年間で4倍という速度で集積化や低電力化が進められてきた。近年、MOSFET(Metal Oxide Semiconductor Field Effect Transistor)のゲート長は20nm以下となっている。これに伴い、リソグラフィプロセスの高騰、すなわち、リソグラフィ装置価格とマスクセット価格の高騰、およびデバイス寸法の物理的な限界、すなわち、動作限界やばらつき限界により、これまでの速度でのスケーリングが不可能となってきた。そこで、スケーリング則とは異なる別のアプローチでのデバイス性能の改善が求められている。

【0003】

近年、スケーリング則によらないデバイス性能の改善手法として、バックエンドデバイスを用いることが期待されている。バックエンドデバイスとは、半導体装置の多層配線層内に、不揮発に抵抗変化をする素子などを設けたデバイスである。不揮発な抵抗変化素子としては、MRAM(Magnetoresistive Random Access Memory)、PRAM(Phase-change Random Access Memory)、ReRAM(Resistance Random Access Memory)などに使用される抵抗変化素子が挙げられる。

【0004】

10

20

30

40

50

これらの抵抗変化素子をCMOS (Complementary Metal Oxide Semiconductor) 半導体装置の多層配線層内に設け、メモリやスイッチとして用いることで、半導体装置の低消費電力化を実現することが期待されている。また、これらの抵抗変化素子は、半導体装置の小型化および大記憶容量化の傾向に伴って、搭載容量を増大させることが期待されている。

【0005】

一方、近年、ゲートアレイとスタンダードセルとの中間的な位置づけとしてFPGA (Field-Programmable Gate Array) と呼ばれる再書き換え可能なプログラマブルロジックデバイスが開発されている。FPGAは、顧客自身がチップの製造後に、回路構成の切り替えを行うことを可能とする。このような回路構成の切り替えを、多層配線層内に設けた抵抗変化素子により行うことが期待されている。抵抗変化素子を用いてFPGAを構成することによって、回路構成の自由度を向上させつつ低消費電力化を行うことができるようになるためである。

10

【0006】

このようなFPGAにおける回路構成の切り替え用途に好ましい抵抗変化素子としては、ReRAMの1形態である、イオン伝導体を用いたNanoBridge (登録商標) などが挙げられる。イオン伝導体とは、イオンが電界などの印加によって自由に動くことのできる固体電解質である。

【0007】

特許文献1や非特許文献1には、イオン伝導体中における金属イオン移動と電気化学反応とによるフィラメント形成を利用したスイッチング素子 (固体電解質スイッチともいう) が開示されている。特許文献1や非特許文献1に開示されたスイッチング素子は、イオン伝導層と、イオン伝導層を挟んで対向して設けられた第1電極 (活性電極) および第2電極 (不活性電極) とを有する。このうち、第1電極はイオン伝導層に金属イオンを供給するための役割を果たしている。第2電極からはイオン伝導層に金属イオンは供給されない。

20

【0008】

このスイッチング素子の動作を簡単に説明する。第1電極を接地して第2電極に負電圧を印加すると、第1電極の金属が金属イオンになってイオン伝導層に溶解する。そして、イオン伝導層中の金属イオンがイオン伝導層中に金属になって析出し、析出した金属により第1電極と第2電極を接続する金属架橋 (フィラメント) が形成される。金属架橋で第1電極と第2電極が電氣的に接続することで、スイッチがオン状態になる。

30

【0009】

一方、前記オン状態で第1電極を接地して第2電極に正電圧を印加すると、金属架橋の一部が切れる。これにより、第1電極と第2電極との電氣的接続が切れ、スイッチがオフ状態になる。なお、電氣的接続が完全に切れる前の段階から第1電極および第2電極間の抵抗が大きくなったり、電極間容量が変化したりするなど電気特性が変化し、最終的に電氣的接続が切れる。また、前記オフ状態からオン状態にするには、再び第1電極を接地して第2電極に負電圧を印加すればよい。

【0010】

このようなスイッチング素子は、MOSFETなどの半導体スイッチよりもサイズが小さく、オン抵抗が小さいという特徴を持っている。そのため、FPGAなどのプログラマブルロジックデバイスへの適用に有望であると考えられている。また、このスイッチング素子においては、電圧を印加しなくても、導通状態すなわち素子のオンまたはオフがそのまま維持されるので、不揮発性のメモリ素子としての応用も可能である。

40

【0011】

例えば、トランジスタなどの選択素子1個とスイッチング素子1個とを含むメモリセルを基本単位として、このメモリセルを縦方向と横方向にそれぞれ複数配列する。このように配列することで、ワード線およびビット線で複数のメモリセルの中から任意のメモリセルを選択することが可能となる。そして、選択したメモリセルのスイッチング素子の導通

50

状態をセンスし、スイッチング素子のオンまたはオフの状態から情報「1」または「0」のいずれの情報が格納されているかを読み取ることが可能な不揮発性メモリを実現できる。

【先行技術文献】

【特許文献】

【0012】

【特許文献1】国際公開第2011/158691号

【非特許文献】

【0013】

【非特許文献1】M. Tada, K. Okamoto, T. Sakamoto, M. Miyamura, N. Banno, and H. Hada, "Polymer Solid-Electrolyte (PSE) Switch Embedded on CMOS for Nonvolatile Crossbar Switch", IEEE TRANSACTION ON ELECTRON DEVICES, Vol. 58, No. 12, pp. 4398-4405, (2011).

10

【発明の概要】

【発明が解決しようとする課題】

【0014】

ところで、前述のイオン伝導体を用いた抵抗変化素子をメモリやスイッチとして用いる場合、素子をできるだけ微細に形成して高密度に配置することが望まれる。一方で、抵抗変化素子を動作させるためには、イオン伝導層だけでなく、電極や電極を接続するコンタクトプラグ、配線などが必要である。より微細な素子を形成する場合、前記の各部分での短絡や接続不良、製造工程における酸化などによるダメージなどにより、高密度な素子のレイアウトが難しいという課題があった。

20

【0015】

本発明は、上記問題に鑑みてなされたものであり、その目的は、抵抗変化素子の製造歩留りと信頼性を維持しつつ、高密度に抵抗変化素子を配置することが可能な半導体装置を実現することである。

【課題を解決するための手段】

【0016】

本発明による半導体装置は、上部電極と、下部電極を兼ねる第1の下層配線と、前記上部電極と前記第1の下層配線との間に介在する抵抗変化膜と、第2の下層配線と、コンタクトプラグと、を有し、前記コンタクトプラグは、前記上部電極と前記第2の下層配線とに接続する。

30

【0017】

本発明による半導体装置の製造方法は、半導体基板上に形成した第1の層間絶縁膜に第1の下層配線と第2の下層配線を形成し、前記第1の下層配線と前記第2の下層配線と前記第1の層間絶縁膜との上に、少なくとも前記第1の下層配線が露出する開口部を有する第1の絶縁性バリア膜を形成し、前記開口部を介して、少なくとも前記第1の下層配線上に、抵抗変化膜、上部電極を順次形成し、少なくとも前記上部電極の側面に第2の絶縁性バリア膜を形成し、前記第2の絶縁性バリア膜上に第2の層間絶縁膜を形成し、前記第2の層間絶縁膜および前記第2の絶縁性バリア膜にビアホールを形成して、前記ビアホール底部に前記上部電極と前記第2の下層配線とを露出し、前記ビアホールに前記上部電極と前記第2の下層配線とに接続するコンタクトプラグを形成する。

40

【発明の効果】

【0018】

本発明によれば、抵抗変化素子の製造歩留りと信頼性を維持しつつ、高密度に抵抗変化素子を配置することが可能な半導体装置が実現する。

【図面の簡単な説明】

【0019】

50

- 【図 1】本発明の第 1 の実施形態の半導体装置の構成を示す断面模式図である。
 【図 2】本発明の第 2 の実施形態の半導体装置の構成を示す断面模式図である。
 【図 3】本発明の第 2 の実施形態の半導体装置の構成を示す上面模式図である。
 【図 4】本発明の第 3 の実施形態の半導体装置の構成を示す断面模式図である。
 【図 5】本発明の第 3 の実施形態の半導体装置の構成を示す上面模式図である。
 【図 6】本発明の第 4 の実施形態の半導体装置の構成を示す断面模式図である。
 【図 7】本発明の第 4 の実施形態の半導体装置の構成を示す上面模式図である。
 【図 8 A】本発明の第 4 の実施形態の半導体装置の製造工程を示す図である。
 【図 8 B】本発明の第 4 の実施形態の半導体装置の製造工程を示す図である。
 【図 8 C】本発明の第 4 の実施形態の半導体装置の製造工程を示す図である。 10
 【図 8 D】本発明の第 4 の実施形態の半導体装置の製造工程を示す図である。
 【図 8 E】本発明の第 4 の実施形態の半導体装置の製造工程を示す図である。
 【図 8 F】本発明の第 4 の実施形態の半導体装置の製造工程を示す図である。
 【図 8 G】本発明の第 4 の実施形態の半導体装置の製造工程を示す図である。
 【図 8 H】本発明の第 4 の実施形態の半導体装置の製造工程を示す図である。
 【図 8 I】本発明の第 4 の実施形態の半導体装置の製造工程を示す図である。
 【図 8 J】本発明の第 4 の実施形態の半導体装置の製造工程を示す図である。
 【図 8 K】本発明の第 4 の実施形態の半導体装置の製造工程を示す図である。
 【図 8 L】本発明の第 4 の実施形態の半導体装置の製造工程を示す図である。
 【図 8 M】本発明の第 4 の実施形態の半導体装置の製造工程を示す図である。 20
 【図 8 N】本発明の第 4 の実施形態の半導体装置の製造工程を示す図である。
 【図 9】本発明の第 3 の実施形態の変形例の半導体装置の構成を示す断面模式図である。
 【発明を実施するための形態】

【 0 0 2 0 】

以下、図を参照しながら、本発明の実施形態を詳細に説明する。但し、以下に述べる実施形態には、本発明を実施するために技術的に好ましい限定がされているが、発明の範囲を以下に限定するものではない。

(第 1 の実施形態)

図 1 は、本発明の第 1 の実施形態の半導体装置の構成を示す断面模式図である。本実施形態の半導体装置 1 0 0 は、上部電極 1 0 1 と、下部電極を兼ねる第 1 の下層配線 1 0 3 と、前記上部電極 1 0 1 と前記第 1 の下層配線 1 0 3 との間に介在する抵抗変化膜 1 0 2 と、第 2 の下層配線 1 0 4 と、コンタクトプラグ 1 0 5 とを有する。前記コンタクトプラグ 1 0 5 は、前記上部電極 1 0 1 と前記第 2 の下層配線 1 0 4 とに接続する。 30

【 0 0 2 1 】

本実施形態によれば、抵抗変化素子の製造歩留りと信頼性を維持しつつ、高密度に抵抗変化素子を配置することが可能な半導体装置が実現する。

(第 2 の実施形態)

図 2 は、本発明の第 2 の実施形態の半導体装置の構成を示す断面模式図である。本実施形態の半導体装置 2 0 0 は、シリコン基板などの半導体基板上の配線層内に形成された抵抗変化素子 2 0 1 を有する。半導体基板にはトランジスタなどの素子が形成されていてもよい。半導体基板上には第 1 の層間絶縁膜 2 1 0 を有する。第 1 の層間絶縁膜 2 1 0 内には第 1 の下部配線 2 0 6 と第 2 の下部配線 2 0 7 とが形成されている。抵抗変化素子 2 0 1 は、下部電極を兼ねる第 1 の下層配線 2 0 6 と、抵抗変化膜 2 0 2 と、第 1 の上部電極 2 0 3 a と第 2 の上部電極 2 0 3 b とを有する上部電極 2 0 3 とを有する。 40

【 0 0 2 2 】

第 1 の下層配線 2 0 6 は、銅層 2 0 6 a とバリアメタル 2 0 6 b とを有する。バリアメタル 2 0 6 b には T a、T a N、あるいはその積層構造を用いることができる。第 1 の下層配線 2 0 6 の上面には第 1 の絶縁性バリア膜 2 1 1 を有する。第 1 の絶縁性バリア膜 2 1 1 は開口部を有し、開口部を介して第 1 の下層配線 2 0 6 と抵抗変化膜 2 0 2 とが接続している。 50

【0023】

第2の下層配線207は、銅層207aとバリアメタル207bとを有する。バリアメタル207bにはTa、Ta₂N₅、あるいはその積層構造を用いることができる。第2の下層配線207の上面には第1の絶縁性バリア膜211を有する。第1の絶縁性バリア膜211は開口部を有し、開口部を介して第2の下層配線207とコンタクトプラグ209とが接続している。

【0024】

抵抗変化素子201の側面および上面の一部は、第2の絶縁性バリア膜204によって覆われている。抵抗変化素子201の側面の少なくとも一部は、第2の絶縁性バリア膜204を介してコンタクトプラグ209に対向している。

10

【0025】

コンタクトプラグ209は上層配線208に接続する。図2では、コンタクトプラグ209は上層配線208と一体化したスリット型のコンタクトプラグ構造としているが、各々が個別に形成されて接続する構造であってもよい。コンタクトプラグ209は、第2の層間絶縁膜205の内部に形成され、銅層208aとバリアメタル208bとを有する。バリアメタル208bにはTa、Ta₂N₅、あるいはその積層構造を用いることができる。コンタクトプラグ209は第2の下層配線207と接続し、かつ、第2の上部電極203bの上面および側面とも接続している。第1の上部電極203aの側面とコンタクトプラグ209とは、第2の絶縁性バリア膜204を介して隣接している。

【0026】

20

抵抗変化素子201が、抵抗変化膜202として固体電解質を用いた銅フィラメント析出型の抵抗変化素子である場合、第1の層間絶縁膜210は、SiO₂膜、SiOC膜、あるいはそれらの積層膜を用いることができる。抵抗変化膜202は固体電解質であり、Ta₂O₅、TaSiO₃、SiO₂、ZrO₂、HfO₂、TiO₂、Al₂O₃、有機ポリマー膜、SiOを含む有機ポリマー膜などを用いることができる。第1の上部電極203aは銅よりも酸化の自由エネルギーの絶対値が小さい金属を含む電極であり、Ruなどを用いることができる。第2の上部電極203bは、TaやTi、もしくはそれらの窒素化合物などを用いることができる。

【0027】

第2の絶縁性バリア膜絶縁膜204にはSiN膜を用いることができる。これにより、第2の層間絶縁膜205を形成する際に第1の上部電極203aが酸化してしまうのを防ぐことができる。さらに、固体電解質である抵抗変化膜202内に水分が侵入し、抵抗変化素子201の抵抗状態を変動させてしまう不良の発生を抑制することができる。

30

【0028】

前記SiN膜の形成方法としては、抵抗変化素子201の抵抗変化特性を劣化させることのない成膜手法を選択することが好ましい。例えば、プラズマCVD(Chemical Vapor Deposition)法や、プラズマALD(Atomic Layer Deposition)法などを用いることができる。さらに、膜の絶縁特性と側壁へのカバレッジ特性などを考慮して形成することが好ましく、より好ましくはサイドカバレッジが70%以上のPEALD(Plasma Enhanced ALD)法など

40

【0029】

第2の層間絶縁膜205および上層配線208の上面には第3の絶縁性バリア膜212を有する。第3の絶縁性バリア膜212に開口部を設けることで、上層配線208をさらに上層の配線に接続することができる。

【0030】

以上のような抵抗変化素子201、および第1の上部電極203aの側面に第2の絶縁性バリア膜204を有することで、抵抗変化素子201に隣接するコンタクトプラグ209を形成した際に、第1の上部電極203aの側面酸化を防ぐことができる。これによって、抵抗変化素子201の製造歩留りと信頼性を高く維持しつつ、高密度に抵抗変化素子

50

201を配置して大容量化することが可能となる。

【0031】

図3は、本実施形態の半導体装置の構成を示す上面模式図である。下部電極を兼ねる第1の下層配線301に開口部305が形成されている。その上に抵抗変化層および上部電極がドライエッチングにより形成され、さらに第2の絶縁性バリア膜304が形成される。上部電極は、上層配線と一体化しているコンタクトプラグ303と、第2の絶縁性バリア膜304を除去した部分で接続している。さらに、コンタクトプラグ303は第2の下層配線302と接続する。

【0032】

上層配線と一体化したスリット型のコンタクトプラグ303を用いて、第2の上部電極（図2の203b）と第2の下層配線302とを接続することによって、この間の接続抵抗を半減することができるようになる。さらに、図3のようなレイアウトにすることで、素子を微細化することができるようになる。第1の下層配線301と第2の下層配線302とをコンタクトプラグ303でコンパクトに接続することができるためである。

10

【0033】

さらに、抵抗変化素子の上部電極（図2の203b）をシリコン基板上のトランジスタに直接接続する場合、コンタクトプラグ303を介して第2の下層配線302から下層に接続することができるようになる。そのため、チップ面積を小さくすることができるようになる。抵抗変化層を動作させる電流は、コンタクトプラグ303を介して、第1の下層配線301から第2の下層配線302に、またはその逆向きに、流すことができる。

20

【0034】

以上のように、本実施形態によれば、抵抗変化素子の製造歩留りと信頼性を維持しつつ、高密度に抵抗変化素子を配置することが可能な半導体装置が実現する。

（第3の実施形態）

図4は、本発明の第3の実施形態の半導体装置の構成を示す断面模式図である。本実施形態の半導体装置400は、第1の絶縁性バリア膜411に設けられる開口部が、下部電極を兼ねる第1の下層配線406と第1の層間絶縁膜410に跨って開口していることを特徴とする。これ以外の構造は、第2の実施形態の半導体装置200と同様であるため、詳細な説明を省略する。

【0035】

30

すなわち、抵抗変化素子401の下電極を兼ねる第1の下層配線406を構成する銅層406aとバリアメタル406b、第2の下層配線407を構成する銅層407aとバリアメタル407b、抵抗変化膜402、上部電極403を構成する第1の上部電極403aと第2の上部電極403b、第2の絶縁性バリア膜404、第2の層間絶縁膜405、上層配線408と一体のコンタクトプラグ409を構成する銅層408aとバリアメタル408b、第3の絶縁性バリア膜412は、半導体装置200のこれらに対応する各部と同様である。

【0036】

本実施形態の半導体装置400の構造によれば、抵抗変化膜402が下部電極を兼ねる第1の下層配線406のエッジ部に接続する。これによりエッジ部における電界集中の効果によって、抵抗変化素子401のプログラミング電圧を下げるができるようになる。

40

【0037】

図5は、本実施形態の半導体装置の構成を示す上面模式図である。下部電極を兼ねる第1下層配線501に開口部505が形成されている。開口部505に抵抗変化層および上部電極がドライエッチングにより形成され、さらに第2の絶縁性バリア膜504が形成される。上部電極は、上層配線と一体化しているコンタクトプラグ503と、第2の絶縁性バリア膜504を除去した部分で接続している。さらに、コンタクトプラグ503は第2の下層配線502とも直接接続する。

【0038】

50

上層配線と一体化したコンタクトプラグ503を用いて、第2の上部電極(図4の403b)と第2の下層配線502とを接続することによって、この間の接続抵抗を半減することができるようになる。さらに、図5のようなレイアウトにすることで、素子を微細化することができるようになる。第1の下層配線501と第2の下層配線502とをコンタクトプラグ503でコンパクトに接続することができるためである。

【0039】

さらに、抵抗変化素子の上部電極(図4の403b)をシリコン基板上のトランジスタに直接接続する場合、コンタクトプラグ503介して第2の下層配線502から下層に接続することができるようになる。そのため、チップ面積を小さくすることができるようになる。本実施形態では、第2の実施形態に比較して、さらに素子を微細化しチップ面積を小さくすることができる。

10

【0040】

図9は、本実施形態の変形例の半導体装置の構成を示す断面模式図である。本変形例の半導体装置400'は、抵抗変化膜402の側面と上部電極403の側面と、コンタクトプラグ409の側面との間に、第2の絶縁性バリア膜が存在しない点が、半導体装置400と異なる。半導体装置400'のその他の構造は、半導体装置400と同様であるので説明は省略する。この構造が実現されるのは、下部電極406と上部電極403が第1の絶縁性バリア膜411によって物理的に分離されている。このため、コンタクトプラグ409の側面に第2の絶縁性バリア膜が存在せず、コンタクトプラグ409と抵抗変化膜と402が側面で接した場合でも、上部電極403と下部電極406の短絡は発生しない。

20

【0041】

以上のように、本実施形態によれば、抵抗変化素子の製造歩留りと信頼性を維持しつつ、高密度に抵抗変化素子を配置することが可能な半導体装置が実現する。

(第4の実施形態)

図6は、本発明の第4の実施形態の半導体装置の構成を示す断面模式図である。本実施形態の半導体装置600は、第1の絶縁性バリア膜611に設けられる開口部が、下部電極を兼ねる第1の下層配線606と第1の層間絶縁膜610と第2の下層配線607とに跨って開口していることを特徴とする。これ以外の構造は、第2の実施形態の半導体装置200と同様であるため、詳細な説明を省略する。

30

【0042】

すなわち、抵抗変化素子601の下電極を兼ねる第1の下層配線606を構成する銅層606aとバリアメタル606b、第2の下層配線607を構成する銅層607aとバリアメタル607b、抵抗変化膜602、上部電極603を構成する第1の上部電極603aと第2の上部電極603b、第2の絶縁性バリア膜604、第2の層間絶縁膜605、上層配線608と一体のコンタクトプラグ609を構成する銅層608aとバリアメタル608b、第3の絶縁性バリア膜612は、半導体装置200のこれらに対応する各部と同様である。

【0043】

図7は、本実施形態の半導体装置の構成を示す上面模式図である。下部電極を兼ねる第1の下層配線701と第2の下層配線702とに跨って開口部705が形成されている。開口部705には抵抗変化層および上部電極がドライエッチングにより形成され、さらに第2の絶縁性バリア膜704が形成される。上部電極は、上層配線と一体化しているコンタクトプラグ703と、第2の絶縁性バリア膜704を除去した部分で接続している。さらに、コンタクトプラグ703は第2の下層配線702とも直接接続する。

40

【0044】

図7に示すレイアウトとすることによって、上部電極(図6の603b)とコンタクトプラグ703との接続面積を大きく維持しつつ、素子を微細化することができる。そのため、本実施形態では、第2や第3の実施形態に比較して、上部電極とコンタクトプラグ703との接続抵抗を小さくすることができるようになり、素子を微細化しチップ面積を小

50

さくしやすくすることができる。

【0045】

次に、本実施形態の半導体装置600の構造の製造方法を詳細に説明する。図8A～図8Nは、半導体装置600の製造工程を模式的に示した断面図である。

【0046】

(図8A) まず、半導体基板上に、層間絶縁膜2、絶縁性バリア膜3および層間絶縁膜4を順に形成する。ここでいう半導体基板とは、シリコンウエハなどの半導体基板そのものであってもよく、基板表面にトランジスタなどの半導体素子が形成されている基板であつてもよい。例えば、層間絶縁膜2は膜厚300nmのシリコン酸化膜、絶縁性バリア膜3は膜厚30nmのSiCN膜、層間絶縁膜4は膜厚200nmのSiOC膜とすることができる。

10

【0047】

続いて、リソグラフィ法を用いて、層間絶縁膜4、絶縁性バリア膜3に配線溝を形成する。このリソグラフィ法では、まず、層間絶縁膜4の上に所定のパターンのフォトレジストを形成するフォトレジスト形成処理を行う。さらに、積層された膜に対してフォトレジストをマスクにして異方性エッチングを行うドライエッチング処理、ドライエッチングにより配線溝を形成した後にレジストを除去する処理を行う。

【0048】

その後、配線溝にバリアメタル6a、6bを介して金属5a、5bを埋め込んで下層配線20a、20bを形成する。バリアメタル6a、6bは、例えばTa₂N(膜厚5nm)/Ta(膜厚5nm)の積層膜である。金属5a、5bの材料は、例えば銅である。

20

【0049】

(図8B) 続いて、下層配線20a、20b表面の研磨を行い、下層配線20a、20bを含む層間絶縁膜4上に絶縁性バリア膜7を形成する。絶縁性バリア膜7は、例えば膜厚30nmのSiCN膜である。

【0050】

(図8C) 絶縁性バリア膜7の上にドライエッチング用のハードマスク8として、SiO₂膜40nmを形成する。

【0051】

(図8D) 続いて、絶縁性バリア膜7であるSiCN膜へ開口部を形成するために、ハードマスク8であるSiO₂膜に開口部を形成する。

30

【0052】

(図8E) 続いてSiO₂をマスクに、絶縁性バリア膜7であるSiCN膜の反応性ドライエッチングを行う。例えば反応性ドライエッチングは、CF₄/Arのガス流量=25:50sccm、圧力0.53[Pa]、ソースパワー400W、基板バイアスパワー90Wの条件で行うことができる。ソースパワーを低下、または基板バイアスを大きくすることでエッチング時のイオン性を向上させ、SiCN膜のテーパ形状角度を小さくすることができる。このとき、絶縁性バリア膜7の開口部の底の絶縁性バリア膜7の膜厚30nmに対して、35nm相当のエッチングを行うことができる。

【0053】

40

続いて、開口部の下面に露出した下層配線20a、20bの銅表面を清浄に保つため、減圧した雰囲気下で基板を350℃に加熱してもよい。この加熱は、銅表面のエッチバックをスパッタリング装置で行う場合、前記スパッタリング装置内に搭載されているヒートチャンバにて行うことができる。

【0054】

あるいは、銅表面の清浄化を非反応性ガスを用いたRFエッチングでエッチバックを行う場合、Arガスを用いてArガス流量=30sccm、圧力1.3[Pa]、ソースパワー290W、基板バイアスパワー130Wの条件で行うことができる。RFエッチング時間は、プラズマCVD法により形成したSiO₂膜のエッチング量で定量化することができ、SiO₂膜換算で2nmとすることができる。

50

【 0 0 5 5 】

(図 8 F) 次に、下層配線 2 0 a、2 0 b を含む絶縁性バリア膜 7 上にイオン伝導層 9 を形成する。イオン伝導層 9 の形成は、次の通りである。まず、膜厚 1 n m の金属 Z r 膜を D C スパッタリング法によって堆積する。次に、金属 Z r 膜上に固体電解質として、例えば、有機モノマーを原料として用いて作製した多孔質高分子膜を膜厚 5 n m で、R F プラズマ C V D 法によって堆積する。このとき、金属 Z r 膜は多孔質高分子膜の形成中に原料の分解によって発生する酸素プラズマによって酸化し酸化ジルコン膜となる。これにより、下層配線 2 0 a、2 0 b の銅の酸化を防止することができる。

【 0 0 5 6 】

多孔質高分子膜を堆積するプラズマ C V D 法では、R F 電力 5 0 ~ 3 0 0 W、基板温度 3 5 0、He との混合ガス、圧力 1 . 0 ~ 6 . 0 [T o r r] の条件で堆積することができる。

【 0 0 5 7 】

具体的には、1 2 インチ用プラズマ C V D リアクターにおいて、He ガス流量 = 5 0 0 s c c m、圧力 4 0 0 [P a]、R F 電力 8 0 W の条件で膜を形成することができる。この条件下において、金属 Z r の膜厚に対する酸化ジルコンの膜厚を断面 T E M (T r a n s m i s s i o n E l e c t r o n M i c r o s c o p e、透過型電子顕微鏡) 観察により確認した。膜厚 1 n m の金属 Z r を堆積した場合に、膜厚 2 . 0 n m の酸化ジルコンが形成されていることを確認した。また、装置の仕様によって酸素プラズマによる酸化力が激しい場合には、金属 Z r の膜厚を厚くすることで下層電極を兼用している下層配線 2 0 a、2 0 b の酸化を防止することができる。

【 0 0 5 8 】

絶縁性バリア膜 7 上には必ずしも Z r 膜を形成する必要はなく、T i 膜や A l 膜や H f 膜などであっても良い。あるいは R F 電力を下げたり、原料流量を増加させたりしてもよい。これにより、原料の分解が抑制され、酸素プラズマの発生が抑制され、下層配線 2 0 a、2 0 b の酸化を抑えることができる。

【 0 0 5 9 】

(図 8 G) その後、イオン伝導層 9 上に第 1 の上部電極 1 0 および第 2 の上部電極 1 1 を順に形成する。第 1 の上部電極 1 0 は、例えば、膜厚 1 0 n m の R u である。第 2 の上部電極 1 1 は、例えば、膜厚 2 5 n m の T a である。

【 0 0 6 0 】

第 1 の上部電極 1 0 は、D C スパッタリングにより R u をターゲットとして D C パワー 0 . 2 k W、A r ガス圧力 0 . 2 7 [P a] の条件で堆積することができる。また、第 2 の上部電極 1 1 は、同じく D C スパッタリングにより T a をターゲットとして同条件で堆積することができる。第 1、第 2 の上部電極 1 0、1 1 も減圧下での堆積であるため、イオン伝導層 9 からの酸素の脱離を抑制するために室温で堆積する。

【 0 0 6 1 】

(図 8 H) 次に、第 2 の上部電極 1 1 上にハードマスク膜 1 2、およびハードマスク膜 1 3 を順に積層する。ハードマスク膜 1 2 は、例えば、膜厚 3 0 n m の S i C N 膜である。ハードマスク膜 1 3 は、例えば、膜厚 1 0 0 n m の S i O₂ 膜である。

【 0 0 6 2 】

ハードマスク膜 1 2、1 3 は、プラズマ C V D 法を用いて堆積することができる。ハードマスク膜 1 2、1 3 は当該技術分野における一般的なプラズマ C V D 法を用いて形成することができる。成長温度は 2 0 0 ~ 4 0 0 の範囲を選択することが可能である。

【 0 0 6 3 】

(図 8 I) 次に、ハードマスク膜 1 3 上に、抵抗変化素子部であるイオン伝導層 9、第 1 と第 2 の電極 1 0、1 1 をパターンニングするためのフォトレジストを形成する。その後、当該フォトレジストをマスクとして、ハードマスク膜 1 2 が表れるまでハードマスク膜 1 3 をドライエッチングする。その後、酸素プラズマアッシングと有機剥離を用いてフォトレジストを除去する。

10

20

30

40

50

【0064】

(図8J) その後、ハードマスク膜13をマスクとして、ハードマスク膜12、第2の上部電極11、第1の上部電極10、イオン伝導層9を連続的にドライエッチングする。

【0065】

ハードマスク膜13を用いたドライエッチングは、ハードマスク膜12の上面または内部で停止していることが好ましい。この場合、固体電解質膜であるイオン伝導層9はハードマスク膜12によってカバーされているため、酸素プラズマ中に暴露されることはない。また、第1の上部電極10のRuも酸素プラズマに暴露されることがないため、第1の上部電極10に対するサイドエッチの発生を抑制することができる。なお、ハードマスク膜13のドライエッチングは、一般的な平行平板型のドライエッチング装置を用いることができる。

10

【0066】

ハードマスク膜12、第2上部電極11、第1上部電極10、イオン伝導層9および酸化ジルコン膜のそれぞれのエッチングは、平行平板型のドライエッチング装置を用いることができる。例えばSiN膜を用いたハードマスク膜12のエッチングは、 CF_4/Ar のガス流量 = 25 / 50 sccm、圧力0.53 [Pa]、ソースパワー400W、基板バイアスパワー90Wの条件で行うことができる。

【0067】

また、第2の上部電極11のTaのエッチングは、 Cl_2 ガス流量 = 50 sccmにて圧力0.53 [Pa]、ソースパワー400W、基板バイアスパワー60Wの条件で行うことができる。また、第1の上部電極10のRuのエッチングは、 Cl_2/O_2 のガス流量 = 5 / 40 sccmにて圧力0.53 [Pa]、ソースパワー900W、基板バイアスパワー100Wの条件で行うことができる。

20

【0068】

また、イオン伝導層9の固体電解質のエッチングは、 $Cl_2/CF_4/Ar$ のガス流量 = 45 / 15 / 15 sccm、圧力1.3 [Pa]、ソースパワー800W、基板バイアスパワー60Wの条件で行うことができる。特に、塩素ガスを用いることで、下層のSiNとの選択比を高く維持したまま、サブトレッチなどの発生を抑制し、イオン伝導層9を加工することができる。このとき、下層配線20a、20b上の絶縁性バリア膜7の残膜厚は20 ~ 30 nmとなるよう調節することができる。

30

【0069】

(図8K) 次に、ハードマスク膜12、第2の上部電極11、第1の上部電極10、イオン伝導層9、絶縁性バリア膜7上に、第2のバリア絶縁膜14を堆積する。第2の絶縁性バリア膜14は、例えば、膜厚30 nmのSiN膜である。

【0070】

第2の絶縁性バリア膜14は、 SiH_4 と N_2 を原料ガスとし、基板温度300にて、RFプラズマを用いて形成することができる。 NH_3 や H_2 などの還元系のガスを用いないため、成膜直前の成膜ガス安定化工程において、イオン伝導層9の固体電解質膜の吸水成分を脱離することができる。このとき、第2の絶縁性バリア膜14はSiN膜であって、サイドカバレッジ70%以上で堆積することが好ましく、例えばALD法やPEALD法を用いることが好ましい。

40

【0071】

このとき、絶縁性バリア膜7、第2の絶縁性バリア膜14、およびハードマスク膜12は、SiN膜の単一材料とすることができる。これにより、抵抗変化素子の周囲をSiN膜で一体化して保護するので、界面の密着性が向上し、吸湿性や耐水性、酸素脱離耐性を向上でき、素子の歩留まりと信頼性を向上することができる。

【0072】

(図8L) 次に、第2の絶縁性バリア膜14上に、プラズマCVD法を用いて層間絶縁膜15を堆積する。層間絶縁膜15は、例えば、膜厚300 nmのシリコン酸化膜であ

50

る。次に、CMP (Chemical Mechanical Polishing) を用いて、層間絶縁膜 15 を平坦化する。ここで、層間絶縁膜 15 の平坦化では、層間絶縁膜 15 の頂面から約 300 nm を削り取り、残膜を約 150 nm とすることができる。このとき、層間絶縁膜 15 の CMP では、コロイダルシリカ、あるいはセリア系のスラリーを用いて研磨することができる。

【0073】

次に、層間絶縁膜 15 上に、層間絶縁膜 16 として、例えば SiOC 膜を膜厚 150 nm で堆積する。

【0074】

(図 8M) 次に、層間絶縁膜 15、16 にコンタクトプラグを形成するため、デュアルダマシンのピアファースト法を用いて、上層配線溝と一体化したピアホールを形成する。まず、フォトリジストを用いてピアホールをドライエッチングによって形成し、第 2 の絶縁性バリア膜 14 の上面あるいは内部でエッチングを停止する。次に、フォトリジストをアッシングによって除去する。次に、第 2 の絶縁性バリア膜 14 をエッチバックして、ピアホール底部の絶縁性バリア膜 14 を開口し、単一のピアホール内で第 2 の上部電極 11 の上面と側面の一部、および下層配線 20b の上面を、同時に露出する。この時のドライエッチングは、 CF_4 / Ar/O_2 のガス流量 = 40 / 10 / 5 sccm、圧力 0.53 [Pa]、ソースパワー 1000 W、基板バイアスパワー 20 W の条件で行うことができる。

【0075】

第 1 の上部電極 10 がルテニウムの場合、第 2 の絶縁性バリア膜 14 によってルテニウムの側面が保護されていないと、エッチングガス中に含まれる酸素と反応して RuO_4 を形成し、サイドエッチングが入ってしまう問題が生じる。この場合、第 1 の上部電極 10 の側面は第 2 の絶縁性バリア膜 14 で覆われているため、ルテニウムはドライエッチングのガスに暴露されることはなく、酸化は防止される。

【0076】

(図 8N) 次に、配線溝にバリアメタル 17 を介して金属 18 を埋め込んでコンタクトプラグ 21 を形成する。バリアメタル 17 は、例えば、 TaN (膜厚 5 nm) / Ta (膜厚 5 nm) である。金属 18 の材料は、例えば銅である。また、コンタクトプラグ 21 は上層配線 22 と一体で形成することができる。

【0077】

続いて、上層配線 22 の研磨を行い、上層配線 22 を含む層間絶縁膜 16 上に絶縁性バリア膜 19 を形成する。絶縁性バリア膜 19 は、例えば、膜厚 30 nm の $SiCN$ 膜である。

【0078】

本実施形態によれば、抵抗変化素子の製造歩留りと信頼性を維持しつつ、高密度に抵抗変化素子を配置することが可能な半導体装置が実現する。

【0079】

なお、本実施形態では、抵抗変化膜に固体電解質や酸素欠損型 ReRAM を用いる場合を説明したが、これらには限定されず、磁性体を用いた抵抗変化膜、あるいは相変化型抵抗変化膜など、抵抗変化膜として知られている他の膜を用いることもできる。

【0080】

以上のように好適な実施形態に関連付けして本発明を説明したが、これらの実施形態は単に事例を挙げて発明を説明するためのものであって、限定することを意味するものではない。

【0081】

例えば、本発明の背景となった CMOS 回路を有する半導体装置に関して、半導体基板上の銅配線部に抵抗変化素子を形成する場合について説明したが、本発明はこれに限定されるものではない。本発明は、例えば、DRAM (Dynamic RAM)、SRAM (Static RAM)、フラッシュメモリ、FRAM (登録商標) (Ferro E

10

20

30

40

50

lectric RAM)、MRAM(Magnetic RAM)、抵抗変化型メモリ、バイポーラトランジスタ等のようなメモリ回路を有する半導体装置へ適用することができる。さらに、マイクロプロセッサなどの論理回路を有する半導体装置、あるいはメモリ回路と論理回路を同時に搭載したボードやパッケージの銅配線上へも適用することができる。

【0082】

また、本発明は、半導体装置に対する電子回路装置、光回路装置、量子回路装置、マイクロマシン、MEMS(Micro Electro Mechanical Systems)などの接合にも適用することができる。また、本発明ではスイッチ機能での実施形態を説明したが、不揮発性と抵抗変化特性の双方を利用したメモリ素子などに用いることもできる。

10

【0083】

また、半導体装置の製造後の状態から、本発明の確認をすることができる。具体的には、半導体装置の断面をTEM観察し、多層配線層内に抵抗変化層が搭載されていることを確認する。さらに、断面TEM観察により、抵抗変化層もしくは電極の側面に絶縁膜が形成されていることを確認する。さらに、その絶縁膜が基板に並行方向に延在していないことを確認し、層間絶縁膜として用いられていないことを確認する。さらにTEMに加えEDX(Energy Dispersive X-ray Spectroscopy、エネルギー分散型X線分光法)、EELS(Electron Energy-Loss Spectroscopy、電子エネルギー損失分光法)などで組成分析を行うことで、使用材用の確認をすることができる。

20

【0084】

具体的には、銅配線上に形成された機能素子が、本発明の実施形態に記載されている抵抗変化膜であることを確認する。加えて、第2の絶縁性バリア膜がSiN膜であるかを同定する場合には、上記組成分析を面分析で行うことが好ましい。

【0085】

本発明は上記の実施形態に限定されることなく、特許請求の範囲に記載した発明の範囲内で、種々の変形が可能であり、それらも本発明の範囲内に含まれるものである。

【0086】

また、上記の実施形態の一部又は全部は、以下の付記のようにも記載され得るが、以下には限られない。

30

【0087】

付記

(付記1)

上部電極と、下部電極を兼ねる第1の下層配線と、前記上部電極と前記第1の下層配線との間に介在する抵抗変化膜と、第2の下層配線と、コンタクトプラグと、を有し、前記コンタクトプラグは、前記上部電極と前記第2の下層配線とに接続する、半導体装置。

(付記2)

前記第1の下層配線と前記第2の下層配線との間に層間絶縁膜を有し、前記第1の下層配線と前記第2の下層配線と前記層間絶縁膜との上に第1の絶縁性バリア膜を有し、前記第1の絶縁性バリア膜は、少なくとも前記第1の下層配線の上に開口部を有し、前記抵抗変化膜は、前記開口部にて少なくとも前記第1の下層配線と接する、付記1記載の半導体装置。

40

(付記3)

前記上部電極の側面と前記抵抗変化膜の側面の双方の少なくとも一部に、前記コンタクトプラグの側面が接する、付記1または2記載の半導体装置。

(付記4)

前記上部電極の側面と前記コンタクトプラグとの間の少なくとも一部に、第2の絶縁性バリア膜が介在する、付記1または2記載の半導体装置。

50

(付記 5)

前記第 2 の絶縁性バリア膜は SiN 膜を含む、付記 4 記載の半導体装置。

(付記 6)

前記上部電極はルテニウムを含む、付記 1 から 5 の内の 1 項記載の半導体装置。

(付記 7)

前記上部電極は、前記抵抗変化膜に接する第 1 の上部電極と、前記第 1 の上部電極に前記抵抗変化膜と反対面で接する第 2 の上部電極とを有し、前記第 1 の上部電極はルテニウムを含み、前記第 2 の上部電極はタンタル、チタン、もしくはそれらの窒素化合物を含む、付記 1 から 6 の内の 1 項記載の半導体装置。

(付記 8)

前記第 1 の上部電極の側面と前記コンタクトプラグとの間に前記第 2 の絶縁性バリア膜が介在する、付記 7 記載の半導体装置。

(付記 9)

前記コンタクトプラグは上層配線と一体化したスリット型のコンタクトプラグである、付記 1 から 8 の内の 1 項記載の半導体装置。

(付記 10)

前記コンタクトプラグは、外周部をバリアメタルで覆われた銅を有する、付記 1 から 9 の内の 1 項記載の半導体装置。

(付記 11)

前記抵抗変化膜は固体電解質を有する、付記 1 から 10 の内の 1 項記載の半導体装置。

(付記 12)

半導体基板上に形成した第 1 の層間絶縁膜に、第 1 の下層配線と第 2 の下層配線を形成し、

前記第 1 の下層配線と前記第 2 の下層配線と前記第 1 の層間絶縁膜との上に、少なくとも前記第 1 の下層配線が露出する開口部を有する第 1 の絶縁性バリア膜を形成し、前記開口部を介して、少なくとも前記第 1 の下層配線上に、抵抗変化膜、上部電極を順次形成し、

少なくとも前記上部電極の側面に第 2 の絶縁性バリア膜を形成し、

前記第 2 の絶縁性バリア膜上に第 2 の層間絶縁膜を形成し、

前記第 2 の層間絶縁膜および前記第 2 の絶縁性バリア膜にピアホールを形成して、前記ピアホール底部に前記上部電極と前記第 2 の下層配線とを露出し、

前記ピアホールに前記上部電極と前記第 2 の下層配線とに接続するコンタクトプラグを形成する、半導体装置の製造方法。

(付記 13)

前記上部電極はルテニウムを含む、付記 12 記載の半導体装置の製造方法。

(付記 14)

前記第 2 の絶縁性バリア膜は SiN 膜を含む、付記 12 または 13 記載の半導体装置の製造方法。

(付記 15)

前記第 2 の絶縁性バリア膜は、サイドカバレッジ 70 % 以上で堆積する、付記 12 から 14 の内の 1 項記載の半導体装置の製造方法。

(付記 16)

前記コンタクトプラグは上層配線と一体化したスリット型のコンタクトプラグである、付記 12 から 15 の内の 1 項記載の半導体装置の製造方法。

(付記 17)

前記コンタクトプラグは、外周部をバリアメタルで覆われた銅を有する、付記 12 から 16 の内の 1 項記載の半導体装置の製造方法。

(付記 18)

前記抵抗変化膜は固体電解質を有する、付記 12 から 17 の内の 1 項記載の半導体装置の製造方法。

10

20

30

40

50

【 0 0 8 8 】

この出願は、2014年5月29日に提出された日本出願特願2014-111109を基礎とする優先権を主張し、その開示の全てをここに取り込む。

【 産業上の利用可能性 】

【 0 0 8 9 】

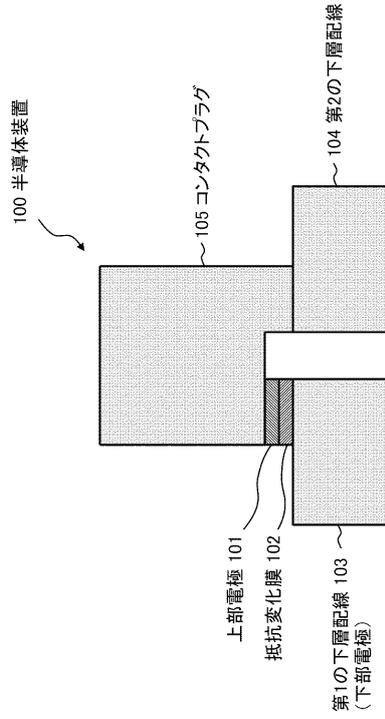
本発明は、半導体集積回路、半導体デバイスおよびその製造方法に利用可能である。

【 符号の説明 】

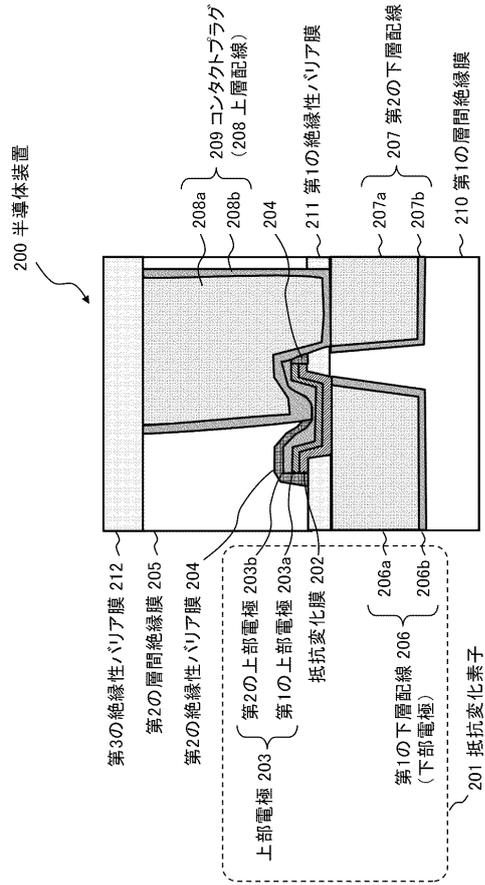
【 0 0 9 0 】

100、200、400、400'、600	半導体装置	
201、401、601	抵抗変化素子	10
102、202、402、602	抵抗変化膜	
101、203、403、603	上部電極	
203a、403a、603a	第1の上部電極	
203b、403b、603b	第2の上部電極	
204、404、604	第2の絶縁性バリア膜	
103、206、406、606	第1の下層配線	
104、207、407、607	第2の下層配線	
208、408、608	上層配線	
206a、406a、606a、207a、407a、607a、208a、408a、608a	銅層	20
206b、406b、606b、207b、407b、607b、208b、408b、608b	バリアメタル	
105、209、409、609	コンタクトプラグ	
205、405、605	第2の層間絶縁膜	
210、410、610	第1の層間絶縁膜	
211、411、611	第1の絶縁性バリア膜	
212、412、612	第3の絶縁性バリア膜	
301、501、701	第1の下層配線	
302、502、702	第2の下層配線	
303、503、703	コンタクトプラグ	30
304、504、704	第2の絶縁性バリア膜	
305、505、705	開口部	
2、4、15、16	層間絶縁膜	
3、7、19	絶縁性バリア膜	
5a、5b、18	金属	
6a、6b、17	バリアメタル	
8、12、13	ハードマスク	
9	イオン伝導層	
10	第1の上部電極	
11	第2の上部電極	40
14	第2の絶縁性バリア膜	
20a、20b	下層配線	
21	コンタクトプラグ	
22	上層配線	

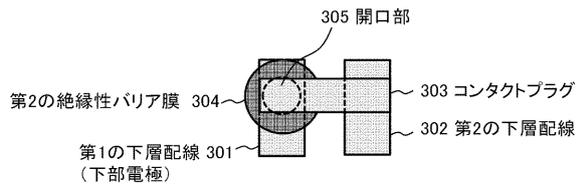
【図1】



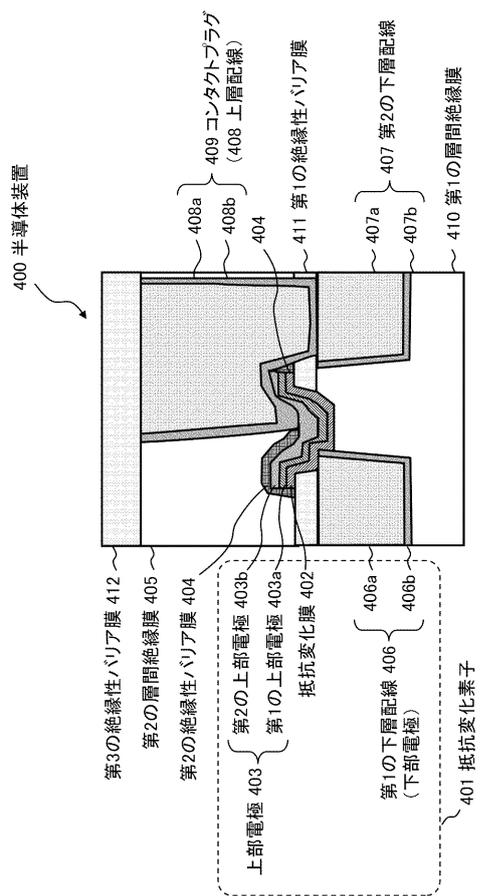
【図2】



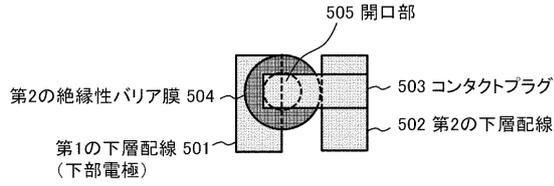
【図3】



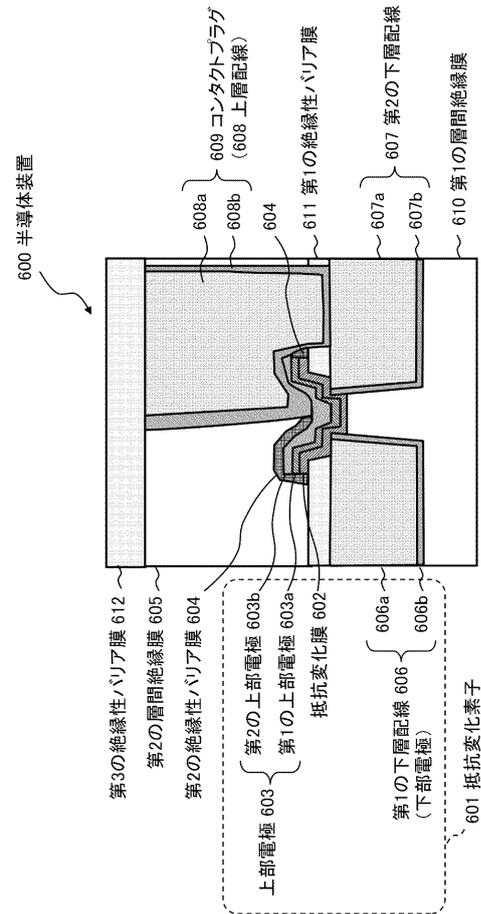
【図4】



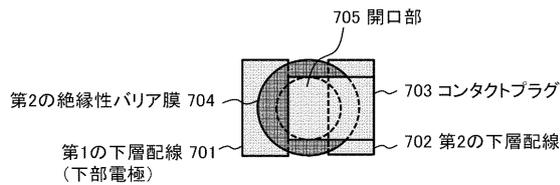
【図5】



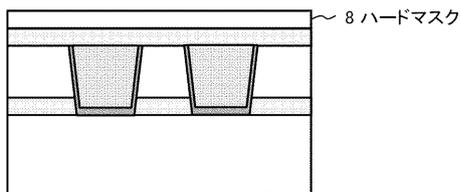
【図6】



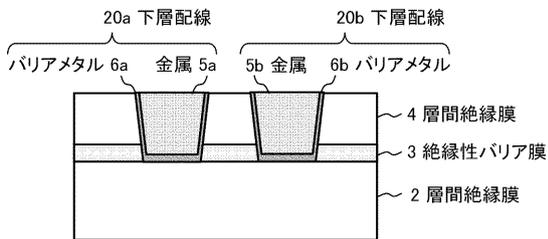
【図7】



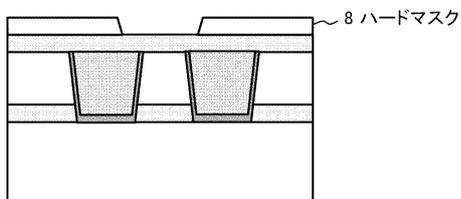
【図8C】



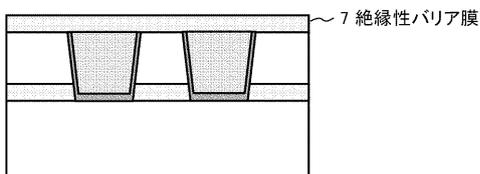
【図8A】



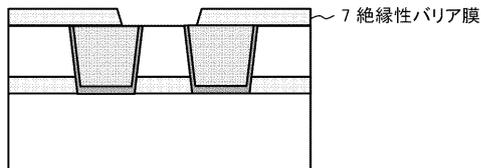
【図8D】



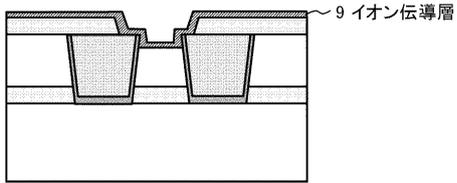
【図8B】



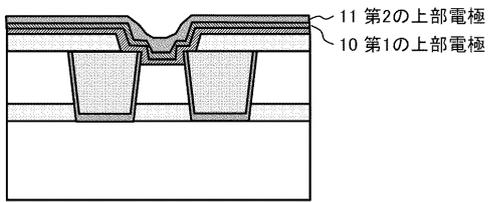
【図8E】



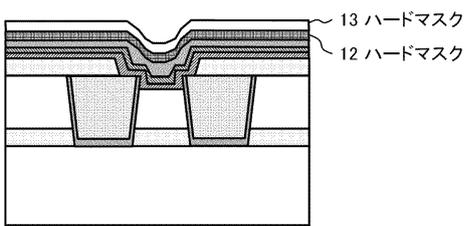
【図 8 F】



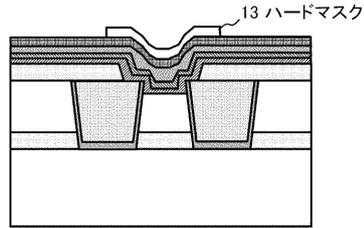
【図 8 G】



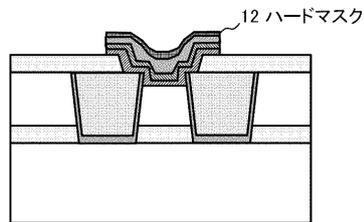
【図 8 H】



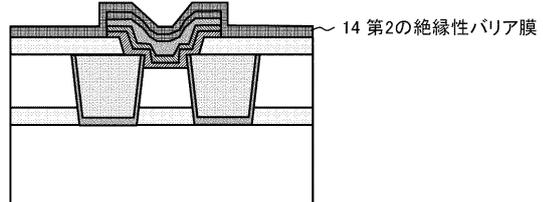
【図 8 I】



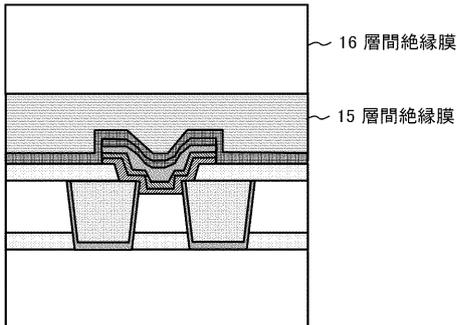
【図 8 J】



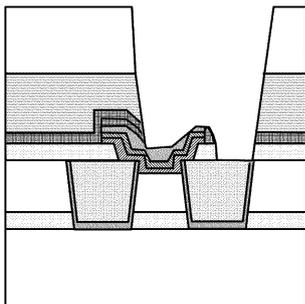
【図 8 K】



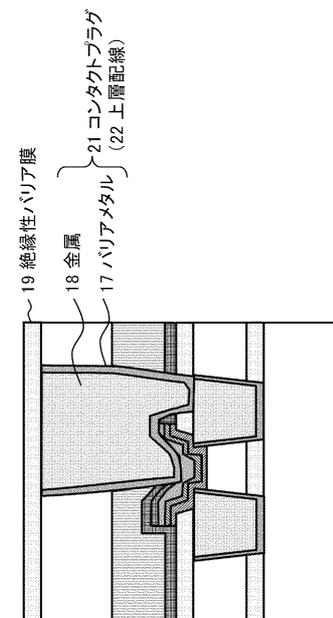
【図 8 L】



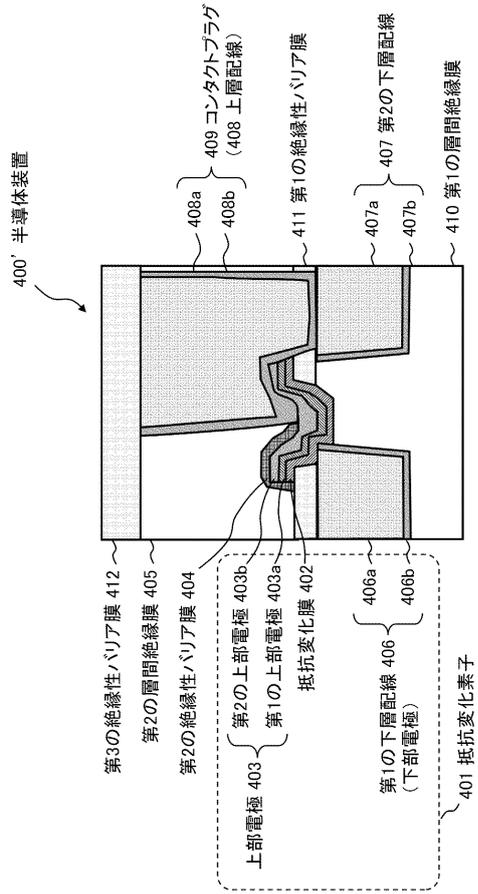
【図 8 M】



【図 8 N】



【図9】



フロントページの続き

- (56)参考文献 特開2010-192605(JP,A)
国際公開第2011/158821(WO,A1)
米国特許出願公開第2010/0207093(US,A1)
米国特許出願公開第2013/0082231(US,A1)
国際公開第2012/043502(WO,A1)
特開2010-182849(JP,A)
国際公開第2012/127861(WO,A1)
国際公開第2014/030393(WO,A1)
特開2014-038984(JP,A)
国際公開第2007/114099(WO,A1)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8239
H01L 21/3065
H01L 27/105