



(12) 发明专利申请

(10) 申请公布号 CN 113745222 A

(43) 申请公布日 2021. 12. 03

(21) 申请号 202110932053.7

(22) 申请日 2021.08.13

(30) 优先权数据

63/065,646 2020.08.14 US

17/354,085 2021.06.22 US

(71) 申请人 台湾积体电路制造股份有限公司

地址 中国台湾新竹

(72) 发明人 程冠伦 黄禹轩 陈豪育 蔡庆威

(74) 专利代理机构 北京德恒律治知识产权代理

有限公司 11409

代理人 章社杲 李伟

(51) Int. Cl.

H01L 27/092 (2006.01)

H01L 21/8238 (2006.01)

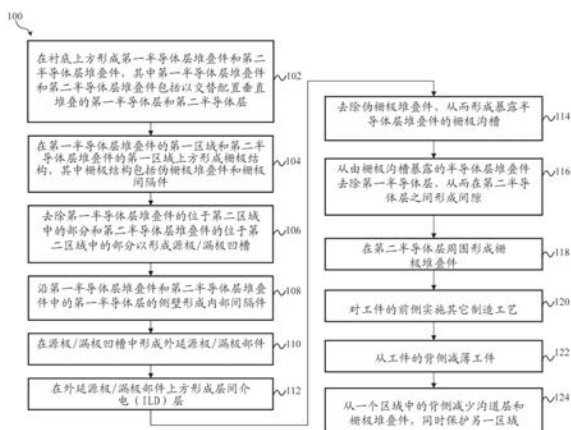
权利要求书2页 说明书20页 附图51页

(54) 发明名称

多栅极器件及其制造方法

(57) 摘要

本文公开了多栅极器件及其制造方法。示例性多栅极器件包括设置在第一区域中的第一FET;以及设置在衬底的第二区域中的第二FET。第一FET包括设置在衬底上方的第一沟道层,以及设置在第一沟道层上并且延伸以包裹第一沟道层的每个的第一栅极堆叠件。第二FET包括设置在衬底上方的第二沟道层,以及设置在第二沟道层上并且延伸以包裹第二沟道层的每个的第二栅极堆叠件。第一沟道层的数量大于第二沟道层的数量。第一沟道层的最底部一个位于第二沟道层的最底部一个下方。



1. 一种多栅极器件,包括:
衬底,具有第一区域和第二区域;
第一场效应晶体管(FET),设置在所述第一区域中,其中,所述第一场效应晶体管包括:
第一沟道层,设置在所述衬底上方,
第一栅极堆叠件,设置在所述第一沟道层上并且延伸以包裹所述第一沟道层的每个,
以及
第一源极/漏极部件,由所述第一栅极堆叠件插入并且延伸以接触所述第一沟道层的每个;以及
第二场效应晶体管,设置在所述第二区域中,其中,所述第二场效应晶体管包括:
第二沟道层,设置在所述衬底上方,
第二栅极堆叠件,设置在所述第二沟道层上并且延伸以包裹所述第二沟道层的每个,
以及
第二源极/漏极部件,由所述第二栅极堆叠件插入并且延伸以接触所述第二沟道层的每个,
其中,所述第一沟道层的数量大于所述第二沟道层的数量,并且其中,所述第一沟道层的最底部一个沟道层位于所述第二沟道层的最底部一个沟道层下方。
2. 根据权利要求1所述的多栅极器件,其中,所述第一沟道层的最顶部一个沟道层和所述第二沟道层的最顶部一个沟道层包括共同的顶面和共同的底面。
3. 根据权利要求2所述的多栅极器件,其中,所述第一栅极堆叠件的顶面和所述第二栅极堆叠件的顶面共面。
4. 根据权利要求3所述的多栅极器件,其中,所述第一栅极堆叠件的底面位于所述第二栅极堆叠件的底面下方。
5. 根据权利要求4所述的多栅极器件,其中,
所述第一场效应晶体管还包括水平设置在所述第一栅极堆叠件的相对边缘上的第一内部间隔件;
所述第二场效应晶体管还包括水平设置在所述第二栅极堆叠件的相对边缘上的第二内部间隔件;
所述第一内部间隔件向上延伸至第一层级;以及
所述第二内部间隔件向上延伸至与所述第一层级匹配的第二层级。
6. 根据权利要求5所述的多栅极器件,其中,
所述第一内部间隔件的最底部间隔件位于所述第二内部间隔件的最底部间隔件下方;
所述第一内部间隔件的所述最底部间隔件包括与所述第一栅极堆叠件的底面共面的第一底面;以及
所述第二内部间隔件的所述最底部间隔件包括与所述第二栅极堆叠件的底面共面的第二底面。
7. 根据权利要求5所述的多栅极器件,其中,
所述第一内部间隔件的所述最底部间隔件包括第一底面;
所述第二内部间隔件的所述最底部间隔件包括与所述第一底部共面的第二底面;
所述第一内部间隔件的所述最底部间隔件的所述第一底面与所述第一栅极堆叠件的

所述底面共面;以及

所述第二内部间隔件的所述最底部间隔件的所述第二底面位于所述第二栅极堆叠件的所述底面下方。

8. 根据权利要求1所述的多栅极器件,还包括设置在第三区域中的第三场效应晶体管,其中,所述第三场效应晶体管包括:

第三沟道层,设置在所述衬底上方,

第三栅极堆叠件,设置在所述第三沟道层上并且延伸以包裹所述第三沟道层的每个,以及

第三源极/漏极部件,由所述第三栅极堆叠件插入并且延伸以接触所述第三沟道层的每个,其中,所述第三沟道层的数量小于所述第一沟道层的数量和所述第二沟道层的数量的每个。

9. 一种多栅极器件,包括:

衬底,具有第一区域、第二区域和第三区域;

第一场效应晶体管(FET),设置在所述第一区域中,其中,所述第一场效应晶体管包括设置在所述衬底上方的第一沟道层,以及设置在所述第一沟道层上并且延伸以包裹所述第一沟道层的每个的第一栅极堆叠件;

第二场效应晶体管,设置在所述第二区域中,其中,所述第二场效应晶体管包括设置在所述衬底上方的第二沟道层,以及设置在所述第二沟道层上并且延伸以包裹所述第二沟道层的每个的第二栅极堆叠件;以及

第三场效应晶体管,设置在所述第三区域中,其中,所述第三场效应晶体管包括设置在所述衬底上方的第三沟道层,以及设置在所述第三沟道层上并且延伸以包裹所述第三沟道层的每个的第三栅极堆叠件,其中,

所述第一沟道层的数量大于所述第二沟道层的数量,

所述第二沟道层的数量大于所述第三沟道层的数量,以及

所述第一沟道层的最顶面与所述第二沟道层的最顶面和所述第三沟道层的最顶面共面。

10. 一种制造多栅极器件的方法,包括:

提供具有前侧和背侧的衬底;

在所述衬底的前侧上形成半导体堆叠件,其中,所述半导体堆叠件包括交替设置的第一半导体层和第二半导体层,所述第一半导体层和所述第二半导体层在组分上不同;

选择性去除所述第一半导体层;

在所述衬底的前侧上形成延伸以包裹所述第二半导体层的每个的第一栅极堆叠件和第二栅极堆叠件,所述第一栅极堆叠件和所述第二栅极堆叠件分别设置在所述第一区域和所述第二区域中;以及

从所述第二区域内的背侧去除所述第二半导体层的子集。

多栅极器件及其制造方法

技术领域

[0001] 本申请的实施例涉及多栅极器件及其制造方法。

背景技术

[0002] 电子工业对更小且更快的电子器件的需求日益增长,这些电子器件同时能够支持更多日益复杂和精密的功能。为了满足这些需求,集成电路(IC)工业中存在制造低成本、高性能和低功耗IC的持续趋势。迄今为止,这些目标已经在很大程度上通过减小IC尺寸(例如,最小IC部件尺寸)来实现,从而提高生产效率并且降低相关成本。但是,这种缩放也增加了IC制造工艺的复杂性。因此,实现IC器件及其性能的持续进步需要IC制造工艺和技术中的类似进步。

[0003] 近来,已经引入了多栅极器件以改善栅极控制。已经观察到多栅极器件可以增加栅极-沟道耦接、减小截止状态电流和/或减小短沟道效应(SCE)。一种这样的多栅极器件是全环栅(GAA)器件,其包括可以部分或全部在沟道区域周围延伸以至少在两侧上提供至沟道区域的访问的栅极结构。GAA器件能够积极缩小IC技术、维持栅极控制并且降低SCE,同时与传统IC制造工艺无缝集成。随着GAA器件继续缩放,当将各个器件集成在一起时出现了挑战,已经观察到哪些挑战会降低功率效率和GAA器件性能并且增加GAA处理复杂性,包括电池尺寸。因此,虽然现有的GAA器件和用于制造这种器件的方法通常已经足以满足其预期目的,但是它们不是在所有方面都完全令人满意。

发明内容

[0004] 本申请的一些实施例提供了一种多栅极器件,包括:衬底,具有第一区域和第二区域;第一场效应晶体管(FET),设置在所述第一区域中,其中,所述第一场效应晶体管包括:第一沟道层,设置在所述衬底上方,第一栅极堆叠件,设置在所述第一沟道层上并且延伸以包裹所述第一沟道层的每个,以及第一源极/漏极部件,由所述第一栅极堆叠件插入并且延伸以接触所述第一沟道层的每个;以及第二场效应晶体管,设置在所述第二区域中,其中,所述第二场效应晶体管包括:第二沟道层,设置在所述衬底上方,第二栅极堆叠件,设置在所述第二沟道层上并且延伸以包裹所述第二沟道层的每个,以及第二源极/漏极部件,由所述第二栅极堆叠件插入并且延伸以接触所述第二沟道层的每个,其中,所述第一沟道层的数量大于所述第二沟道层的数量,并且其中,所述第一沟道层的最底部一个沟道层位于所述第二沟道层的最底部一个沟道层下方。

[0005] 本申请的另一一些实施例提供了一种多栅极器件,包括:衬底,具有第一区域、第二区域和第三区域;第一场效应晶体管(FET),设置在所述第一区域中,其中,所述第一场效应晶体管包括设置在所述衬底上方的第一沟道层,以及设置在所述第一沟道层上并且延伸以包裹所述第一沟道层的每个的第一栅极堆叠件;第二场效应晶体管,设置在所述第二区域中,其中,所述第二场效应晶体管包括设置在所述衬底上方的第二沟道层,以及设置在所述第二沟道层上并且延伸以包裹所述第二沟道层的每个的第二栅极堆叠件;以及第三场效应

晶体管,设置在所述第三区域中,其中,所述第三场效应晶体管包括设置在所述衬底上方的第三沟道层,以及设置在所述第三沟道层上并且延伸以包裹所述第三沟道层的每个的第三栅极堆叠件,其中,所述第一沟道层的数量大于所述第二沟道层的数量,所述第二沟道层的数量大于所述第三沟道层的数量,以及所述第一沟道层的最顶面与所述第二沟道层的最顶面和所述第三沟道层的最顶面共面。

[0006] 本申请的又一些实施例提供了一种制造多栅极器件的方法,包括:提供具有前侧和背侧的衬底;在所述衬底的前侧上形成半导体堆叠件,其中,所述半导体堆叠件包括交替设置的第一半导体层和第二半导体层,所述第一半导体层和所述第二半导体层在组分上不同;选择性去除所述第一半导体层;在所述衬底的前侧上形成延伸以包裹所述第二半导体层的每个的第一栅极堆叠件和第二栅极堆叠件,所述第一栅极堆叠件和所述第二栅极堆叠件分别设置在所述第一区域和所述第二区域中;以及从所述第二区域内的背侧去除所述第二半导体层的子集。

附图说明

[0007] 当结合附图进行阅读时,从以下详细描述可最佳理解本发明。需要强调,根据工业中的标准实践,各个部件未按比例绘制,仅用于说明目的。实际上,为了清楚的讨论,各个部件的尺寸可以任意地增大或减小。

[0008] 图1是根据本发明的各个方面的用于制造多栅极器件的方法的流程图。

[0009] 图2A至图12A、图2B至图12B、图2C至图12C和图2D至图12D是根据本发明的各个方面的处于各个制造阶段(诸如与图1中的方法相关的那些)的多栅极器件的部分或整体的局部示意图。

[0010] 图13是根据本发明的各个方面的用于制造多栅极器件的方法的流程图。

[0011] 图14A至图21A、图14B至图21B、图14C至图21C和图14D至图21D是根据本发明的各个方面的处于各个制造阶段(诸如与图13中的方法相关的那些)的多栅极器件的部分或整体的局部示意图。

[0012] 图22是根据本发明的各个方面的用于制造多栅极器件的方法的流程图。

[0013] 图23A至图24A、图23B至图24B、图23C至图24C和图23D至图24D是根据本发明的各个方面的处于各个制造阶段(诸如与图22中的方法相关的那些)的多栅极器件的部分或整体的局部示意图。

[0014] 图25是根据本发明的各个方面的用于制造多栅极器件的方法的流程图。

[0015] 图26A、图26B、图26C和图26D是根据本发明的各个方面的处于各个制造阶段(诸如与图25中的方法相关的那些)的多栅极器件的部分或整体的局部示意图。

[0016] 图27是根据本发明的各个方面的用于制造多栅极器件的方法的流程图。

[0017] 图28A、图28B、图28C和图28D是根据本发明的各个方面的处于各个制造阶段(诸如与图27中的方法相关的那些)的多栅极器件的部分或整体的局部示意图。

具体实施方式

[0018] 本发明总体上涉及集成电路器件,并且更具体地涉及多栅极器件,诸如全环栅(GAA)器件。

[0019] 以下公开内容提供了许多用于实现不同特征的不同实施例或实例。可以在本文描述的几个实例中重复参考标号和/或字符。该重复是为了简单和清楚的目的,并且其本身不指示所讨论的几个实施例和/或配置之间的关系。此外,下面描述了组件和布置的具体实例以简化本发明。当然,这些仅仅是实例,而不旨在限制。例如,以下描述中,在第二部件上方或者上形成第一部件可以包括第一部件和第二部件直接接触形成的实施例,并且也可以包括在第一部件和第二部件之间可以形成额外的部件,从而使得第一部件和第二部件可以不直接接触的实施例。此外,在本发明中的另一部件上、连接至和/或耦接至另一部件的部件的形成可以包括其中部件以直接接触的形式形成的实施例,并且可以包括其中可以介于部件之间形成额外的部件从而使得部件可以不直接接触的实施例。

[0020] 此外,为了便于描述,在此可以使用例如“下部”、“上部”、“水平”、“垂直”、“在…之上”、“在…上方”、“在…下方”、“在…之下”、“向上”、“向下”、“顶部”、“底部”等空间相对术语以及它们的衍生词(例如,“水平地”、“向下地”、“向上地”等)空间相对术语,以描述一个元件或部件与另一个(或另一些)元件或部件的关系。空间相对术语旨在涵盖与包括元件或部件的器件(或系统或设备)所描绘的不同的方位,包括与器件的使用或操作相关的方位。该器件可以以其它方式定向(旋转90度或以其它方向)并且这里使用的空间相对描述词同样可以相应地解释。

[0021] 图1是根据本发明的各个方面的用于制造多栅极器件的方法100的流程图。在一些实施例中,方法100制造包括p型GAA晶体管和n型GAA晶体管的栅极器件。在一些实施例中,方法100制造包括具有不同特性的第一GAA晶体管和第二GAA晶体管的栅极器件,诸如关键路径中的第一GAA晶体管和而非关键路径中的第二GAA晶体管。在本实施例中,路径定义为在电路中分配信号的布线。关键路径是主要支配取决于不同电路应用的电路速度(或信号分配速度)的地方。另一方面,如果电路速度随着晶体管的性能显著变化,则信号路径将称为关键路径。在一些方面,关键路径和非关键GAA路径在场操作期间可能具有不同的功耗。在集成电路中,电路中的电流(以及电功率)可能分布不均匀。一些局部区域中的平均电流密度大于其它局部区域中的那些。具有更大平均电流密度的那些区域称为关键路径,这会导致各种问题,诸如减小功率效率、降低电路性能、降低电路速度、增加电池尺寸以及导致可靠性问题。在现有方法中,器件尺寸(诸如关键路径中的晶体管的沟道宽度)增加,以调整或减小对应平均电流密度。但是,现有方法将增加其它问题。例如,电路区域增加,并且封装密度减小。在其它实例中,对关键路径中的器件尺寸的调整会在有源区域中引入跳动,由于先进技术节点中较小的电路单元高度和栅极间距,这进一步增加了电路布局的复杂性以及电路设计的挑战。

[0022] 所公开的多栅极器件及其制造方法解决了这些问题。特别地,为了性能提升,本发明在关键路径处选择高驱动器件(或更大数量的器件);并且在非关键路径处选择低功率器件(或更少数量的器件)。

[0023] 在框102中,在衬底上方形成第一半导体层堆叠件和第二半导体层堆叠件。第一半导体层堆叠件和第二半导体层堆叠件包括以交替配置垂直堆叠的第一半导体层和第二半导体层。在框104中,在第一半导体层堆叠件的第一区域和第二半导体层堆叠件的第一区域上方形成栅极结构。栅极结构包括伪栅极堆叠件和栅极间隔件。在框106中,去除第一半导体层堆叠件的位于第二区域中的部分和第二半导体层堆叠件的位于第二区域中的部分以

形成源极/漏极凹槽。在框108中,沿第一半导体层堆叠件和第二半导体层堆叠件中的第一半导体层的侧壁形成内部间隔件。在框110中,在源极/漏极凹槽中形成外延源极/漏极部件。在框112中,在外延源极/漏极部件上方形成层间介电(ILD)层。在框114中,去除伪栅极堆叠件,从而形成暴露第一栅极区域中的第一半导体层堆叠件和第二栅极区域中的第二半导体层堆叠件的栅极沟槽。在框116中,从由栅极沟槽暴露的第一半导体层堆叠件和第二半导体层堆叠件去除第一半导体层,从而在第二半导体层之间形成间隙。在框118中,在第一栅极区域和第二栅极区域中的第二半导体层周围的栅极沟槽中形成栅极堆叠件。在框120中,从工件的前侧实施其它制造工艺,包括形成互连结构。在框122中,从背侧减薄工件。在框124中,第二区域中的沟道层和栅极堆叠件减少,而第一区域中的沟道层和栅极堆叠件保持不变。本发明考虑了额外的处理。可以在方法100之前、期间和之后提供额外步骤,并且对于方法100的额外实施例,可以移动、替换或消除所描述的一些步骤。下面的讨论示出了可以根据方法100制造的基于纳米线的集成电路器件的各个实施例。

[0024] 图2A至图12A、图2B至图12B、图2C至图12C和图2D至图12D是根据本发明的各个方面的处于各个制造阶段(诸如与图1中的方法100相关的那些)的多栅极器件200的部分或整体的局部示意图。特别地,图2A至图12A是X-Y平面中的多栅极器件200的顶视图;图2B至图12B分别是沿图2A至图12A的线B-B'在X-Z平面中的多栅极器件200的示意性截面图,图2C至图12C分别是沿图2A至图12A的C-C'线在Y-Z平面中的多栅极器件200的示意性截面图;并且图2D至图12D分别是沿图2A至图12A的线D-D'在Y-Z平面中的多栅极器件200的示意性截面图。多栅极器件200可以包括在微处理器、存储器和/或其它IC器件中。在一些实施例中,多栅极器件200是IC芯片的部分、片上系统(SoC)或它们的部分,其包括各种无源和有源微电子器件,诸如电阻器,电容器、电感器、二极管、p型场效应晶体管(PFET)、n型场效应晶体管(NFET)、金属氧化物半导体场效应晶体管(MOSFET)、互补金属氧化物半导体(CMOS)晶体管、双极结晶体管(BJT)、横向扩散MOS(LDMOS)晶体管、高压晶体管、高频晶体管、其它合适的组件或它们的组合。在一些实施例中,多栅极器件200包括在非易失性存储器中,例如非易失性随机存取存储器(NVRAM)、闪速存储器、电可擦除可编程只读存储器(EEPROM)、电可编程只读存储器(EPROM)、其它合适的存储器类型或它们的组合。为了清楚起见,已经简化了图2A至图12A、图2B至图12B、图2C至图12C和图2D至图12D,以更好地理解本发明的发明构思。可以在多栅极器件200中添加额外部件,并且可以在多栅极器件200的其它实施例中替换、修改或消除下面描述的一些部件。

[0025] 转至图2A至图2D,多栅极器件200包括衬底(晶圆)202。在所描绘的实施例中,衬底202包括硅。可选地或额外地,衬底202包括另一元素半导体,例如锗;化合物半导体,诸如碳化硅、砷化镓、磷化镓、磷化铟、砷化铟和/或锑化铟;合金半导体,诸如硅锗(SiGe)、GaAsP、AlInAs、AlGaAs、GaInAs、GaInP和/或GaInAsP;或它们的组合。可选地,衬底202是绝缘体上半导体衬底,诸如绝缘体上硅(SOI)衬底、绝缘体上硅锗(SGOI)衬底或绝缘体上锗(GOI)衬底。绝缘体上半导体衬底可以使用注氧隔离(SIMOX)、晶圆接合和/或其它合适的方法来制造。衬底202可以包括各个掺杂区域,这取决于多栅极器件200的设计要求。在所描绘的实施例中,衬底202包括用于第一GAA晶体管的第一区域202A和用于第二GAA晶体管的第二区域202B。第一GAA晶体管和第二GAA晶体管在器件特性和/或电路性能上不同。例如,第一区域202A中的第一GAA晶体管处于关键路径中,而第二区域202B中的第二GAA晶体管处于非关键

路径中。在所描绘的实施例中，第一区域202A和第二区域202B相邻。可选地，第一区域202A和第二区域202B可以彼此远离。在又一些其他实施例中，衬底202包括用于具有不同特性（诸如不同功率密度）的相应GAA晶体管的第一区域、第二区域和第三区域。工件200或衬底202包括前侧202FS和背侧202BS。

[0026] 衬底202也包括p型掺杂区域（以下称为p阱），其可配置为n型GAA晶体管，以及n型掺杂区域（以下称为n阱），其可配置为p型GAA晶体管。N型掺杂区域掺杂有n型掺杂剂，诸如磷、砷、其它n型掺杂剂或它们的组合。p型掺杂区域掺杂有p型掺杂剂，诸如硼、镉、其它p型掺杂剂或它们的组合。各个掺杂区域可以直接形成在衬底202上和/或中，例如，提供p阱结构、n阱结构、双阱结构、凸起结构或它们的组合。可以实施离子注入工艺、扩散工艺和/或其它合适的掺杂工艺以形成各个掺杂区域。

[0027] 在衬底202上方形成半导体层堆叠件205，其中半导体层堆叠件205包括从衬底202的表面以交错或交替配置垂直（例如，沿z方向）堆叠的半导体层210和半导体层215。在一些实施例中，半导体层210和半导体层215以所描绘的交错和交替配置外延生长。例如，在衬底上外延生长半导体层210的第一个，在半导体层210的第一个上外延生长半导体层215的第一个，在半导体层215的第一个上外延生长半导体层210的第二个，依此类推，直至半导体层堆叠件205具有期望数量的半导体层210和半导体层215。在这样的实施例中，半导体层210和半导体层215可以称为外延层。在一些实施例中，半导体层210和半导体层215的外延生长通过分子束外延（MBE）工艺、化学气相沉积（CVD）工艺、金属有机化学气相沉积（MOCVD）工艺、其它合适的外延生长工艺或它们的组合来实现。

[0028] 半导体层210的组分与半导体层215的组分不同以在随后处理期间实现蚀刻选择性和/或不同的氧化速率。在一些实施例中，半导体层210对蚀刻剂具有第一蚀刻速率，并且半导体层215对蚀刻剂具有第二蚀刻速率，其中第二蚀刻速率小于第一蚀刻速率。在一些实施例中，半导体层210具有第一氧化速率，并且半导体层215具有第二氧化速率，其中第二氧化速率小于第一氧化速率。在所描绘的实施例中，半导体层210和半导体层215包括不同的材料、组分原子百分比、组分重量百分比、厚度和/或特性，以在蚀刻工艺期间实现期望的蚀刻选择性，诸如实以在多栅极器件200的沟道区域中形成悬置沟道层的施蚀刻工艺。例如，在半导体层210包括硅锗并且半导体层215包括硅的情况下，半导体层215的硅蚀刻速率小于半导体层210的硅锗蚀刻速率。在一些实施例中，半导体层210和半导体层215可以包括相同的材料但是具有不同的组成原子百分比以实现蚀刻选择性和/或不同的氧化速率。例如，半导体层210和半导体层215可以包括硅锗，其中半导体层210具有第一硅原子百分比和/或第一锗原子百分比，并且半导体层215具有第二、不同的硅原子百分比和/或第二、不同的锗原子百分比。本发明考虑了半导体层210和半导体层215包括可以提供期望的蚀刻选择性、期望的氧化速率差异和/或期望的性能特性（例如，最大化电流的材料）的半导体材料的任何组合，包括本文公开的任何半导体材料。

[0029] 如下面进一步描述，半导体层215或它们的部分形成多栅极器件200的沟道区域。在所描绘的实施例中，半导体层堆叠件205包括配置为形成设置在衬底202上方的四个半导体层对的四个半导体层210和四个半导体层215，每个半导体层对具有相应第一半导体层210和相应第二半导体层215。在经历随后处理之后，这样的配置将产生在不同区域中具有四个或少于四个沟道的多栅极器件200。但是，本发明考虑了半导体层堆叠件205包括更多

或更少的半导体层的实施例,例如,这取决于多栅极器件200(例如,GAA晶体管)所期望的沟道数量和/或多栅极器件200的设计要求。例如,半导体层堆叠件205可以包括二至十个半导体层210和二至十个半导体层215。在进一步所描绘的实施例中,半导体层210具有厚度 t_1 并且半导体层215具有厚度 t_2 ,其中厚度 t_1 和厚度 t_2 基于多栅极器件200的制造和/或器件性能考虑来选择。例如,厚度 t_1 可以配置为限定多栅极器件200的相邻沟道之间(例如,半导体层215之间)的期望距离(或间隙),厚度 t_2 可以配置为实现多栅极器件200的沟道的期望厚度,并且厚度 t_1 和厚度 t_2 都可以配置为实现多栅极器件200的期望性能。在一些实施例中,厚度 t_1 和厚度 t_2 为约1nm至约10nm。

[0030] 转至图3A至图3D,图案化半导体层堆叠件205以在第一区域202A中形成鳍(也称为鳍结构、鳍元件等)218A并且在第二区域202B中形成鳍218B。鳍218A、218B包括衬底部分(即,衬底202的部分)和半导体层堆叠件部分(即,半导体层堆叠件205的包括半导体层210和半导体层215的剩余部分)。鳍218A、218B沿y方向基本彼此平行延伸,具有在y方向上限定的长度、在x方向上限定的宽度以及在z方向上限定的高度。在一些实施方式中,实施光刻和/或蚀刻工艺以图案化半导体层堆叠件205以形成鳍218A、218B。光刻工艺可以包括:在半导体层堆叠件205上方形成抗蚀剂层(例如,通过旋涂);实施预曝光烘烤工艺;使用掩模实施曝光工艺;实施曝光后烘烤工艺;以及实施显影工艺。在曝光工艺期间,抗蚀剂层暴露于辐射能量(诸如紫外(UV)光、深UV(DUV)光或极UV(EUV)光),其中掩模会阻挡、透射和/或反射辐射至抗蚀剂层,这取决于掩模的掩模图案和/或掩模类型(例如,二进制掩模、相移掩模或EUV掩模),从而使得图像投影至与掩模图案对应的抗蚀剂层上。因为抗蚀剂层对辐射能量敏感,所以抗蚀剂层的暴露部分发生化学变化,并且在显影工艺期间抗蚀剂层的暴露(或非暴露)部分溶解,这取决于抗蚀剂层的特性和在显影工艺中使用的显影液的特性。在显影之后,图案化抗蚀剂层包括与掩模对应的抗蚀剂图案。蚀刻工艺使用图案化抗蚀剂层作为蚀刻掩模去除半导体层堆叠件205的部分。在一些实施例中,图案化抗蚀剂层形成在设置在半导体层堆叠件205上方的硬掩模层上方,第一蚀刻工艺去除硬掩模层的部分以形成图案化硬掩模层,并且第二蚀刻工艺使用图案化硬掩模层作为蚀刻掩模去除半导体层堆叠件205的部分。蚀刻工艺可以包括干蚀刻工艺、湿蚀刻工艺、其它合适的蚀刻工艺或它们的组合。在一些实施例中,蚀刻工艺是反应离子蚀刻(RIE)工艺。在蚀刻工艺之后,例如通过抗蚀剂剥离工艺或其它合适的工艺去除图案化抗蚀剂层(以及在一些实施例中,硬掩模层)。可选地,鳍218A、218B通过多重图案化工艺来形成,诸如双重图案化光刻(DPL)工艺(例如,光刻-蚀刻-光刻-蚀刻(LELE)工艺、自对准双重图案化(SADP)工艺、间隔件是电介质(SID) SADP工艺、其它双重图案化工艺或它们的组合)、三重图案化工艺(例如,光刻-蚀刻-光刻-蚀刻-光刻-蚀刻(LELELE)工艺、自对准三重图案化(SATP)工艺、其它三重图案化工艺或它们的组合)、其它多重图案化工艺(例如,自对准四重图案化(SAQP)工艺)或它们的组合。在一些实施例中,在图案化半导体层堆叠件205的同时实施定向自组装(DSA)技术。此外,在一些实施例中,曝光工艺可以实施用于图案化抗蚀剂层的无掩模光刻、电子束(e-束)写入和/或离子束写入。

[0031] 在衬底202上方和/或中形成隔离部件230以隔离多栅极器件200的各个区域,诸如各个器件区域。例如,隔离部件230围绕鳍218A、218B的底部,从而使得隔离部件230将鳍218A、218B彼此分隔开并且隔离。在所描绘的实施例中,隔离部件230围绕鳍218A、218B的衬

底部分(例如,衬底202的掺杂区域204A、204B)并且部分围绕鳍218A、218B的半导体层堆叠件部分(例如,最底部半导体层210的部分)。但是,本发明考虑了隔离部件230相对于鳍218A、218B的不同配置。隔离部件230包括氧化硅、氮化硅、氮氧化硅、其它合适的隔离材料(例如,包括硅、氧、氮、碳或其它合适的隔离组分)或它们的组合。隔离部件230可以包括不同的结构,诸如浅沟槽隔离(STI)结构、深沟槽隔离(DTI)结构和/或硅的局部氧化(LOCOS)结构。例如,隔离部件230可以包括STI部件,其限定鳍218A、218B并且将鳍218A、218B与其它有源器件区域(诸如鳍)和/或无源器件区域电隔离。STI部件可以通过在衬底202中蚀刻沟槽(例如,通过使用干蚀刻工艺和/或湿蚀刻工艺)以及利用绝缘材料填充沟槽(例如,通过使用CVD工艺或旋涂玻璃工艺)来形成。可以实施化学机械抛光(CMP)工艺以去除过量绝缘材料和/或平坦化隔离部件230的顶面。在另一实例中,STI部件可以通过在形成鳍218A、218B之后在衬底202上方沉积绝缘材料(在一些实施方式中,从而使得绝缘材料层填充鳍218A、218B之间的间隙(沟槽))以及回蚀绝缘材料层以形成隔离部件230来形成。在一些实施例中,STI部件包括填充沟槽的多层结构,诸如设置在包括热氧化物的衬垫层上方的包括氮化硅的层。在另一实例中,STI部件包括设置在掺杂衬垫层(包括例如硼硅酸盐玻璃(BSG)或磷硅酸盐玻璃(PSG))上方的介电层。在又一实例中,STI部件包括设置在衬垫介电层上方的块状介电层,其中块状介电层和衬垫介电层包括取决于设计要求的材料。在一些实施例中,通过合适的方法(诸如选择性外延生长)在鳍218A、218B的侧壁上形成包覆层220。包覆层220可以包括在组分上类似于第一半导体层210的半导体材料的半导体材料。在所描绘的实施例中,包覆层220包括硅锗。包覆层220提供去除第一半导体层210的路径并且在稍后阶段的沟道释放工艺期间(下面将描述)与第一半导体层210一起被去除。包覆层220在以下图中未示出,但是根据一些实施例它可以在其被去除之前存在。

[0032] 转至图4A至图4D,在鳍218A、218B的部分上方和隔离部件230上方形成栅极结构240。栅极结构240在与(例如,正交于)鳍218A、218B的纵向不同的方向上纵向延伸。例如,栅极结构240沿x方向基本彼此平行延伸,具有在y方向上限定的长度、在x方向上限定的宽度和在z方向上限定的高度。栅极结构240设置在鳍218A、218B的部分上并且限定鳍218A、218B的源极/漏极区域242和沟道区域244。在X-Z平面中,栅极结构240包裹鳍218A、218B的顶面和侧壁表面。在Y-Z平面中,栅极结构240设置在鳍218A、218B的相应沟道区域244的顶面上方,从而使得栅极结构240介于相应源极/漏极区域242之间。栅极结构240可以包括:栅极区域240-1,与相应栅极结构240的将配置用于第一区域202A中的第一GAA晶体管的部分对应(并且因此对应于关键路径);以及栅极区域240-2,与相应栅极结构240的将配置用于第二区域202B中的第二GAA晶体管的部分对应(并且因此对应于非关键路径)。栅极结构240可以在栅极区域240-1和栅极区域240-2中不同地配置,这取决于将在这些区域上形成的晶体管,诸如p型晶体管或n型晶体管。

[0033] 在图4A至图4D中,每个栅极结构240包括伪栅极堆叠件245。在所描绘的实施例中,伪栅极堆叠件245的宽度限定栅极结构240的栅极长度(L_g) (这里,在y方向上),其中栅极长度限定当接通(导通)相应晶体管时电流(例如,载流子,诸如电子或空穴)在源极/漏极区域242之间行进的距离(或长度)。在一些实施例中,栅极长度为约5nm至约250nm。可以调整栅极长度以实现GAA晶体管的期望操作速度和/或GAA晶体管的期望封装密度。例如,当GAA晶体管接通时,电流在GAA晶体管的源极/漏极区域之间流动。增加栅极长度会增加电流在源

极/漏极区域之间传输所需的距离,从而增加GAA晶体管完全接通所用的时间。相反,减少栅极长度会减少电流在源极/漏极区域之间传输所需的距离,从而减少GAA晶体管完全接通所用的时间。更小的栅极长度提供了更快接通/断开的GAA晶体管,从而促进更快、高速的操作。更小的栅极长度也促进更紧密的封装密度(即,可以在IC芯片的给定区域中制造更多的GAA晶体管),从而增加了可以在IC芯片上制造的许多功能和应用。在所描绘的实施例,栅极结构240中的一个或多个的栅极长度配置为具有范围在约5nm和约20nm之间的栅极长度。在一些实施例中,多栅极器件200可以包括具有不同栅极长度的GAA晶体管。例如,栅极结构240中的一个或多个的栅极长度可以配置为提供具有中等长度或长长度沟道(M/LC)的GAA晶体管。在一些实施例中,M/LC GAA晶体管的栅极长度为约20nm至约250nm。

[0034] 伪栅极堆叠件245包括伪栅电极,并且在一些实施例中,包括伪栅极电介质。伪栅电极包括合适的伪栅极材料,诸如多晶硅层。在伪栅极堆叠件245包括设置在伪栅电极和鳍218A、218B之间的伪栅极电介质的实施例中,伪栅极电介质包括介电材料,诸如氧化硅、高k介电材料、其它合适的介电材料或它们的组合。高k介电材料的实例包括 HfO_2 、 HfSiO 、 HfSiON 、 HfTaO 、 HfTiO 、 HfZrO 、氧化锆、氧化铝、二氧化铪-氧化铝(HfO_2 - Al_2O_3)合金、其它合适的高k介电材料或它们的组合。在一些实施例中,伪栅极电介质包括设置在鳍218A、218B上方的界面层(包括例如氧化硅)和设置在界面层上方的高k介电层。伪栅极堆叠件245可以包括许多其它层,例如,覆盖层、界面层、扩散层、阻挡层、硬掩模层或它们的组合。例如,伪栅极堆叠件245还可以包括设置在伪栅电极上方的硬掩模层。

[0035] 伪栅极堆叠件245通过沉积工艺、光刻工艺、蚀刻工艺、其它合适的工艺或它们的组合来形成。例如,实施沉积工艺以在鳍218A、218B和隔离部件230上方形成伪栅电极层。在一些实施例中,在形成伪栅电极层之前,实施沉积工艺以在鳍218A、218B和隔离部件230上方形成伪栅极介电层。在这样的实施例中,伪栅电极层沉积在伪栅极介电层上方。在一些实施例中,在伪栅电极层上方沉积硬掩模层。沉积工艺包括CVD、物理气相沉积(PVD)、原子层沉积(ALD)、高密度等离子体CVD(HDPCVD)、金属有机CVD(MOCVD)、远程等离子体CVD(RPCVD)、等离子体增强CVD(PECVD)、低压CVD(LPCVD)、原子层CVD(ALCVD)、常压CVD(APCVD)、镀、其它合适的方法或它们的组合。然后实施光刻图案化和蚀刻工艺以图案化伪栅电极层(并且,在一些实施例中,伪栅极介电层和硬掩模层)以形成伪栅极堆叠件245,从而使得伪栅极堆叠件245(包括伪栅电极层、伪栅极介电层、硬掩模层和/或其它合适的层)配置为如图4A至图4D所示。光刻图案化工艺包括抗蚀剂涂覆(例如,旋涂)、软烘烤、掩模对准、曝光、曝光后烘烤、显影抗蚀剂、冲洗、干燥(例如,硬烘烤)、其它合适的光刻工艺或它们的组合。蚀刻工艺包括干蚀刻工艺、湿蚀刻工艺、其它蚀刻方法或它们的组合。

[0036] 每个栅极结构240还包括设置为与(即,沿其侧壁)相应伪栅极堆叠件245相邻的栅极间隔件247。栅极间隔件247通过任何合适的工艺(即,沉积和各向异性蚀刻,诸如等离子体蚀刻)形成并且包括介电材料。介电材料可以包括硅、氧、碳、氮、其它合适的材料或它们的组合(例如,氧化硅、氮化硅、氮氧化硅(SiON)、碳化硅、碳氮化硅(SiCN)、碳氧化硅(SiOC)、碳氮氧化硅(SiOCN))。例如,可以在伪栅极堆叠件245上方沉积并且随后蚀刻(例如,各向异性蚀刻)包括硅和氮的介电层,诸如氮化硅层,以形成栅极间隔件247。在一些实施例中,栅极间隔件247包括多层结构,诸如包括氮化硅的第一介电层和包括氧化硅的第二介电层。在一些实施例中,形成与伪栅极堆叠件245相邻的多于一个间隔件组,诸如密封间

隔件、偏移间隔件、牺牲间隔件、伪间隔件和/或主间隔件。在这样的实施方式中，各个间隔件组可以包括具有不同蚀刻速率的材料。例如，可以沉积并且蚀刻包括硅和氧（例如，氧化硅）的第一介电层以形成与伪栅极堆叠件245相邻的第一间隔件组，并且可以沉积并且蚀刻包括硅和氮（例如，氮化硅）的第二介电层以形成与第一间隔件组相邻的第二间隔件组。

[0037] 转至图5A至图5D，至少部分去除鳍218A、218B的暴露部分（即，鳍218A、218B的未由栅极结构240覆盖的源极/漏极区域242）以形成源极/漏极沟槽（凹槽）250。在所描绘的实施例中，蚀刻工艺完全去除鳍218A、218B的源极/漏极区域242中的半导体层堆叠件205，从而暴露鳍218A、218B的位于源极/漏极区域242中的衬底部分。因此源极/漏极沟槽250具有由半导体层堆叠件205的剩余部分限定的侧壁（其设置在栅极结构240下面的沟道区域244中）和由衬底202限定的底部（诸如源极/漏极区域242中的衬底202的顶面）。在一些实施例中，蚀刻工艺去除一些但不是全部的半导体层堆叠件205，从而使得源极/漏极沟槽250具有由源极/漏极区域242中的半导体层210或半导体层215限定的底部。在一些实施例中，蚀刻工艺还去除鳍218A、218B的一些但不是全部的衬底部分，从而使得源极/漏极凹槽250延伸至衬底202的最顶面下方。蚀刻工艺可以包括干蚀刻工艺、湿蚀刻工艺、其它合适的蚀刻工艺或它们的组合。在一些实施例中，蚀刻工艺是多步蚀刻工艺。例如，蚀刻工艺可以交替蚀刻剂以分别和交替去除半导体层210和半导体层215。在一些实施例中，蚀刻工艺的参数配置为选择性蚀刻半导体层堆叠件，而最少（至不）蚀刻栅极结构240（即，伪栅极堆叠件245和栅极间隔件247）和/或隔离部件230。在一些实施例中，实施光刻工艺，诸如本文所描述的那些，以形成覆盖栅极结构240和/或隔离部件230的图案化掩模层，并且蚀刻工艺使用图案化掩模层作为蚀刻掩模。

[0038] 在与减少沟道层并且形成背侧电源轨的GAA器件结构相关的一些实施例中（诸如在图7A至图7D和图14A至图19D中进一步描述），源极/漏极沟槽250形成得更深，从而在其中沉积源极/漏极部件之前，在其中沉积具有与衬底202的组分不同的组分的牺牲半导体层。

[0039] 转至图6A至图6D，通过任何合适的工艺沿半导体层210的侧壁在沟道区域244中形成内部间隔件255。例如，实施第一蚀刻工艺，该第一蚀刻工艺选择性蚀刻由源极/漏极沟槽250暴露的半导体层210而最少（至不）蚀刻半导体层215，从而在半导体层215之间以及半导体层215和栅极间隔件247下面的衬底202之间形成间隙。因此半导体层215的部分（边缘）悬置在栅极间隔件247下面的沟道区域244中。在一些实施例中，间隙部分在伪栅极堆叠件245下面延伸。第一蚀刻工艺配置为横向蚀刻（例如，沿y方向）半导体层210，从而减小半导体层210沿y方向的长度。第一蚀刻工艺是干蚀刻工艺、湿蚀刻工艺、其它合适的蚀刻工艺或它们的组合。然后，沉积工艺在栅极结构240上方和限定源极/漏极沟槽250（例如，半导体层215、半导体层210和衬底202）的部件上方形成间隔件层，诸如通过CVD、PVD、ALD、HDPCVD、MOCVD、RPCVD、PECVD、LPCVD、ALCVD、APCVD、其它合适的方法或它们的组合。间隔件层部分（并且在一些实施例中，完全）填充源极/漏极沟槽250。沉积工艺配置为确保间隔件层填充半导体层215之间以及半导体层215和栅极间隔件247下面的衬底202之间的间隙。然后实施第二蚀刻工艺（即，各向异性蚀刻工艺，诸如等离子体蚀刻），该第二蚀刻工艺选择性蚀刻间隔件层以形成如图6A至图6D中所描绘的内部间隔件层255而最少（至不）蚀刻半导体层215、伪栅极堆叠件245和栅极间隔件247。在一些实施例中，从栅极间隔件247的侧壁、半导体层215的侧壁、伪栅极堆叠件245和衬底202去除间隔件层。间隔件层（以及因此内部间隔件层255）包括

与半导体层215的材料和栅极间隔件247的材料不同的材料,以在第二蚀刻工艺期间实现期望的蚀刻选择性。在一些实施例中,间隔件层包括介电材料,该介电材料包括硅、氧、碳、氮、其它合适的材料或它们的组合(例如,氧化硅、氮化硅、氮氧化硅、碳化硅或碳氮氧化硅)。在一些实施例中,间隔件层包括低k介电材料,诸如本文所描述的那些。在一些实施例中,掺杂剂(例如,p型掺杂剂、n型掺杂剂或它们的组合)引入至介电材料中,从而使得间隔件层包括掺杂介电材料。内部间隔件255提供栅极和源极/漏极部件(下面将描述)之间的分隔和隔离。

[0040] 转至图7A至图7D,在源极/漏极凹槽250中形成外延源极/漏极部件。例如,从衬底202和半导体层215的由源极/漏极凹槽250暴露的部分外延生长半导体材料,从而在源极/漏极区域242中形成与第一区域202A中的第一GAA晶体管对应的外延源极/漏极部件260A,并且在源极/漏极区域242中形成与第二区域202B中的第二GAA晶体管对应的外延源极/漏极部件260B。外延工艺可以使用CVD沉积技术(例如,VPE和/或UHV-CVD)、分子束外延、其它合适的外延生长工艺或它们的组合。外延工艺可以使用气态和/或液态前体,其与衬底202和/或半导体层堆叠件205(特别是半导体层215)的组分相互作用。外延源极/漏极部件260A、260B掺杂有n型掺杂剂和/或p型掺杂剂。在一些实施例中,对于n型GAA晶体管,外延源极/漏极部件包括硅并且掺杂有碳、磷、砷、其它n型掺杂剂或它们的组合(例如,形成Si:C外延源极/漏极部件、Si:P外延源极/漏极部件或Si:C:P外延源极/漏极部件)。在一些实施例中,对于p型GAA晶体管,外延源极/漏极部件包括硅锗或锗,并且掺杂有硼、其它p型掺杂剂或它们的组合(例如,形成Si:Ge:B外延源极/漏极部件)。在一些实施例中,外延源极/漏极部件260A和/或外延源极/漏极部件260B包括多于一个外延半导体层,其中外延半导体层可以包括相同或不同的材料和/或掺杂剂浓度。在一些实施例中,外延源极/漏极部件260A、260B包括在相应沟道区域244中实现所需张应力和/或压应力的材料和/或掺杂剂。在一些实施例中,在沉积期间通过向外延工艺(即,原位)的源材料添加杂质来掺杂外延源极/漏极部件260A、260B。在一些实施例中,在沉积工艺之后通过离子注入工艺来掺杂外延源极/漏极部件260A、260B。在一些实施例中,实施退火工艺(例如,快速热退火(RTA)和/或激光退火)以激活外延源极/漏极部件260A、260B和/或其它源极/漏极区域(例如,重掺杂源极/漏极区域和/或轻掺杂源极/漏极(LDD)区域)中的掺杂剂。在一些实施例中,以不同的处理顺序形成外延源极/漏极部件260A、260B,包括例如,当在第一区域202A中形成外延源极/漏极部件260A时掩蔽第二区域202B中的GAA晶体管,以及当在第二区域202B中形成外延源极/漏极部件260B时掩蔽第一区域202A中的GAA晶体管。

[0041] 在一些实施例中,源极/漏极沟槽250形成得更深,如图5A至图5D中所描述。首先在更深的源极/漏极沟槽250中外延生长牺牲半导体层,然后在牺牲半导体层上外延生长源极/漏极部件260A和260B。在所描绘的实施例中,衬底202包括硅并且牺牲半导体层包括硅锗以提供蚀刻选择性(将在图12A至图19D中进一步描述)。

[0042] 转至图8A至图8D,例如通过沉积工艺(诸如CVD、PVD、ALD、HDPCVD、MOCVD、RPCVD、PECVD、LPCVD、ALCVD、APCVD、其它合适的方法或它们的组合)在隔离部件230、外延源极/漏极部件260A、260B和栅极间隔件247上方形成层间介电(ILD)层270。ILD层270设置在相邻栅极结构240之间。在一些实施例中,ILD层270通过可流动的CVD(FCVD)工艺来形成,该可流动的CVD(FCVD)工艺包括例如,在多栅极器件200上方沉积可流动材料(诸如液体化合物)并且

通过合适的技术(诸如热退火和/或紫外线辐射处理)将可流动材料转化为固体材料。ILD层270包括介电材料,包括例如,氧化硅、氮化硅、氮氧化硅、TEOS形成的氧化物、PSG、BPSG、低k介电材料、其它合适的介电材料或它们的组合。示例性低k介电材料包括FSG、碳掺杂的氧化硅、黑金刚石®(加利福尼亚州圣克拉拉的应用材料)、干凝胶、气凝胶、无定形氟化碳、聚对二甲苯、BCB、丝织物(密歇根州米德兰市陶氏化学)、聚酰亚胺、其它低k介电材料或它们的组合。在所描绘的实施例中,ILD层270是包括低k介电材料(通常称为低k介电层)的介电层。ILD层270可以包括具有多种介电材料的多层结构。在一些实施例中,接触蚀刻停止层(CESL)设置在ILD层270和隔离部件230、外延源极/漏极部件260A、260B以及栅极间隔件247之间。CESL包括与ILD层270不同的材料,诸如与ILD层270的介电材料不同的介电材料。例如,在ILD层270包括低k介电材料的情况下,CESL包括硅和氮,诸如氮化硅或氮氧化硅。在ILD层270和/或CESL的沉积之后,可以实施CMP工艺和/或其它平坦化工艺,直至到达(暴露)伪栅极堆叠件245的顶部(或顶面)。在一些实施例中,平坦化工艺去除伪栅极堆叠件245的硬掩模层以暴露伪栅极堆叠件245的下面的伪栅电极,诸如多晶硅栅电极层。

[0043] ILD层170可以是多层互连(MLI)部件的设置衬底202上方的部分。MLI部件电耦接各个器件(例如,多栅极器件200的p型GAA晶体管和/或n型GAA晶体管、晶体管、电阻器、电容器和/或电感器)和/或组件(例如,p型GAA晶体管和/或n型GAA晶体管的栅极结构和/或外延源极/漏极部件),从而使得各个器件和/或组件可以按照多栅极器件200的设计要求所指定的那样操作。MLI部件包括配置为形成各个互连结构的介电层和导电层(例如,金属层)的组合。导电层配置为形成垂直互连部件(诸如器件级接触件和/或通孔)和/或水平互连部件(诸如导线)。垂直互连部件通常连接MLI部件的不同层(或不同平面)中的水平互连部件。在操作期间,互连部件配置为在器件和/或多栅极器件200的组件之间布线信号和/或向器件和/或多栅极器件200的组件分配信号(例如,时钟信号、电压信号和/或接地信号)。

[0044] 转至图9A至图9D,从栅极结构240去除伪栅极堆叠件245,从而暴露第一栅极区域240-1和第二栅极区域240-2中的鳍218A、218B的半导体层堆叠件205。在所描绘的实施例中,蚀刻工艺完全去除伪栅极堆叠件245以暴露沟道区域244中的半导体层215和半导体层210。蚀刻工艺是干蚀刻工艺、湿蚀刻工艺、其它合适的蚀刻工艺或它们的组合。在一些实施例中,蚀刻工艺是多步蚀刻工艺。例如,蚀刻工艺可以交替蚀刻剂以分别去除伪栅极堆叠件245的各个层,诸如伪栅电极层、伪栅极介电层和/或硬掩模层。在一些实施例中,蚀刻工艺配置为选择性蚀刻伪栅极堆叠件245而最少(至不)蚀刻多栅极器件200的其它部件,诸如ILD层270、栅极间隔件247、隔离部件230、半导体层215和半导体层210。在一些实施例中,实施光刻工艺,诸如本文所描述的那些,以形成覆盖ILD层270和/或栅极间隔件247的图案化掩模层,并且蚀刻工艺使用图案化掩模层作为蚀刻掩模。

[0045] 转至图10A至图10D,从沟道区域244选择性去除半导体层堆叠件205的半导体层210(由栅极沟槽275暴露),从而在沟道区域244中形成悬置半导体层215'。在所描绘的实施例中,蚀刻工艺选择性蚀刻半导体层210而最少(至不)蚀刻半导体层215,并且在一些实施例中,最少(至不)蚀刻栅极间隔件247和/或内部间隔件255。可以调整各个蚀刻参数以实现半导体层210的选择性蚀刻,诸如蚀刻剂组分、蚀刻温度、蚀刻液浓度、蚀刻时间、蚀刻压力、源功率、RF偏置电压、RF偏置功率、蚀刻剂流速、其它合适的蚀刻参数或它们的组合。例如,为蚀刻工艺选择蚀刻剂,该蚀刻剂以比半导体层215的材料(在所描绘的实施例中,硅)高的

速率蚀刻半导体层210的材料(在所描绘的实施例中,硅锗)(即,蚀刻剂相对于半导体层210的材料具有高蚀刻选择性)。在存在包覆层220的一些实施例中,蚀刻工艺也选择性去除包覆层220。蚀刻工艺是干蚀刻工艺、湿蚀刻工艺、其它合适的蚀刻工艺或它们的组合。在一些实施例中,干蚀刻工艺(诸如RIE工艺)利用含氟气体(例如, SF_6)以选择性蚀刻半导体层210。在一些实施例中,可以调整含氟气体与含氧气体(例如, O_2)的比率、蚀刻温度和/或RF功率以选择性蚀刻硅锗或硅。在一些实施例中,湿蚀刻工艺利用包括氢氧化铵(NH_4OH)和水(H_2O)的蚀刻溶液以选择性蚀刻半导体层210。在一些实施例中,使用盐酸(HCl)的化学气相蚀刻工艺选择性蚀刻半导体层210。

[0046] 因此,通过栅极沟槽275在第一栅极区域240-1和第二栅极区域240-2中暴露至少一个悬置半导体层215'。在所描绘的实施例中,第一栅极区域240-1和第二栅极区域240-2的每个包括将提供四个沟道的垂直堆叠的四个悬置半导体层215',在GAA晶体管的操作期间,电流将通过该四个沟道在相应外延源极/漏极部件(外延源极/漏极部件260A或外延源极/漏极部件260B)之间流动。因此悬置半导体层215'在下文中称为沟道层215'。第一栅极区域240-1中的沟道层215'通过间隙277A分隔开,并且第二栅极区域240-2中的沟道层215'通过间隙277B分隔开。第一栅极区域240-1中的沟道层215'也通过间隙277A与衬底202分隔开,并且第二栅极区域240-2中的沟道层215'也通过间隙277B与衬底202分隔开。在第一栅极区域240-1中沿z方向在沟道层215'之间限定间隔s1,并且在第二栅极区域240-2中沿z方向在沟道层215'之间限定间隔s2。间隔s1和间隔s2分别与间隙277A和间隙277B的宽度对应。在所描绘的实施例中,间隔s1约等于s2,但是本发明考虑了间隔s1与间隔s2不同的实施例。在一些实施例中,间隔s1和间隔s2都约等于半导体层210的厚度t1。此外,第一栅极区域240-1中的沟道层215'具有沿x方向的长度为l1和沿y方向的宽度为w1,并且第二栅极区域240-2中的沟道层215'具有沿y方向的长度l2和沿x方向的宽度w2。在所描绘的实施例中,长度l1约等于长度l2,并且宽度w1约等于宽度w2,但是本发明考虑了长度l1与长度l2不同和/或宽度w1与宽度w2不同的实施例。在一些实施例中,长度l1和/或长度l2为约10nm至约50nm。在一些实施例中,宽度w1和/或宽度w2为约4nm至约10nm。在一些实施例中,每个沟道层215'具有纳米级尺寸并且可以称为“纳米线”,其通常是指以将允许金属栅极物理接触沟道层的至少两侧的方式悬置的沟道层,并且在GAA晶体管中,将允许金属栅极物理接触沟道层的至少四侧(即,围绕沟道层)。在这样的实施例中,悬置沟道层的垂直堆叠件可以称为纳米结构,并且图10A至图10D中所描绘的工艺可以称为沟道释放工艺。在一些实施例中,在去除半导体层210之后,实施蚀刻工艺以修改沟道层215'的轮廓以获得期望的尺寸和/或期望的形状(例如,圆柱形(例如,纳米线)、矩形(例如,纳米棒)、片状(例如,纳米片)等)。本发明进一步考虑了沟道层215'(纳米线)具有亚纳米尺寸的实施例,这取决于多栅极器件200的设计要求。

[0047] 转至图11A至图11D,在多栅极器件200上方形成栅极堆叠件360A和360B。栅极堆叠件的形成包括沉积和平坦化工艺,诸如CMP。可以共同形成或可选地分别形成栅极堆叠件360A和360B,这取决于GAA晶体管的类型,诸如n型GAA晶体管或p型GAA晶体管。因此,栅极堆叠件360A和360B可以具有相同的组分或可选地不同的组分,诸如不同的功函金属层(如下面所描述)。栅极堆叠件360A和360B的每个包括栅极介电层和设置在栅极介电层上的栅电极。在一些实施例中,栅极介电层包括界面层280和设置在界面层208上的高k介电层。栅电

极可以包括一种或多种导电材料,诸如覆盖层、功函金属层、阻挡层、金属填充层和/或其它合适的导电材料层。在一些实施例中,栅电极包括功函层(诸如用于栅极堆叠件360A的300或用于栅极堆叠件360B的310)和设置在功函金属层上的金属填充层350。功函层300和310可以相同或不同,并且可以是n型功函层或p型功函层,这取决于对应GAA晶体管的类型。

[0048] 在所描绘的实施例中,栅极介电层包括界面层280和高k介电层282,其中界面层280设置在高k介电层282和沟道层215'之间。在进一步所描绘的实施例中,界面层280和高k介电层282在第一栅极区域240-1中部分填充沟道层215'之间以及沟道层215'和衬底202之间的间隙277A,并且在第二栅极区域240-2中部分填充沟道层215'之间以及沟道层215'和衬底202之间的间隙277B。在一些实施例中,界面层280和/或高k介电层282也设置在衬底202、隔离部件230和/或栅极间隔件247上。界面层280包括介电材料,诸如 SiO_2 、 HfSiO 、 SiON 、其它含硅介电材料、其它合适的介电材料或它们的组合。高k介电层282包括高k介电材料,诸如 HfO_2 、 HfSiO 、 HfSiO_4 、 HfSiON 、 HfLaO 、 HfTaO 、 HfTiO 、 HfZrO 、 HfAlO_x 、 ZrO 、 ZrO_2 、 ZrSiO_2 、 AlO 、 AlSiO 、 Al_2O_3 、 TiO 、 TiO_2 、 LaO 、 LaSiO 、 Ta_2O_3 、 Ta_2O_5 、 Y_2O_3 、 SrTiO_3 、 BaZrO 、 BaTiO_3 (BTO)、 $(\text{Ba}, \text{Sr})\text{TiO}_3$ (BST)、 Si_3N_4 、二氧化铪-氧化铝(HfO_2 - Al_2O_3)合金、其它合适的高k介电材料或它们的组合。高k介电材料通常是指具有高介电常数的介电材料,例如大于氧化硅的介电常数($k \approx 3.9$)。界面层280通过本文所描述的任何工艺形成,诸如热氧化、化学氧化、ALD、CVD、其它合适的工艺或它们的组合。在一些实施例中,界面层280具有约0.5nm至约3nm的厚度。高k介电层282通过本文所描述的任何工艺形成,诸如ALD、CVD、PVD、基于氧化的沉积工艺、其它合适的工艺或它们的组合。在一些实施例中,高k介电层282具有约1nm至约2nm的厚度。

[0049] 功函层(300或310)形成在多栅极器件200上方,特别是高k介电层282上方。例如,ALD工艺在高k介电层282上共形沉积功函层,从而使得功函层具有基本均匀的厚度并且部分填充栅极沟槽275。功函层可以使用另一合适的沉积工艺形成,诸如CVD、PVD、HDPCVD、MOCVD、RPCVD、PECVD、LPCVD、ALCVD、APCVD、旋涂、镀、其它沉积工艺或它们的组合。例如,功函层沿沟道层215'的侧壁、顶部和底部设置。功函层的厚度配置为至少部分填充沟道层215'之间以及沟道层215'和衬底202之间的间隙(277A或277B)(并且在一些实施例中,不沿栅极长度方向(这里,沿y方向)填充栅极沟槽275)。在一些实施例中,功函层具有约1nm至约10nm的厚度。在一些实施例中,p型功函层包括任何合适的p型功函材料,诸如TiN、TaN、TaSN、Ru、Mo、Al、WN、WCN、 ZrSi_2 、 MoSi_2 、 TaSi_2 、 NiSi_2 、其它p型功函材料或它们的组合。在所描绘的实施例中,p型功函层包括钛和氮,诸如TiN。在一些实施例中,n型功函层包括任何合适的n型功函材料,诸如Ti、Al、Ag、Mn、Zr、TiAl、TiAlC、TiAlSiC、TaC、TaCN、TaSiN、TaAl、TaAlC、TaSiAlC、TiAlN、其它n型功函材料或它们的组合。在所描绘的实施例中,n型功函层包括铝。

[0050] 在多栅极器件200上方,特别是在第一栅极区域240-1中的功函层300上方和第二栅极区域240-2中的功函层310上方形成金属填充(或块状)层350。例如,CVD工艺或PVD工艺沉积金属填充层350,从而使得金属填充层350填充栅极沟槽275的任何剩余部分,包括栅极区域240-1和240-2中的间隙(277A或277B)的任何剩余部分。金属填充层350包括合适的导电材料,诸如Al、W和/或Cu。金属填充层350可以额外地或共同地包括其它金属、金属氧化物、金属氮化物、其它合适的材料或它们的组合。可选地,金属填充层350使用另一合适的沉

积工艺来形成,诸如ALD、CVD、PVD、HDPCVD、MOCVD、RPCVD、PECVD、LPCVD、ALCVD、APCVD、旋涂、镀、其它沉积工艺或它们的组合。在所描绘的实施例中,金属填充层350通过以形成晶种层的PVD以及随后的以完全形成金属填充层的镀来形成。

[0051] 实施平坦化工艺以从多栅极器件200去除过量栅极材料。例如,实施CMP工艺直至到达(暴露)ILD层270的顶面,从而使得在CMP工艺之后栅极结构240的顶面与ILD层270的顶面基本共面。因此,多栅极器件200包括:第一GAA晶体管,具有包裹相应沟道层215'的栅极堆叠件360A,从而使得栅极堆叠件360A设置在相应外延源极/漏极部件260A之间;以及第二GAA晶体管,具有包裹相应沟道层215'的金属栅极堆叠件360B,从而使得金属栅极360B设置在相应外延源极/漏极部件260B之间。

[0052] 可以对工件200的前侧202FS施加并且可以在上面描述的工艺之前、期间或之后实施其它制造工艺,诸如从衬底202的前侧在GAA晶体管上方形成互连结构的各个处理步骤,以电连接包括第一区域202A中的第一GAA晶体管和第二区域202B中的第二GAA晶体管的各个电路组件。互连结构包括:金属线,分布在多个金属层(诸如第一金属层、第二金属层、第三金属层等,从底部向上至顶部金属层)中,以提供水平布线和接触部件(在衬底和第一金属层之间);以及通孔部件(在金属层之间),以提供垂直布线。多栅极器件200也包括其它组件,诸如其它导电部件(诸如再分布层或RDL)、提供密封效果的钝化层和/或提供多栅极器件200和要形成在互连结构上的电路板(诸如印刷电路板)之间的界面的接合结构。对衬底202的前侧202FS实施上面描述的各个操作。随后的操作施加至工件200的将在下面描述的背侧202BS。在对背侧202BS进行各个操作之前,可以施加其它操作,诸如将另一衬底接合至工件200的前侧202FS。

[0053] 参考图12A至图12D,从背侧202BS减薄衬底202。在一些实施例中,在减薄工艺之后,源极/漏极部件260A和260B以及栅极堆叠件360A和360B中的至少一些从衬底202的背侧202BS暴露。减薄工艺可以包括蚀刻、研磨、CMP、其它合适的抛光工艺或它们的组合。

[0054] 仍然参考图12A至图12D,对工件200施加图案化工艺,从而使得第二区域202B中的沟道层215'和栅极堆叠件360B减少,而第一区域202A中的沟道层215'和栅极堆叠件360A保持不变。特别地,沟道层215'的数量减少。例如,第一区域202A和第二区域202B中的沟道层215'的原始数量是相同的数量N。在图案化工艺之后,第二区域202B中的沟道层215'的数量减少至N-M,而第一区域202A中的沟道层215'的数量保持为N。N和M都是整数。N可以是任何适当的整数,诸如N=3、4、5、6等。M是小于N的整数,诸如M=1、2、3、...和(N-1)。在图12A至图12D中示出的所描绘实例中,N=4并且M=1。在这种情况下,第一区域202A中的GAA晶体管的每个包括4个沟道层215',而第二区域202B中的GAA晶体管的每个包括3个沟道层215'。因此,第二区域202B中的栅极堆叠件360B的每个也从背侧202BS凹进,从而使得栅极堆叠件360B的高度小于栅极堆叠件360A的高度,如图12A至图12D中所示。内部间隔件255的位于第二区域202B中的去除的沟道层215'下方的部分也可以被去除或者保持原样。在沟道减少图案化工艺之后,可以在工件的背侧上形成介电层270以保护各个部件(沟道层、栅极堆叠件和诸如源极/漏极部件),如图12A至图12D中所示。介电层370可以包括沉积在工件200的背侧上的一种或多种介电材料,并且可以被额外平坦化,诸如通过CMP。介电层370可以包括氧化硅、氮化硅、氮氧化硅、低k介电材料、其它合适的介电材料或它们的组合。介电层370的沉积工艺可以是CVD、FCVD、旋涂和固化、其它合适的沉积或它们的组合。工件200的背侧可以

包括其它部件,诸如下面根据各个实施例将描述电源线、接触部件和其它导电部件。

[0055] 在多栅极器件200中,即使第一区域202A中的第一GAA晶体管和第二区域202B中的第二GAA晶体管具有不同数量的沟道层215',但是第一区域202A中的最顶部沟道层215'和第二区域202B中的最顶部沟道层215'具有共面的顶面。此外,即使第一区域202A中的栅极堆叠件360A和第二区域202B中的栅极堆叠件360B具有不同的高度,但是第一区域202A中的栅极堆叠件360A的顶面和第二区域中的栅极堆叠件360B的顶面202B共面。这将有利于施加至工件200的前侧202FS的各个工艺(诸如方法100的框102至框120中描述的那些),因为工件200的正面具有更平坦的表面并且因此获得均匀的结果。相反,第一区域202A中的最底部沟道层215'和第二区域202B中的最底部沟道层215'位于不同的层级处。此外,第一区域202A中的栅极堆叠件360A的底面和第二区域202B中的栅极堆叠件360B的底面位于不同的层级处。多栅极器件200包括具有不同沟道层数量和不同栅极高度的GAA晶体管的两个或多个区域。下面根据各个实施例进一步描述减少公开结构中的沟道层的数量的方法(图1中的框124)。

[0056] 图13是根据一些实施例从工件的背侧减少沟道层和栅极堆叠件的方法124的流程图。图14A至图21A、图14B至图21B、图14C至图21C和图14D至图21D是根据本发明的各个方面的处于各个制造阶段(诸如与图13中的方法124相关的那些)的多栅极器件200的部分或整体的局部示意图。特别地,图14A至图21A是X-Y平面中的多栅极器件200的顶视图;图14B至图21B分别是沿图14A至图21A的线B-B'在X-Z平面中的多栅极器件200的示意性截面图,图14C至图21C分别是沿图14A至图21A的线C-C'在Y-Z平面中的多栅极器件200的示意性截面图;并且图14D至图21D分别是沿图14A至图21A的线D-D'在Y-Z平面中的多栅极器件200的示意性截面图。

[0057] 图13的方法124详述了根据一些实施例从工件的背侧减少沟道层和栅极堆叠件的各个处理步骤,如图1中的方法100的框124。在这种情况下,在框122中的减薄工艺之后,沟道层215'和栅极堆叠件(360A和360B)不暴露。相反,位于源极/漏极部件下面的牺牲半导体层372暴露。在框126中,从背侧202BS对工件200施加选择性蚀刻工艺,从而去除鳍103的位于栅极堆叠件下面的部分。在框128中,在第一区域202A内的工件的背侧上形成图案化保护层,而第二区域202B从背侧暴露。在框130中,施加蚀刻工艺以减少第二区域202B内的沟道层215'和栅极堆叠件360B的数量。在框132中,可以从工件200的背侧去除图案化保护层。在框134中,在工件200的背侧上形成介电层以保护沟道层215'以及栅极堆叠件360A和360B。在框136中,背侧导电部件(或背侧电源轨)从工件200的背侧形成,以定位在源极/漏极部件260A和260B的子集的底面上。

[0058] 参考图14A至图14D,在框122中的减薄工艺之后,源极/漏极部件260A和260B不暴露,但是半导体材料层372从工件200的背侧202BS暴露。在所描绘的实施例中,在源极/漏极部件(260A和260B)下方形成具有与衬底202不同组分的(牺牲)半导体材料层372以提供蚀刻选择性。例如,半导体层372包括硅锗而衬底202包括硅(如图5A至图5D和图7A至图7D中所描述)。半导体层372可以在形成源极/漏极部件的工艺期间形成。在方法100的所描绘实施例中,修改形成源极/漏极沟槽250的框106以在源极/漏极区域中形成更深的沟槽250,如图14A至图14D中所示;并且框110包括在更深的源极/漏极沟槽250中外延生长硅锗层372,以及然后在源极/漏极沟槽250中的硅锗层372上外延生长源极/漏极部件260A和260B,如图

15A至图15D中所示。

[0059] 参考图16A至图16D,在框122中的减薄工艺之后,半导体材料层372从工件200的背侧暴露。

[0060] 参考图17A至图17D,施加选择性蚀刻工艺以去除鳍103中的块状硅而半导体层372保留。例如,包括 HNO_3 、 H_2O 和氢氟化物(HF)的溶液用于选择性蚀刻硅。在另一实例中,KOH溶液用于选择性蚀刻硅。

[0061] 参考图18A至图18D,形成图案化保护层374以覆盖第一区域202A,而第二区域202B在图案化保护层374的开口内暴露。在一些实施例中,图案化保护层374是通过光刻工艺形成的图案化光刻胶层。在一些实施例中,图案化保护层374包括与栅极堆叠件360B和沟道层215'不同的其它一种或多种材料,使得随后蚀刻工艺对保护层没有(或最少)蚀刻效果。在进一步的实施例中,保护层374包括介电层,诸如氧化硅、氮化硅、金属氧化物(诸如氧化钛)、其它介电材料或它们的组合。在这种情况下,保护层374通过沉积和图案化工艺来形成,该工艺还包括光刻工艺和蚀刻。沉积工艺包括CVD、FCVD、其它合适的沉积方法或它们的组合。

[0062] 参考图19A至图19D,通过蚀刻减少第二区域202B中的沟道层215'和栅极堆叠件360B。蚀刻工艺设计为具有选择性的蚀刻剂,对保护层374具有不蚀刻或最少蚀刻效果。蚀刻工艺可以包括利用相应蚀刻剂的多个蚀刻步骤,以选择性蚀刻沟道层215'和栅极堆叠件360B的包括栅极介电材料和栅电极材料的各种材料。在所描绘的实施例中,沟道层215的数量减少1或者 $M=1$ 并且 $N-M=3$ 。但是,本发明考虑了M为从1至N-1的任何整数的实施例。在本实施例中,也去除减少的沟道层215'下方的内部间隔件255。可选地,第二区域202B中的内部间隔件255在沟道减少之后可以保持不变。如果保护层374是图案化光刻胶层,则可以通过剥离去除保护层374,或者,如果保护层374是其它材料,则可以通过蚀刻去除保护层374。可选地,如果它不是光刻胶,则它可以保留。

[0063] 参考图20A至图20D,在工件200的背侧上形成介电层376,从而覆盖沟道层215'以及栅极堆叠件360A和360B。介电层376可以通过沉积和CMP来形成。在一些实施例中,介电层376包括诸如氧化硅、氮化硅、金属氧化物、其它介电材料或它们的组合的介电材料。沉积工艺包括CVD、FCVD、其它合适的沉积方法或它们的组合。

[0064] 参考图21A至图21D,在一些实施例中,背侧导电部件378形成为从背侧电连接源极/漏极部件260A和260B的子集,而其余源极/漏极部件260A和260B从前侧电连接至导电部件380。背侧导电部件378减少了前侧中的导电部件并且为前侧中的金属布线提供了更多自由度,因此提高了封装密度,尤其是对于先进技术节点中的GAA器件。

[0065] 导电部件380是连接至源极/漏极部件的接触部件并且从前侧定位在源极/漏极部件的顶面上,其可以通过在框120中形成互连结构(包括接触部件、通孔部件和金属线)的工艺形成。任何合适的方法可以用于形成导电部件380。例如,通过光刻工艺和蚀刻图案化ILD层270以形成接触孔。在接触孔中填充一种或多种导电材料,并且此后可以施加CMP工艺以去除过量导电材料并且平坦化工件200的顶面。在一些实施例中,导电部件380包括直接形成在源极/漏极部件的顶面上的硅化物层,在硅化物层中沉积填充金属,诸如钨、钴、镍或铜,以填充在接触孔中。在一些可选实施例中,在硅化物层之后和填充金属之前,在接触孔的侧壁上形成阻挡层,诸如钛和氮化钛或钽和氮化钽。阻挡层插入在硅化物层和填充金属

之间并且将填充金属与ILD层270分隔开以防止相互扩散。在一些实例中,接触部件包括导电材料,诸如金属。金属包括铝、铝合金(诸如铝/硅/铜合金)、铜、铜合金、钛、氮化钛、钽、氮化钽、钨、多晶硅、金属硅化物、其它合适的金属或它们的组合。金属硅化物可以包括硅化镍、硅化钴、硅化钨、硅化钼、硅化钛、硅化铂、硅化铪、硅化钡或它们的组合。

[0066] 在本实施例中,通过去除内部间隔件255的部分和减少的沟道层215'的边缘部分(与图24A至图24D中的结构相比),源极/漏极部件之间的材料的介电常数(k值)降低,源极/漏极部件之间(和栅极堆叠件之间)的寄生电容减小。

[0067] 导电部件378在组成和结构方面类似于导电部件380。但是,导电部件380形成在工件的背侧202BS上。在一些实例中,导电部件378通过包括图案化、沉积和CMP的过程形成。在所描绘的实施例中,该过程包括实施蚀刻工艺以选择性去除半导体层372;通过沉积和图案化形成介电层382,使得介电层包括与要形成导电部件378的区域对准的开口,同时由此覆盖其它区域;以及通过沉积和额外的CMP形成导电部件378。CMP工艺也去除导电部件378和介电层382的过量部分,并且平坦化工件200的背面。介电层382可以包括任何合适的介电材料,诸如氧化硅、氮化硅、金属氧化物、其它合适的介电材料或它们的组合。介电层382可以具有与介电层378相同的组分,或可选的不同组分。类似于前侧导电部件380,背侧导电部件378也可以包括多个导电层,诸如硅化物层和填充金属层,或者可选地,硅化物层、阻挡层和填充金属层。特别地,硅化物层直接接触源极/漏极部件的底面。阻挡层插入在硅化物层和填充金属之间,并且将填充金属层与周围介电层分隔开以防止相互扩散。

[0068] 图22是根据一些实施例从工件200的背侧减少沟道层和栅极堆叠件的方法124的流程图。图22的方法124类似于图13的方法124,除了框130。在框130中,仅去除第二区域202B中的沟道层215'和栅极堆叠件的部分,但是内部间隔件255保留并且保持不变,如图21A至图21D中所示。沟道减少之后的多栅极器件200的结构在图23A至图23D中示出。为了简洁,省略了详细描述。

[0069] 图23A至图24A、图23B至图24B、图23C至图24C和图23D至图24D是根据本发明的各个方面的处于各个制造阶段(诸如与图22中的方法124相关的那些)的多栅极器件200的部分或整体的局部示意图。特别地,图23A至图24A是X-Y平面中的多栅极器件200的顶视图;图23B至图24B分别是沿图23A至图24A的线B-B'在X-Z平面中的多栅极器件200的示意性截面图,图23C至图24C分别是沿图23A至图24A的C-C'线在Y-Z平面中的多栅极器件200的示意性截面图;并且图23D至图24D分别是沿图23A至图24A的线D-D'在Y-Z平面中的多栅极器件200的示意性截面图。

[0070] 参考图23A至图23D,通过蚀刻工艺去除第二区域202B中的沟道层215'和栅极堆叠件360B的部分,但是内部间隔件255不被蚀刻并且保持不变。因此,仅部分去除了去除的沟道层215'(所描绘的实施例中的最底部沟道层215'),并且与内部间隔件255对准的边缘部分保留在源极/漏极部件260B的侧壁上。

[0071] 参考图24A至图24D,在工件200的背侧上形成介电层376以覆盖并且保护沟道层215'和栅极堆叠件360B。特别地,介电层376包括各个段,每个段具有插入源极/漏极部件260B之间的间隙中的T形。

[0072] 图25是根据一些实施例从工件200的背侧减少沟道层和栅极堆叠件的方法124的流程图。图26A、图26B、图26C和图26D是根据本发明的各个方面的处于各个制造阶段(诸如

与图25中的方法124相关的那些)的多栅极器件200的部分或全部的局部示意图。特别地,图26A是X-Y平面中的多栅极器件200的顶视图;图26B是沿图26A的线B-B'在Y-Z平面中的多栅极器件200的示意性截面图,图26C是沿图26A的线C-C'在Y-Z平面中的多栅极器件200的示意性截面图;并且图26D是沿图26A的线D-D'在Y-Z平面中的多栅极器件200的示意性截面图。

[0073] 图25的方法124类似于图13的方法124,除了图25的方法124包括施加于三个不同电路区域的各个操作:第一区域202A、第二区域202B和第三区域202C,如图26A至图26D中所示。在这种情况下,沟道减少工艺分别或共同施加于第二区域202B和第三区域202C,从而使得第二区域中的沟道层215'的数量减少至 $N-M_1$,并且第三区域中的沟道层215'的数量减少至 $N-M_2$,其中 M_1 和 M_2 是1和 $N-1$ 之间的整数,并且 M_1 和 M_2 不相等。例如, $M_1=1$ 并且 $M_2=2$ 。在方法124中,框128、130和132重复两次。框128、130和132重复两次以上。

[0074] 在所描绘的实施例中,在框128中,形成图案化保护层以覆盖第一区域202A,而第二区域202B和第三区域202C在保护层的开口内暴露。在框130中,通过蚀刻工艺减少第二区域202B和第三区域202C中的沟道层215'、栅极堆叠件和内部间隔件,诸如减少1。在框132中,可以通过剥离或蚀刻去除保护层。

[0075] 此后,方法124返回至框128,其中形成图案化保护层以覆盖第一区域202A和第二区域202B,而第三区域202C在保护层的开口内暴露。在框130中,通过蚀刻工艺减少第三区域202C中的沟道层215'、栅极堆叠件和内部间隔件,诸如减少1。在框132中,可以通过剥离或蚀刻去除保护层。因此,第一区域202A中的GAA晶体管包括 N 个沟道层215',第二区域202B中的GAA晶体管包括 $N-M_1$ 个沟道层215',并且第三区域202C中的GAA晶体管包括 $N-M_2$ 个沟道层215'。在图24A至图24D中所示的实施例中, $N=4$, $M_1=1$,并且 $M_2=2$ 。

[0076] 图27是根据一些实施例从工件200的背侧减少沟道层和栅极堆叠件的方法124的流程图。图28A、图28B、图28C和图28D是根据本发明的各个方面的处于各个制造阶段(诸如与图27中的方法124相关的那些)的多栅极器件200的部分或整体的局部示意图。特别地,图28A是X-Y平面中的多栅极器件200的顶视图;图28B是沿图28A的线B-B'在Y-Z平面中的多栅极器件200的示意性截面图,图28C是沿图28A的线C-C'在Y-Z平面中的多栅极器件200的示意性截面图;并且图28D是沿图28A的线D-D'在Y-Z平面中的多栅极器件200的示意性截面图。

[0077] 图27的方法124类似于图25的方法124,除了在框130中不减少内部间隔件255。在框130中,仅去除第二区域202B和第三区域202C中的沟道层215'和栅极堆叠件的部分,但是内部间隔件255保留并且保持不变,如图28A至图28D中所示。为了简洁,省略了详细描述。

[0078] 本发明提供了许多不同的实施例。形成GAA晶体管的示例性方法包括沟道减少工艺,其中从工件的背侧减少一些电路区域中的沟道层的数量。因此,不同电路区域中的GAA晶体管具有不同的沟道层数量。因为沟道层从工件的背侧减少,所以在工件的前侧中,栅极堆叠件和沟道层具有相同(或共面)的顶面。这将有利于施加至工件的前侧的各个工艺,因为工件的前侧具有更平坦的表面,并且因此可以获得均匀的结果。此外,所公开的结构和方法也与其它制造技术兼容,而不会降低电路封装密度和功率效率。

[0079] 本发明提供了多栅极器件以及在此公开的用于制造这种器件的方法。在一个示例性方面,示例性多栅极器件包括设置在第一区域中的第一FET;以及设置在衬底的第二区域

中的第二FET。第一FET包括设置在衬底上方的第一沟道层,以及设置在第一沟道层上并且延伸以包裹第一沟道层的每个的第一栅极堆叠件。第二FET包括设置在衬底上方的第二沟道层,以及设置在第二沟道层上并且延伸以包裹第二沟道层的每个的第二栅极堆叠件。第一沟道层的数量大于第二沟道层的数量。第一沟道层的最底部一个位于第二沟道层的最底部一个下方。

[0080] 在一些实施例中,所述第一沟道层的最顶部一个沟道层和所述第二沟道层的最顶部一个沟道层包括共同的顶面和共同的底面。在一些实施例中,所述第一栅极堆叠件的顶面和所述第二栅极堆叠件的顶面共面。在一些实施例中,所述第一栅极堆叠件的底面位于所述第二栅极堆叠件的底面下方。在一些实施例中,所述第一场效应晶体管还包括水平设置在所述第一栅极堆叠件的相对边缘上的第一内部间隔件;所述第二场效应晶体管还包括水平设置在所述第二栅极堆叠件的相对边缘上的第二内部间隔件;所述第一内部间隔件向上延伸至第一层级;以及所述第二内部间隔件向上延伸至与所述第一层级匹配的第二层级。在一些实施例中,所述第一内部间隔件的最底部间隔件位于所述第二内部间隔件的最底部间隔件下方;所述第一内部间隔件的所述最底部间隔件包括与所述第一栅极堆叠件的底面共面的第一底面;以及所述第二内部间隔件的所述最底部间隔件包括与所述第二栅极堆叠件的底面共面的第二底面。在一些实施例中,所述第一内部间隔件的所述最底部间隔件包括第一底面;所述第二内部间隔件的所述最底部间隔件包括与所述第一底部共面的第二底面;所述第一内部间隔件的所述最底部间隔件的所述第一底面与所述第一栅极堆叠件的所述底面共面;以及所述第二内部间隔件的所述最底部间隔件的所述第二底面位于所述第二栅极堆叠件的所述底面下方。在一些实施例中,多栅极器件还包括设置在第三区域中的第三场效应晶体管,其中,所述第三场效应晶体管包括:第三沟道层,设置在所述衬底上方,第三栅极堆叠件,设置在所述第三沟道层上并且延伸以包裹所述第三沟道层的每个,以及第三源极/漏极部件,由所述第三栅极堆叠件插入并且延伸以接触所述第三沟道层的每个,其中,所述第三沟道层的数量小于所述第一沟道层的数量和所述第二沟道层的数量的每个。在一些实施例中,多栅极器件还包括:第一接触部件和第二接触部件,分别连接至所述第一源极/漏极部件;以及第三接触部件和第四接触部件,分别连接至所述第二源极/漏极部件,其中,所述衬底包括前侧和背侧,其中,所述第一接触部件和所述第三接触部件设置在所述衬底的前侧上,并且所述第二接触部件和所述第四接触部件设置在所述衬底的背侧上。在另一示例性方面,多栅极器件包括:衬底,具有第一区域、第二区域和第三区域;第一场效应晶体管(FET),设置在第一区域中,其中,第一场效应晶体管包括设置在衬底上方的第一沟道层,以及设置在第一沟道层上并且延伸以包裹第一沟道层的每个的第一栅极堆叠件;第二FET,设置在第二区域中,其中,FET包括设置在衬底上方的第二沟道层,以及设置在第二沟道层上并且延伸以包裹第二沟道层的每个的第二栅极堆叠件;以及第三FET,设置在第三区域中,其中,第三FET包括设置在衬底上方的第三沟道层,以及设置在第三沟道层上并且延伸以包裹第三沟道层的每个的第三栅极堆叠件。第一沟道层的数量大于第二沟道层的数量。第二沟道层的数量大于第三沟道层的数量。第一沟道层的最顶面与第二沟道层的最顶面和第三沟道层的最顶面共面。

[0081] 在一些实施例中,所述第一沟道层的最底面位于所述第二沟道层的最底面下方,以及所述第二沟道层的所述最底面位于所述第三沟道层的最底面下方。在一些实施例中,

所述第一栅极堆叠件的顶面与所述第二栅极堆叠件的顶面和所述第三栅极堆叠件的顶面共面。在一些实施例中,所述第一栅极堆叠件的底面位于所述第二栅极堆叠件的底面下方,以及所述第二栅极堆叠件的所述底面位于所述第三栅极堆叠件的底面下方。在一些实施例中,所述第一沟道层的数量为 N , N 为大于3的整数,所述第二沟道层的数量为 $N-1$,以及所述第三沟道层的数量为 $N-2$ 。在一些实施例中,所述第一场效应晶体管还包括由所述第一栅极堆叠件插入并且延伸以接触所述第一沟道层的每个的第一源极/漏极部件,所述第二场效应晶体管还包括由所述第二栅极堆叠件插入并且延伸以接触所述第二沟道层的每个的第二源极/漏极部件,以及所述第三场效应晶体管还包括由所述第三栅极堆叠件插入并且延伸以接触所述第三沟道层的每个的第三源极/漏极部件。在一些实施例中,多栅极器件还包括:第一接触部件和第二接触部件,连接至所述第一源极/漏极部件;以及第三接触部件和第四接触部件,连接至所述第二源极/漏极部件,其中,所述衬底包括前侧和背侧,其中,所述第一接触部件和所述第三接触部件设置在所述衬底的前侧上,并且所述第二接触部件和所述第四接触部件设置在所述衬底的背侧上。在一些实施例中,所述第一场效应晶体管还包括水平设置在所述第一栅极堆叠件的相对边缘上并且接触所述第一源极/漏极部件的第一内部间隔件,所述第二场效应晶体管还包括水平设置在所述第二栅极堆叠件的相对边缘上并且接触所述第二源极/漏极部件的第二内部间隔件,所述第一内部间隔件垂直跨越在第一顶面和第一底面之间,所述第二内部间隔件垂直跨越在第二顶面和第二底面之间,所述第一顶面和所述第二顶面共面,以及所述第一底面和所述第二底面共面。

[0082] 在又一示例性方面,用于制造多栅器件的方法包括:提供具有前侧和背侧的衬底;在衬底的前侧上形成半导体堆叠件,其中,半导体堆叠件包括交替设置的第一半导体层和第二半导体层,第一半导体层和第二半导体层在组分上不同;选择性去除第一半导体层;在衬底的前侧上形成延伸以包裹第二半导体层的每个的第一栅极堆叠件和第二栅极堆叠件,第一栅极堆叠件和第二栅极堆叠件分别设置在第一区域和第二区域中;以及从第二区域内的背侧去除第二半导体层的子集。

[0083] 在一些实施例中,方法还包括从所述衬底的背侧去除所述第二栅极堆叠件的位于所述第二半导体层的所述子集下方的部分。在一些实施例中,方法还包括:形成设置在所述第一栅极堆叠件的侧壁上的第一内部间隔件以及设置在所述第二栅极堆叠件的侧壁上的第二内部间隔件;以及从所述衬底的背侧去除所述第二内部间隔件的位于所述第二半导体层的所述子集下方的子集。

[0084] 上面概述了若干实施例的特征,使得本领域技术人员可以更好地理解本发明的方面。本领域技术人员应该理解,它们可以容易地使用本发明作为基础来设计或修改用于实施与本文所介绍实施例相同的目的和/或实现相同优势的其它工艺和结构。本领域技术人员也应该意识到,这种等同构造并不背离本发明的精神和范围,并且在不背离本发明的精神和范围的情况下,本文中它们可以做出多种变化、替换以及改变。

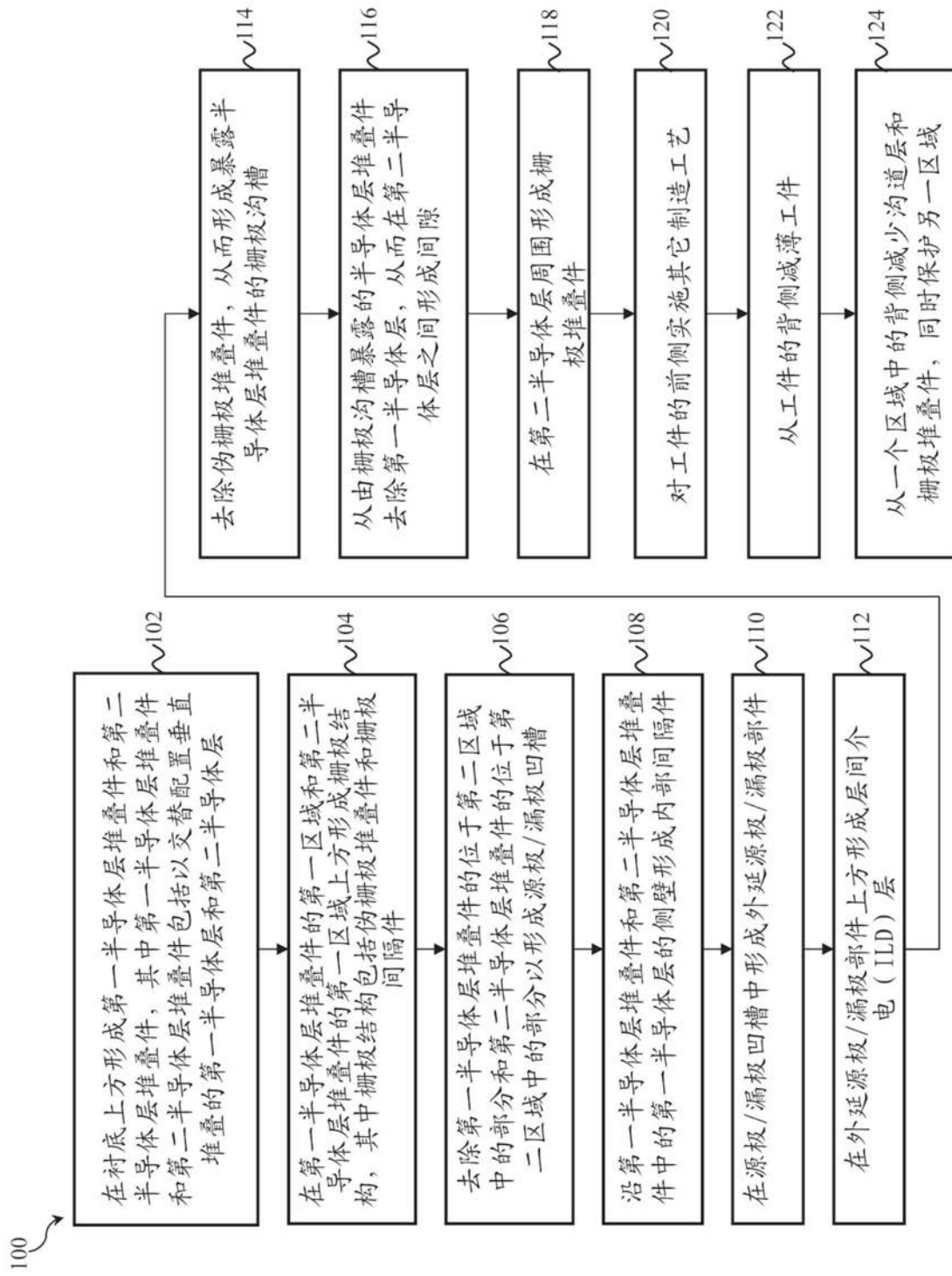


图1

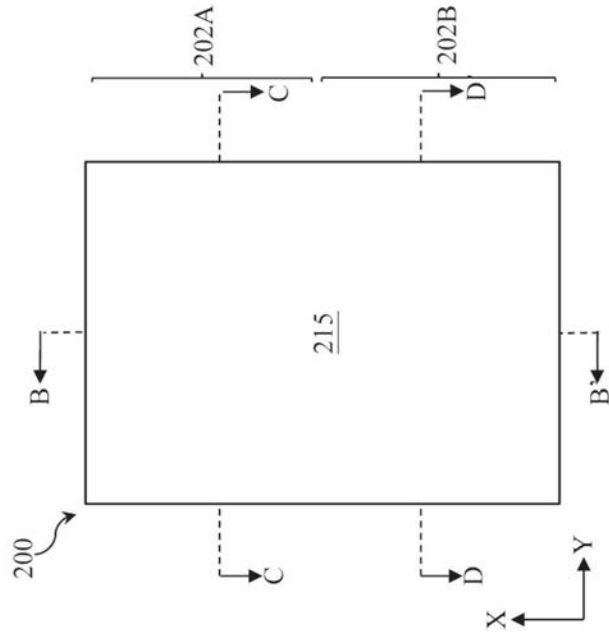


图2A

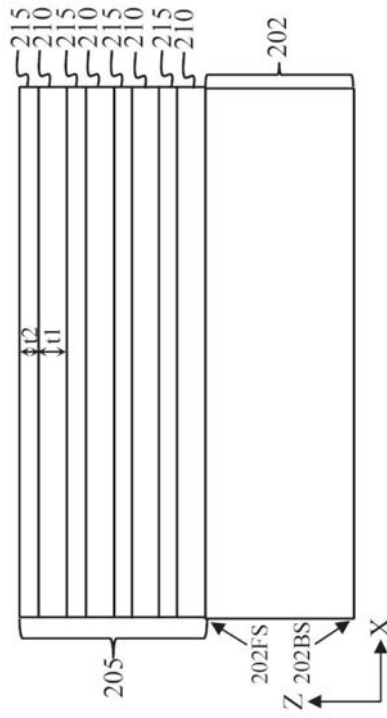


图2B

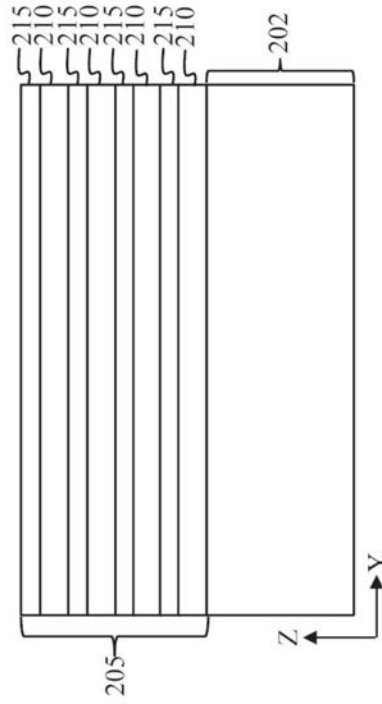


图2C

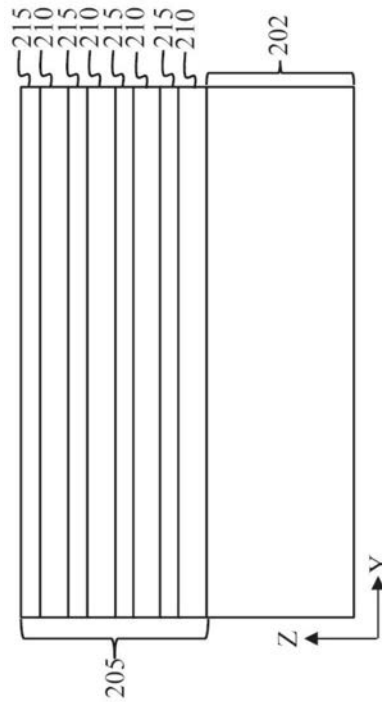


图2D

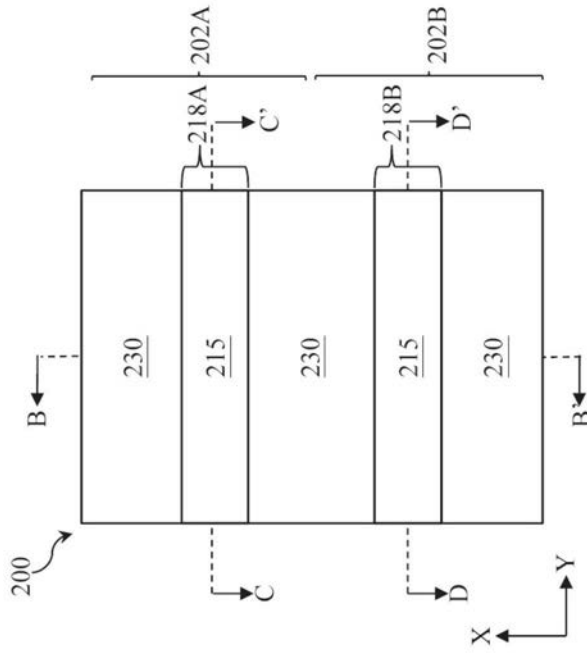


图3A

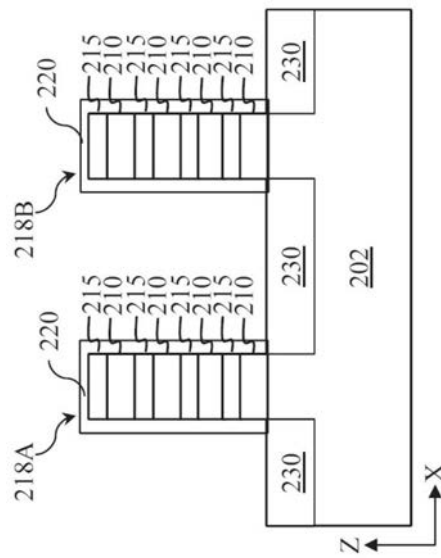


图3B

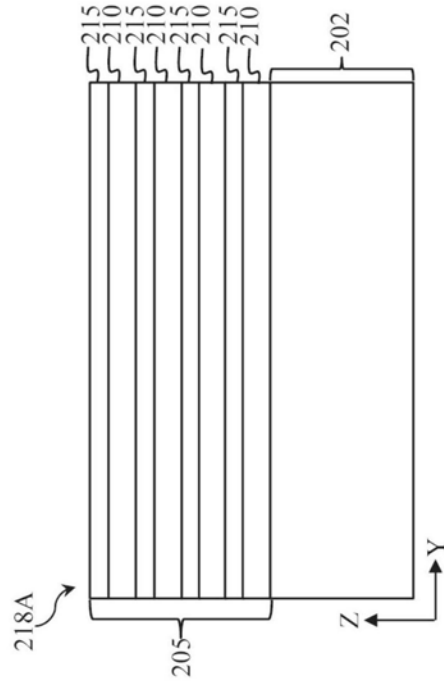


图3C

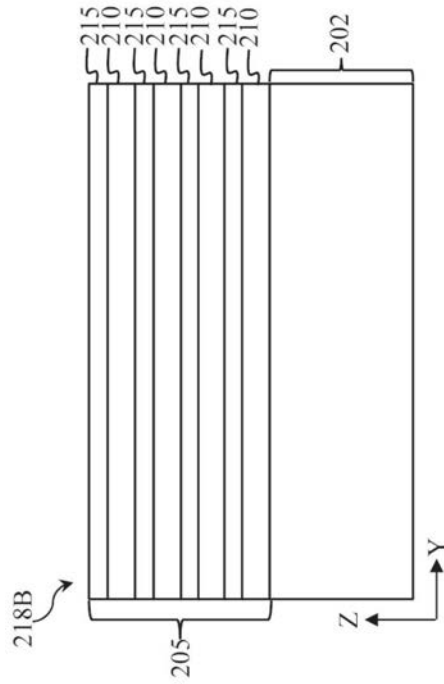


图3D

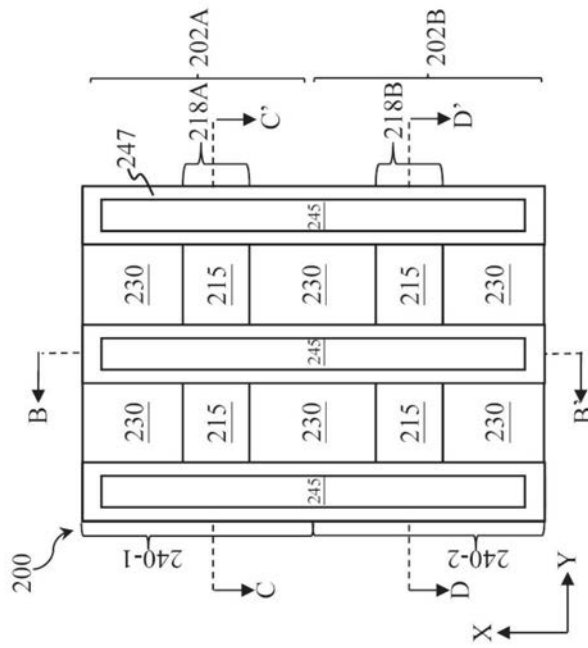


图4A

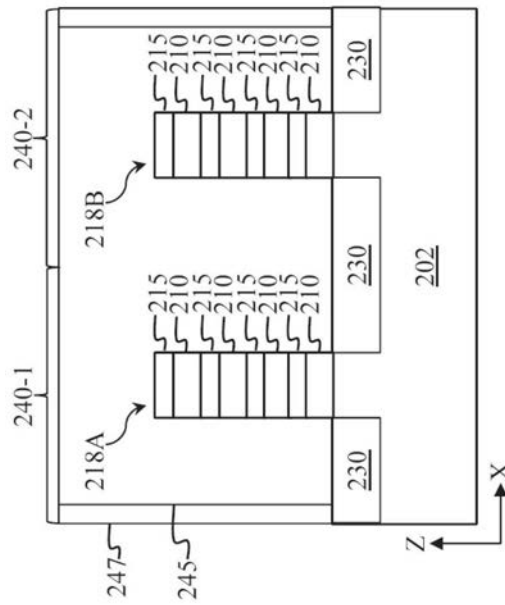


图4B

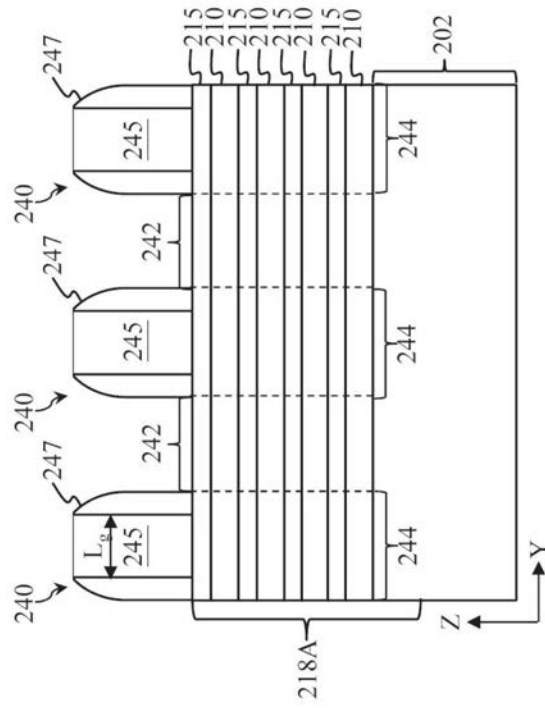


图4C

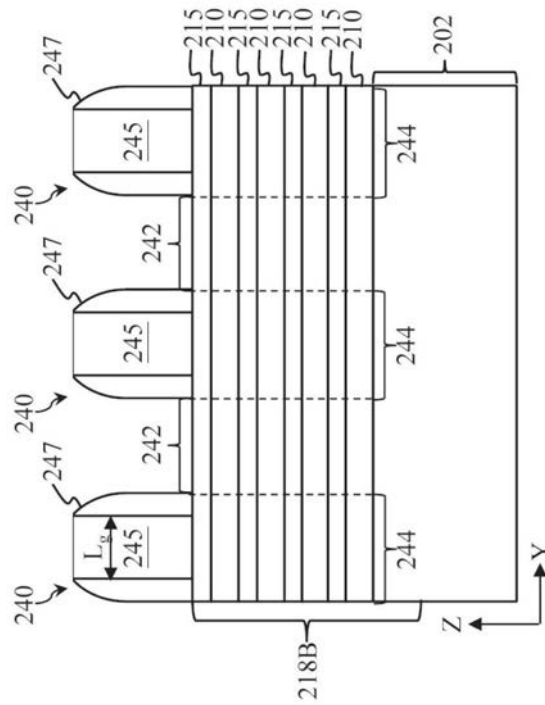


图4D

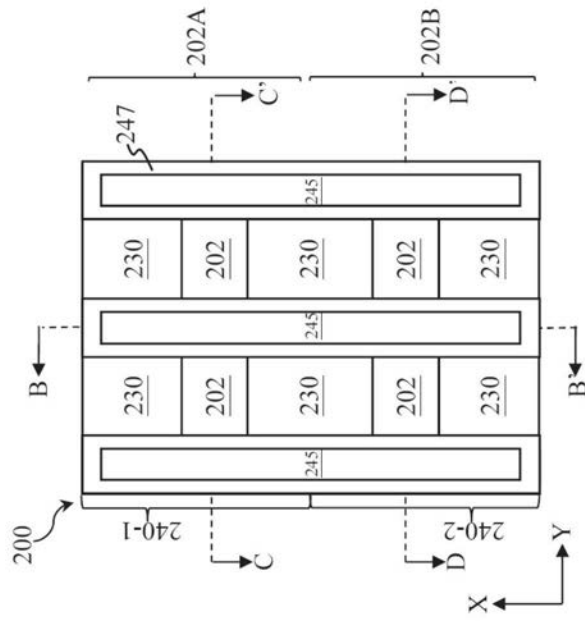


图5A

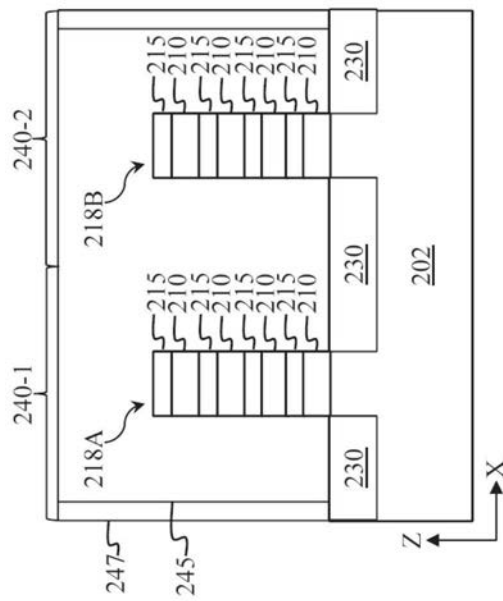


图5B

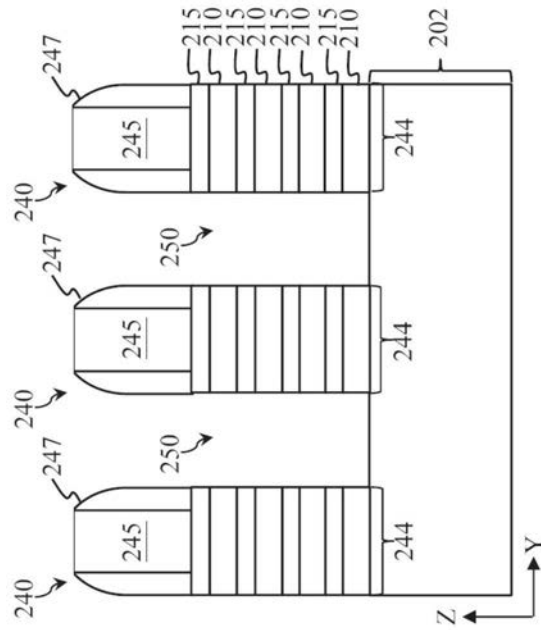


图5C

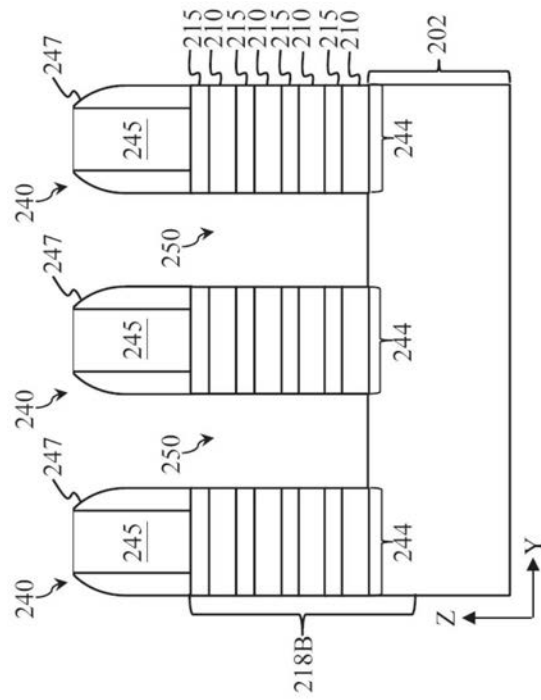


图5D

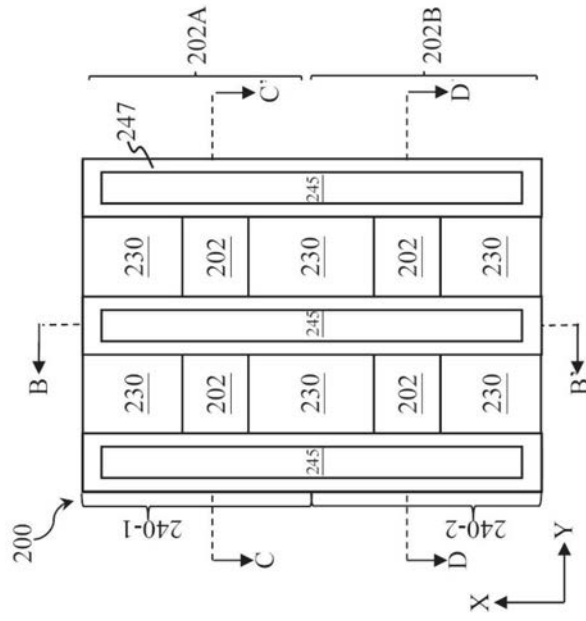


图6A

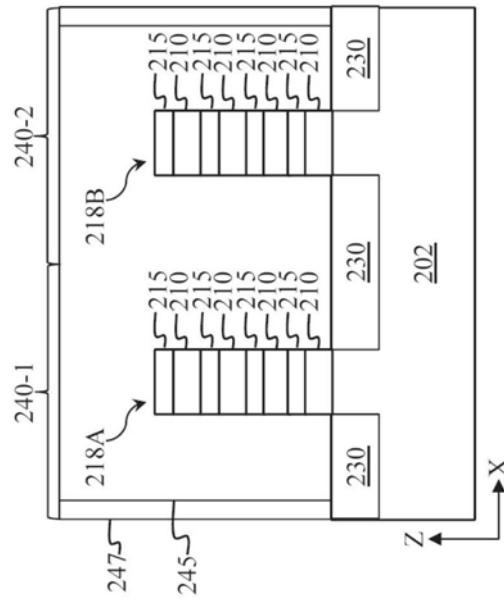


图6B

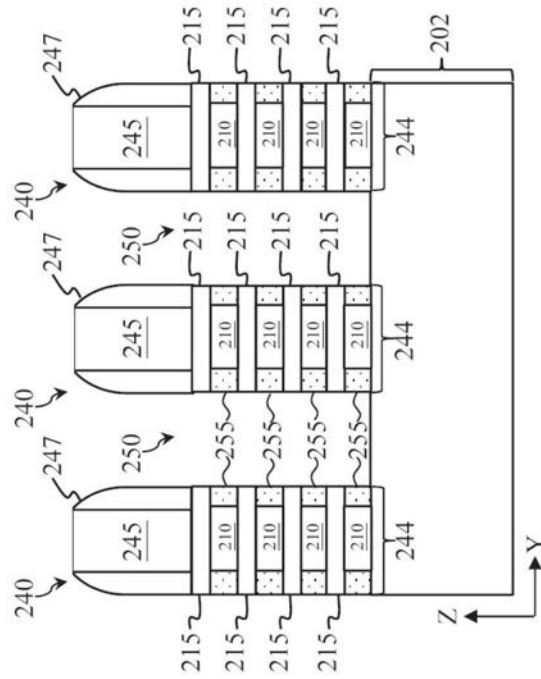


图6C

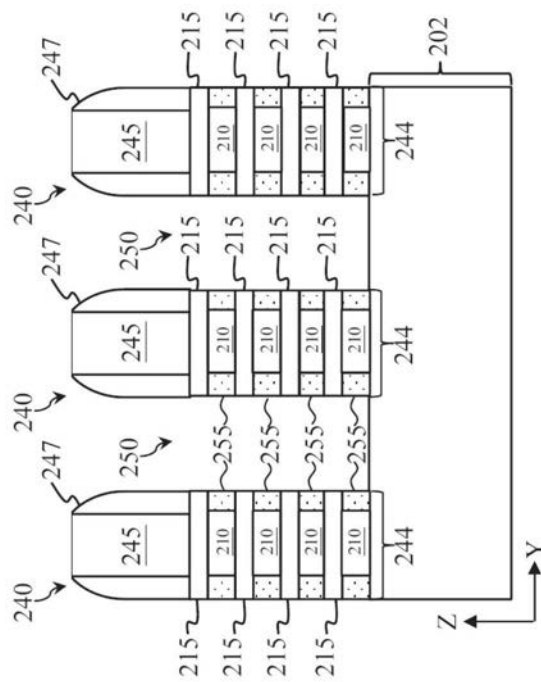


图6D

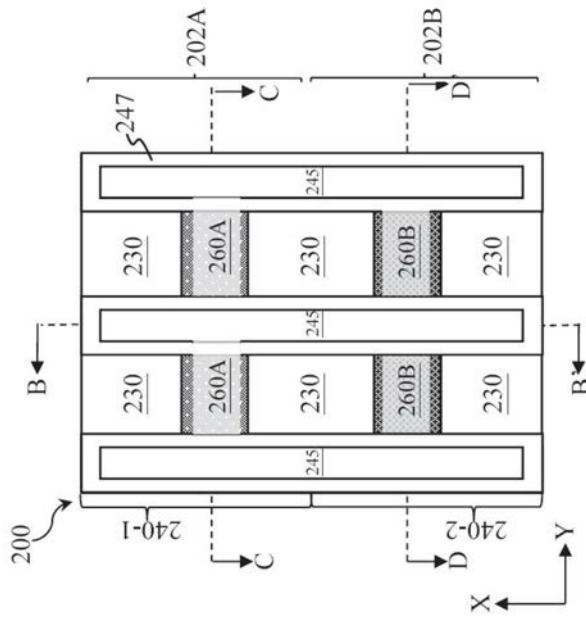


图7A

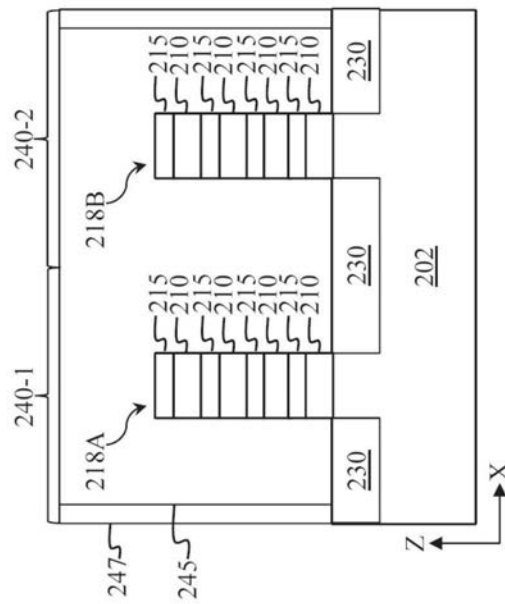


图7B

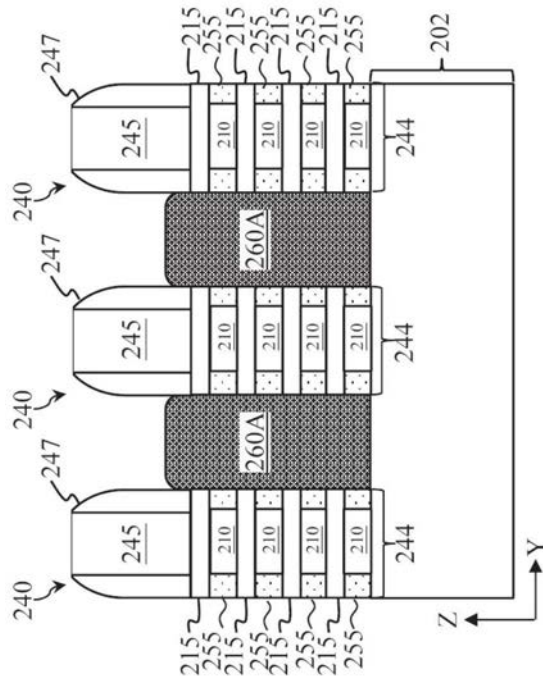


图7C

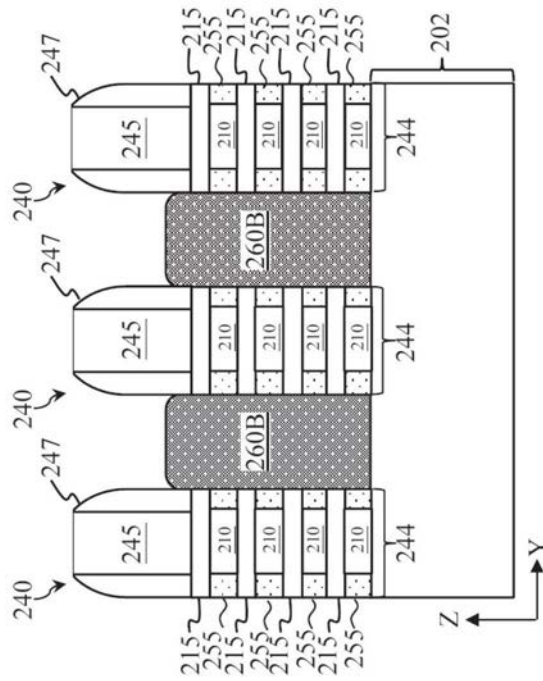


图7D

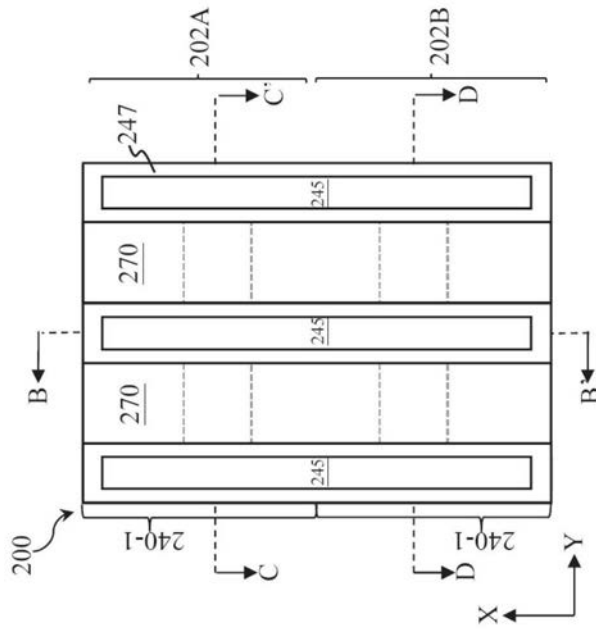


图8A

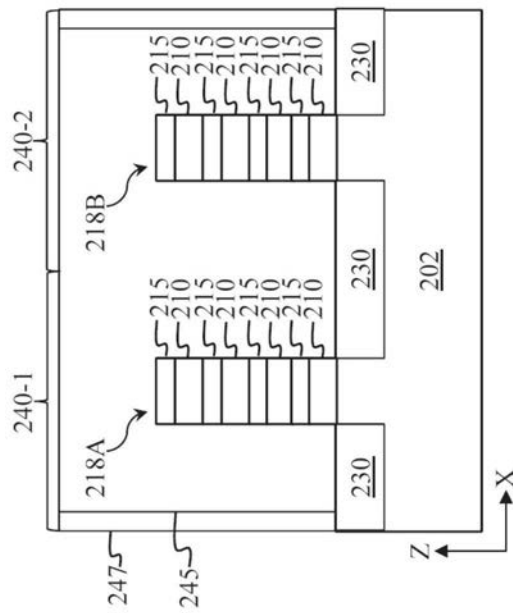


图8B

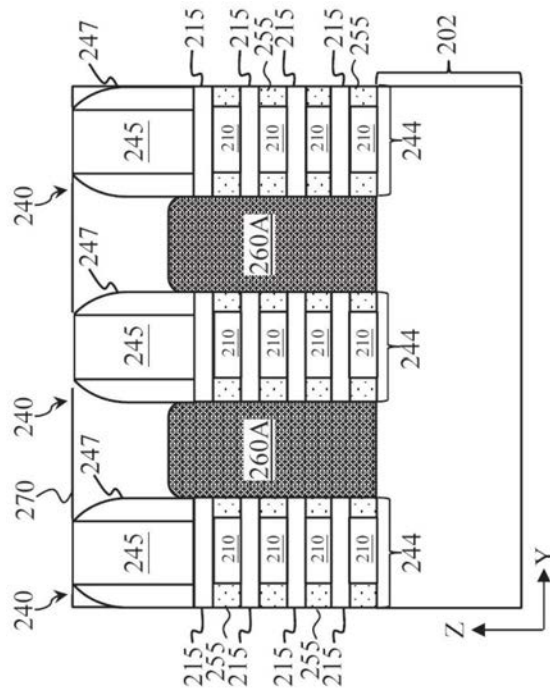


图8C

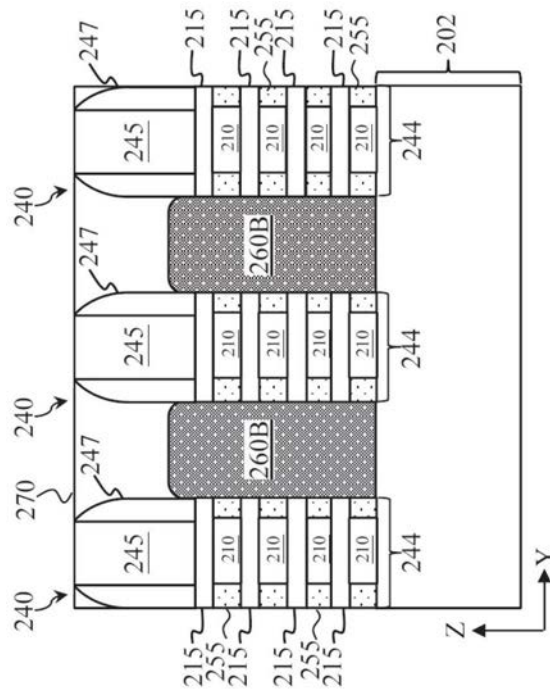


图8D

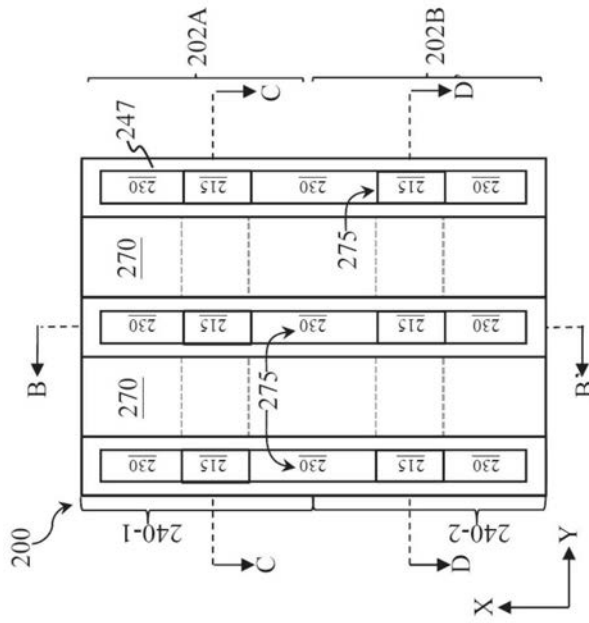


图9A

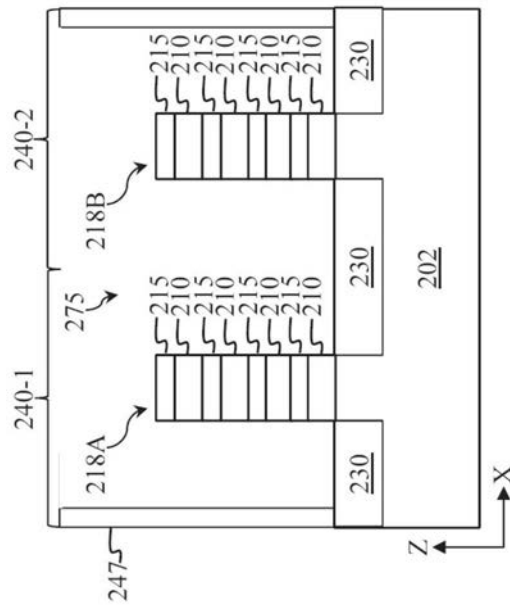


图9B

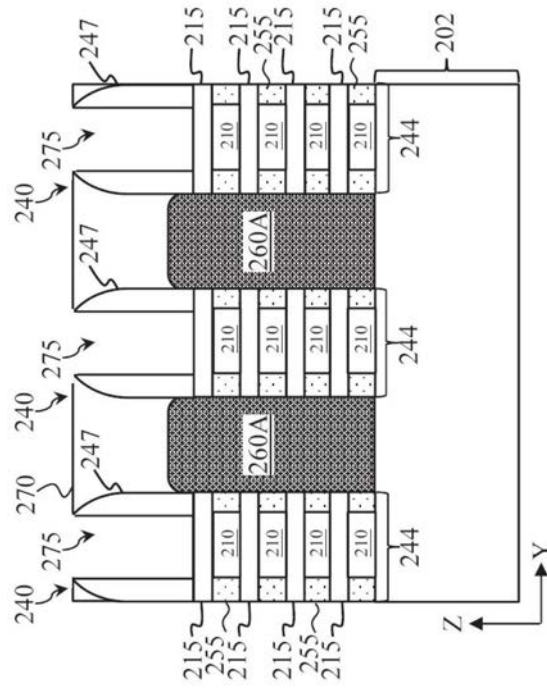


图9C

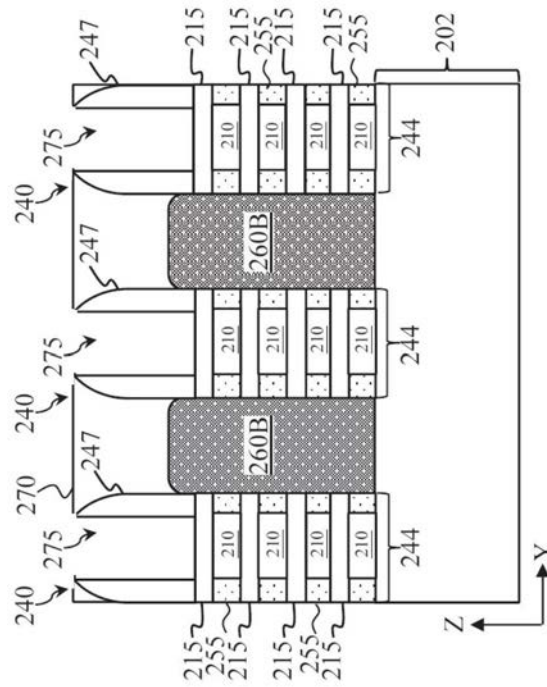


图9D

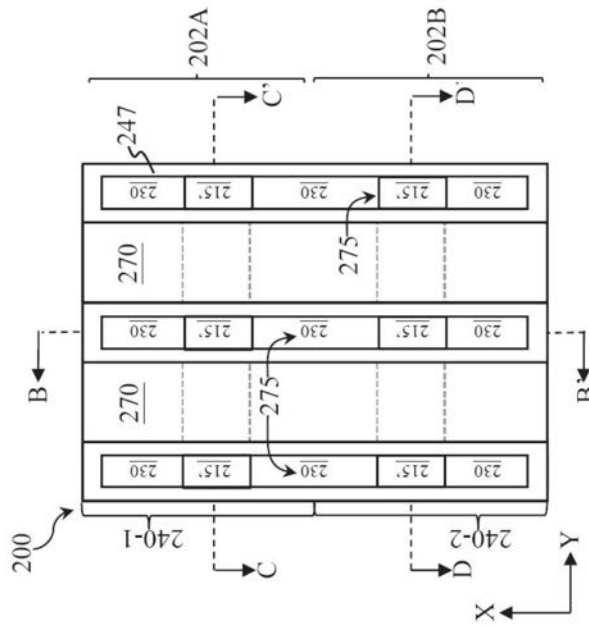


图10A

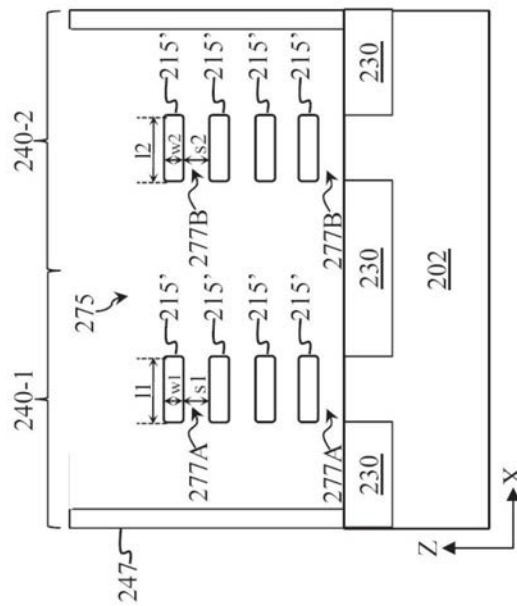


图10B

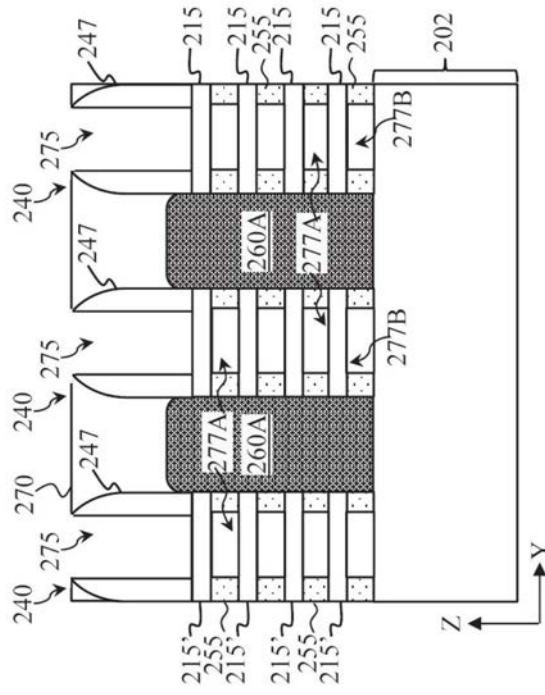


图10C

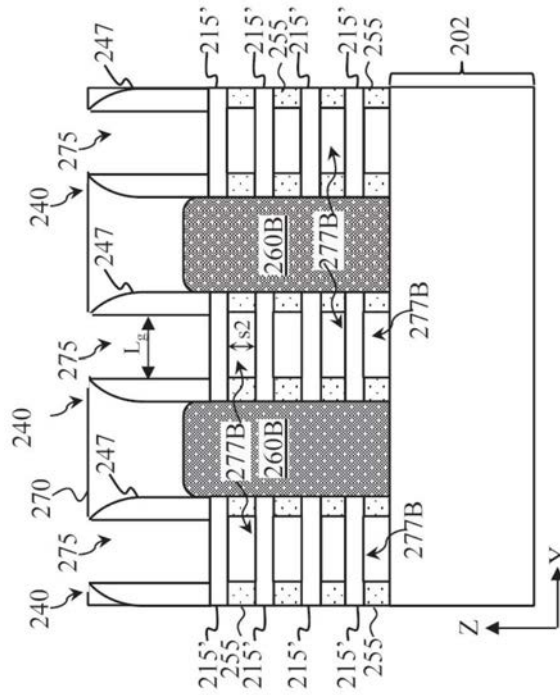


图10D

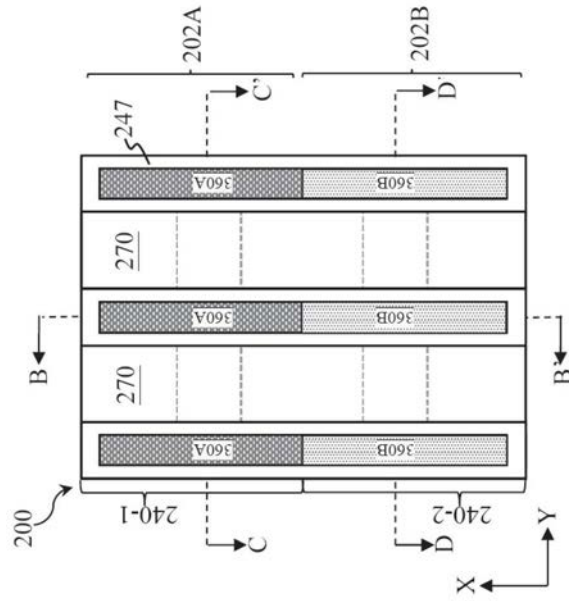


图11A

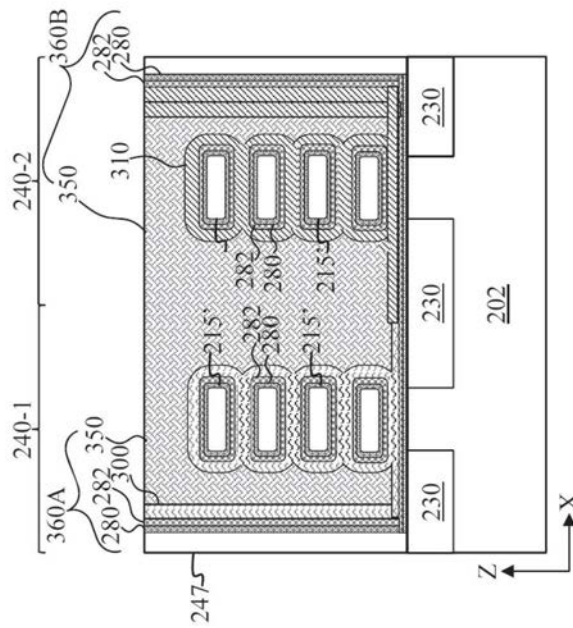


图11B

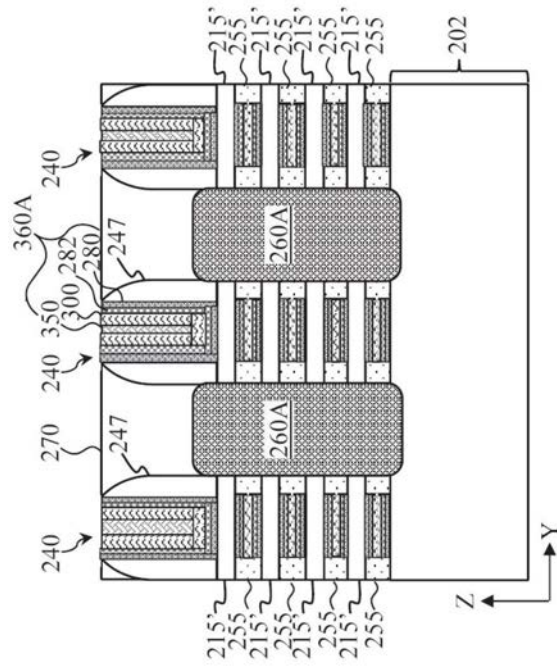


图11C

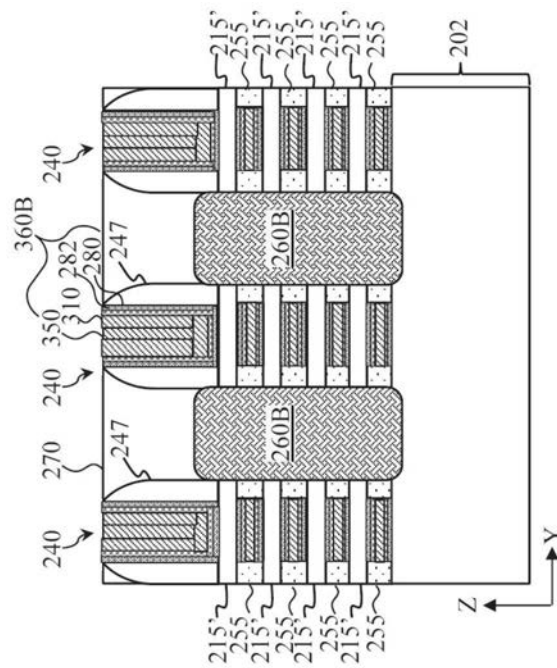


图11D

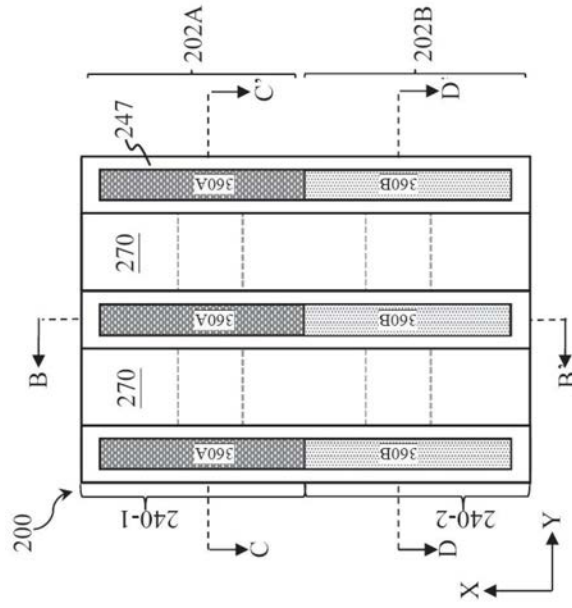


图12A

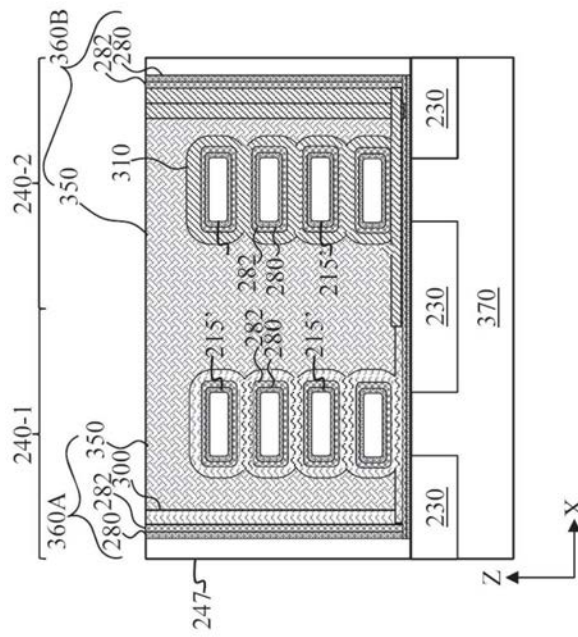


图12B

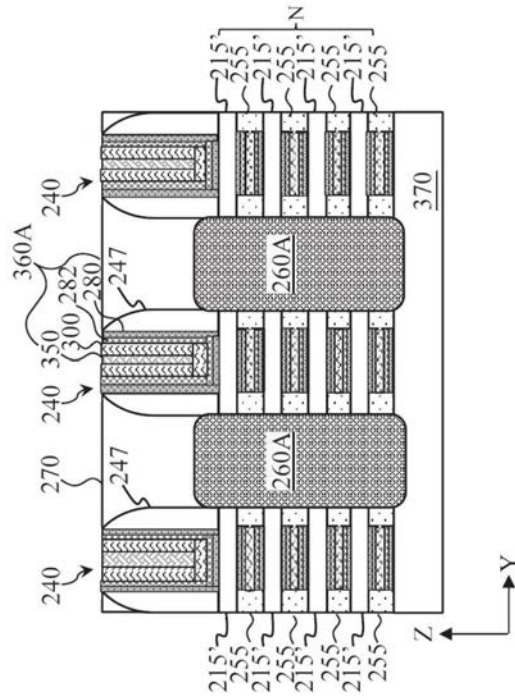


图12C

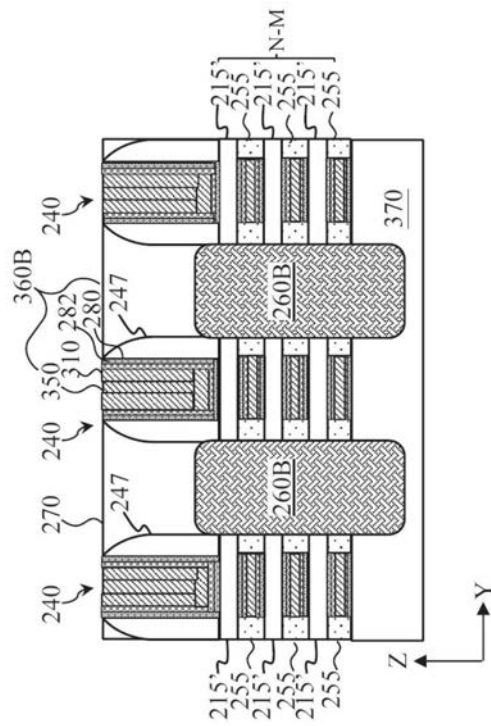


图12D

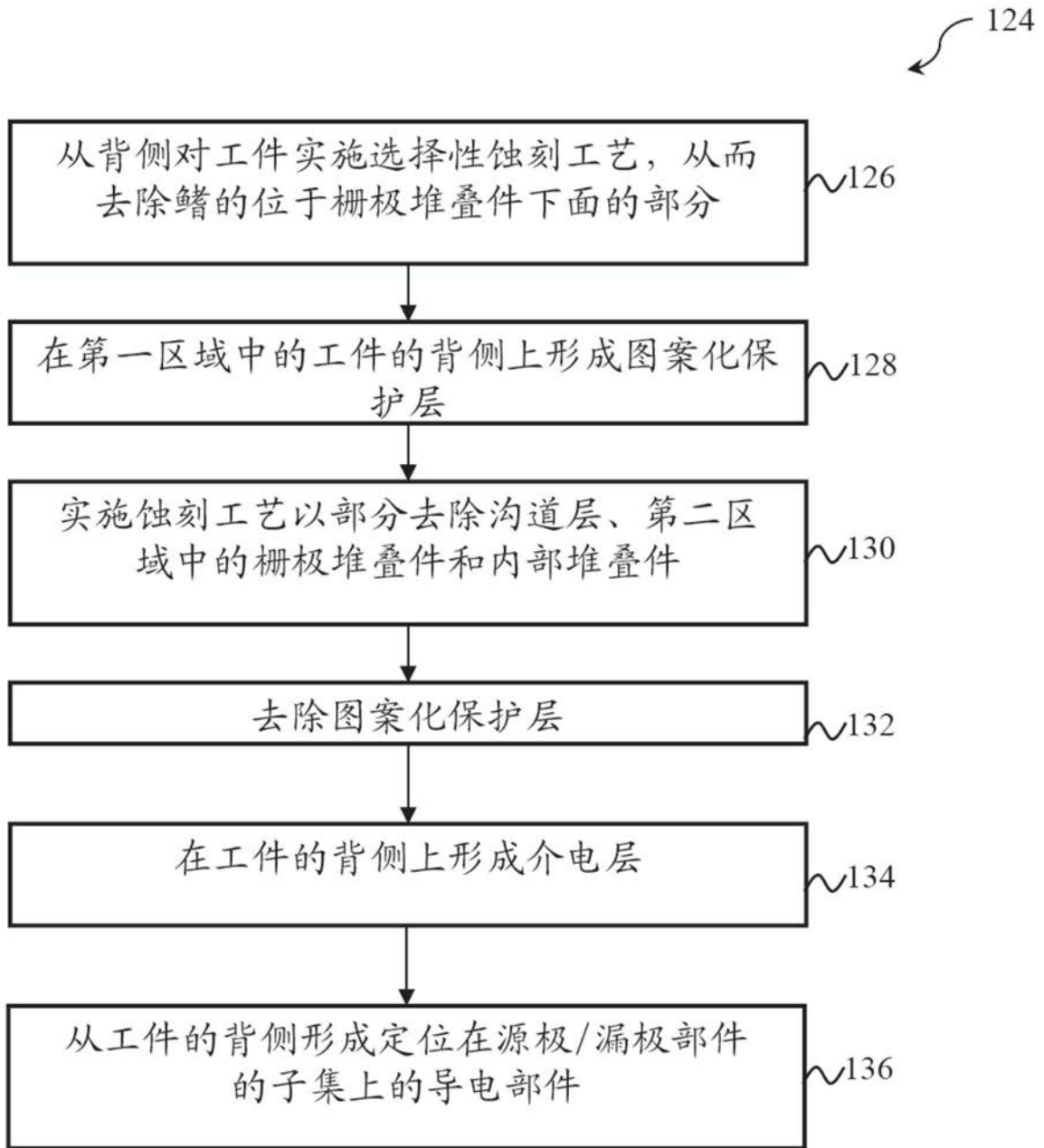


图13

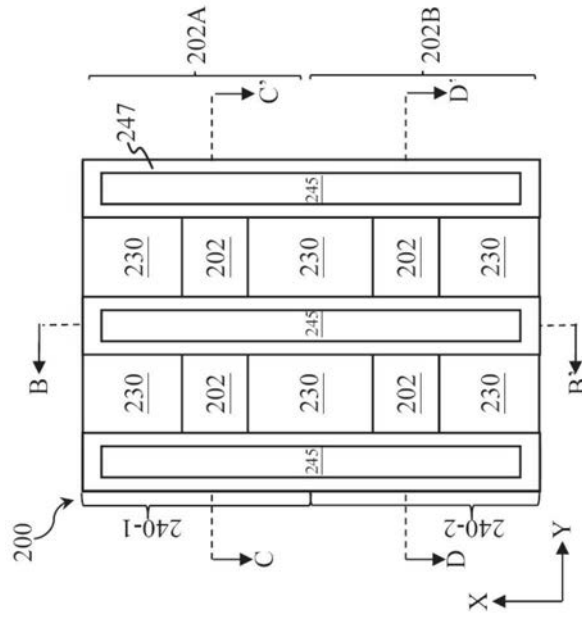


图14A

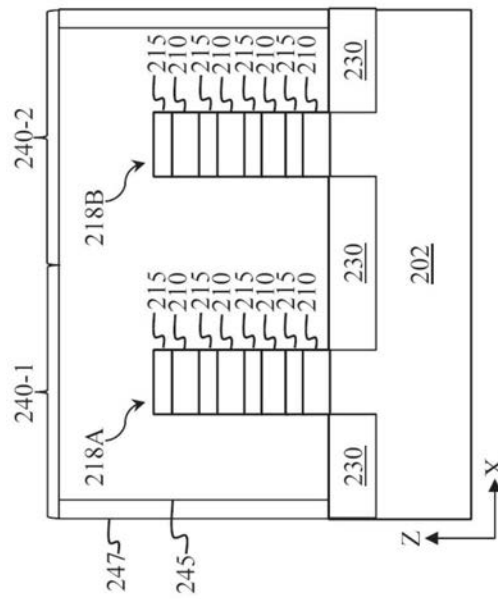


图14B

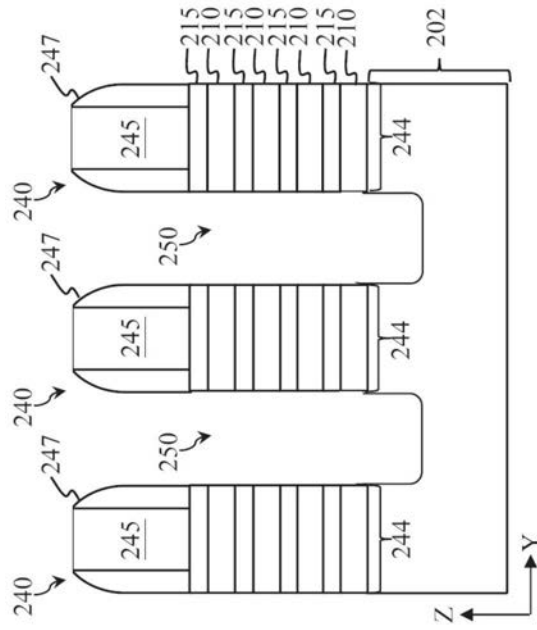


图14C

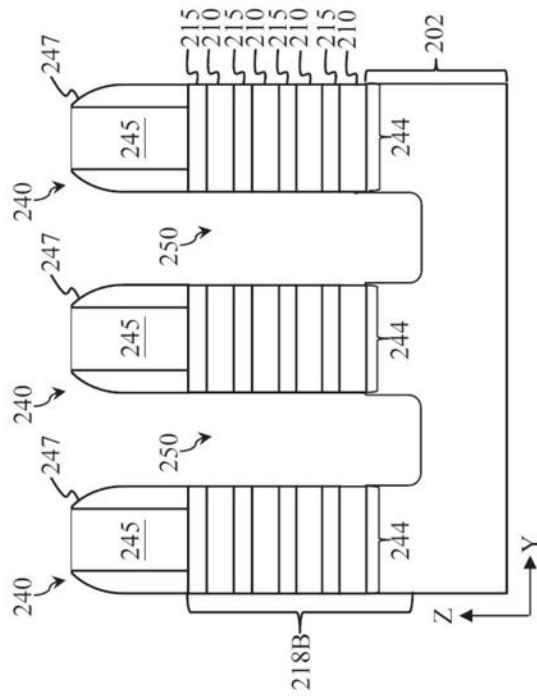


图14D

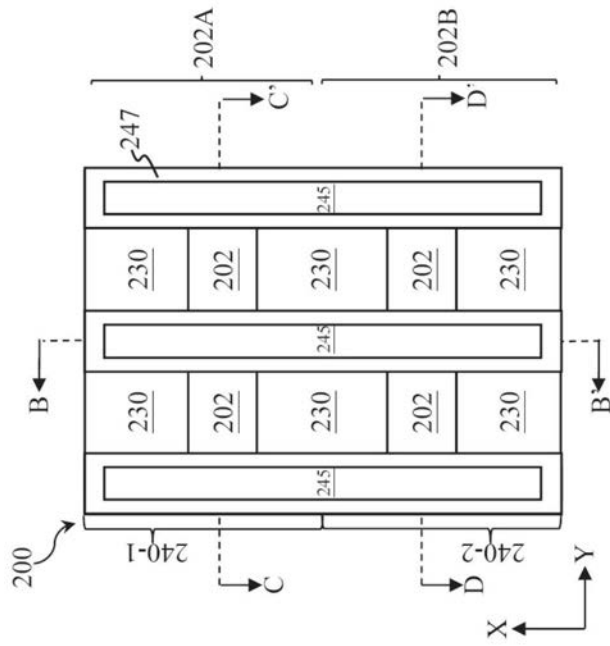


图15A

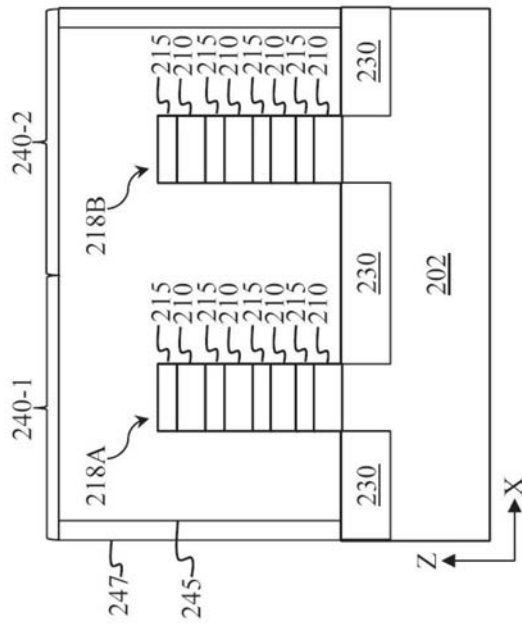


图15B

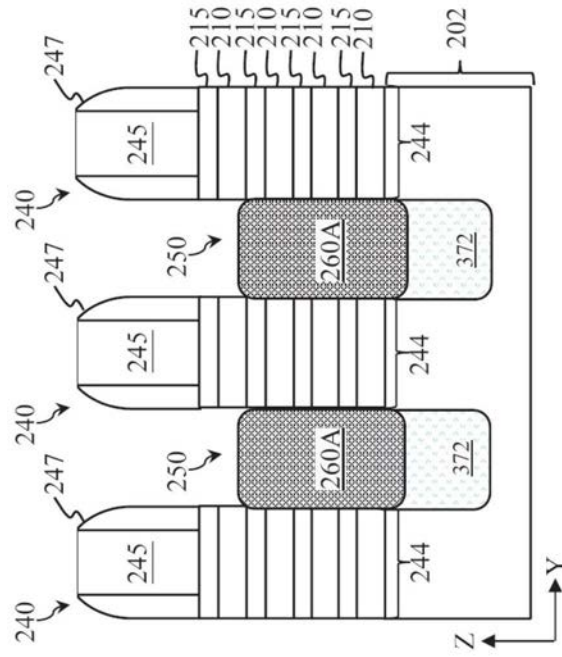


图15C

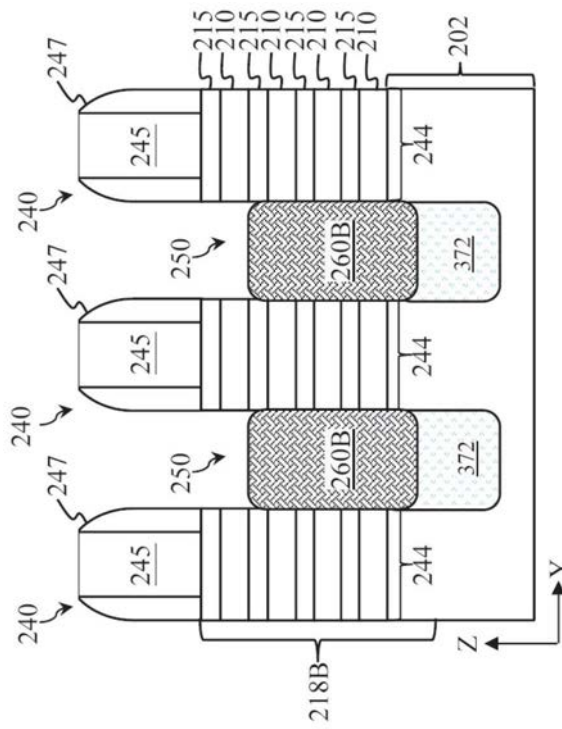


图15D

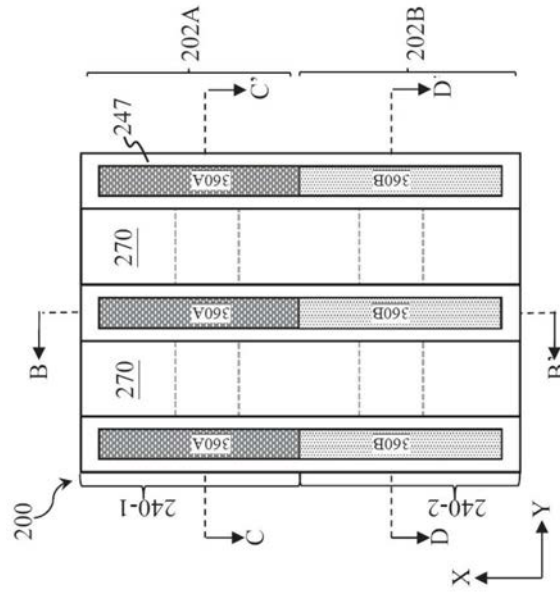


图16A

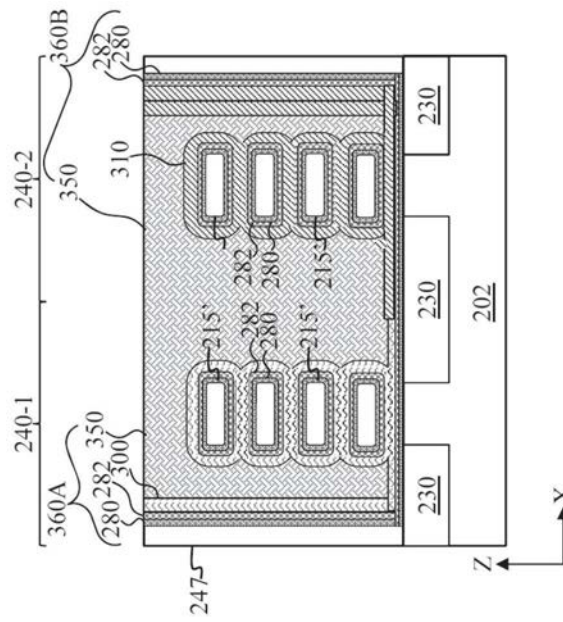


图16B

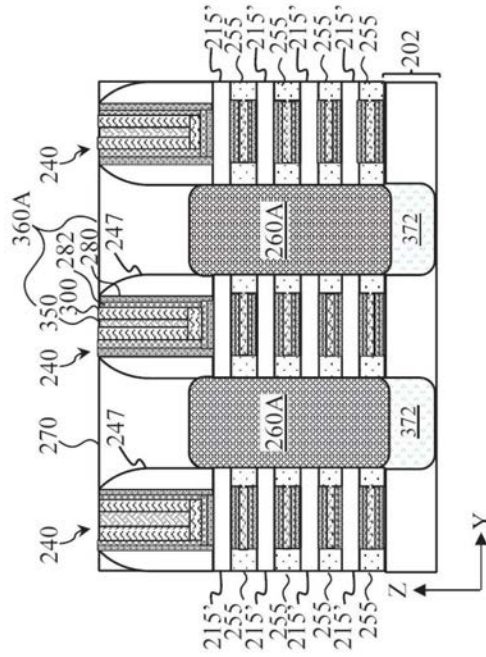


图16C

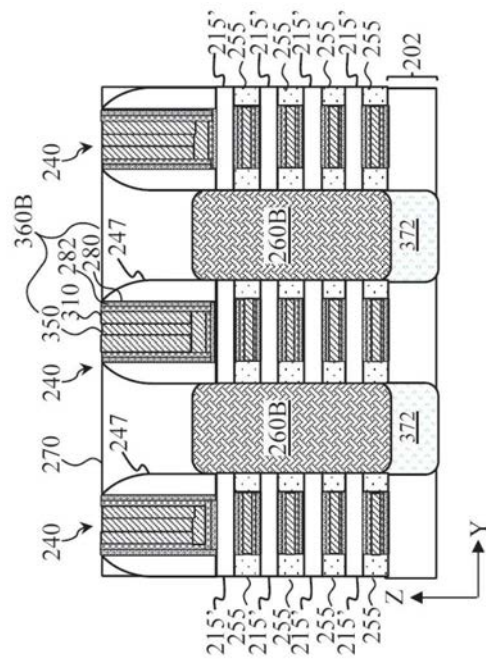


图16D

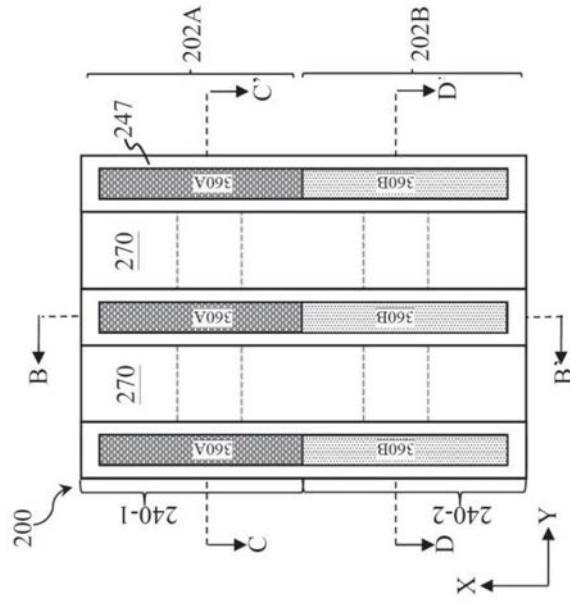


图17A

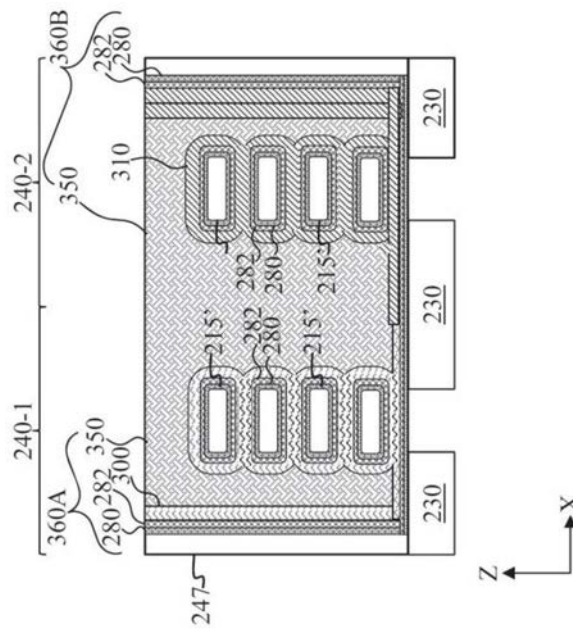


图17B

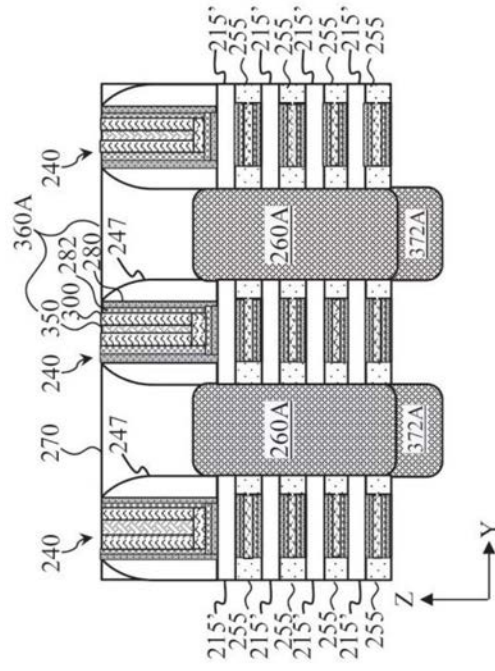


图17C

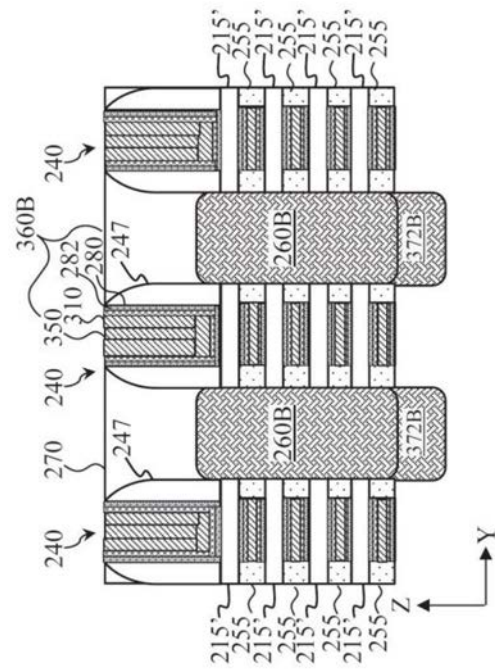


图17D

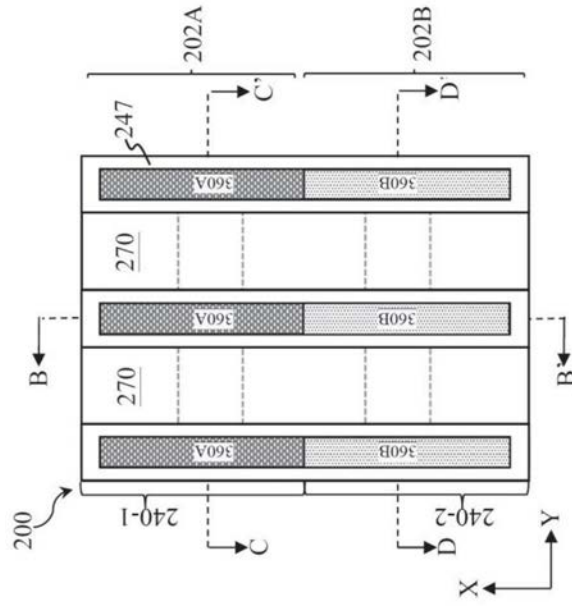


图18A

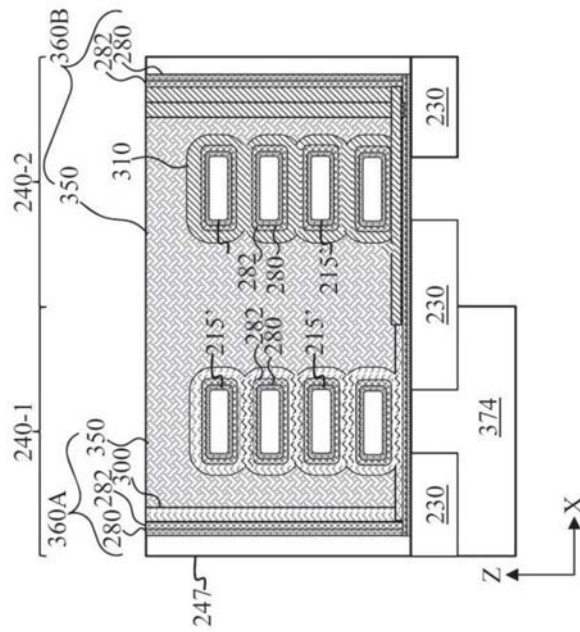


图18B

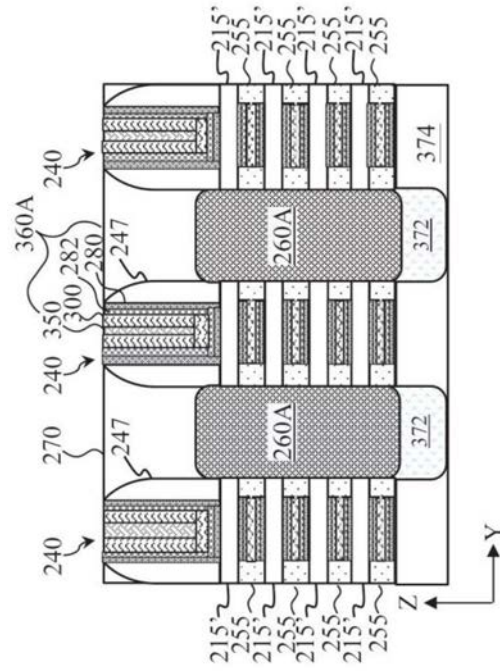


图18C

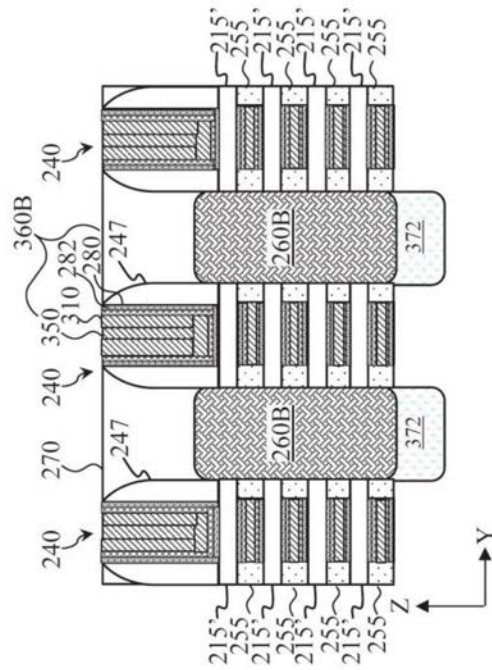


图18D

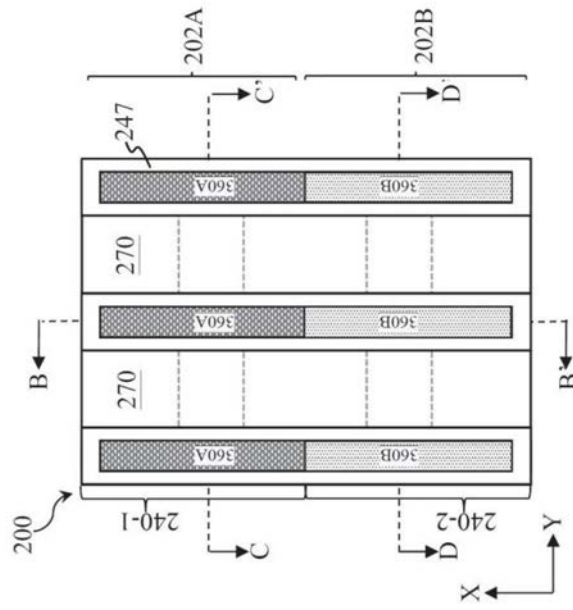


图19A

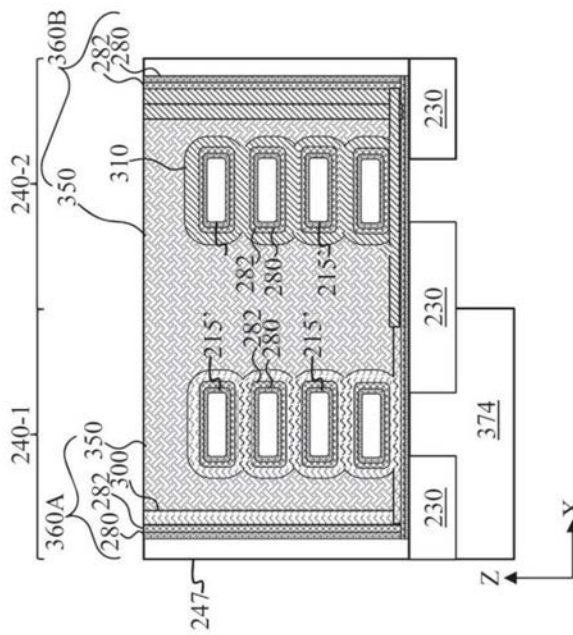


图19B

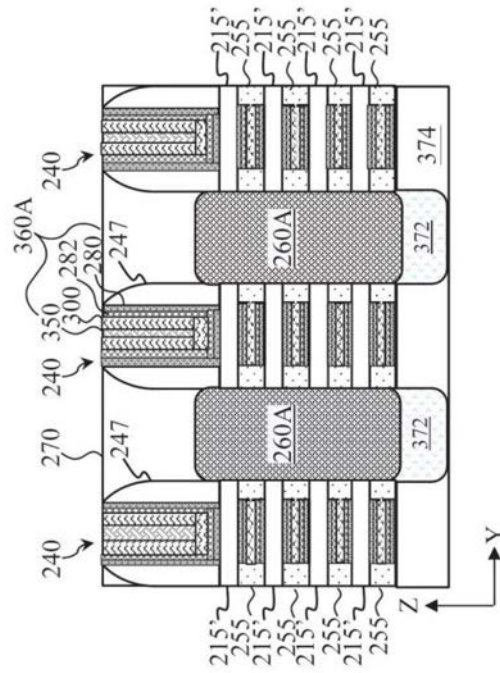


图19C

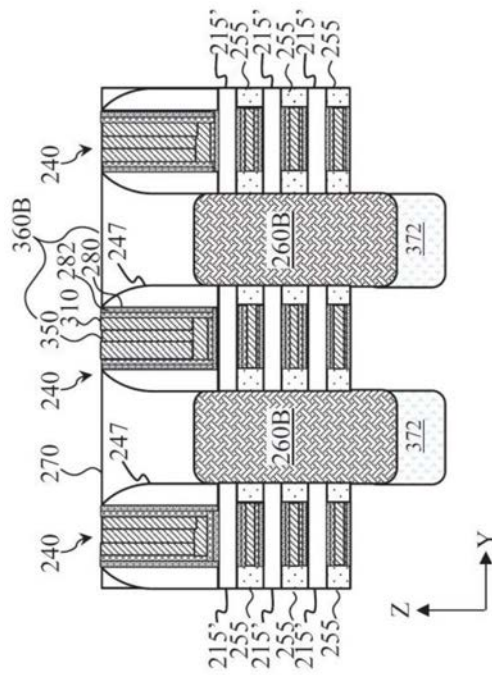


图19D

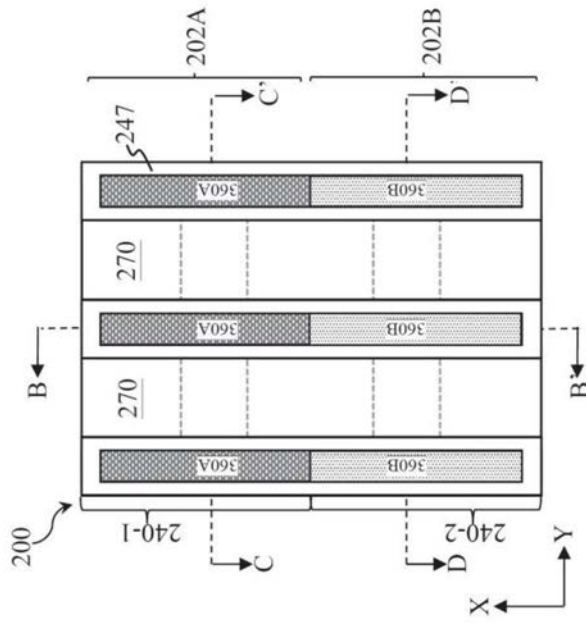


图20A

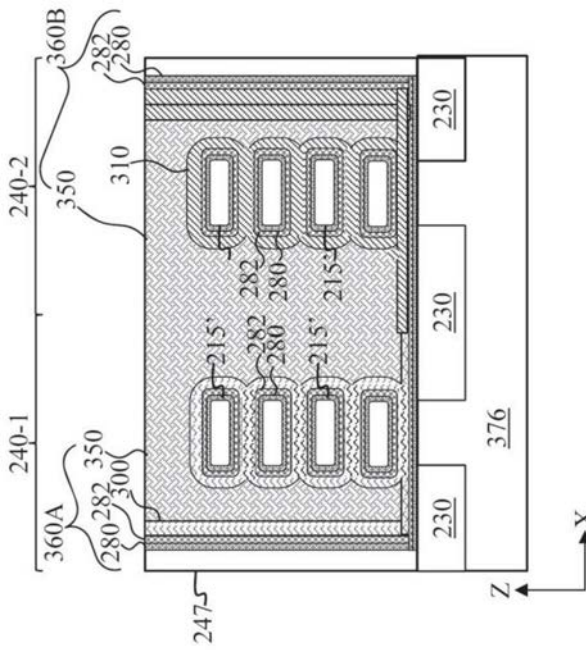


图20B

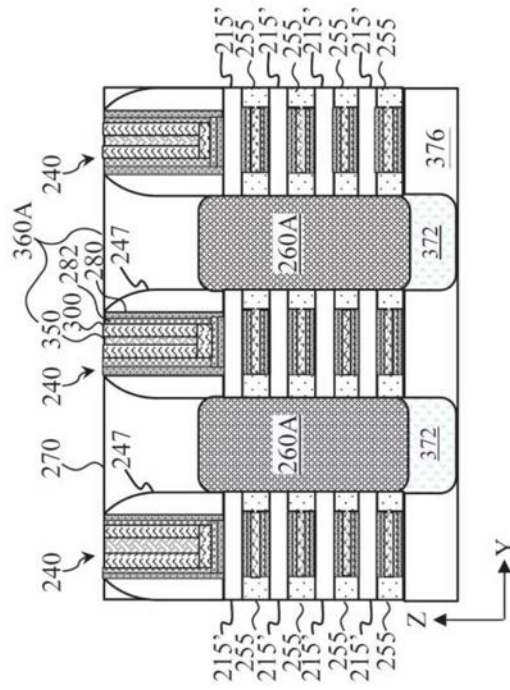


图20C

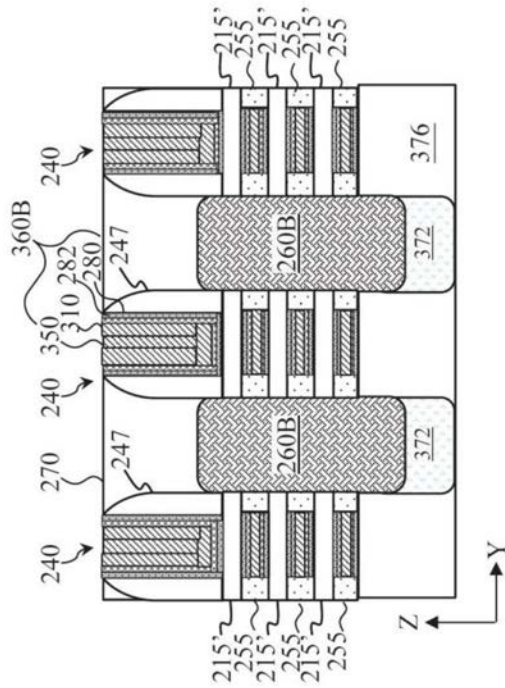


图20D

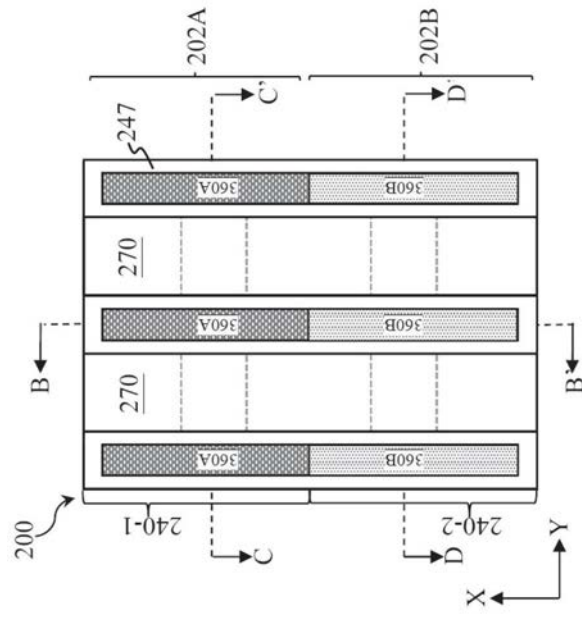


图21A

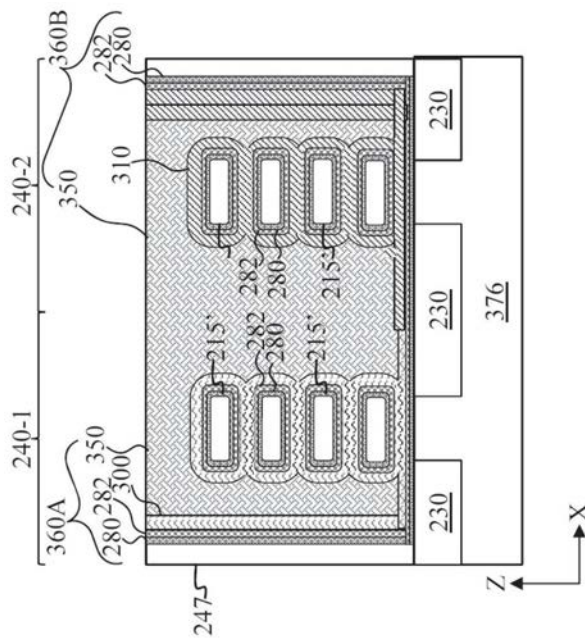


图21B

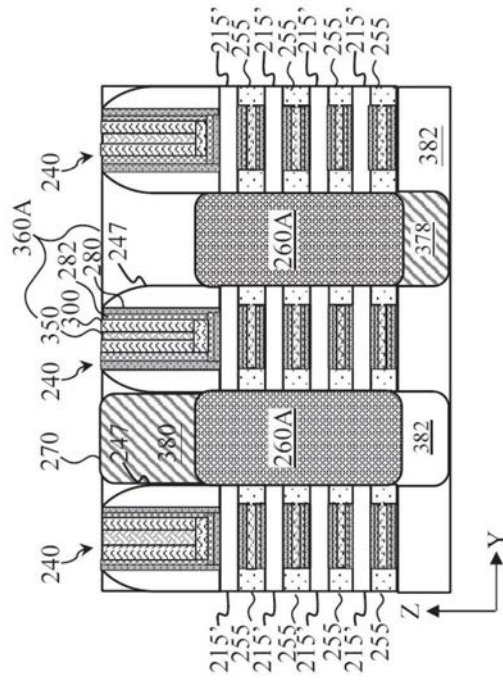


图21C

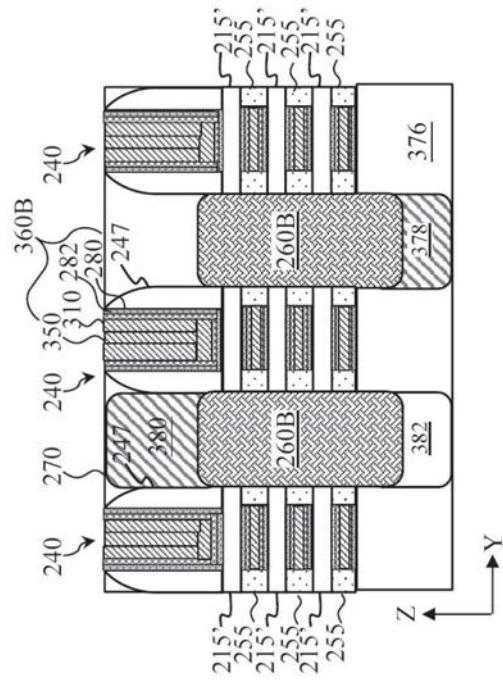


图21D

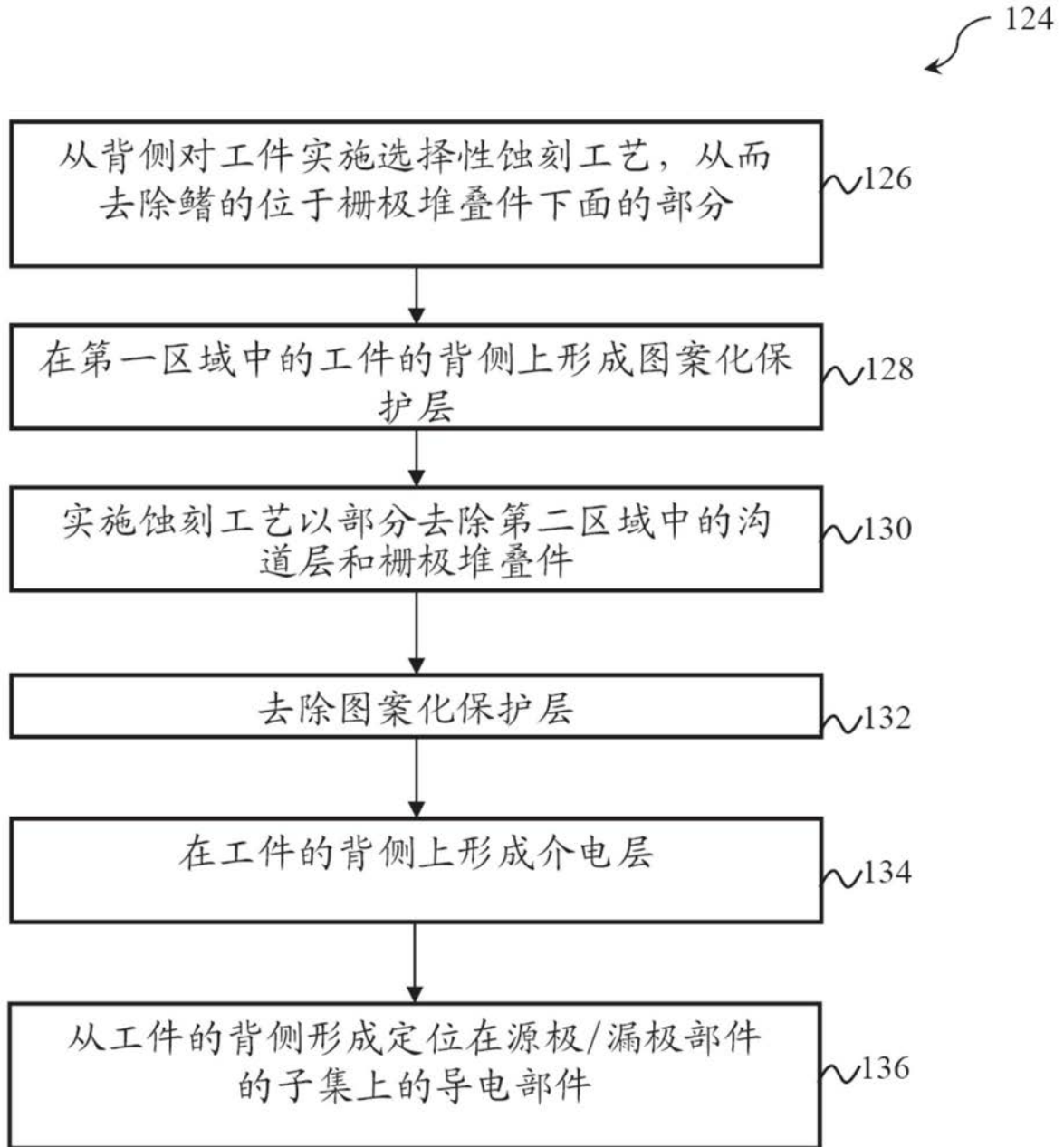


图22

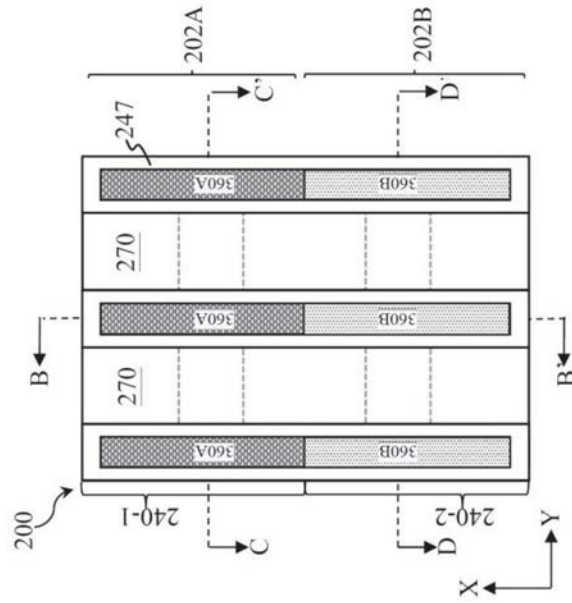


图23A

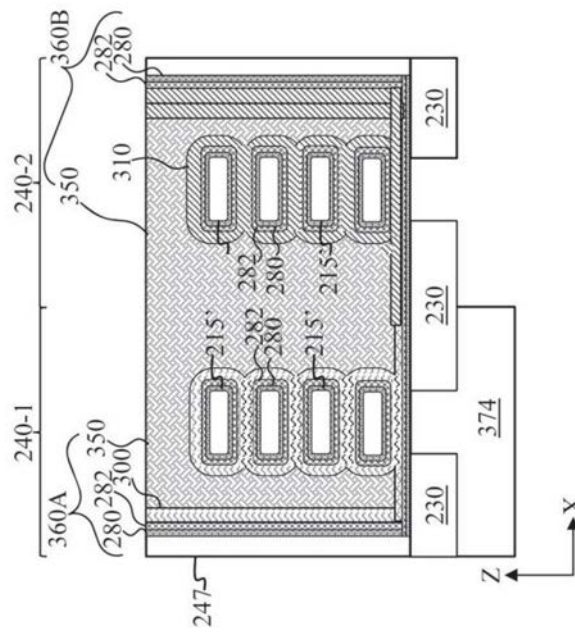


图23B

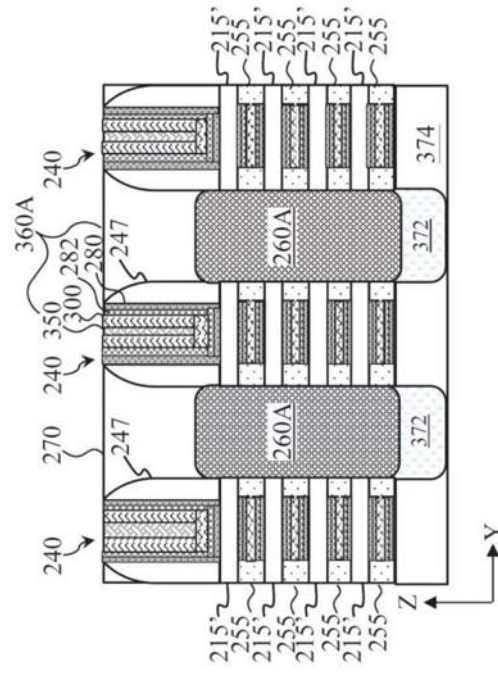


图23C

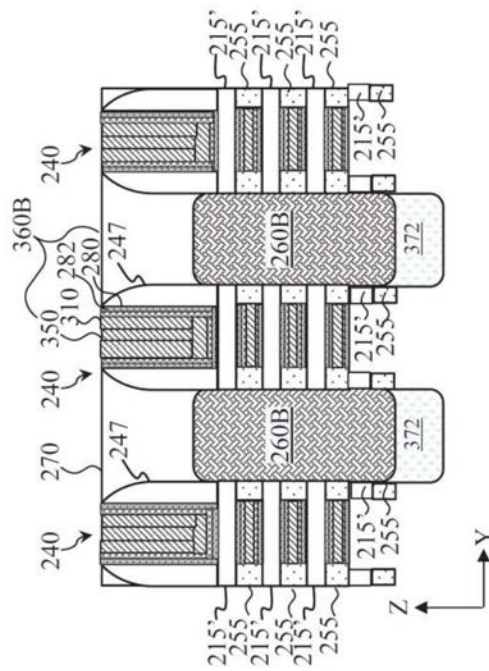


图23D

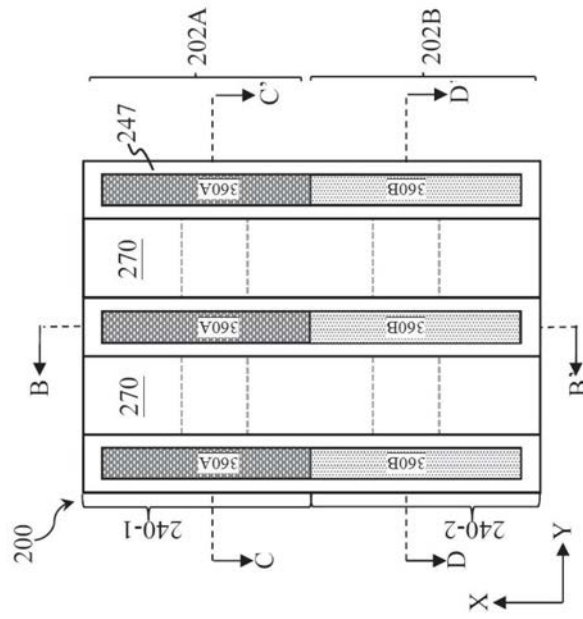


图24A

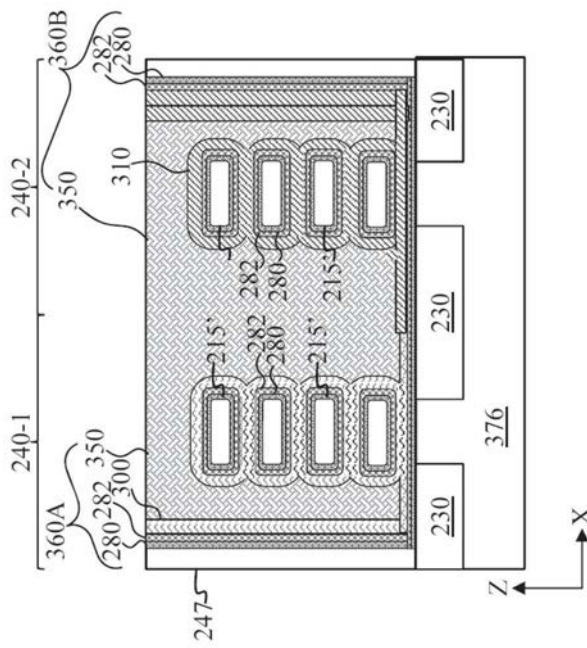


图24B

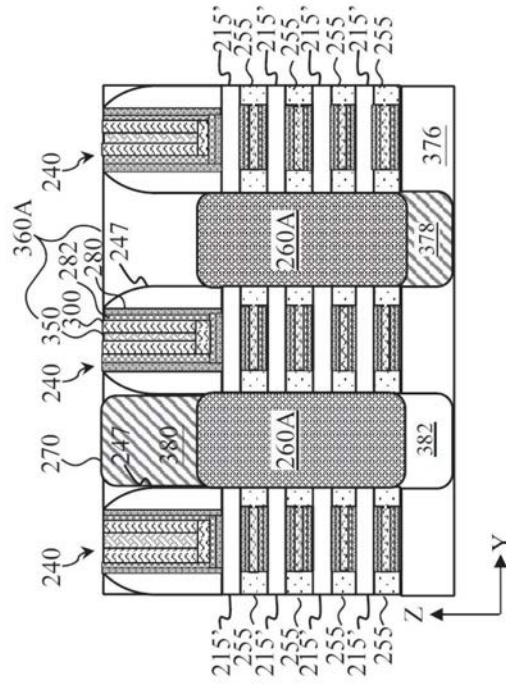


图24C

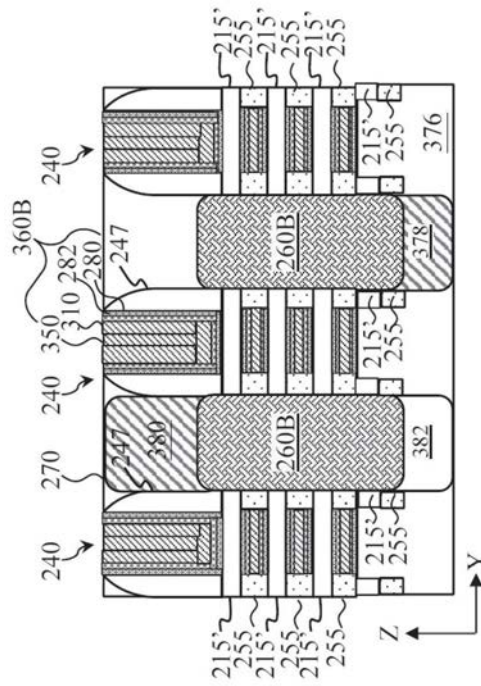


图24D

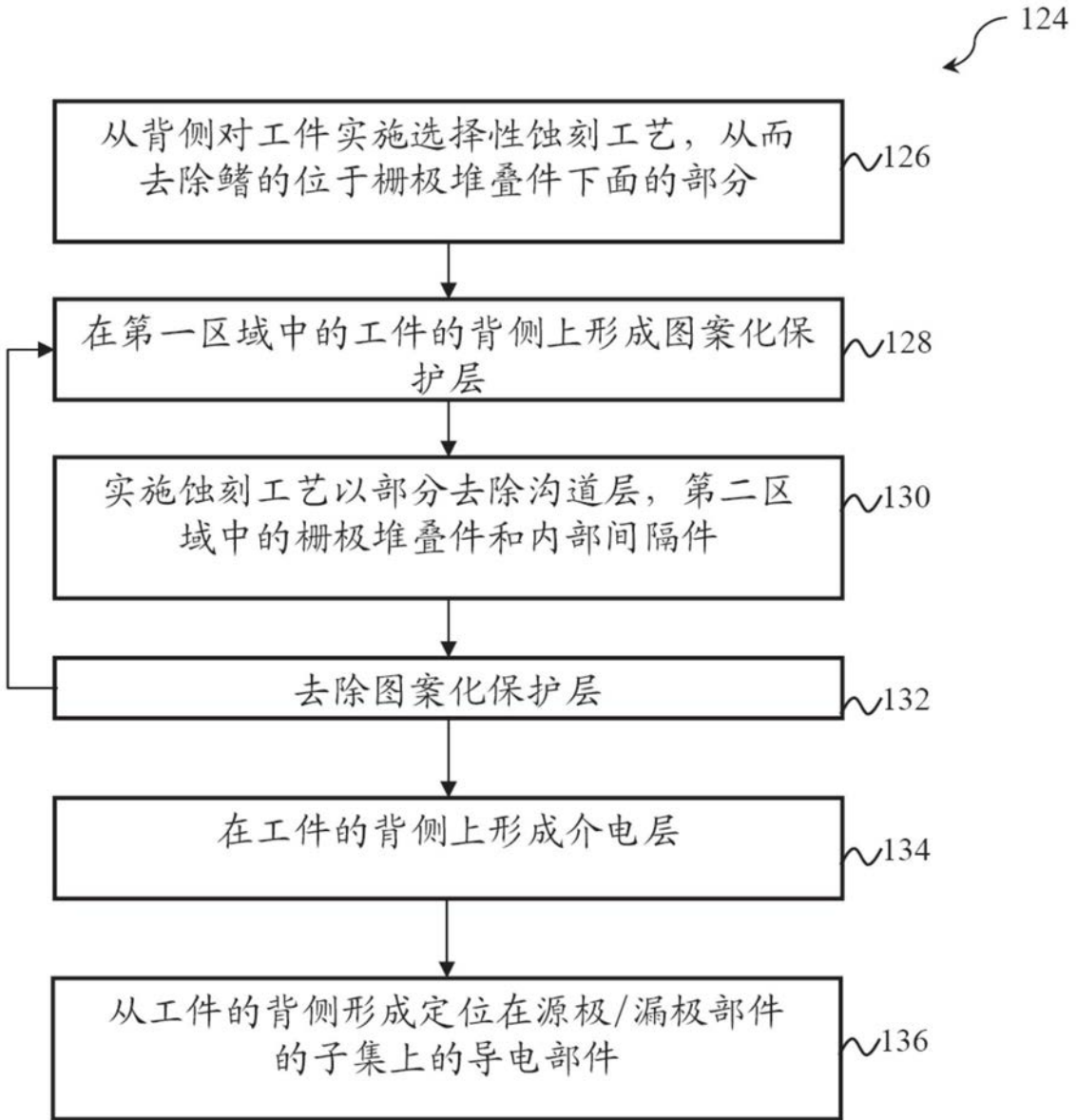


图25

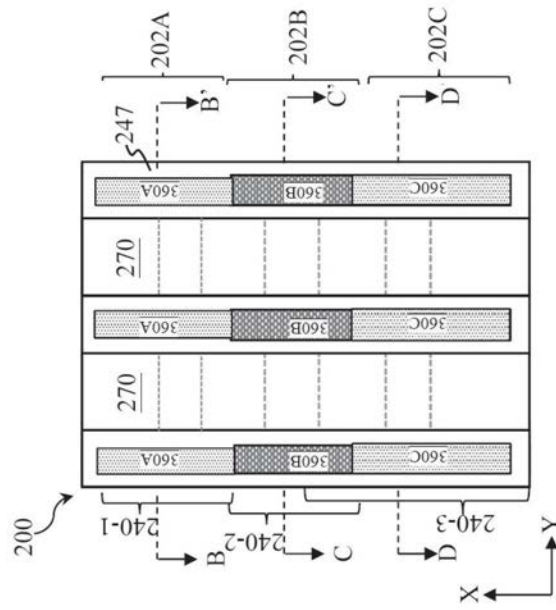


图26A

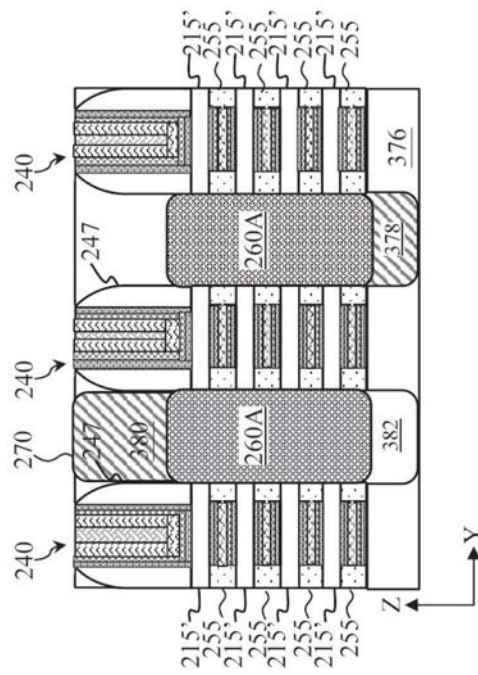


图26B

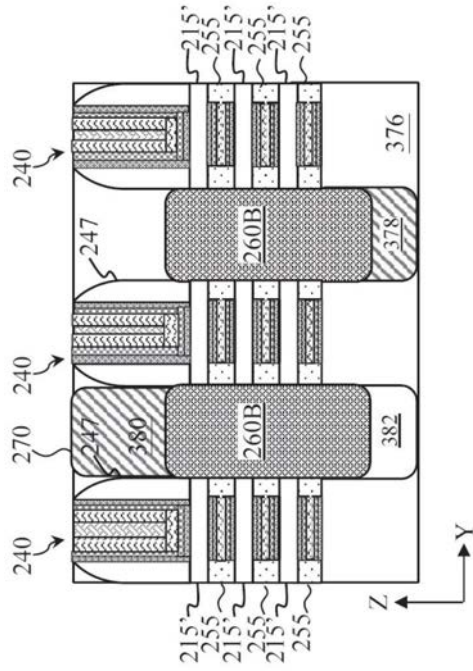


图26C

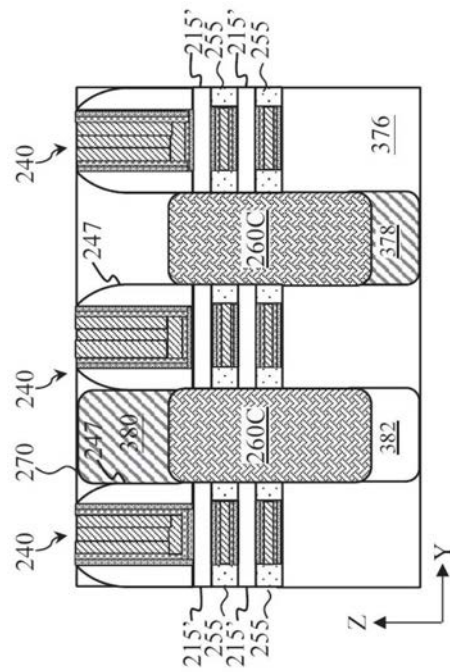


图26D

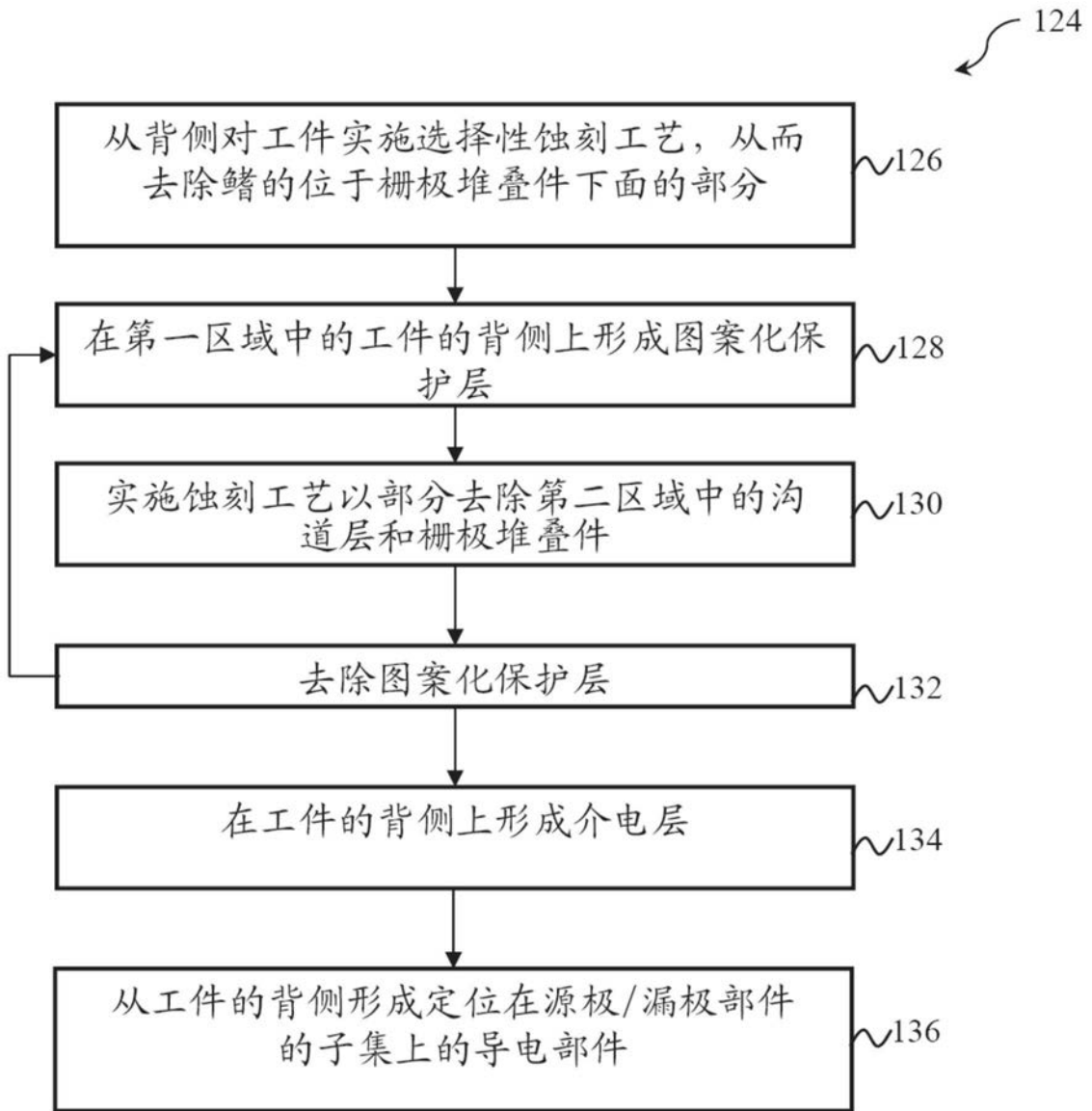


图27

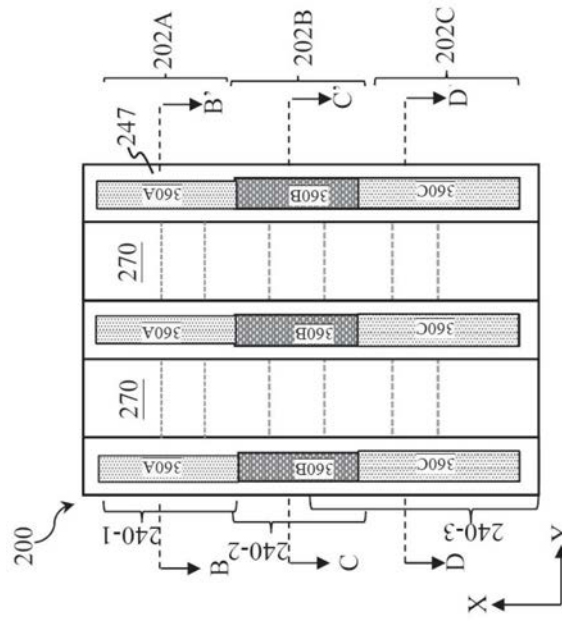


图28A

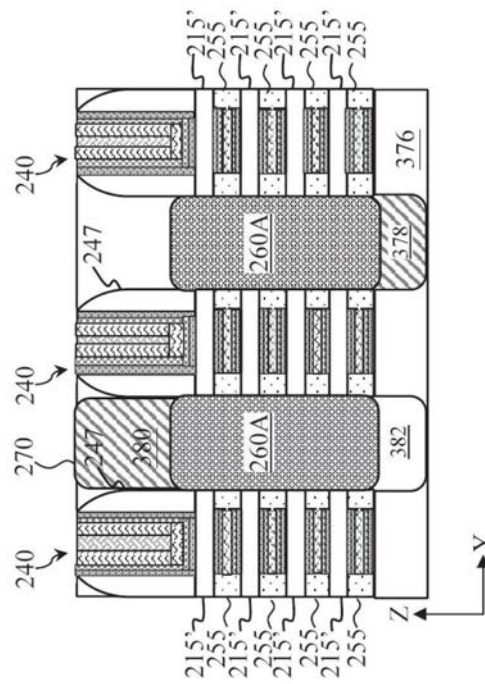


图28B

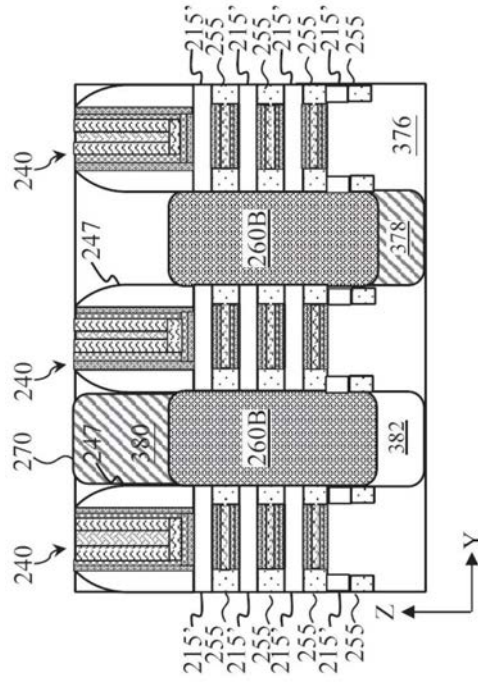


图28C

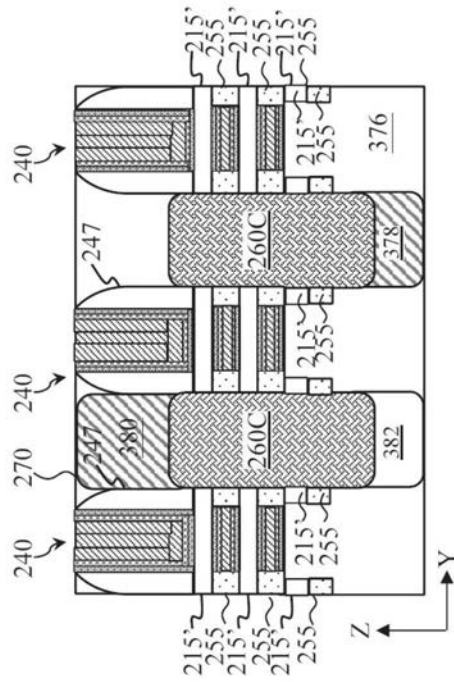


图28D