

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6818534号
(P6818534)

(45) 発行日 令和3年1月20日(2021.1.20)

(24) 登録日 令和3年1月5日(2021.1.5)

(51) Int.Cl.	F I
H05K 3/46 (2006.01)	H05K 3/46 Z
	H05K 3/46 N
	H05K 3/46 B
	H05K 3/46 Q

請求項の数 10 (全 19 頁)

(21) 出願番号	特願2016-241103 (P2016-241103)	(73) 特許権者	000001007
(22) 出願日	平成28年12月13日 (2016.12.13)		キヤノン株式会社
(65) 公開番号	特開2018-98339 (P2018-98339A)		東京都大田区下丸子3丁目30番2号
(43) 公開日	平成30年6月21日 (2018.6.21)	(74) 代理人	100094112
審査請求日	令和1年12月11日 (2019.12.11)		弁理士 岡部 譲
		(74) 代理人	100101498
			弁理士 越智 隆夫
		(74) 代理人	100106183
			弁理士 吉澤 弘司
		(74) 代理人	100128668
			弁理士 齋藤 正巳
		(72) 発明者	沼生 貴志
			東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

最終頁に続く

(54) 【発明の名称】 プリント配線板、プリント回路板及び電子機器

(57) 【特許請求の範囲】

【請求項1】

グラウンド層と電源層とを含む複数の内層を有するプリント配線板であって、
各々が少なくとも前記グラウンド層と前記電源層を含む層を前記プリント配線板の厚さ方向に貫通するように設けられ、前記グラウンド層においてグラウンド電位が与えられる複数のグラウンドビアと、前記電源層において電源電位が与えられる複数の電源ビアとを有し、

前記プリント配線板の前記複数の内層が積層する方向からの平面視において、前記複数の前記グラウンドビア及び前記複数の前記電源ビアは、平行六辺形の各頂点及び前記平行六辺形の内側の一箇所に配置されると共に、同電位が与えられるビア間の距離が、異なる電位が与えられるビア間の距離よりも長い、

10

ことを特徴とするプリント配線板。

【請求項2】

前記プリント配線板の前記複数の内層が積層する方向からの平面視において、前記平行六辺形の4つの頂点に前記グラウンドビア及び前記電源ビアのいずれか一方のビアが4個配置され、残り2つの頂点及び前記平行六辺形の内側の一箇所に他方のビアが配置される

ことを特徴とする請求項1に記載のプリント配線板。

【請求項3】

前記プリント配線板の前記複数の内層が積層する方向からの平面視において、前記平行

20

六辺形の内側の一箇所に配置されるビアの位置は前記平行六辺形の中心であり、前記複数の前記グラウンドビア及び前記複数の前記電源ビアは、前記平行六辺形の中心及び前記中心を通る第一の対角線の両端の頂点に前記グラウンドビア及び前記電源ビアのいずれか一方のビアが配置され、前記平行六辺形の前記中心を通る第二及び第三の対角線の両端の頂点に他方のビアが配置され、

前記平行六辺形の前記中心と前記各頂点を結ぶそれぞれの辺及び隣り合う頂点を結ぶそれぞれの辺のうち、同電位のビアを結ぶ各辺の長さは、異電位のビアを結ぶ各辺より長い、

ことを特徴とする請求項 1 に記載のプリント配線板。

【請求項 4】

前記プリント配線板の前記複数の内層が積層する方向からの平面視において、前記複数の前記グラウンドビア及び前記複数の前記電源ビアは、前記平行六辺形をなすビアを単位とする繰り返し配列をなしており、

前記繰り返し配列において、隣接する 2 つの平行六辺形の頂点に共通のビアが配置されていることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載のプリント配線板。

【請求項 5】

前記繰り返し配列は、前記複数の前記グラウンドビア及び前記複数の前記電源ビアが配列される方向が変化するコーナー部を有し、

前記コーナー部の近傍において、前記繰り返し配列のビアは不連続な配置となっていることを特徴とする請求項 4 に記載のプリント配線板。

【請求項 6】

前記プリント配線板は、コア層及びビルドアップ層を有し、

前記グラウンド層及び前記電源層は、いずれも前記コア層に形成されていることを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載のプリント配線板。

【請求項 7】

請求項 1 乃至 6 のいずれか 1 項に記載のプリント配線板と、

前記プリント配線板の前記グラウンド層に電氣的に接続されるグラウンド端子と、前記プリント配線板の前記電源層に電氣的に接続される電源端子とを有し、前記プリント配線板の第 1 の搭載面に搭載される半導体装置と

を有するプリント回路板。

【請求項 8】

前記プリント配線板の前記グラウンド層に電氣的に接続される第 1 端子と、前記プリント配線板の前記電源層に電氣的に接続される第 2 端子とを有し、前記プリント配線板の前記第 1 の搭載面とは異なる第 2 の搭載面に搭載されるバイパス素子を更に有する請求項 7 に記載のプリント回路板。

【請求項 9】

請求項 1 乃至 6 のいずれか 1 項に記載のプリント配線板を備えた電子機器。

【請求項 10】

請求項 7 又は 8 に記載のプリント回路板を備えた電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、プリント配線板及びプリント回路板に関する。

【背景技術】

【0002】

電子機器の高機能化及び高性能化により、プリント配線板に搭載された半導体装置間のデータ転送速度が高速化している。データ転送速度が高速化すると、様々なノイズに起因する電気信号の伝搬時間のばらつきが大きくなる。この伝搬時間のばらつきはジッタと呼ばれる。クロック同期型のインターフェイスにおいて、ジッタが増大すると、タイミングマージンが減少するため、誤動作が起こりやすくなる。このようなクロック同期型のイン

10

20

30

40

50

ターフェイスを用いる電子機器の例としては、Double-Data-Rate4 Synchronous Dynamic Random Access Memoryがある。

【0003】

ジッタの要因の1つとして電源ノイズがある。電源ノイズに起因するジッタの例としては、半導体装置の複数のバッファ回路が同時に動作する際に生じる電源ノイズによって発生する同時スイッチングノイズジッタ（以下、SSNジッタと略記する）がある。半導体装置の複数のバッファ回路の信号端子から出力される各信号の論理レベルが同時に切り替わるとき、スイッチング電流が発生する。一方、半導体装置への給電経路であるコンデンサ、プリント配線板及びパッケージ基板には、寄生インダクタンスがある。スイッチング電流が寄生インダクタンスに流れると、逆起電力が生じ、この逆起電力が電源ノイズとなる。電源ノイズは、バッファ回路の駆動電圧を変動させ、バッファ回路からの信号の出力タイミングが変動する。このようにして、SSNジッタが発生する。

10

【0004】

したがって、SSNジッタを低減するためには、電源配線のインダクタンスを低減することが有効である。インダクタンスを低減する方法として、電源ビアとグラウンドビアとの間にコンデンサを設けること、及び電源ビアとグラウンドビアと近接して配置することが提案されている（特許文献1参照）。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】国際公開第2013/111194号

【発明の概要】

【発明が解決しようとする課題】

【0006】

更にインダクタンスを低減するためには、電源ビア、グラウンドビア等の個数を多くする必要がある。しかしながら、これらの個数を多くすることで占有面積が増大する場合には、配線の増加によって寄生インダクタンスが生じるため、このような方法によるインダクタンスの低減には限界がある。したがって、占有面積を増加させずにインダクタンスを低減させる電源配線の構造が求められる。

20

【0007】

そこで、本発明は、占有面積が小さく、かつ、インダクタンスが小さい電源配線構造を有するプリント配線板及びプリント回路板を提供することを目的とする。

30

【課題を解決するための手段】

【0008】

本発明の一実施形態に係るプリント配線板は、グラウンド層と電源層とを含む複数の内層を有するプリント配線板であって、各々が少なくとも前記グラウンド層と前記電源層を含む層を前記プリント配線板の厚さ方向に貫通するように設けられ、前記グラウンド層においてグラウンド電位が与えられる複数のグラウンドビアと、前記電源層において電源電位が与えられる複数の電源ビアとを有し、前記プリント配線板の前記複数の内層が積層する方向からの平面視において、前記複数の前記グラウンドビア及び前記複数の前記電源ビアは、平行六辺形の各頂点及び前記平行六辺形の内側の一箇所に配置されると共に、同電位が与えられるビア間の距離が、異なる電位が与えられるビア間の距離よりも長い、ことを特徴とする。

40

【0009】

本発明の一実施形態に係るプリント回路板は、グラウンド層と電源層とを含む複数の内層を有するプリント配線板であって、各々が少なくとも前記グラウンド層と前記電源層を含む層を前記プリント配線板の厚さ方向に貫通するように設けられ、前記グラウンド層においてグラウンド電位が与えられる複数のグラウンドビアと、前記電源層において電源電位が与えられる複数の電源ビアとを有し、前記プリント配線板の前記複数の内層が積層する方向からの平面視において、前記複数の前記グラウンドビア及び前記複数の前記

50

電源ビアは、平行六辺形の各頂点及び前記平行六辺形の内側の一箇所に配置されると共に、同電位が与えられるビア間の距離が、異なる電位が与えられるビア間の距離よりも長い、プリント配線板と、前記プリント配線板の前記グラウンド層に電氣的に接続されるグラウンド端子と、前記プリント配線板の前記電源層に電氣的に接続される電源端子とを有し、前記プリント配線板の第1の搭載面に搭載される半導体装置とを有することを特徴とする。

【発明の効果】

【0010】

本発明によれば、占有面積が小さく、かつ、インダクタンスが小さい電源配線構造を有するプリント配線板及びプリント回路板を提供することができる。

10

【図面の簡単な説明】

【0011】

【図1】第1実施形態に係るプリント回路板の断面図である。

【図2】第1実施形態に係るプリント配線板を構成する配線層の平面図である。

【図3】第1実施形態の比較例に係るグラウンド層の平面図である。

【図4】第1実施形態に係るグラウンド層の平面図である。

【図5】第2実施形態に係るプリント回路板の断面図である。

【図6】第2実施形態に係るプリント配線板を構成する配線層の平面図である。

【図7】第2実施形態の比較例に係るグラウンド層の平面図である。

【図8】第3実施形態に係るプリント配線板の平面図である。

20

【図9】第3実施形態に係るプリント配線板の平面図である。

【図10】第4実施形態に係るプリント回路板の断面図である。

【図11】第4実施形態に係るプリント配線板の平面図である。

【発明を実施するための形態】

【0012】

以下、本発明を実施するための形態を、図面を参照しながら詳細に説明する。複数の図面にわたって共通する要素については同一の符号を付し、その説明を省略又は簡略化することができる。

【0013】

[第1実施形態]

30

図1は、第1実施形態に係るプリント回路板1の断面図である。図1に示されるように、プリント回路板1は、プリント配線板2と、半導体装置3と、バイパス素子であるコンデンサ4とを有する。半導体装置3は、電源端子3pとグラウンド端子3gと信号端子(不図示)とを有する。半導体装置3の各端子は、BGA(Ball Grid Array)の構造を有しており、半導体装置3は、はんだ付けによりプリント配線板2に搭載可能である。コンデンサ4は、表面実装が可能な2つの外部電極端子を有する表面実装部品であり、はんだ付けによりプリント配線板2に搭載可能である。

【0014】

プリント配線板2は、コア層22と、コア層22の両面に形成されたビルドアップ層21とを有するビルドアップ配線板である。各ビルドアップ層は、電源ビルドアップビア11pと、グラウンドビルドアップビア11gとを有する。コア層22は、電源コアビア12pと、グラウンドコアビア12gと、電源プレーン13pと、グラウンドプレーン13gとを有する。電源コアビア12p及びグラウンドコアビア12gは電源プレーン13p及びグラウンドプレーン13gを含むコア層22を厚さ方向に貫通するように設けられたコアビアである。プリント配線板2は、グラウンド層と電源層とを内層に含む合計8層の配線層を有している。各配線層は、例えば、所定の形状にパターンニングされた銅箔等により形成されている。図1に示されるように第1層から第8層の各層を配線層L1から配線層L8と呼ぶ。配線層L4はグラウンド電位が与えられるグラウンドプレーン13gが設けられたグラウンド層であり、配線層L5は電源電位が与えられる電源プレーン13pが設けられた電源層である。

40

50

【 0 0 1 5 】

半導体装置 3 は、プリント配線板 2 の一方の面である第 1 の搭載面（すなわち、配線層 L 1）に搭載される。コンデンサ 4 は、プリント配線板 2 のもう一方の面である第 2 の搭載面（すなわち、配線層 L 8）に搭載される。

【 0 0 1 6 】

プリント配線板 2 に設けられた電源ビルドアップビア 1 1 p 及びグラウンドビルドアップビア 1 1 g は、ビア上にパッドが設けられた、パッドオンビアの構造となっている。半導体装置 3 の電源端子 3 p は、プリント配線板 2 の電源ビルドアップビア 1 1 p 及び電源コアビア 1 2 p を介して、コンデンサ 4 の一方の端子（第 1 端子）と接続される。すなわち、半導体装置 3 の電源端子 3 p 及びコンデンサ 4 の一方の端子は電源層と電氣的に接続される。

10

【 0 0 1 7 】

半導体装置 3 のグラウンド端子 3 g は、プリント配線板 2 のグラウンドビルドアップビア 1 1 g 及びグラウンドコアビア 1 2 g を介して、コンデンサ 4 の他方の端子（第 2 端子）と接続される。すなわち、半導体装置 3 のグラウンド端子 3 g 及びコンデンサ 4 の他方の端子はグラウンド層と電氣的に接続される。半導体装置 3 には、給電経路 1 0 0 を介して、電流が供給される。

【 0 0 1 8 】

図 2 (a) 乃至図 2 (e) は、第 1 実施形態に係るプリント配線板 2 を構成する配線層のプリント配線板 2 に垂直な方向からの平面視における平面図である。図 2 (a) 乃至図 2 (e) では、各層の配線及びビアのうちの一部が図示されている。図 2 (a) は、プリント配線板 2 の配線層 L 1 の平面図である。プリント配線板 2 の配線層 L 1 には、半導体装置 3 の各端子が接続される表層電源パッド 1 0 p 及び表層グラウンドパッド 1 0 g が正方格子状に配置される。表層電源パッド 1 0 p 及び表層グラウンドパッド 1 0 g の直径は 0 . 3 mm であり、中心間距離は 0 . 5 mm（図 2 (a) 中の d 1）である。電源配線で接続された 3 つの表層電源パッド 1 0 p は三角形 1 0 1 の頂点に配置される。三角形 1 0 1 の底辺（図 2 (a) 中の下方の辺）の両端に配置された 2 つの表層電源パッド 1 0 p の位置には、表層電源パッド 1 0 p と中心が一致するように電源ビルドアップビア 1 1 p が配置される（以下、このような配置を「パッドオン」と呼ぶ）。電源ビルドアップビア 1 1 p の穴径は 0 . 1 5 mm である。

20

30

【 0 0 1 9 】

表層グラウンドパッド 1 0 g 及びグラウンドビルドアップビア 1 1 g の配置は、表層電源パッド 1 0 p 及び電源ビルドアップビア 1 1 p に対して上下方向に対称である。グラウンド配線で接続された 3 つの表層グラウンドパッド 1 0 g は、逆三角形 1 0 2 の頂点に配置される。逆三角形 1 0 2 の底辺（図 2 (a) 中の上方の辺）の両端に配置された 2 つの表層グラウンドパッド 1 0 g の位置には、グラウンドビルドアップビア 1 1 g がパッドオンで配置される。グラウンドビルドアップビア 1 1 g の穴径も 0 . 1 5 mm である。

【 0 0 2 0 】

このように、配線層 L 1 には、表層電源パッド 1 0 p に対応する三角形 1 0 1 と表層グラウンドパッド 1 0 g に対応する逆三角形 1 0 2 が繰り返して配置される。ただし、プリント配線板 2 がコアビアにスタックして（重ねて）ビルドアップビアを配置できる構造である場合には、3 つの表層電源パッド 1 0 p のそれぞれに対して、電源ビルドアップビア 1 1 p をパッドオンで配置してもよい。同様に、3 つの表層グラウンドパッド 1 0 g のそれぞれに対して、グラウンドビルドアップビア 1 1 g をパッドオンで配置してもよい。

40

【 0 0 2 1 】

図 2 (b) は、プリント配線板 2 の配線層 L 3 の平面図である。図 2 (b) に示されるグラウンドビルドアップビア 1 1 g と電源ビルドアップビア 1 1 p は、配線層 L 2 と配線層 L 3 を接続するビルドアップビアである。また、図 2 (b) に示されるグラウン

50

ドコアビア12gと電源コアビア12pは、配線層L3から配線層L6までを接続するコアビアである。2つの電源ビルドアップビア11pに対して、1つの電源コアビア12pが近接して配置され、電源配線で接続される。図2(b)に示されるように、電源ビルドアップビア11pの内層電源パッド14pと電源コアビア12pの内層電源パッド14pとが外接するように配置することが望ましい。内層電源パッド14p間を接続する配線の長さを短くし、インダクタンスを小さくすることができるためである。

【0022】

同様に、2つのグラウンドビルドアップビア11gに対して、1つのグラウンドコアビア12gが近接して配置され、グラウンド配線で接続される。内層電源パッド14pと同様に、グラウンドビルドアップビア11gの内層グラウンドパッド14gと、グラ

10

【0023】

第1実施形態においては、電源ビルドアップビア11pの内層電源パッド14pの直径及びグラウンドビルドアップビア11gの内層グラウンドパッド14gの直径は、ともに0.275mmである。電源コアビア12p及びグラウンドコアビア12gの穴径は、ともに0.3mmである。電源コアビア12pのL3層及びL6層の電源パッド14p、並びにグラウンドコアビア12gのL3層及びL6層のグラウンドパッド14gの外周側の直径は、いずれも0.5mmである。電源コアビア12pのL4層及びL5層の電源パッド14p、並びにグラウンドコアビア12gのL4層及びL5層のグラ

20

【0024】

図2(c)は、プリント配線板2の配線層L4、すなわちグラウンド層の平面図である。図2(c)に示されるように、グラウンド層において、複数の電源コアビア12pと複数のグラウンドコアビア12gが三角格子をなして配置されている。この三角格子は、2個のグラウンドコアビア12g及び1個の前記電源コアビア12pを頂点とする第1の不等辺三角形と、1個のグラウンドコアビア12g及び2個の電源コアビア12pを頂点とする第2の不等辺三角形を単位に含む配置となっている。第1の不等辺三角形と第2の不等辺三角形は合同であるため、図2(c)に示されるように複数の電源コアビア12pと複数のグラウンドコアビア12gは、2個の第1の不等辺三角形と4個の第2の不等辺三角形とを単位とする平行六辺形をなしている。なお、本明細書において、「不等辺三角形」とは、3辺の長さが全て異なる三角形を指すものとする。また、「平行六辺形」とは、向かい合う3組の対辺がいずれも互いに平行な六角形であって、正六角形でない図形を指すものとする。

30

【0025】

コアビアの配置についてより詳細に説明する。図2(c)には、複数の行にわたり配列された電源コアビア12pとグラウンドコアビア12gのうち、第1の行であるn行目、第2の行であるn+1行目、第3の行であるn+2行目の配置が示されている。2つの電源コアビア12pと、4つのグラウンドコアビア12gは、平行六辺形103の頂点に配置されている。また、1つの電源コアビア12pが、平行六辺形103の中心に配置されている。中心は平行六辺形103の対角線の交点である。

40

【0026】

電源コアビア12pとグラウンドコアビア12gの配置を、図2(c)を参照して詳細に説明する。n行目において、左から順に電源コアビア12p(第1の電源ビア)、グラウンドコアビア12g(第1のグラウンドビア)が平行六辺形103の頂点に配置されている。n+1行目において、左から順にグラウンドコアビア12g(第2

50

のグラウンドビア)、電源コアビア12p(第2の電源ビア)、グラウンドコアビア12g(第3のグラウンドビア)が配置されている。ここで、2つのグラウンドコアビア12gは、平行六辺形103の頂点に配置されており、電源コアビア12pは、平行六辺形103に内包されており、平行六辺形103の中心に配置されている。n+2行目において、左から順にグラウンドコアビア12g(第4のグラウンドビア)、電源コアビア12p(第3の電源ビア)が配置されている。各行において、横方向に並ぶコアビアの間の中心間距離d2は一定である。

【0027】

不等辺三角形の辺の長さの関係について述べる。例えば、第1のグラウンドビア、第2の電源ビア、第3のグラウンドビアは、第1の不等辺三角形をなしている。第1のグラウンドビアと第2の電源ビアの間の距離をa、第2の電源ビアと第3のグラウンドビアの間の距離をb(=d2)、第3のグラウンドビアと第1のグラウンドビアの間の距離をcとする。このとき、 $c > b > a$ の関係が成り立つ。すなわち、第1の不等辺三角形の最も長い辺(長さc)の両端の頂点にはともにグラウンドコアビア12gが配されている。また、最も長い辺以外の二辺(長さa、b)においては、一方の頂点にはグラウンドコアビア12gが配され、他方の頂点には電源コアビア12pが配されている。

10

【0028】

また、例えば、第1の電源ビア、第2のグラウンドビア、第2の電源ビアは、第2の不等辺三角形をなしている。このとき、第1の電源ビアと第2のグラウンドビアの間の距離はa、第2のグラウンドビアと第2の電源ビアの間の距離はb(=d2)、第2の電源ビアと第1の電源ビアの間の距離はcである。同様に $c > b > a$ の関係が成り立っており、第2の不等辺三角形の最も長い辺(長さc)の両端の頂点にはともに電源コアビア12pが配されている。また、最も長い辺以外の二辺(長さa、b)においては、一方の頂点にはグラウンドコアビア12gが配され、他方の頂点には電源コアビア12pが配されている。なお、辺の長さの関係をこのようにする理由は後述する。

20

【0029】

n行目のグラウンドコアビア12gの内層グラウンドパッド14gとn+1行目の電源コアビア12pの内層電源クリアランス15pは近接して配置される。更に、n+1行目の電源コアビア12pの内層電源クリアランス15pとn+2行目のグラウンドコアビア12gの内層グラウンドパッド14gも近接して配置される。n行目のグラウンドコアビア12gの内層グラウンドパッド14gとn+1行目の電源コアビア12pの内層電源クリアランス15pは外接して配置されていることがより望ましい。n行目のグラウンドコアビア12gとn+1行目の電源コアビア12pを、必要なクリアランスを確保しつつ最も近接させることができ、後述のインダクタンスを低減する効果を高めることができるためである。同様の理由により、n+1行目の電源コアビア12pの内層電源クリアランス15pとn+2行目のグラウンドコアビア12gの内層グラウンドパッド14gは外接して配置されていることが望ましい。n行目の電源コアビア12pの内層電源クリアランス15pとn+1行目の左側のグラウンドコアビア12gの内層グラウンドパッド14gは外接して配置されていることが望ましい。更に、n+2行目の電源コアビア12pの内層電源クリアランス15pとn+1行目の右側のグラウンドコアビア12gの内層グラウンドパッド14gは外接して配置されていることが望ましい。

30

40

【0030】

なお、内層電源クリアランス15pは、内層電源パッド14pとグラウンドプレーン13gとのショートを防止するための円環状の間隙である。そのため、内層電源クリアランス15pの外周側の直径は、内層電源パッド14pの外周側の直径よりも大きい。

【0031】

第1実施形態では、横方向に並ぶコアビア間の中心間距離d2は1.06mmである。内層電源パッド14p及び内層グラウンドパッド14gの外周側の直径は0.65mm

50

である。内層電源クリアランス15pの幅は、0.125mmである。

【0032】

図2(d)は、プリント配線板2の配線層L6の平面図である。図2(d)に示されるグラウンドビルドアップビア11gと電源ビルドアップビア11pは、配線層L6と配線層L7を接続するビルドアップビアである。また、図2(d)に示されるグラウンドコアビア12gと電源コアビア12pは、配線層L3から配線層L6までを接続するコアビアである。2つの電源ビルドアップビア11pが、電源コアビア12pに近接して配置される。電源コアビア12pの内層電源パッド14pと、電源ビルドアップビア11pの内層電源パッド14pとが外接して配置されることが望ましい。インダクタンスの低減のためである。また、2つのグラウンドビルドアップビア11gが、グラウンドコアビア12gに近接して配置される。同様の理由により、グラウンドコアビア12gの内層グラウンドパッド14gと、グラウンドビルドアップビア11gの内層グラウンドパッド14gとが外接して配置されることが望ましい。なお、図2(d)に示される本発明の第1実施形態では、グラウンドコアビア12g又は電源コアビア12pの右側に電源ビルドアップビア11p又はグラウンドビルドアップビア11gが配置されているが、左側に配置されていてもよい。

10

【0033】

図2(e)は、プリント配線板2の配線層L8の平面図である。図2(e)には、電源ビルドアップビア11p、グラウンドビルドアップビア11g及びコンデンサ4の配置と接続関係が示されている。2つの電源ビルドアップビア11pと、コンデンサ4の一方の端子とが電源配線で接続される。また、2つのグラウンドビルドアップビア11gとコンデンサ4の他方の端子とがグラウンド配線で接続される。なお、第1実施形態では、平面視におけるコンデンサのサイズは、0.6mm×0.3mmである。

20

【0034】

以下、第1実施形態のプリント回路板1において、占有面積が小さく、かつ、インダクタンスが小さい電源配線を実現することができる理由を説明する。まず、電源ノイズとSSNジッタの発生メカニズムについて説明する。半導体装置3の複数のバッファ回路の信号端子から出力される各信号の論理レベルが同時に切り替わるとき、スイッチング電流 $I_{switching}$ が発生する。半導体装置3への給電経路100であるコンデンサ4とプリント配線板2には、寄生インダクタンス $L_{parasitic}$ がある。寄生インダクタンス $L_{parasitic}$ にスイッチング電流 $I_{switching}$ が流れると、逆起電力(電源ノイズ) V_{noise} が発生する。このとき、バッファ回路の駆動電圧が電源ノイズによって変動するために、バッファ回路からの信号の出力タイミングが変動する。このようにして、SSNジッタが発生する。

30

【0035】

したがって、SSNジッタを低減させるためには、電源ノイズを低減することが有効である。電源ノイズ V_{noise} は、寄生インダクタンス $L_{parasitic}$ とスイッチング電流 $I_{switching}$ を用いて、次の式1で与えられる。

【数1】

$$V_{noise}(t) = L_{parasitic} \frac{dI_{switching}(t)}{dt} \quad (式1)$$

40

【0036】

式1より、電源ノイズ V_{noise} を低減するためには、寄生インダクタンス $L_{parasitic}$ を小さくする方法、スイッチング電流 $I_{switching}$ を小さくする方法、又はこれらの両方を行う方法が考えられる。しかしながら、スイッチング電流 $I_{switching}$ を小さくする方法においては、回路自体の消費電流を低減すること、回路の同時動作数を少なくすること等を要し、回路の性能を制限することになる。そこで、電子機器の高機能及び高性能化を確保しつつ電源ノイズ V_{noise} を低減するため、寄生インダクタンス $L_{parasitic}$ を小さくする方法について説明する。

【0037】

50

プリント配線板 2 の寄生インダクタンス $L_{\text{parasitic}}$ は、電源ビアとグラウンドビアの配置に依存する。まず、寄生インダクタンス $L_{\text{parasitic}}$ が大きい部位を把握するために、図 1 に示した給電経路 100 の寄生インダクタンスの内訳を分析した。プリント配線板 2 の層構成を以下の表 1 に示す。各配線層の銅箔厚みは $30 \mu\text{m}$ であり、ビルドアップ層 21 の絶縁層厚みは $65 \mu\text{m}$ であり、コア層 22 の絶縁層厚みは $200 \mu\text{m}$ 又は $400 \mu\text{m}$ である。

【0038】

【表 1】

ビルドアップ層	配線層L1の銅箔厚み	$30 \mu\text{m}$
	配線層L1と配線層L2の間の絶縁層厚み	$65 \mu\text{m}$
	配線層L2の銅箔厚み	$30 \mu\text{m}$
	配線層L2と配線層L3の間の絶縁層厚み	$65 \mu\text{m}$
コア層	配線層L3の銅箔厚み	$30 \mu\text{m}$
	配線層L3と配線層L4の間の絶縁層厚み	$200 \mu\text{m}$
	配線層L4の銅箔厚み	$30 \mu\text{m}$
	配線層L4と配線層L5の間の絶縁層厚み	$400 \mu\text{m}$
	配線層L5の銅箔厚み	$30 \mu\text{m}$
	配線層L5と配線層L6の間の絶縁層厚み	$200 \mu\text{m}$
ビルドアップ層	配線層L6の銅箔厚み	$30 \mu\text{m}$
	配線層L6と配線層L7の間の絶縁層厚み	$65 \mu\text{m}$
	配線層L7の銅箔厚み	$30 \mu\text{m}$
	配線層L7と配線層L8の間の絶縁層厚み	$65 \mu\text{m}$
	配線層L8の銅箔厚み	$30 \mu\text{m}$

10

20

【0039】

また、電源ビルドアップビア 11 p 及びグラウンドビルドアップビア 11 g の直径 R_{build} は、 0.15 mm (半径 r_{build} は、 0.075 mm) である。電源ビルドアップビア 11 p とグラウンドビルドアップビア 11 g の間隔 a_{build} は、 0.5 mm である。電源コアビア 12 p のグラウンドコアビア 12 g の直径 R_{core} は、 0.3 mm (半径 r_{core} は、 0.15 mm) である。電源コアビア 12 p とグラウンドコアビア 12 g の間隔 a_{core} は、 1.0 mm とした。

30

【0040】

電源ビアとグラウンドビアを 2 平行円柱線路とすると、次の式 2 及び式 3 により自己インダクタンス L_{self} と相互インダクタンス M を算出することができる。

【数 2】

$$L_{\text{self}} = \frac{\mu \times l}{2\pi} \left\{ \log \frac{l + \sqrt{l^2 + r^2}}{r} - \sqrt{1 + \left(\frac{r}{l}\right)^2} + \frac{r}{l} \right\} \quad (\text{式 2})$$

40

【数 3】

$$M = \frac{\mu \times l}{2\pi} \left\{ \log \frac{l + \sqrt{l^2 + a^2}}{a} - \sqrt{1 + \left(\frac{a}{l}\right)^2} + \frac{a}{l} \right\} \quad (\text{式 3})$$

ここで、 μ は透磁率 ($1.26 \times 10^{-6} \text{ H/m}$) であり、 l はビアの長さである。

【0041】

電源ビアとグラウンドビアのインダクタンスを合計したインダクタンス L_{total} は、自己インダクタンス L_{self} と相互インダクタンス M を用いて次の式 4 で与えられる。

【数 4】

$$L_{total} = \frac{(2L_{self} \pm 2M)}{N} \quad (\text{式 4})$$

相互インダクタンス M は、2 平行円柱線路を流れる電流の向きによって符号が異なる。2 平行円柱線路を同方向に電流が流れる場合は正となり、逆方向に電流が流れる場合は負となる。N はビアの個数（並列数）である。

【0042】

式 2、式 3 及び式 4 を用いて、ビルドアップ層とコア層のビアのインダクタンスを算出した。ビルドアップ層 2 1 のビアのインダクタンスは 64 p H である。コア層 2 2 のビアのインダクタンスは 372 p H である。コンデンサ 4 の寄生インダクタンスは、例えば、村田製作所製の 0603 サイズのコンデンサ（型番：GRM033R60J104KE19）を用いた場合には、200 p H である。

10

【0043】

以上の前提により、ビルドアップ層 2 1 のビアのインダクタンス、コア層 2 2 のビアのインダクタンス、コンデンサ 4 の寄生インダクタンスを計算すると、これらの比率は、それぞれ 10%、58%、32% となる。これにより、コア層 2 2 のビアのインダクタンスが、全体の約 6 割を占めており、コア層 2 2 のビアのインダクタンスを低減することが有効であることがわかる。

【0044】

20

以上の検討により、コア層 2 2 のインダクタンスを低減する方法として、自己インダクタンスを低減する方法と、相互インダクタンスを活用して合計のインダクタンスを低減する方法（相互インダクタンスが負になるようにする）とが考えられる。自己インダクタンスを低減するためには、式 2 及び式 4 より、ビアの長さを短くする、ビアの径を太くする、透磁率を下げる、ビアの並列数を増やす、といった方法が考えられる。相互インダクタンスを活用するためには、互いに逆方向に電流が流れる 2 つのビアの長さを長くする、逆方向に電流が流れるビアの間隔を狭める、互いに同方向に電流が流れるビアの間隔を広げる、透磁率を上げる、といった方法が考えられる。

【0045】

そこで、これらのビアのインダクタンスを低減する方法の中から、ビアの配置によってインダクタンスを低減する方法に着目し、検討を行う。図 3 は、第 1 実施形態の比較例に係るグラウンド層（配線層 L 4）の平面図であり、自己インダクタンスを低減するためのグラウンド層の配置が示されている。図 3 に示されるように、ビアの並列数を増加させることによりインダクタンスを低減することを目的として、正六角形 104 の中心と頂点にビアが配置されている。

30

【0046】

電源コアビア 12 p とグラウンドコアビア 12 g の配置を、図 3 を参照してより詳細に説明する。n 行目において、左から順に電源コアビア 12 p、グラウンドコアビア 12 g が正六角形 104 の頂点に配置されている。n + 1 行目において、左から順にグラウンドコアビア 12 g、電源コアビア 12 p、グラウンドコアビア 12 g が配置されている。ここで、2 つのグラウンドコアビア 12 g は、正六角形 104 の頂点に配置されており、電源コアビア 12 p は正六角形 104 の中心に配置されている。n + 2 行目において、左から順にグラウンドコアビア 12 g、電源コアビア 12 p が正六角形 104 の頂点に配置されている。

40

【0047】

言い換えると、正六角形 104 は、2 個のグラウンドコアビア 12 g 及び 1 個の前記電源コアビア 12 p を頂点とする正三角形と、1 個のグラウンドコアビア 12 g 及び 2 個の電源コアビア 12 p を頂点とする正三角形を単位に含む配置となっている。したがって、隣接する電源コアビア 12 p 同士の間隔、隣接するグラウンドコアビア 12 g 同士の間隔、隣接する電源コアビア 12 p とグラウンドコアビア 12 g の間隔は、

50

全て等しい。

【0048】

ここで、ビアの配置密度を向上させるため、 n 行目の電源コアビア12pの内層電源クリアランス15pと $n+1$ 行目の電源コアビア12pの内層電源クリアランス15pとが外接して配置されている。このような正六角形104状の配置により、コアビアの配置密度を向上させることができ、コアビアの並列数を増やすことができる。式4に示されるように、コアビアの並列数を増やすことで、自己インダクタンスを低減することができる。

【0049】

しかしながら、本比較例の構成では、電源コアビア12p（同電位のコアビア）が近接して配置されるため、正の相互インダクタンスが発生し、インダクタンスの低減が不十分となる場合があることがわかった。そこで、本実施形態では、相互インダクタンスを活用するため、同電位のコアビアの間隔を広くし、異電位のコアビアを近接させる配置が採られている。

10

【0050】

図4は、本実施形態に係るグラウンド層（配線層L4）の平面図であり、図3の比較例に対して更に相互インダクタンスを活用することによりインダクタンスを低減するためのグラウンド層の配置が示されている。図2(c)に示したものと同様であるため、詳細な説明を省略する。ここで、式2、式3及び式4を用いて算出されたインダクタンスを比較することにより、コアビアの配置によるインダクタンスの低減の効果を説明する。

20

【0051】

図3の比較例に係る配置においては、正六角形104の一辺の長さは1.0mmである。内層電源クリアランス15pの外周側の直径は1.0mmであり、内層グラウンドパッド14gの直径は0.4mmである。また、電源コアビア12pの中心間距離 d_3 は1.0mmである。電源コアビア12pとグラウンドコアビア12gの中心間距離 d_4 も1.0mmである。更に、ビアの直径は0.3mmであり、ビアの長さは0.8mmである。この条件において、コア層22のビアに生じるインダクタンスは125pHである。

【0052】

これに対し、図4に示す本実施形態に係る配置においては、電源コアビアの中心間距離 d_3' は、約1.2mmである。電源コアビアとグラウンドコアビア間の中心間距離 d_4' は、約0.9mmである。この条件において、コア層22のビアに生じるインダクタンスは94pHである。したがって、図3の比較例に係る配置よりもコア層22のビアに生じるインダクタンスが低減されている。

30

【0053】

電源コアビア12pの間の距離は、比較例においては1.0mmであるのに対し、本実施形態では、約1.2mmと広がっている。そのため、電源コアビア12pの間の正の相互インダクタンスは低減する。同様に、本実施形態においてはグラウンドコアビア12gの間の距離も広がっているため、グラウンドコアビア12gの間の正の相互インダクタンスも低減する。一方、電源コアビア12pとグラウンドコアビア12gの間の距離は、比較例においては、1.0mmであるのに対し、本実施形態では、約0.9mmと狭くなっている。そのため、電源コアビア12pとグラウンドコアビア12gの間の負の相互インダクタンスは大きくなる。したがって、本実施形態によれば、相互インダクタンスが負方向に大きくなり、これにより合計のインダクタンスを低減することができる。また、平行六边形103によるビアの配置は、正六角形104の場合と同等かあるいは同等に近い面積効率を有するため、十分に占有面積を小さくすることができる。

40

【0054】

以上のように、本実施形態では、正六角形のコアビア配置と同程度の面積効率の実現と、同電位のコアビアの間隔を広くし、異電位のコアビアを近接させることによるイ

50

ンダクタンスの低減を両立する設計がなされている。これらの制約を両立させるため、本実施形態では、図2(c)及び図4に示されるように、同電位のコアビアの間隔が最も大きい不等辺三角形が配列の最小単位である三角格子状にコアビアが配列されている。また、本実施形態では、6個の不等辺三角形を単位とする平行六辺形状にコアビアを配置することにより、正六角形104の場合と同等かあるいは同等に近い面積効率が得られる。平行六辺形は正六角形と同様に、平面内に隙間なく高密度に敷き詰めることが可能な図形であるためである。

【0055】

したがって、本実施形態によれば、占有面積が小さく、かつ、インダクタンスが小さい電源配線構造を有するプリント配線板及びプリント回路板を提供することができる。

10

【0056】

ここで、図4に示したビア配置が成立する寸法について検討する。内層電源クリアランス15pの外周側の円形の半径を r_1 とし、内層電源パッド14pの外周側の円形の半径を r_2 とする。このとき、内層電源クリアランス15pの外周側の半径 r_1 は、内層電源パッド14pの外周側の半径 r_2 よりも大きいので $r_1 > r_2$ である。横方向に並ぶコアビアの中心間距離を d_2 とすると、内層電源クリアランス15pと内層グラウンドパッド14gは干渉してはならないという制約により、 $d_2 > r_1 + r_2$ である。各行の間隔(図4では n 行目と $n+1$ 行目の間隔及び $n+1$ 行と $n+2$ 行目の間隔)を d_5 とする。 n 行目の内層グラウンドパッド14gと $n+1$ 行目の内層電源クリアランス15pが外接するための条件は、 $d_5 < r_1 + r_2$ である。

20

【0057】

[第2実施形態]

次に、本発明の第2実施形態では、第1実施形態で示した平行六辺形103をなす電源コアビア12p及びグラウンドコアビア12gを平面方向に繰り返し配列したプリント配線板2aの電源構造に関して説明する。なお、各図において、繰り返し配列が3周期のみ図示されているが、周期の数は任意に変更可能である。

【0058】

図5は、第2実施形態に係るプリント回路板1aの断面図である。図5に示すように、プリント回路板1aは、プリント配線板2aと、半導体装置3と、バイパス素子である複数のコンデンサ4を有する。図1で示したビアの構造が繰り返し配列されている点を除き、図5の構成は図1と同様であるため、詳細な説明を省略する。

30

【0059】

図6(a)乃至図6(e)は第2実施形態に係るプリント配線板2aを構成する配線層の平面図である。図6(a)は、プリント配線板2aの配線層L1の平面図である。図6(b)は、プリント配線板2aの配線層L3の平面図である。図6(a)及び図6(b)については、図2(a)及び図2(b)に示したビアの構造が繰り返し配列されている点を除き同様であるため、詳細な説明を省略する。

【0060】

図6(c)は、プリント配線板2aの配線層L4、すなわちグラウンド層の平面図である。第1実施形態の平行六辺形状のコアビアの配置を平面方向に繰り返し配置する。図6(c)を参照しつつより詳細に繰り返し配列について説明する。図6(c)に示す平行六辺形103をなす電源コアビア12p及びグラウンドコアビア12gの配置を左から順に第1格子、第2格子、第3格子と呼称する。第1格子の $n+1$ 行目の右側に位置するグラウンドコアビア12gと、第1格子に隣接する第2格子の $n+1$ 行目の左側に位置するグラウンドコアビア12gとが共通となるようにコアビアを配置する。同様に、第2格子の $n+1$ 行目の右側に位置するグラウンドコアビア12gと、第2格子に隣接する第3格子の $n+1$ 行目の左側に位置するグラウンドコアビア12gとが共通となるようにコアビアを配置する。このように、平行六辺形103をなす7個のコアビアを単位としてコアビアが繰り返し配列されており、隣接する2つの平行六辺形の頂点に共通のコアビアが配されている。

40

50

【0061】

このとき、第1格子の $n+1$ 行目の右側に位置するグラウンドコアビア12gに対して、第2格子の n 行目の電源コアビア12pが近接して配置される。第1格子と第2格子の異電位のコアビアが近接することで、負の相互インダクタンスが発生し、インダクタンスが低減される。同様に第2格子と第3格子においても格子間で異電位のコアビアが近接するため、負の相互インダクタンスが発生し、インダクタンスが低減される。

【0062】

図6(d)は、プリント配線板2aの配線層L6の平面図である。図6(d)については、図2(d)に示したビアの構造が繰り返し配列されている点を除き同様であるため、詳細な説明を省略する。

【0063】

図6(e)はプリント配線板2aの配線層L8の平面図である。バイパスコンデンサの配置について第1実施形態と異なる点を述べる。第1格子の n 行目のグラウンドコアビア12gと、第2格子の n 行目の電源コアビア12pの間には、コンデンサ4aが配置される。同様に、第2格子の n 行目のグラウンドコアビア12gと、第3格子の n 行目の電源コアビア12pの間に、コンデンサ4bが配置される。このように、異なる格子のコアビア間にバイパスコンデンサが接続されるようにコンデンサ4a、4bを配置することができる。これにより、バイパスコンデンサの寄生インダクタンスを、並列接続の効果によって低減させることができる。

【0064】

図7は、第2実施形態の比較例に係る配線層L4の平面図である。本比較例では、図7に示されるように、異電位のコアビア間の相互インダクタンスをより活用するために、平行六辺形105の中心の電源コアビア12pに4つのグラウンドコアビア12gを近接させて配置している。この構成では、平行六辺形105を構成する7個のコアビアは、6個の二等辺三角形をなしている。しかしながら、本比較例では、第1格子の $n+1$ 行目の右側に位置するグラウンドコアビア12gと、第2格子の $n+1$ 行目の左側に位置すべきグラウンドコアビア12g'とが干渉する。同様に、第2格子の $n+1$ 行目の右側に位置すべきグラウンドコアビア12g'と、第3格子の $n+1$ 行目の左側に位置するグラウンドコアビア12gとが干渉する。したがって、第2格子のグラウンドコアビア12g'が配置できない場合がある。この場合、第2格子の電源コアビア12p

【0065】

図6(a)乃至図6(e)に示したコアビアの配置により生じるインダクタンスを、第1実施形態で述べたものと同様の条件を用いて算出すると、 31.3 pH である。これに対し、コアビアの配置を図7に示したものと置き換えた場合のインダクタンスは、 32.6 pH である。したがって、比較例の構造によってもある程度インダクタンスの低減を実現可能ではあるが、第2実施形態の図6(a)乃至図6(e)に示した構成の方がより効果的にインダクタンスの低減を実現できる。

【0066】

[第3実施形態]

次に、本発明の第3実施形態では、電源コアビア12p及びグラウンドコアビア12gを平面方向に繰り返し配置する際におけるコーナー部の配置方法について説明する。コーナー部の近傍以外については第2の実施形態と同様であるため、重複する説明は省略することもある。例えば、プリント配線板2aの断面構造は、第2実施形態と同様であるため、図示及び説明を省略する。なお、各図において、繰り返し配列が4周期のみ図示されているが、周期の数は任意に変更可能である。

【0067】

図8(a)は、プリント配線板2aの配線層L1の平面図である。表層電源パッド10

10

20

30

40

50

p、表層グラウンドパッド10g等は、直線106に対して線対称に配置される。すなわち、直線106よりも左上側の領域Aにおいて、表層電源パッド10p、表層グラウンドパッド10g等は第2実施形態と同様の配置となっている。これに対し、直線106よりも右下側の領域Amにおいては、表層電源パッド10p、表層グラウンドパッド10g等は、直線106に対して線対称となるように領域Aを反転した配置となっている。

【0068】

図8(b)は、プリント配線板2aの配線層L3の平面図である。配線層L3も、第2実施形態と同様の配置を有する領域Aとこれとほぼ線対称の領域Amにより構成されている。ただし、直線106上、すなわちコーナー部のグラウンドコアビア12gを反転した場合、反転後のグラウンドコアビア12gmは、図中の破線の位置となり、コアビア同士が接触する。これを避けるため、グラウンドコアビア12gmは配置されておらず、コーナー部においては例外的に直線106に対し対称とはなっていない。

10

【0069】

図8(c)は、プリント配線板2aの配線層L4の平面図である。配線層L4も、第2実施形態と同様の配置を有する領域Aとこれとほぼ線対称の領域Amにより構成されている。ただし、上述のように、コアビア同士の接触を避けるため、グラウンドコアビア12gmは配置されておらず、コーナー部については例外的に直線106に対し対称とはなっていない。このとき、直線106に対して平行六辺形103と対称な平行六辺形103mは、コーナー部については、未配置のグラウンドコアビア12gmを頂点とする。このように、コーナー部の近傍において、直線106に対し反転した場合にコアビアが配置できない場合には、平行六辺形103mの頂点又は中心の一部にビアを配置しない構成としてもよい。

20

【0070】

図9(a)は、プリント配線板2aの配線層L6の平面図である。配線層L6については、直線106の左上側の領域Aについては第2実施形態と同様の配置となっている。直線106より右下側の領域Amにおいては、領域Aの配置を時計回りに90度回転したものが配置されている。ただし、コーナー部においては、回転後のグラウンドビルドアップビア11gm及びグラウンドコアビア12gmは図中の破線の位置となり、ビア同士が接触する。これを避けるため、グラウンドビルドアップビア11gm及びグラウンドコアビア12gmは配置されておらず、コーナー部においては例外的に直線106を

30

【0071】

図9(b)はプリント配線板2aの配線層L8の平面図である。グラウンドビルドアップビア11g、電源ビルドアップビア11pの位置が図9(a)に示されたものと対応している点を除き、第2実施形態と同様であるため説明を省略する。

【0072】

上述のように、第3実施形態においては、第2実施形態で述べた繰り返し配列に配列される方向が折れ曲がるように変化するコーナー部を有する場合について説明した。コーナー部の近傍において、繰り返し配列を不連続なものとすることにより、ビアの接触が回避されている。これにより、コーナー部を有する本実施形態においても、図8(c)に示されるように、平行六辺形103、103mをなす繰り返し配列が可能である。したがって、第1実施形態及び第2実施形態と同様の効果を得ることができる。

40

【0073】

[第4実施形態]

図10は、第4実施形態に係るプリント回路板1bの断面図である。図10に示されるように、プリント回路板1bは、プリント配線板2bと半導体装置3と、コンデンサ4とを有する。第4実施形態のプリント配線板2bは、図1に示す第1実施形態のプリント配線板2、あるいは図5に示す第2及び第3実施形態のプリント配線板2aとは異なり、全層がビルドアップ層21bである。言い換えるとコア層22を有しない構造となっている。

50

【0074】

プリント配線板2bのグラウンドビルドアップビア11g及び電源ビルドアップビア11pはパッドオンビアの構造となっている。半導体装置3の電源端子3pは、プリント配線板2bの電源ビルドアップビア11pを介して、コンデンサ4の一方の端子と接続される。半導体装置3のグラウンド端子3gは、プリント配線板2bのグラウンドビルドアップビア11gを介して、コンデンサ4の他方の端子と接続される。半導体装置3には、給電経路100bを介して、電流が供給される。断面図におけるその他の構成は上述の実施形態とほぼ同様であるため説明を省略する。

【0075】

図11(a)乃至図11(c)は、第4実施形態に係るプリント配線板2bを構成する配線層の平面図である。図11(a)は、プリント配線板2bの配線層L1の平面図である。第1実施形態の図2(a)と同様であるため説明を省略する。

10

【0076】

図11(b)は、プリント配線板2bの内層(例えば、図10における配線層L5、すなわちグラウンド層)の平面図である。内層電源パッド14p及び内層グラウンドパッド14gの直径は0.3mmである。内層電源クリアランス15pの幅、すなわち、内層電源パッド14pとグラウンドプレーン13gとの間隔は、0.1mmである。この配置では、内層電源クリアランス15p同士が外接していることによるグラウンドプレーン13gの分断が生じ得る。そこで、この分断の発生を低減するため、内層電源クリアランス15pの間のグラウンドプレーン13gを太くした補強部16gが設けられている。

20

【0077】

図11(c)は、プリント配線板2bの配線層L8の平面図である。図11(c)には、電源ビルドアップビア11p、グラウンドビルドアップビア11g及びコンデンサ4の配置と接続関係が示されている。3つの電源ビルドアップビア11pと、コンデンサ4の一方の端子とが電源配線で接続される。また、3つのグラウンドビルドアップビア11gとコンデンサ4の他方の端子とがグラウンド配線で接続される。

【0078】

半導体装置の開発費を低減させるために、1つの設計の半導体装置が異なる複数の電気機器に共用される場合がある。しかしながら、電子機器ごとに機能又は性能が異なるために、半導体装置3を搭載するプリント配線板が製品ごとに異なる場合がある。例えば、多機能版の電子機器では、多くの信号配線を必要とするために、全層がビルドアップ層であるプリント配線板を用いることがある。これに対し、機能を限定した廉価版の電子機器では、プリント配線板のコストを低減させるために、コア層にビルドアップ層を積層したプリント配線板を用いることがある。このような多機能版の電子機器と廉価版の電子機器に半導体装置を共用するためには、電源端子、グラウンド端子の位置を多機能版と廉価版とで共通化する必要がある。

30

【0079】

第4実施形態のプリント配線板2bは、全層にビルドアップ層を用いている。これに対し、第1実施形態のプリント配線板2並びに第2実施形態及び第3実施形態のプリント配線板2aは、コア層22にビルドアップ層21を積層した構造を有している。上述のように両者の配線層L1の配置は同一である。したがって、第1乃至第3実施形態のプリント配線板を廉価版の電子機器に用い、第4実施形態のプリント配線板2bを多機能版の電子機器に用いた場合に、半導体装置3の端子配置を共通化することができる。したがって、電子機器に第1乃至第4実施形態のプリント配線板を用いることにより、半導体装置の開発費を低減させることができる。

40

【0080】

上述の実施形態は、本発明を適用しうるいくつかの態様を例示したものに過ぎない。すなわち、本発明は、上述の実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲で適宜修正や変形を行うことができる。

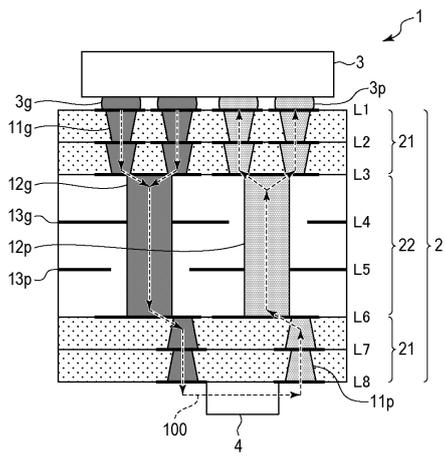
【符号の説明】

50

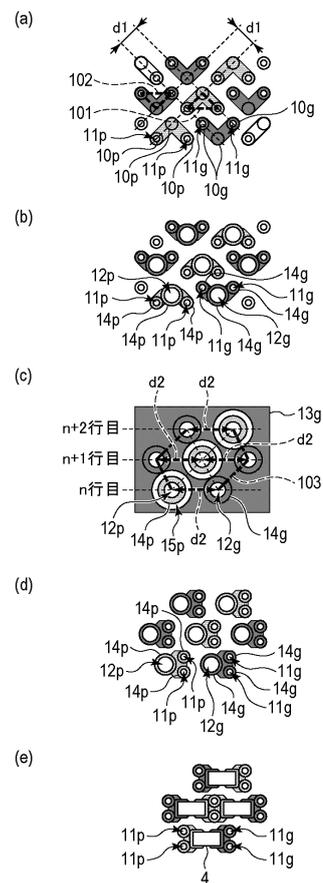
【 0 0 8 1 】

- 1 2 p 電源コアビア
- 1 2 g グラウンドコアビア
- 1 3 g グラウンドプレーン
- 1 4 p 内層電源パッド
- 1 4 g 内層グラウンドパッド
- 1 5 p 内層電源クリアランス
- 1 0 3 平行六辺形

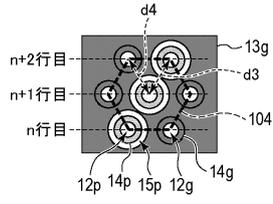
【 図 1 】



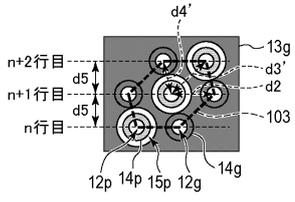
【 図 2 】



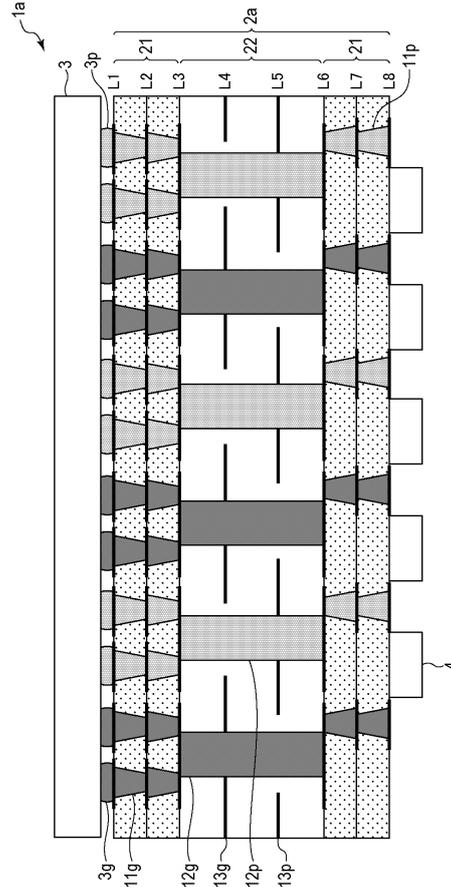
【 図 3 】



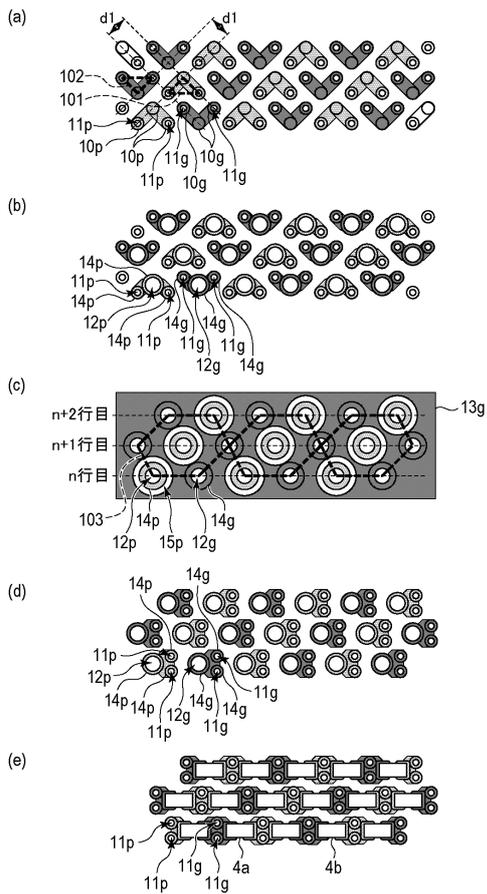
【 図 4 】



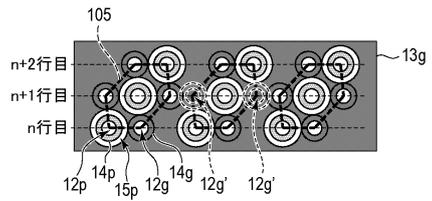
【 図 5 】



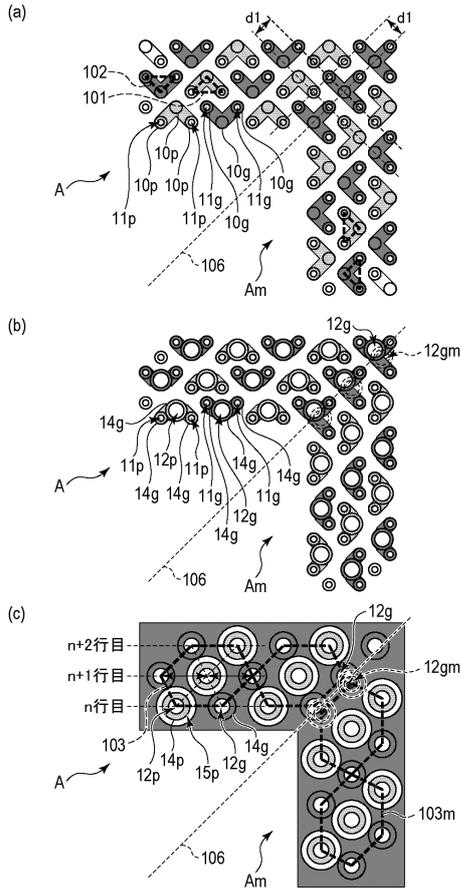
【 図 6 】



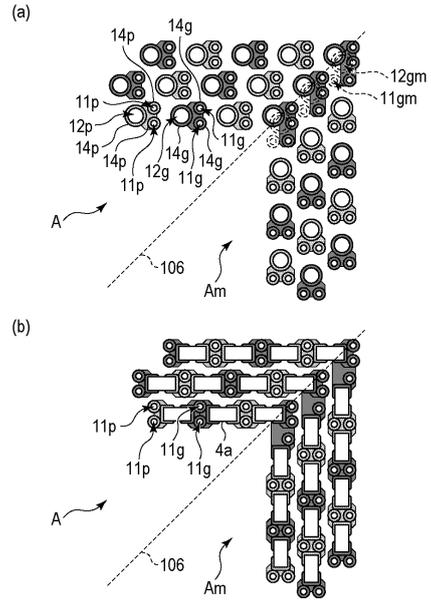
【 図 7 】



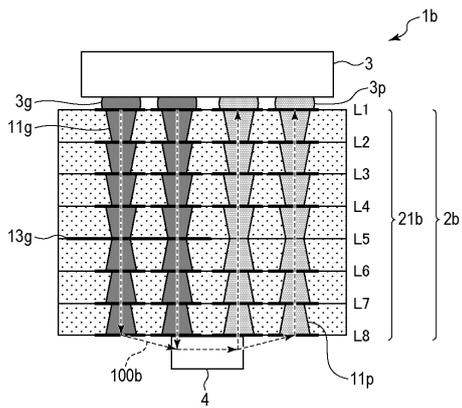
【 図 8 】



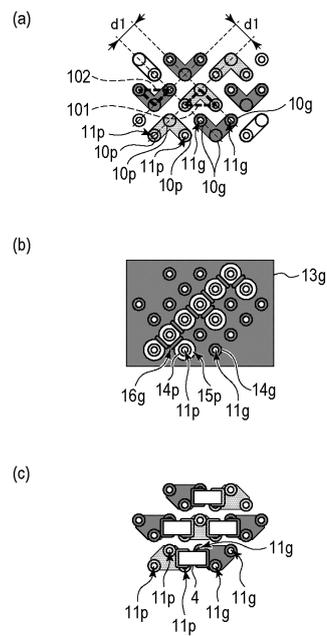
【 図 9 】



【 図 10 】



【 図 11 】



フロントページの続き

- (72)発明者 田澤 洋平
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
- (72)発明者 松本 昇司
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 小林 大介

- (56)参考文献 特開2002-261448(JP,A)
特開2008-034755(JP,A)
特開2012-160560(JP,A)

(58)調査した分野(Int.Cl., DB名)
H05K 3/46