



(12) 发明专利申请

(10) 申请公布号 CN 116093135 A

(43) 申请公布日 2023.05.09

(21) 申请号 202310167097.4

(22) 申请日 2023.02.27

(71) 申请人 中国电子科技集团公司第五十八研究所

地址 214000 江苏省无锡市滨湖区惠河路5号

(72) 发明人 吴素贞 洪根深 徐政 徐海铭
郑若成 谢儒彬 张庆东

(74) 专利代理机构 无锡派尔特知识产权代理事务所(普通合伙) 32340

专利代理师 杨立秋

(51) Int. Cl.

H01L 29/06 (2006.01)

H01L 29/423 (2006.01)

H01L 29/78 (2006.01)

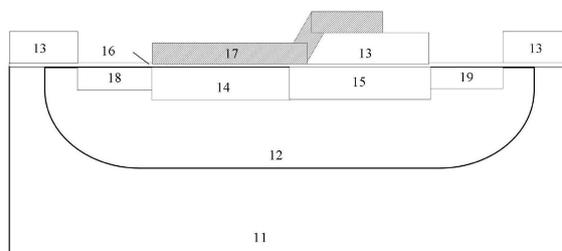
权利要求书1页 说明书4页 附图3页

(54) 发明名称

一种易于集成的耗尽型MOSFET器件结构

(57) 摘要

本发明公开一种易于集成的耗尽型MOSFET器件结构,属于MOSFET集成电路制造领域,第一导电型阱区形成于半导体衬底上,第二导电型沟道区形成于第一导电型阱区上;第二导电型沟道区上形成有栅极绝缘膜;在栅极绝缘膜上形成有栅电极;栅电极的两侧分别形成有第二导电型源极区和第二导电型漏极区;第二导电型源极区和第二导电型漏极区的宽度要分别大于第二导电型沟道区,第二导电型沟道区宽度方向上的两侧第一导电型阱区也被栅极绝缘膜覆盖,通过调整栅极绝缘膜所覆盖的第二导电型沟道区的宽度与所覆盖的第一导电型阱区的宽度比,调整耗尽型MOSFET的开态饱和特性和关态漏电特性。本发明与常规增强型MOSFET兼容、工艺流程简单,能够提高耗尽型MOSFET器件的可集成性。



1. 一种易于集成的耗尽型MOSFET器件结构,包括半导体衬底,其特征在于,还包括第一导电型阱区和第二导电型沟道区;

所述第一导电型阱区形成于所述半导体衬底上,所述第二导电型沟道区形成于所述第一导电型阱区上;

所述第二导电型沟道区上形成有栅极绝缘膜;在所述栅极绝缘膜上形成有栅电极;所述栅电极的两侧分别形成有第二导电型源极区和第二导电型漏极区;

所述第二导电型源极区和所述第二导电型漏极区的宽度要分别大于所述第二导电型沟道区的宽度,所述第二导电型沟道区宽度方向上的两侧第一导电型阱区也被所述栅极绝缘膜覆盖,通过调整所述栅极绝缘膜所覆盖的第二导电型沟道区的宽度与所述栅极绝缘膜所覆盖的第一导电型阱区的宽度比,调整耗尽型MOSFET的开态饱和特性和关态漏电特性。

2. 如权利要求1所述的易于集成的耗尽型MOSFET器件结构,其特征在于,根据器件电流要求,所述栅极绝缘膜的下方能够按照该宽度比布置多条第二导电型沟道区。

3. 如权利要求2所述的易于集成的耗尽型MOSFET器件结构,其特征在于,对于高压耗尽型MOSFET,所述易于集成的耗尽型MOSFET器件结构还包括第二导电型连接区,与所述第二导电型沟道区相邻接;其作用类比于高压器件的漂移区。

4. 如权利要求3所述的易于集成的耗尽型MOSFET器件结构,其特征在于,所述第二导电型沟道区的导电类型与所述第一导电型阱区的导电类型相反。

5. 如权利要求3所述的易于集成的耗尽型MOSFET器件结构,其特征在于,所述第二导电型沟道区采用集成工艺中高压增强型MOSFET的漂移区掺杂结构,无需单独增加耗尽型沟道注入工序;所述第二导电型沟道区用于使耗尽型MOSFET导通操作,且于耗尽状态下使耗尽型MOSFET不导通操作。

6. 如权利要求3所述的易于集成的耗尽型MOSFET器件结构,其特征在于,所述第二导电型连接区的掺杂结构与所述第二导电型沟道区相同,采用同一步工序完成,所述第二导电型连接区邻接于所述第二导电型沟道区和所述第二导电型漏极区。

7. 如权利要求3所述的易于集成的耗尽型MOSFET器件结构,其特征在于,所述栅极绝缘膜和栅电极采用集成工艺中增强型MOSFET的常规结构和工艺,提高耗尽型MOSFET的可集成性。

一种易于集成的耗尽型MOSFET器件结构

技术领域

[0001] 本发明涉及MOSFET集成电路制造技术领域,特别涉及一种易于集成的耗尽型MOSFET器件结构。

背景技术

[0002] MOS集成电路技术中,MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor,场效应晶体管)是主要元器件。根据导电方式的不同,MOSFET可以分为增强型和耗尽型。耗尽型是指,当栅源电压为零伏时,沟道已经存在,只要加上源漏电压,就有电流流通。尽管增强型MOSFET用于当今绝大多数集成电路中,耗尽型MOSFET也可作为电阻元件或者电流源元件等应用于一些特定电路中,具有简化电路设计的优势。

[0003] 阈值电压可以作为区分增强型和耗尽型MOSFET的一个指标。阈值电压的调整可以通过栅电极功函数、栅介质厚度以及栅电极下方沟道区掺杂分布等几方面调整。要实现耗尽型MOSFET的阈值电压,一般可以通过调整栅电极功函数、栅介质厚度以及栅电极下方沟道区掺杂分布等几方面,但是这些调整方式通常与增强型MOSFET集成工艺不兼容,需要针对耗尽型MOSFET要求额外增加一步或多步工艺步骤,增加了以增强型MOSFET为主的集成电路成本。

[0004] 沟道注入是调整MOSFET阈值的常用方式。现代MOSFET工艺技术中,沟道的形成是通过离子注入形成的,通过离子注入形成所需的沟道杂质分布,可以降低对热过程的需求,并形成浅的沟道区域。耗尽型MOSFET可以通过在栅极下方布置一层浅的“耗尽型”沟道区域连接源极和漏极。这种耗尽型沟道区域的扩散深度(距离硅表面的深度)不能太深,否则,沟道区域不容易受栅极控制,影响晶体管的特性,因此后续工艺步骤不能采用过高的热过程。因此这种增加一步耗尽型沟道注入的常规耗尽型MOSFET可集成性也是有限制的,特别是对于热过程比较多的功率MOSFET集成电路。

发明内容

[0005] 本发明的目的在于提供一种易于集成的耗尽型MOSFET器件结构,以解决背景技术中的问题。

[0006] 为解决上述技术问题,本发明提供了一种易于集成的耗尽型MOSFET器件结构,包括半导体衬底,还包括第一导电型阱区和第二导电型沟道区;

[0007] 所述第一导电型阱区形成于所述半导体衬底上,所述第二导电型沟道区形成于所述第一导电型阱区上;

[0008] 所述第二导电型沟道区上形成有栅极绝缘膜;在所述栅极绝缘膜上形成有栅电极;所述栅电极的两侧分别形成有第二导电型源极区和第二导电型漏极区;

[0009] 所述第二导电型源极区和所述第二导电型漏极区的宽度要分别大于所述第二导电型沟道区的宽度,所述第二导电型沟道区宽度方向上的两侧第一导电型阱区也被所述栅极绝缘膜覆盖,通过调整所述栅极绝缘膜所覆盖的第二导电型沟道区的宽度与所述栅极绝

缘膜所覆盖的第一导电型阱区的宽度比,调整耗尽型MOSFET的开态饱和特性和关态漏电特性。

[0010] 在一种实施方式中,根据器件电流要求,所述栅极绝缘膜的下方能够按照该宽度比布置多条第二导电型沟道区。

[0011] 在一种实施方式中,对于高压耗尽型MOSFET,所述易于集成的耗尽型MOSFET器件结构还包括第二导电型连接区,与所述第二导电型沟道区相邻接;其作用类比于高压器件的漂移区。

[0012] 在一种实施方式中,所述第二导电型沟道区的导电类型与所述第一导电型阱区的导电类型相反。

[0013] 在一种实施方式中,所述第二导电型沟道区采用集成工艺中高压增强型MOSFET的漂移区掺杂结构,无需单独增加耗尽型沟道注入工序;所述第二导电型沟道区用于使耗尽型MOSFET导通操作,且于耗尽状态下使耗尽型MOSFET不导通操作。

[0014] 在一种实施方式中,所述第二导电型连接区的掺杂结构与所述第二导电型沟道区相同,采用同一步工序完成,所述第二导电型连接区邻接于所述第二导电型沟道区和所述第二导电型漏极区。

[0015] 在一种实施方式中,所述栅极绝缘膜和栅电极采用集成工艺中增强型MOSFET的常规结构和工艺,提高耗尽型MOSFET的可集成性。

[0016] 本发明提供一种易于集成的耗尽型MOSFET器件结构,具有以下有益效果:

[0017] (1) 耗尽型MOSFET的沟道区工艺限制较少,可以采用集成工艺中其他中高压增强型MOSFET的漂移区掺杂结构,不需要单独增加耗尽型沟道注入工序,简化了工艺步骤,提高了可集成性,特别适用于集成器件种类较多的BCD功率集成工艺;

[0018] (2) 耗尽型MOSFET的沟道区宽度小于源漏区宽度,沟道区被栅电极覆盖,沟道区宽度方向上的两侧阱区也被栅电极覆盖,沟道区的导电类型与阱区的导电类型是相反的,通过版图调整栅电极所覆盖的沟道区宽度与栅电极所覆盖的阱区宽度之比,可以调整耗尽型MOSFET的开态饱和特性和关态漏电特性,不需要额外的工艺步骤;另外,根据器件电流要求,栅电极下方可以按照该宽度比布置多条沟道区;

[0019] (3) 耗尽型MOSFET不需要针对耗尽MOSFET的栅极绝缘膜及栅电极做特殊结构和工艺调整,可以采用集成工艺中增强型MOSFET的常规结构和工艺,提高了耗尽型MOSFET的可集成性。

附图说明

[0020] 图1是本发明实施例提供的高压耗尽型N-MOSFET器件结构剖面图。

[0021] 图2是本发明实施例提供的高压耗尽型N-MOSFET器件结构平面图。

[0022] 图3是本发明实施例提供的对输出电流有较多要求的高压耗尽型N-MOSFET器件结构平面图。

[0023] 图4是本发明实施例提供的低压耗尽型N-MOSFET器件结构剖面图。

[0024] 图5是本发明实施例提供的低压耗尽型N-MOSFET器件结构平面图。

具体实施方式

[0025] 以下结合附图和具体实施例对本发明提出的一种易于集成的耗尽型MOSFET器件结构作进一步详细说明。根据下面说明,本发明的优点和特征将更清楚。需说明的是,附图均采用非常简化的形式且均使用非精准的比例,仅用以方便、明晰地辅助说明本发明实施例的目的。

[0026] 本发明提供一种易于集成的耗尽型MOSFET器件结构,包括半导体衬底,还包括第一导电型阱区和第二导电型沟道区;所述第一导电型阱区形成于所述半导体衬底上,所述第二导电型沟道区形成于所述第一导电型阱区上;所述第二导电型沟道区上形成有栅极绝缘膜;在所述栅极绝缘膜上形成有栅电极;所述栅电极的两侧分别形成有第二导电型源极区和第二导电型漏极区;所述第二导电型源极区和所述第二导电型漏极区的宽度要分别大于所述第二导电型沟道区的宽度,所述第二导电型沟道区宽度方向上的两侧第一导电型阱区也被所述栅极绝缘膜覆盖,通过调整所述栅极绝缘膜所覆盖的第二导电型沟道区的宽度与所述栅极绝缘膜所覆盖的第一导电型阱区的宽度比,调整耗尽型MOSFET的开态饱和特性和关态漏电特性。根据器件电流要求,所述栅极绝缘膜的下方能够按照该宽度比布置多条第二导电型沟道区。

[0027] 对于高压耗尽型MOSFET,所述易于集成的耗尽型MOSFET器件结构还包括第二导电型连接区,与所述第二导电型沟道区相邻接;其作用类比为高压器件的漂移区。

[0028] 一个高压耗尽型N-MOSFET器件结构的剖面(有源区宽度方向中间位置)如图1所示,平面(平面版图示意图)如图2所示;简要工艺实施步骤如下:

[0029] 步骤101,常规地,在半导体衬底11上通过离子注入和扩散热过程制作P型阱区12,阱浓度记为 $P_{\text{阱}}$ 。

[0030] 步骤102,在硅表面制作场氧13,再在硅表面没有覆盖场氧13的区域光刻出有源区;

[0031] 步骤103,在P型阱区12内制作n型沟道区14,n型沟道区14的掺杂结构可以与常规增强型高压N-MOSFET的漂移区低掺杂结构相同,与常规漂移区在同一步工序完成,不需要单独针对耗尽型MOSFET做沟道注入工序。如图2所示,n型沟道区14位于有源区宽度方向的中间,n型沟道区14的宽度($W_{\text{沟道}}$)根据该区域浓度($N_{\text{沟道}}$)设定,可以按照RESURF原理,即 $N_{\text{沟道}} \times W_{\text{沟道}} \approx 1 \times 10^{12} \text{ cm}^{-2}$; $W_{\text{沟道}}$ 与有源区内阱的宽度($2 \times W_{\text{阱}}$)设计成一定比例, $W_{\text{沟道}} / (2 \times W_{\text{阱}})$ 的比例近似等于浓度比($P_{\text{阱}} / N_{\text{沟道}}$),通过版图调整 $W_{\text{沟道}} / (2 \times W_{\text{阱}})$ 比例,可以调整耗尽型MOSFET的开态饱和特性和关态漏电特性。如图2所示,N型连接区15是针对高压要求布置的,其结构与常规高压增强型N-MOSFET的漂移区相同,通常是与有源区宽度相近的。另外,根据器件电流要求,对输出电流要求较高的,可以在栅电极下方可以按照该宽度比布置多条n型沟道区14,如图3所示。

[0032] 步骤104,继续在硅表面制作栅绝缘层16和栅电极17,此步工序中,不需要针对耗尽MOSFET的栅绝缘膜及栅电极做特殊结构和工艺调整,可以采用集成工艺中增强型MOSFET的常规结构和工艺。

[0033] 步骤105,继续制作n型源极18和n型漏极19注入;

[0034] 步骤106,常规地,在器件表面制作栅电极、n型源极、n型漏极和P型阱区的接触电极。

[0035] 上述实施例是高压耗尽型N-MOSFET,对于低压耗尽型N-MOSFET,只需要将N型连接区15去掉即可,剖面图和平面图如图4和图5所示。

[0036] 上述实施例是耗尽型N-MOSFET,对于耗尽型P-MOSFET,将阱的掺杂类型换成N型、源漏极、沟道区和连接区的掺杂类型换成P型即可。

[0037] 上述描述仅是对本发明较佳实施例的描述,并非对本发明范围的任何限定,本发明领域的普通技术人员根据上述揭示内容做的任何变更、修饰,均属于权利要求书的保护范围。

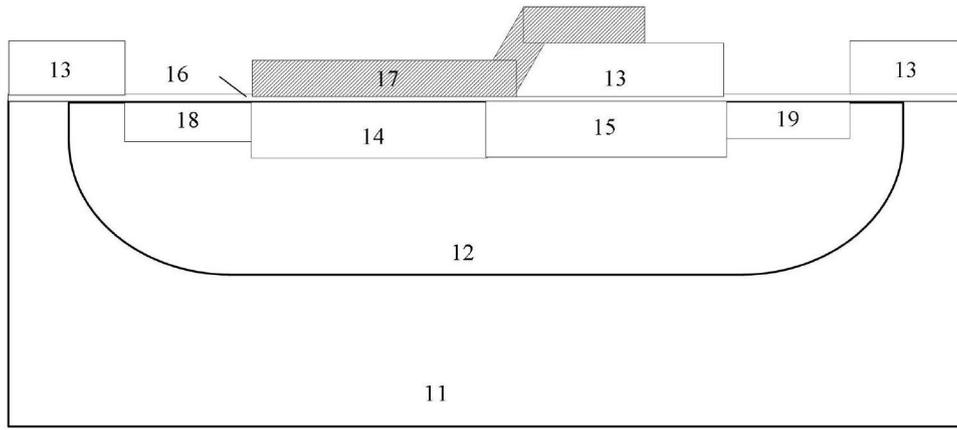


图1

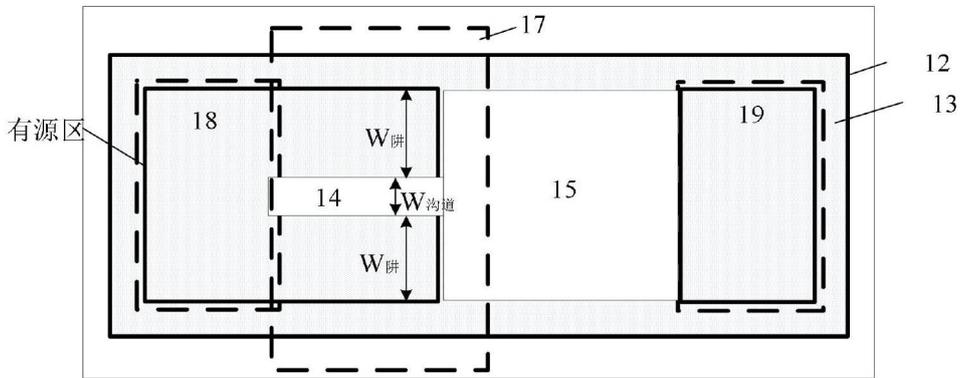


图2

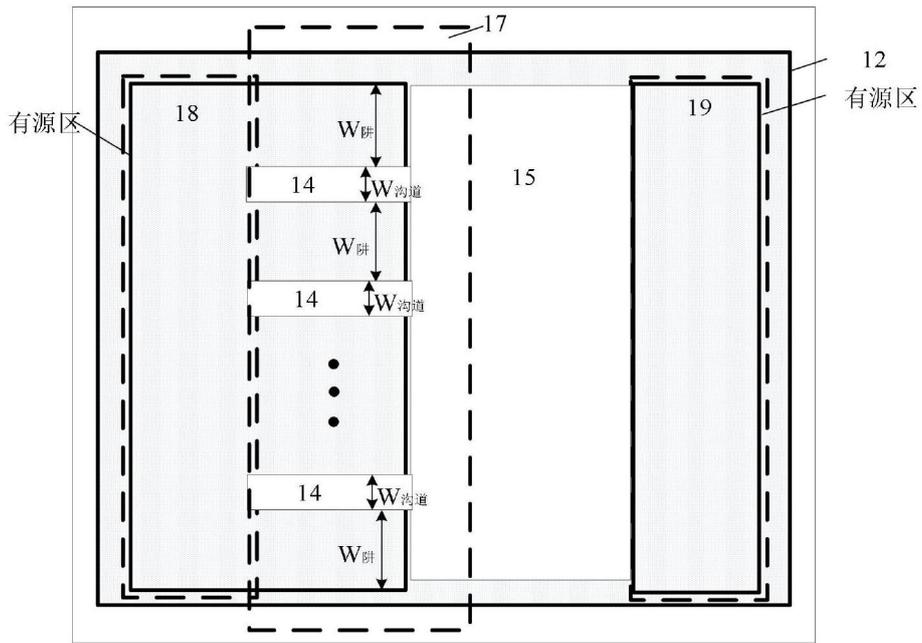


图3

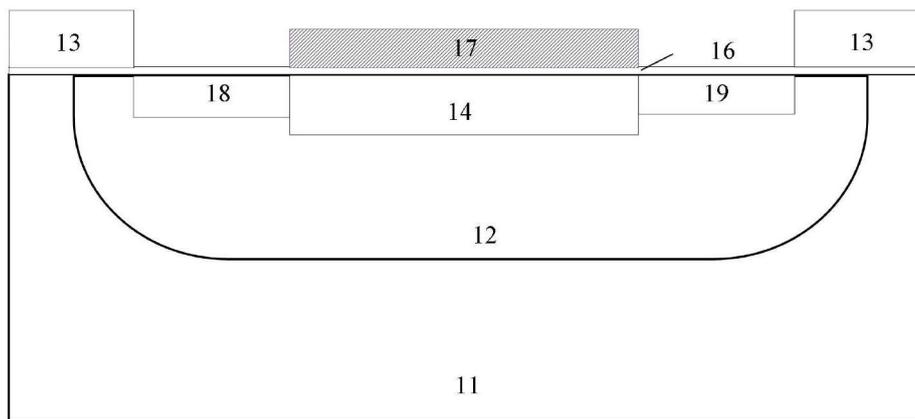


图4

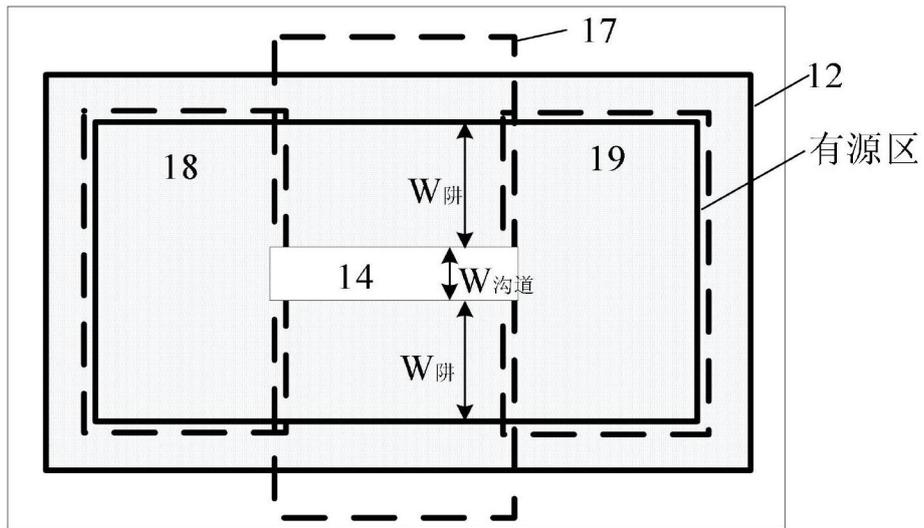


图5