(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년10월15일
(11) 등록번호 10-1450220
(24) 등록일자 2014년10월06일

(51) 국제특허분류(Int. Cl.)
H01M 2/34 (2006.01) *H01M 2/30* (2006.01)
(21) 출원번호 10-2013-0043290
(22) 출원일자 2013년04월19일
심사청구일자 2013년04월19일
(30) 우선권주장
1020130042566 2013년04월17일 대한민국(KR)
(56) 선행기술조사문헌
KR100791551 B1*
KR101087046 B1*
KR101133054 B1*
KR1020070044544 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
주식회사 아이티엠반도체
충청북도 청원군 옥산면 과학산업1로 82-7
(72) 발명자
황호석
경기 군포시 광정로 119, 721동 1703호 (산본동, 대림솔거아파트)
김영석
충북 청주시 상당구 수영로 327, 111동 1101호 (용담동, 세영첼시빌아파트)
(뒷면에 계속)
(74) 대리인
김남식, 이인행, 양기혁, 한윤호

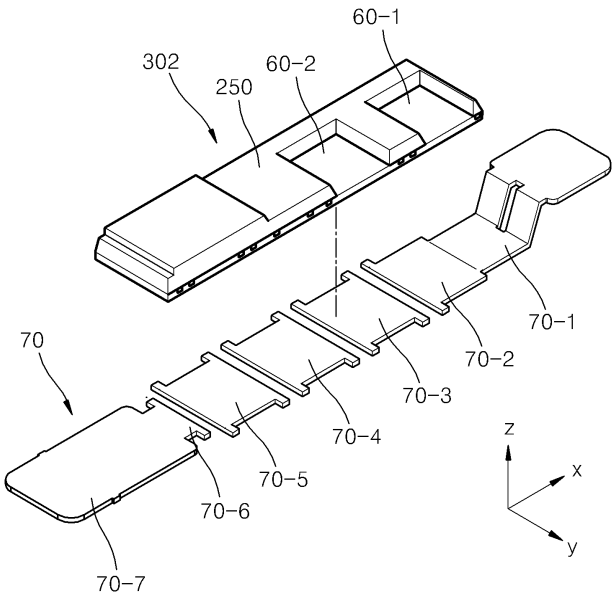
전체 청구항 수 : 총 15 항 심사관 : 임창연

(54) 발명의 명칭 **배터리 보호회로 모듈 패키지**

(57) 요 약

본 발명은 집적화 및 소형화에 유리한 배터리 보호회로 모듈 패키지에 관한 것으로서, 양쪽가장자리부분에 각각 배치되며, 베터리 베어셀의 전극단자와 전기적으로 연결되는 제 1 내부연결단자용 리드 및 제 2 내부연결단자용 리드; 및 상기 제 1 내부연결단자용 리드 및 제 2 내부연결단자용 리드 사이에 배치되며, 복수의 외부연결단자들을 구성하는 외부연결단자용 리드;를 포함하는 단자 리드프레임; 및 상기 단자 리드프레임과 전기적으로 연결되도록 상기 단자 리드프레임 상에 실장되며, 배터리 보호회로 소자 및 NFC 매칭 소자가 배치된 기판을 포함하는, 소자 패키지;를 구비하고, 상기 복수의 외부연결단자들 중 어느 하나는 NFC 외부연결단자인, 배터리 보호회로 모듈 패키지를 제공한다.

대 표 도 - 도12



(72) 발명자

박성범

경기 구리시 체육관로171번길 21-12, (교문동)

안상훈

충북 청주시 상당구 율봉로160번길 7, 201동 1202호 (율량동, 현대아파트)

정태환

충북 청원군 옥산면 오송가락로 718, 303동 709호 (아트빌아파트)

박승욱

충청남도 천안시 동남구 목천안터2길 19, 목천신도브래뉴 2차 216동 1201호

박재구

충북 청원군 오창읍 구룡2길 45-5,

문명기

충북 청원군 오창읍 양청택지로 68, 302호 (그린빌)

이현석

충청북도 제천시 의림동 (구)화신 연립 103호

정다운

강원 철원군 김화읍 생창길 567-14,

특허청구의 범위

청구항 1

양쪽가장자리부분에 각각 배치되며, 베터리 베어셀의 전극단자와 전기적으로 연결되는 제 1 내부연결단자용 리드 및 제 2 내부연결단자용 리드; 및 상기 제 1 내부연결단자용 리드 및 제 2 내부연결단자용 리드 사이에 배치되며, 복수의 외부연결단자들을 구성하는 외부연결단자용 리드;를 포함하는 단자 리드프레임; 및

상기 단자 리드프레임과 전기적으로 연결되도록 상기 단자 리드프레임 상에 실장되며, 배터리 보호회로 소자 및 NFC 매칭 소자가 배치된 기판을 포함하는, 소자 패키지;를 구비하고,

상기 복수의 외부연결단자들 중 어느 하나는 NFC 외부연결단자이고,

상기 기판은 이격된 복수의 실장용 리드들을 가지는 실장 리드프레임을 포함하고,

상기 배터리 보호회로 소자는 상기 실장 리드프레임 상에 직접 실장되는 프로텍션 IC, 전계효과 트랜지스터(FET) 및 적어도 하나 이상의 수동소자를 포함하며,

상기 수동소자 및 상기 NFC 매칭 소자는 상기 이격된 복수의 실장용 리드들 중의 적어도 일부를 연결하도록 배치되며, 상기 프로텍션 IC, 상기 전계효과 트랜지스터 및 상기 복수의 실장용 리드들로 이루어진 군에서 선택된 어느 두 개를 전기적으로 연결하는 전기적 연결부재를 더 구비함으로써, 별도의 인쇄회로기판을 사용하지 않고 배터리 보호회로를 구성하는, 배터리 보호회로 모듈 패키지.

청구항 2

제 1 항에 있어서,

상기 소자 패키지는 상부면 및 하부면에 각각 노출단자가 형성된, 배터리 보호회로 모듈 패키지.

청구항 3

제 2 항에 있어서,

상기 소자 패키지의 상부면에 형성된 상기 노출단자는 NFC 안테나와 상기 NFC 매칭 소자를 전기적으로 연결시키도록 형성된 NFC 접속단자인, 배터리 보호회로 모듈 패키지.

청구항 4

제 2 항에 있어서,

상기 단자 리드프레임과 대향하는 상기 소자 패키지의 하부면에 형성된 상기 노출단자는 상기 단자 리드프레임의 적어도 일부와 접합되어 전기적으로 연결되는, 배터리 보호회로 모듈 패키지.

청구항 5

제 2 항에 있어서,

상기 소자 패키지는, 상기 노출단자를 노출시키며, 상기 배터리 보호회로 소자 및 상기 NFC 매칭 소자를 밀봉하는, 봉지재를 더 구비하는, 배터리 보호회로 모듈 패키지.

청구항 6

제 1 항에 있어서,

상기 소자 패키지는 상기 단자 리드프레임 상에 표면실장기술을 사용하여 실장되는, 배터리 보호회로 모듈 패키지.

청구항 7

삭제

청구항 8

제 1 항에 있어서,

상기 전기적 연결부재는 본딩 와이어 또는 본딩 리본을 포함하는, 배터리 보호회로 모듈 패키지.

청구항 9

제 1 항에 있어서,

상기 프로텍션 IC 및 상기 전계효과 트랜지스터(FET)는, 상기 실장 리드프레임 상에 반도체 패키지 형태로 삽입되어 고정되는 것이 아니라, 표면실장기술에 의하여 상기 실장 리드프레임의 표면의 적어도 일부 상에, 별도의 봉지재로 밀봉되지 않은 칩 다이(chip die) 형태로, 실장되어 고정되는, 배터리 보호회로 모듈 패키지.

청구항 10

삭제

청구항 11

제 1 항에 있어서,

상기 배터리 베어셀의 전극단자는 제 1 극성의 플레이트와 상기 제 1 극성의 플레이트 내의 중앙에 배치되는 제 2 극성의 전극셀을 포함하고,

상기 제 1 내부연결단자용 리드는 상기 제 1 극성의 플레이트와 직접 접합하여 전기적으로 연결되고, 상기 제 2 내부연결단자용 리드는 상기 제 2 극성의 전극셀과 직접 접합하여 전기적으로 연결되는, 배터리 보호회로 모듈 패키지.

청구항 12

제 11 항에 있어서,

상기 단자 리드프레임 및 상기 소자 패키지는 상기 배터리 베어셀의 상부면에서 상기 제 2 극성의 전극셀을 중심으로 편측에 배치되는, 배터리 보호회로 모듈 패키지.

청구항 13

제 11 항에 있어서,

상기 제 1 내부연결단자용 리드는 상기 배터리 베어셀의 전극단자와 접합하기 위하여 걸폼(gull-form) 형태로 절곡된, 배터리 보호회로 모듈 패키지.

청구항 14

제 1 항에 있어서,

상기 제 1 내부연결단자용 리드 및 제 2 내부연결단자용 리드는 상기 배터리 베어셀의 전극단자와 레이저 용접, 저항용접, 납땜(soldering) 및 도전성 접착제(예를 들어, 도전성 에폭시), 도전성 테이프로 이루어진 군에서 선택된 어느 하나의 방식으로 접합되는, 배터리 보호회로 모듈 패키지.

청구항 15

제 1 항에 있어서,

상기 단자 리드프레임은 니켈로 이루어지거나 구리판에 니켈 도금한 것으로 이루어진, 배터리 보호회로 모듈 패키지.

청구항 16

제 1 항에 있어서,

상기 복수의 외부연결단자들은 4개 이상의 외부연결단자들을 포함하는, 배터리 보호회로 모듈 패키지.

청구항 17

제 1 항에 있어서,

PTC 소자, 상기 PTC 소자의 상면 및 하면 중 어느 하나의 면인 제 1 면에 부착된 금속층, 및 상기 PTC 소자의 상면 및 하면 중 나머지 하나의 면인 제 2 면에 부착된 연결부재를 포함하는 PTC 구조체;를 더 구비하며,

상기 금속층은 상기 상기 제 1 내부연결단자용 리드 및 제 2 내부연결단자용 리드 중 어느 하나와 접합되어 전기적으로 연결되고, 상기 연결부재는 상기 배터리 베어셀의 전극단자와 접합되어 전기적으로 연결되는, 배터리 보호회로 모듈 패키지.

명 세 서

기 술 분 야

[0001] 본 발명은 배터리 보호회로 모듈의 패키지에 관한 것으로, 보다 구체적으로 는, 소형화가 가능하고, 배터리 팩 또는 배터리 캔에 용이하게 장착가능한 배터리 보호회로 모듈의 패키지에 관한 것이다.

배 경 기 술

[0002] 일반적으로 휴대폰, PDA 등의 휴대단말기 등에 배터리가 사용되고 있다. 리튬이온 배터리는 휴대단말기 등에 가장 널리 사용되는 배터리로 과충전, 과전류 시에 발열하고, 발열이 지속되어 온도가 상승하게 되면 성능열화는 물론 폭발의 위험성까지 갖는다. 따라서, 통상의 배터리에는 과충전, 과방전 및 과전류를 감지하고 차단하는 보호회로모듈이 실장되어 있거나, 배터리 외부에서 과충전, 과방전, 발열을 감지하고 배터리의 동작을 차단하는 보호회로를 설치하여 사용한다. 이러한 종래의 보호회로는 인쇄회로기판(printed circuit board, PCB)에 프로텍션 IC(protection integrated circuit)와 전계효과 트랜지스터(fieled effect transistor, FET), 저항, 및 커패시터 등을 납땜으로 접합시켜 이루어지는 것이 일반적이다. 그러나 이러한 종래의 보호회로는 프로텍션 IC와 FET 및 저항, 커패시터 등이 차지하는 공간이 너무 커서 소형화에 한계가 있다는 문제점이 있다. 또한, 상기 보호회로의 배터리 팩에의 장착시 별도의 작업이 필요하고, 보호회로를 장착 후에, 별도의 배선이나 와이어 본딩 또는 PCB 기판의 패턴 또는 PCB 기판의 노출된 단자를 통해 외부 연결단자나 내부연결단자들과 연결시켜 줘야 하는 등 작업이 복잡하다는 문제점이 있었다.

발명의 내용

해결하려는 과제

[0003] 본 발명은 상기와 같은 문제점을 포함하여 여러 문제점들을 해결하기 위한 것으로서, 집적화 및 소형화에 유리한 배터리 보호회로 모듈 패키지를 제공하는 것을 목적으로 한다. 그러나 이러한 과제는 예시적인 것으로, 이에 의해 본 발명의 범위가 한정되는 것은 아니다.

과제의 해결 수단

[0004] 본 발명의 일 관점에 의한 배터리 보호회로 모듈 패키지가 제공될 수 있다. 상기 배터리 보호회로 모듈 패키지는 양쪽가장자리부분에 각각 배치되며, 베터리 베어셀의 전극단자와 전기적으로 연결되는 제 1 내부연결단자용 리드 및 제 2 내부연결단자용 리드; 및 상기 제 1 내부연결단자용 리드 및 제 2 내부연결단자용 리드 사이에 배치되며, 복수의 외부연결단자들을 구성하는 외부연결단자용 리드;를 포함하는 단자 리드프레임; 및 상기 단자 리드프레임과 전기적으로 연결되도록 상기 단자 리드프레임 상에 실장되며, 배터리 보호회로 소자 및 NFC 매칭 소자가 배치된 기판을 포함하는, 소자 패키지;를 구비한다. 상기 복수의 외부연결단자들 중 어느 하나는 NFC 외부연결단자이다.

[0005] 상기 배터리 보호회로 모듈 패키지에서 상기 소자 패키지는 상부면 및 하부면에 각각 노출단자가 형성될 수 있다.

[0006] 상기 배터리 보호회로 모듈 패키지에서 상기 소자 패키지의 상부면에 형성된 상기 노출단자는 NFC 안테나와 상

기 NFC 매칭 소자를 전기적으로 연결시키도록 형성된 NFC 접속단자일 수 있다.

[0007] 상기 배터리 보호회로 모듈 패키지에서 상기 단자 리드프레임과 대향하는 상기 소자 패키지의 하부면에 형성된 상기 노출단자는 상기 단자 리드프레임의 적어도 일부와 접합되어 전기적으로 연결될 수 있다.

[0008] 상기 배터리 보호회로 모듈 패키지에서 상기 소자 패키지는, 상기 노출단자를 노출시키며, 상기 배터리 보호회로 소자 및 상기 NFC 매칭 소자를 밀봉하는, 봉지재를 더 구비할 수 있다.

[0009] 상기 배터리 보호회로 모듈 패키지에서 상기 소자 패키지는 상기 단자 리드프레임 상에 표면실장기술을 사용하여 실장될 수 있다.

[0010] 상기 배터리 보호회로 모듈 패키지에서 상기 기판은 이격된 복수의 실장용 리드들을 가지는 실장 리드프레임을 포함하고, 상기 배터리 보호회로 소자는 상기 실장 리드프레임 상에 직접 실장되는 프로텍션(protection) IC, 전계효과 트랜지스터(FET) 및 적어도 하나 이상의 수동소자를 포함하며, 상기 수동소자는 상기 이격된 복수의 실장용 리드들 중의 적어도 일부를 연결하도록 배치되며, 상기 프로텍션 IC, 상기 전계효과 트랜지스터 및 상기 복수의 실장용 리드들로 이루어진 군에서 선택된 어느 두 개를 전기적으로 연결하는 전기적 연결부재를 더 구비함으로써, 별도의 인쇄회로기판을 사용하지 않고 배터리 보호회로를 구성할 수 있다.

[0011] 상기 배터리 보호회로 모듈 패키지에서 상기 전기적 연결부재는 본딩 와이어 또는 본딩 리본을 포함할 수 있다.

[0012] 상기 배터리 보호회로 모듈 패키지에서 상기 프로텍션 IC, 전계효과 트랜지스터(FET) 및 적어도 하나 이상의 수동소자는 상기 실장 리드프레임 상에 삽입되어 고정되는 것이 아니라 표면실장기술에 의하여 상기 실장 리드프레임의 표면의 적어도 일부 상에 실장되어 고정될 수 있다.

[0013] 상기 배터리 보호회로 모듈 패키지에서 상기 기판은 인쇄회로기판(Printed Circuit Board)을 포함하고, 상기 배터리 보호회로 소자는 상기 인쇄회로기판 상에 배치되는 프로텍션 IC, 전계효과 트랜지스터 및 적어도 하나 이상의 수동소자를 포함할 수 있다.

[0014] 상기 배터리 보호회로 모듈 패키지에서 상기 배터리 베어셀의 전극단자는 제 1 극성의 플레이트와 상기 제 1 극성의 플레이트 내의 중앙에 배치되는 제 2 극성의 전극셀을 포함하고, 상기 제 1 내부연결단자용 리드는 상기 제 1 극성의 플레이트와 직접 접합하여 전기적으로 연결되고, 상기 제 2 내부연결단자용 리드는 상기 제 2 극성의 전극셀과 직접 접합하여 전기적으로 연결될 수 있다.

[0015] 상기 배터리 보호회로 모듈 패키지에서 상기 단자 리드프레임 및 상기 소자 패키지는 상기 배터리 베어셀의 상부면에서 상기 제 2 극성의 전극셀을 중심으로 편측에 배치될 수 있다.

[0016] 상기 배터리 보호회로 모듈 패키지에서 상기 제 1 내부연결단자용 리드는 상기 배터리 베어셀의 전극단자와 접합하기 위하여 걸쇠 형태로 절곡될 수 있다.

[0017] 상기 배터리 보호회로 모듈 패키지에서 상기 제 1 내부연결단자용 리드 및 제 2 내부연결단자용 리드는 상기 배터리 베어셀의 전극단자와 레이저 용접, 저항용접, 납땜(soldering) 및 도전성 접착제(예를 들어, 도전성 에폭시), 도전성 테이프로 이루어진 군에서 선택된 어느 하나의 방식으로 접합될 수 있다.

[0018] 상기 배터리 보호회로 모듈 패키지에서 상기 리드프레임은 니켈, 구리, 니켈 도금된 구리 또는 기타 금속으로 이루어질 수 있다.

[0019] 상기 배터리 보호회로 모듈 패키지에서 상기 복수의 외부연결단자들은 4개 이상의 외부연결단자들을 포함할 수 있다.

[0020] 상기 배터리 보호회로 모듈 패키지는 PTC 소자, 상기 PTC 소자의 상면 및 하면 중 어느 하나의 면인 제 1 면에 부착된 금속층, 및 상기 PTC 소자의 상면 및 하면 중 나머지 하나의 면인 제 2 면에 부착된 연결부재를 포함하는 PTC 구조체;를 더 구비하며, 상기 금속층은 상기 상기 제 1 내부연결단자용 리드 및 제 2 내부연결단자용 리드 중 어느 하나와 접합되어 전기적으로 연결되고, 상기 연결부재는 상기 배터리 베어셀의 전극단자와 접합되어 전기적으로 연결될 수 있다.

발명의 효과

[0021] 상기한 바와 같이 이루어진 본 발명의 일부 실시예들에 따르면, 집적화 및 소형화에 유리한 배터리 보호회로 모듈 패키지를 제공할 수 있다. 물론 이러한 효과에 의해 본 발명의 범위가 한정되는 것은 아니다.

도면의 간단한 설명

[0022] 도 1은 본 발명의 일실시예에 따른 배터리 보호회로 모듈 패키지의 일부를 구성하는 배터리 보호회로의 회로도이다.

도 2는 본 발명의 일실시예에 따른 배터리 보호회로 모듈 패키지의 일부를 구성하는 적층칩의 배치구조를 도해하는 도면이다.

도 3은 본 발명의 일실시예에 따른 배터리 보호회로 모듈 패키지의 일부를 구성하는 리드프레임과 보호회로 소자의 구성을 개념적으로 도해하는 도면이다.

도 4는 본 발명의 일실시예에 따른 배터리 보호회로 모듈 패키지의 일부를 구성하는 리드프레임의 구조를 상세하게 도해하는 평면도이다.

도 5는 본 발명의 일실시예에 따른 배터리 보호회로 모듈 패키지의 일부를 구성하는 보호회로 소자의 배치구조를 상세하게 도해하는 평면도이다.

도 6은 본 발명의 일실시예에 따른 배터리 보호회로 모듈 패키지의 일부를 도해하는 도면들이다.

도 7은 본 발명의 비교예에 따른 배터리 보호회로 모듈 패키지의 일부를 도해하는 도면이다.

도 8은 본 발명의 다른 실시예에 따른 배터리 보호회로 모듈 패키지의 일부를 구성하는 배터리 보호회로의 회로도이다.

도 9 및 도 10은 본 발명의 다른 실시예에 따른 배터리 보호회로 모듈 패키지의 소자 패키지를 도해하는 사시도들이다.

도 11은 도 9의 E부분에 대한 부분절개 사시도이다.

도 12는 본 발명의 다른 실시예에 따른 배터리 보호회로 모듈 패키지에서 단자 리드프레임 상에 소자 패키지를 실장하는 과정을 도해하는 도면이다.

도 13 및 도 14는 본 발명의 다른 실시예에 따른 배터리 보호회로 모듈 패키지를 도해하는 사시도들이다.

도 15는 본 발명의 다른 실시예에 따른 배터리 보호회로 모듈 패키지가 배터리 캔과 결합되는 과정을 도해하는 사시도이다.

도 16은 본 발명의 또 다른 실시예에 따른 배터리 보호회로 모듈 패키지의 일부를 구성하는 PTC 구조체를 도해하는 사시도이다.

도 17은 본 발명의 또 다른 실시예에 따른 배터리 보호회로 모듈 패키지를 도해하는 도면들이다.

도 18은 본 발명의 또 다른 실시예에 따른 배터리 보호회로 모듈 패키지가 배터리 캔과 결합되는 과정을 도해하는 사시도이다.

도 19는 본 발명의 실시예들에 따른 배터리 보호회로 모듈 패키지가 장착된 배터리 팩의 외형을 도해하는 사시도이다.

도 20은 본 발명의 배터리 보호회로 모듈 패키지에서 소자 패키지를 제조하는 일실시예의 방법을 도해하는 순서도이다.

발명을 실시하기 위한 구체적인 내용

[0023] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 여러 실시예들을 상세히 설명하기로 한다.

[0024] 본 발명의 실시예들은 당해 기술 분야에서 통상의 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위하여 제공되는 것이며, 하기 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 하기 실시예에 한정되는 것은 아니다. 오히려 이들 실시예들은 본 개시를 더욱 충실하고 완전하게 하고, 당업자에게 본 발명의 사상을 완전하게 전달하기 위하여 제공되는 것이다. 또한, 도면에서 각 층의 두께나 크기는 설명의 편의 및 명확성을 위하여 과장된 것이다.

[0025] 명세서 전체에 걸쳐서, 막, 영역 또는 기판과 같은 하나의 구성요소가 다른 구성요소 "상에", "연결되어", "적층되어" 또는 "커플링되어" 위치한다고 언급할 때는, 상기 하나의 구성요소가 직접적으로 다른 구성요소 "상

에", "연결되어", "적층되어" 또는 "커플링되어" 접합하거나, 그 사이에 개재되는 또 다른 구성요소들이 존재할 수 있다고 해석될 수 있다. 반면에, 하나의 구성요소가 다른 구성요소 "직접적으로 상에", "직접 연결되어", 또는 "직접 커플링되어" 위치한다고 언급할 때는, 그 사이에 개재되는 다른 구성요소들이 존재하지 않는다고 해석된다. 동일한 부호는 동일한 요소를 지칭한다. 본 명세서에서 사용된 바와 같이, 용어 "및/또는"은 해당 열거된 항목 중 어느 하나 및 하나 이상의 모든 조합을 포함한다.

[0026] 본 명세서에서 제 1, 제 2 등의 용어가 다양한 부재, 부품, 영역, 층들 및/또는 부분들을 설명하기 위하여 사용되지만, 이들 부재, 부품, 영역, 층들 및/또는 부분들은 이들 용어에 의해 한정되어서는 안됨은 자명하다. 이들 용어는 하나의 부재, 부품, 영역, 층 또는 부분을 다른 영역, 층 또는 부분과 구별하기 위하여만 사용된다. 따라서, 이하 상술할 제 1 부재, 부품, 영역, 층 또는 부분은 본 발명의 가르침으로부터 벗어나지 않고서도 제 2 부재, 부품, 영역, 층 또는 부분을 지칭할 수 있다.

[0027] 또한, "상의" 또는 "위의" 및 "하의" 또는 "아래의"와 같은 상대적인 용어들은 도면들에서 도해되는 것처럼 다른 요소들에 대한 어떤 요소들의 관계를 기술하기 위해 여기에서 사용될 수 있다. 상대적 용어들은 도면들에서 묘사되는 방향에 추가하여 소자의 다른 방향들을 포함하는 것을 의도한다고 이해될 수 있다. 예를 들어, 도면들에서 소자가 뒤집어 진다면(turned over), 다른 요소들의 상부의 면 상에 존재하는 것으로 묘사되는 요소들은 상기 다른 요소들의 하부의 면 상에 방향을 가지게 된다. 그러므로, 예로써 든 "상의"라는 용어는, 도면의 특정한 방향에 의존하여 "하의" 및 "상의" 방향 모두를 포함할 수 있다. 소자가 다른 방향으로 향한다면(다른 방향에 대하여 90도 회전), 본 명세서에 사용되는 상대적인 설명들은 이에 따라 해석될 수 있다.

[0028] 본 명세서에서 사용된 용어는 특정 실시예를 설명하기 위하여 사용되며, 본 발명을 제한하기 위한 것이 아니다. 본 명세서에서 사용된 바와 같이, 단수 형태는 문맥상 다른 경우를 분명히 지적하는 것이 아니라면, 복수의 형태를 포함할 수 있다. 또한, 본 명세서에서 사용되는 경우 "포함한다(comprise)" 및/또는 "포함하는(comprising)"은 언급한 형상들, 숫자, 단계, 동작, 부재, 요소 및/또는 이들 그룹의 존재를 특정하는 것이며, 하나 이상의 다른 형상, 숫자, 동작, 부재, 요소 및/또는 그룹들의 존재 또는 부가를 배제하는 것이 아니다.

[0029] 이하, 본 발명의 실시예들은 본 발명의 이상적인 실시예들을 개략적으로 도시하는 도면들을 참조하여 설명한다. 도면들에 있어서, 예를 들면, 제조 기술 및/또는 공차(tolerance)에 따라, 도시된 형상의 변형들이 예상될 수 있다. 따라서, 본 발명 사상의 실시예는 본 명세서에 도시된 영역의 특정 형상에 제한된 것으로 해석되어서는 아니 되며, 예를 들면 제조상 초래되는 형상의 변화를 포함하여야 한다.

[0030] 본 발명의 실시예들에서, 리드프레임은 금속 프레임에 리드 단자들이 패터닝 된 구성으로서, 절연코어 상에 금속 배선층이 형성된 인쇄회로기판과는 그 구조나 두께 등에서 구분될 수 있다.

[0031] 도 1은 본 발명의 일실시예에 따른 배터리 보호회로 모듈 패키지 구성을 위한 배터리 보호회로의 회로도이다.

[0032] 도 1에 도시된 바와 같이, 본 발명의 일실시예에 따른 배터리 보호회로(10)는 배터리 셀에 연결되기 위한 제 1 및 제 2 내부연결단자(B+, B-), 충전시에는 충전기에 연결되고, 방전시에는 배터리 전원에 의하여 동작되는 전자기기(예, 휴대단말기 등)와 연결되기 위한 제 1 내지 제 3 외부연결단자들(P+, CF, P-)을 구비한다. 여기서 제 1 내지 제 3 외부연결단자들(P+, CF, P-) 중 제 1 외부연결단자(P+) 및 제 3 외부연결단자(P-)는 전원공급을 위한 것이고 나머지 하나의 외부연결단자인 제 2 외부연결단자(CF, ID)는, 예를 들어, 배터리를 구분하여 배터리에 맞게 충전을 하도록 한다. 또한, 제 2 외부연결단자(CF, ID)는 충전시 배터리 온도로 감지하는 부품인 써미스터(Thermistor)를 적용할 수 있으며, 기타 기능이 적용되는 단자로서 활용될 수 있다.

[0033] 그리고, 배터리 보호회로(10)는 듀얼 FET칩(110), 프로텍션 집적회로(120), 저항(R1, R2, R3), 배리스터(varistor)(V1), 및 커패시터(C1, C2)의 연결구조를 가진다. 듀얼 FET칩(110)은 드레인 공통 구조를 가지는 제 1 전계효과 트랜지스터(FET1)와 제 2 전계효과 트랜지스터(FET2)로 구성된다. 프로텍션 집적회로(Protection IC, 120)는 저항(R1)을 통하여 배터리의 (+)단자인 제 1 내부연결단자(B+)와 연결되고 제 1 노드(n1)를 통해 충전전압 또는 방전전압이 인가되는 전압인가와 배터리 전압을 감지하는 단자(VDD단자), 프로텍션 IC(110) 내부의 동작전압에 대한 기준이 되는 기준단자(VSS단자), 충방전 및 과전류 상태를 감지하기 위한 감지단자(V-단자), 과방전 상태에서 제 1 전계효과 트랜지스터(FET1)를 오프시키기 위한 방전차단신호 출력단자(DO단자), 과충전 상태에서 제 2 전계효과 트랜지스터(FET2)를 오프시키기 위한 충전차단신호 출력단자(CO단자)를 갖는다.

[0034] 이때, 프로텍션 IC(120)의 내부는 기준전압 설정부, 기준전압과 충방전 전압을 비교하기 위한 비교부, 과전류 검출부, 충방전 검출부를 구비하고 있다. 여기서 충전 및 방전상태의 판단 기준은 유저가 요구하는 스펙(SPEC)으로 변경이 가능하며 그 정해진 기준에 따라 프로텍션 IC(120)의 각 단자별 전압차를 인지하여 충·방전상태를

판정한다.

[0035] 프로텍션 IC(120)는 방전시에 과방전상태에 이르게 되면, DO단자는 로우(LOW)로 되어 제 1 전계효과 트랜지스터(FET1)를 오프시키고, 과충전 상태에 이르게 되면 CO단자가 로우로 되어 제 2 전계효과 트랜지스터(FET2)를 오프시키고, 과전류가 흐르는 경우에는 충전시에는 제 2 전계효과 트랜지스터(FET2), 방전시에는 제 1 전계효과 트랜지스터(FET1)를 오프시키도록 구성되어 있다.

[0036] 저항(R1)과 커패시터(C1)는 프로텍션 IC(120)의 공급전원의 변동을 안정시키는 역할을 한다. 저항(R1)은 배터리의 전원(V1) 공급노드인 제 1 노드(n1)와 프로텍션 IC(120)의 VDD 단자 사이에 연결되고, 커패시터(C1)는 프로텍션 IC의 VDD단자와 VSS단자 사이에 연결된다. 여기서 제 1 노드(n1)는 제 1 내부연결단자(B+)와 제 1 외부연결단자(P+)에 연결되어 있다. 저항(R1)을 크게 하면 전압 검출시 프로텍션 IC(120) 내부에 침투되는 전류에 의해서 검출전압이 높아지기 때문에 저항(R1)의 값은 1KΩ 이하의 적당한 값으로 설정된다. 또한 안정된 동작을 위해서 상기 커패시터(C1)의 값은 0.01㎌ 이상의 적당한 값을 가진다.

[0037] 그리고 저항(R1)과 저항(R2)은 프로텍션 IC(120)의 절대 최대정격을 초과하는 고전압 충전기 또는 충전기가 거꾸로 연결되는 경우 전류 제한 저항이 된다. 저항(R2)은 프로텍션 IC(120)의 V-단자와 제 2 전계효과 트랜지스터(FET2)의 소오스 단자(S2)가 연결된 제 2 노드(n2) 사이에 연결된다. 저항(R1)과 저항(R2)은 전원소비의 원인이 될 수 있으므로 통상 저항(R1)과 저항(R2)의 저항값의 합은 1KΩ 보다 크게 설정된다. 그리고 저항(R2)이 너무 크다면 과충전 차단후에 복귀가 일어나지 않을 수 있으므로, 저항(R2)의 값은 10KΩ 또는 그 이하의 값으로 설정된다.

[0038] 커패시터(C2)는 제 2 노드(n2)(또는 제 3 외부연결단자(P-))와 제 1 전계효과 트랜지스터(FET1)의 소오스 단자(S1)(또는 VSS 단자, 제 2 내부연결단자(B-)) 사이에 연결되는 구조를 가진다. 커패시터(C2)는 상기 배터리 보호회로 제품의 특성에 크게 영향을 끼치지는 않지만, 유저의 요청이나 안정성을 위해 추가되고 있다. 상기 커패시터(C2)는 전압변동이나 외부 노이즈에 대한 내성을 향상시켜 시스템을 안정화시키는 효과를 위한 것이다.

[0039] 그리고 저항(R3) 및 배리스터(V1)는 ESD(Electrostatic Discharge), 서지(surge) 보호를 위한 소자들로써, 서로 병렬연결되는 구조로 제 2 외부연결단자(CF)와 상기 제 2 노드(n2)(또는 제 3 외부연결단자(P-)) 사이에 연결 배치된다. 상기 배리스터(V1)는 과전압 발생시 저항이 낮아지는 소자로, 과전압이 발생되는 경우 저항이 낮아져 과전압으로 인한 회로손상 등을 최소화할 수 있다.

[0040] 본 발명의 일실시예에서는 외부연결단자들(P+, P-, CF), 내부연결단자(B+, B-)를 포함하여 도 1의 배터리 보호회로(10)를 모듈화하여 하나로 패키징하여 구성한 배터리 보호회로의 모듈 패키지를 구현하고 있다.

[0041] 전술한 본 발명의 일 실시예에 따른 보호회로는 예시적이고, 프로텍션 IC, FET 또는 수동소자의 구성이나 수, 배치 등은 보호회로의 부가 기능에 따라서 적절하게 변형될 수 있다.

[0042] 도 2는 본 발명의 일실시예에 따른 배터리 보호회로 모듈 패키지의 일부를 구성하는 적층칩의 배치구조를 도해하는 도면이다.

[0043] 도 2에 도시된 바와 같이, 듀얼 FET칩(110)과 프로텍션(protection) IC(120)의 배치는 듀얼 FET칩(110)과 프로텍션 IC(120)가 상하 적층된 구조를 가지거나 서로 인접 배치되는 구조를 가진다. 예를 들어, 듀얼 FET칩(110)의 상부면에 프로텍션 IC(120)가 적층된 구조를 가지거나, 프로텍션 IC(120)의 좌측 또는 우측에 인접되어 듀얼 FET칩(110)이 배치될 수 있다.

[0044] 듀얼 FET 칩(110)은 공통드레인 구조의 제 1 전계효과 트랜지스터 및 제 2 전계효과 트랜지스터, 즉 2개의 전계효과 트랜지스터(FET)를 내장하고 있으며, 외부연결단자는 제 1 전계효과 트랜지스터의 제 1 게이트단자(G1) 및 제 1 소오스 단자(S1)와 제 2 전계효과 트랜지스터의 제 2 게이트 단자(G2) 및 제 2 소오스 단자(S2)를 듀얼 FET칩(110)의 상부면에 구비하는 구조를 가진다. 또한, 공통드레인 단자(D)가 듀얼 FET 칩(110)의 하부면에 구비되는 구조를 가질 수 있다.

[0045] 프로텍션 IC(120)는 듀얼 FET칩(110)의 상부면에 적층 배치되는 구조를 가진다. 프로텍션 IC(120)는 듀얼 FET칩(110) 상의 외부연결단자들이 배치된 부분을 제외한 영역(예를 들면, 중앙부위)에 적층 배치된다. 이때 프로텍션 IC(120)와 듀얼 FET칩(110)의 사이에는 절연을 위한 절연막이 배치될 수 있고, 프로텍션 IC(120)와 듀얼 FET칩(110)은 절연성 재질의 접착제로 접착될 수 있다. 통상적으로 듀얼 FET칩(110)의 사이즈가 프로텍션 IC(120) 보다는 크기 때문에, 듀얼 FET칩(110)의 상부에 프로텍션 IC(120)를 적층하는 배치구조를 채택한다.

[0046] 프로텍션 IC(120)가 듀얼 FET칩(110)의 상부면에 적층 배치된 이후에 프로텍션 IC(120)의 DO 단자(DO)는, 제 1

게이트 단자(G1)와 와이어 또는 배선을 통해 전기적으로 연결되고, 프로텍션 IC(120)의 CO단자(CO)는, 제 2 게이트 단자(G2)와 와이어 또는 배선을 통해 전기적으로 연결되게 된다. 나머지 단자들의 연결구조는 추후 설명한다. 상술한 바와 같은 적층구조를 가지는 프로텍션 IC(120)와 듀얼 FET칩(110)을 '적층칩(100a)'이라 통칭하기로 한다.

[0047] 본 발명의 일실시예에 따른 배터리 보호회로 모듈 패키지에서는 적층구조를 가지는 프로텍션 IC(120)와 듀얼 FET칩의 적층칩(100a)를 도입함으로써, 후술할 리드프레임 상에 실장하는 면적을 줄일 수 있으며 이에 따라 배터리의 소형화 또는 고용량화를 구현할 수 있다.

[0048] 도 3은 본 발명의 일실시예에 따른 배터리 보호회로 모듈 패키지를 구성하는 리드프레임과 보호회로 소자의 구성을 개념적으로 도해하는 도면이고, 도 4 및 도 5는 도 3에 도해된 리드프레임의 구조와 보호회로 소자의 배치구조를 각각 상세하게 도해하는 평면도이다.

[0049] 도 3 및 도 4를 참조하면, 본 발명의 일실시예에 따른 배터리 보호회로의 모듈 패키지를 구성하는 보호회로 구조체(200a)가 개시된다. 보호회로 구조체(200a)는 리드프레임(50)과 리드프레임(50) 상에 실장된 배터리 보호회로 소자(130, 100a)를 포함한다.

[0050] 리드프레임(50)은 제 1 내부연결단자영역(A1), 외부연결단자영역(A2), 소자영역(A3) 및 칩영역(A4)의 보호회로영역, 제 2 내부연결단자영역(A5)이 순차적으로 배치되는 구조를 가진다. 상기 보호회로영역은 외부연결단자영역(A2)과 제 2 내부연결단자영역(A5) 사이에 배치되는 것으로, 소자영역(A3) 및 칩영역(A4)의 배치순서는 다양하게 변경가능하다. 리드프레임(50)의 상면(50a)은 배터리 보호회로 소자(130, 100a)가 실장되는 면이며, 리드프레임(50)의 하면(50b)은 상면(50a)의 반대면일 수 있다. 리드프레임(50)의 하면(50b)에서 외부연결단자영역(A2)에 해당하는 부분은 전부 또는 일부가 도금될 수 있다. 도금물질은 금, 은, 니켈, 주석 및 크롬 중에서 선택된 적어도 하나일 수 있다.

[0051] 제 1 내부연결단자영역(A1) 및 제 2 내부연결단자영역(A5)은 패키지모듈의 양쪽가장자리부분에 각각 구비되며, 배터리 캔에 내장된 배터리 베어셀과 연결되는 제 1 내부연결단자로서 기능하는 제 1 내부연결단자용 리드(B+)와 제 2 내부연결단자로서 기능하는 제 2 내부연결단자용 리드(B-)가 각각 배치된다.

[0052] 외부연결단자영역(A2)은 제 1 내부연결단자영역(A1)에 인접되며, 복수의 외부연결단자들로서 기능하는 복수의 외부연결단자용 리드들인 제 1 내지 제 3 외부연결단자용 리드(P+, CF, P-)가 각각 순차적으로 배치된다. 제 1 내지 제 3 외부연결단자용 리드(P+, CF, P-)의 배치순서는 다양하게 달라질 수 있다. 여기서 제 1 외부연결단자용 리드(P+)와 제 1 내부연결단자용 리드(B+)는 서로 연결되어 있다. 즉 제 1 내부연결단자용 리드(B+)는 제 1 외부연결단자용 리드(P+)에서 연장되어 구성되거나, 제 1 외부연결단자용 리드(P+)가 제 1 내부연결단자용 리드(B+)에서 연장되어 구성될 수 있다.

[0053] 소자영역(A3)은 상기 배터리 보호회로를 구성하는 복수의 수동소자들(R1, R2, R3, C1, C2, V1)이 배치된다. 도 3에서는, 편의상, 소자영역(A3)이 단수의 리드로 구성되는 것으로 도시하였으나, 실제로는, 예를 들어, 도 4에서와 같이, 복수의 도전성 라인들로 구성된 제 1 내지 제 6 수동소자용 리드(L1, L2, L3, L4, L5, L6)가 배치되도록 구성될 수 있다. 예를 들어, 제 1 내지 제 3 수동소자용 리드(L1, L2, L3)는 상기 소자영역(A3)의 상부쪽에 순차적 배치구조를 가질 수 있고, 제 4 내지 제 6 수동소자용 리드(L4, L5, L6)는 소자영역(A3)의 하부쪽에 배치되는 구조를 가질 수 있다.

[0054] 제 1 수동소자용 리드(L1)는 외부연결단자영역(A2)에 인접된 소자영역(A3)에 일정크기로 배치되고, 제 2 수동소자용 리드(L2)는 제 1 수동소자용 리드(L1)에 인접하여 일정크기로 배치된다. 제 3 수동소자용 리드(L3)는 칩영역(A4)에 인접된 소자영역(A3)에 제 2 수동소자용 리드(L2)에 인접하여 일정크기로 배치된다.

[0055] 제 4 수동소자용 리드(L4)는 외부연결단자영역(A2)에 인접된 소자영역(A3)에 일정크기로 배치되고, 제 5 수동소자용 리드(L5)와 제 6 수동소자용 리드(L6)는 제 5 수동소자용 리드(L5)가 제 6 수동소자용 리드(L6)를 둘러싸는 형태로 제 4 수동소자용 리드(L1)에 인접되어 배치된다.

[0056] 칩영역(A4)은 소자영역(A3)에 인접되며 상기 배터리 보호회로를 구성하는 프로텍션 IC 및 듀얼 FET칩이 배치되기 위한 영역으로, 예를 들어, 도 2에 도시된 적층칩(100a)이 장착되기 위한 다이패드(DP)가 배치될 수 있다. 다이패드(DP)는 적층칩(100a)을 구성하는 듀얼 FET칩(110)의 공통드레인 단자와 전기적으로 연결될 수 있으며, 후속공정의 패키징시 노출되도록 하여 외부연결단자로써 기능함과 동시에 방열특성을 개선하도록 할 수 있다.

[0057] 도 3 및 도 5를 참조하면, 도 4에서 도시된 리드프레임에 복수의 수동소자들(R1, R2, R3, C1, C2, V1) 및 적층

칩(100a)이 배치되고, 와이어 본딩(220) 등을 통해 도 1에 도시된 등가회로를 구성하게 된다.

[0058] 우선 칩영역(A4)의 다이패드(DP) 상에 적층칩(100a)을 장착하고, 적층칩(100a)을 구성하는 프로텍션 IC(120)의 기준전압단자(VSS)는 제 1 전계효과 트랜지스터의 소오스 단자 또는 제 3 수동소자용 리드(L3)와 와이어 본딩을 수행하여 전기적으로 연결한다.

[0059] 그리고 프로텍션 IC(120)에서 충전전압 및 방전전압이 인가되는 전압인가와 배터리 전압을 감지하는 단자(VDD)는 제 2 수동소자용 리드(L2)와 와이어 본딩 등을 통해 전기적으로 연결하고, 프로텍션 IC(120)에서 충방전 및 과전류 상태를 감지하기 위한 감지단자(V-)를 제 6 수동소자용 리드(L6)에 와이어 본딩을 통해 전기적으로 연결한다.

[0060] 제 1 전계효과 트랜지스터의 소오스단자(S1)는 제 3 수동소자용 리드(L3)와 와이어 본딩 등을 통해 전기적으로 연결하고, 제 2 전계효과 트랜지스터의 소오스단자(S2)는 제 5 수동소자용 리드(L5)와 와이어 본딩 등을 통해 전기적으로 연결하게 된다.

[0061] 다음으로, 제 1 수동소자용 리드(L1)와 제 1 외부연결단자용 리드(P+)를 와이어 본딩 등을 통해 전기적으로 연결하고, 제 3 수동소자용 리드(L3)와 제 2 내부연결단자용 리드(B-)를 와이어 본딩 등을 통해 전기적으로 연결한다. 제 4 수동소자용 리드(L4)는 제 2 외부연결단자용 리드(CF)와 와이어 본딩을 통해 전기적으로 연결되고, 제 5 수동소자용 리드(L5)는 제 3 외부연결단자용 리드(L3)와 와이어 본딩 등을 통해 전기적으로 연결된다. 그리고, 상기 복수의 수동소자들 중 제 1 저항(R1)은 제 1 수동소자용 리드(L1)와 제 2 수동소자용 리드(L2) 사이에 배치되고, 상기 복수의 수동소자들 중 제 2 저항(R2)은 제 5 수동소자용 리드(L5)와 제 6 수동소자용 리드(L6) 사이에 배치된다.

[0062] 복수의 수동소자들 중 서지보호회로를 구성하는 제 3 저항(R3)은 제 4 수동소자용 리드(L4)와 제 5 수동소자용 리드(L5) 사이에 배치되고, 상기 복수의 수동소자들 중 제 1 커패시터(C1)는 제 2 수동소자용 리드(L2)와 제 3 수동소자용 리드(L3) 사이에 배치되고, 상기 복수의 수동소자들 중 제 2 커패시터(C2)는 제 3 수동소자용 리드(L3)와 제 5 수동소자용 리드(L5) 사이에 배치된다.

[0063] 상기 복수의 수동소자들 중 상기 서지보호회로를 구성하는 배리스터(varistor)(V1)는 제 3 저항(R3)과 병렬로 구성되어 제 4 수동소자용 리드(L4)와 제 5 수동소자용 리드(L5) 사이에 배치되게 된다.

[0064] 도 1에 도시된 배터리 보호회로의 회로도와 이를 구현하는 도 5에 도시된 보호회로 구조체(200a)는 다양하게 변형될 수 있으며, 이에 따라 다양한 변형된 구조체로 실시될 수 있다.

[0065] 예를 들어, 변형된 제 1 구조체에서는, 제 1 전계효과 트랜지스터(FET1), 제 2 전계효과 트랜지스터(FET2), 및 프로텍션 IC가 하나의 칩에 통합되어 제공될 수 있다. 통합된 상기 하나의 칩은 리드프레임(50) 상에 플립칩 형태로 실장될 수 있다. 플립칩은 별도의 와이어 본딩이 필요없이 외부단자부분이 전기적 접속이 필요한 리드 등에 솔더링 결합되어 전기적 연결되므로 와이어 본딩 대비 전기전도도가 향상되고 생산단가가 낮아지고 공정단순화를 이룰수 있는 장점이 있으며, 차지하는 부피를 줄일 수 있다는 장점이 있다.

[0066] 또한, 변형된 제 2 구조체에서는, 제 1 전계효과 트랜지스터(FET1)와 제 2 전계효과 트랜지스터(FET2)가 리드프레임(50) 상에 듀얼 FET칩으로 구현되지 않고 서로 이격되어 배치될 수 있다. 이 경우, 제 1 전계효과 트랜지스터(FET1)의 드레인과 제 2 전계효과 트랜지스터(FET2)의 드레인이 서로 전기적으로 연결되도록 하기 위하여, 리드프레임(50)의 하부면을 서로 연결하는 도전성 플레이트를 추가로 배치할 수 있다.

[0067] 도 5에 도시된 보호회로 구조체(200a) 또는 상술한 상기 변형된 구조체들을 봉지재(250)로 몰딩하는 등의 공정을 통해 도 6에 도시된 바와 같이 패키징하여 패키지모듈(300)을 구성하게 된다.

[0068] 도 6의 (a)는 본 발명의 일실시예에 따른 배터리 보호회로의 모듈 패키지(300)의 하부면을 나타낸 것이고, 도 6의 (b)는 패키지모듈(300)의 상부면을 나타낸 것이다. 예를 들어, 배터리 보호회로의 모듈 패키지(300)의 하부면은 리드프레임(50)의 상면(50a)을 포함하여 대응되며, 배터리 보호회로의 모듈 패키지(300)의 상부면은 리드프레임(50)의 하면(50b)을 포함하여 대응될 수 있다. 배터리 보호회로의 모듈 패키지(300)의 하부면은, 예를 들어, 도 15에 도시된, 캡 플레이트(430)와 대향할 수 있다.

[0069] 본 발명의 일실시예에 따른 배터리 보호회로의 모듈 패키지(300)는 상부면에서 상기 외부연결단자들(P+, CF, P-)이 노출되고, 하부면에는 상기 제 1 내부연결단자(B+) 및 상기 제 2 내부연결단자(B-)가 노출되도록 구성된다. 여기서 패키지모듈(300)의 상부면에는 방열이나 기타 필요에 따라 상기 다이패드(DP)의 하부면(적층칩(100a)이 장착된 면의 반대면)이 추가로 노출되도록 패키징될 수 있다. 한편, 제 1 내부연결단자용 리드(B+) 및 제 2 내

부연결단자용 리드(B-) 중에서 적어도 어느 하나는 걸폼(gull-form) 형태로 절곡될 수 있다.

[0070] 도 7은 본 발명의 비교예에 따른 배터리 보호회로 모듈 패키지의 일부를 도해하는 도면이다.

[0071] 본 발명의 일실시예에 따른 배터리 보호회로의 모듈 패키지(300)는, 도 6에서 도시한 것처럼, 상부면에 3개의 외부연결단자들(P+, CF, P-)이 노출되었으며, 외부연결단자들(P+, CF, P-)과 제 2 내부연결단자용 리드(B-) 사이의 영역(D)은 배터리 보호회로를 구성하는 프로텍션 IC 및 듀얼 FET칩이 배치되기 위한 영역과 배터리 보호회로를 구성하는 복수의 수동소자들이 배치되는 영역에 해당한다.

[0072] 본 발명의 비교예에 따른 배터리 보호회로 모듈 패키지(300)는, 도 7에서 도시한 것처럼, 상부면에 3개의 외부연결단자들(P+, CF, P-)에 부가하여 추가적인 외부연결단자들(50-1, 50-2)이 노출될 수 있다. 이 경우, 배터리 보호회로를 구성하는 프로텍션 IC 및 듀얼 FET칩이 배치되기 위한 영역과 배터리 보호회로를 구성하는 복수의 수동소자들이 배치되는 영역을 확보하기 위해서는, 배터리 보호회로 모듈 패키지(300)의 길이가 증대되어야야 한다. 그러나, 배터리 보호회로 모듈 패키지(300)를 배터리 베어셀의 상단면에 실장하는 경우에는 길이의 제한이 수반될 수 있다. 특히, 배터리 보호회로 모듈 패키지를 배터리 베어셀의 상단면의 중심을 기준으로 편측에만 배치하고자 하는 경우에는 길이의 제한이 더욱 엄격해진다. 따라서, 본 발명의 일실시예에 따른 배터리 보호회로 모듈 패키지(300)는 외부연결단자들의 개수가 4개 이상일 경우 구현이 용이하지 않을 수 있다.

[0073] 도 8은 본 발명의 다른 실시예에 따른 배터리 보호회로 모듈 패키지의 일부를 구성하는 배터리 보호회로의 회로도이다.

[0074] 도 8을 참조하면, 도 1에 도시된 배터리 보호회로의 구성에 추가로 NFC 회로(131)가 부가되어, 근거리 자기장 통신(NFC, Near Field Communication)을 지원할 수 있다. 부가되는 NFC 회로(131)는, 예를 들어, NFC 외부연결단자(NFC1), NFC 접속단자(PD1, PD2) 및 NFC 매칭 소자(C3, C4, C5, C6)를 포함할 수 있다. NFC 접속단자(PD1, PD2)는 배터리 팩의 주변에 배치되는 NFC 안테나(미도시)의 단부와 접촉될 수 있다. 상기 NFC 안테나는, 예를 들어, 루프 형태의 안테나일 수 있다. 상기 NFC 안테나의 단부가 NFC 접속단자(PD1, PD2)와 접촉되면, NFC 매칭 소자(C3, C4, C5, C6)와 NFC 안테나가 전기적으로 연결되어 폐루프(closed loop)를 형성할 수 있다. NFC 매칭 소자(C3, C4, C5, C6)는, 예를 들어, 주파수 매칭용 커패시터일 수 있다. 예를 들어, 상기 NFC 루프 안테나의 양 끝단이 상기 NFC 매칭 소자인 커패시터와 연결되어 폐루프를 형성하고, 상기 NFC 안테나와 커패시터에서 발생하는 공진을 이용하여 13. 56MHz의 NFC 통신용 주파수 영역을 생성하여 NFC 디바이스와 통신할 수 있다.

[0075] 한편, 도 1에 도시된 배터리 보호회로의 구성에 추가로 NFC 회로(131)가 구성되는 경우, 3개의 외부연결단자들(P+, CF, P-)에 추가하여 NFC 외부연결단자(NFC1)가 구성되므로, 배터리 보호회로 모듈 패키지에 구현되는 외부연결단자들의 개수는 4개 이상이다. 도 7을 참조하여 상술한 것처럼, 본 발명의 일실시예에 따른 배터리 보호회로 모듈 패키지(300)는 외부연결단자들의 개수가 4개 이상일 경우 구현이 용이하지 않을 수 있다. NFC 외부연결단자(NFC1)는 도 7에 도시된 배터리 보호회로 모듈 패키지(300)에서 제 4 외부연결단자(50-1)에 해당할 수 있다. 이하에서는, 외부연결단자들의 개수가 4개 이상일 경우에도 집적화 및 소형화가 가능한 본 발명의 다른 실시예에 따른 배터리 보호회로 모듈 패키지를 설명하고자 한다.

[0076] 도 9 및 도 10은 본 발명의 다른 실시예에 따른 배터리 보호회로 모듈 패키지의 소자 패키지를 도해하는 사시도들이고, 도 11은 도 9의 E부분의 일부에 대한 부분절개 사시도이고, 도 12는 본 발명의 다른 실시예에 따른 배터리 보호회로 모듈 패키지에서 단자 리드프레임 상에 소자 패키지를 실장하는 과정을 도해하는 도면이고, 도 13 및 도 14는 본 발명의 다른 실시예에 따른 배터리 보호회로 모듈 패키지를 도해하는 사시도들이고, 도 15는 본 발명의 다른 실시예에 따른 배터리 보호회로 모듈 패키지가 배터리 캔과 결합되는 과정을 도해하는 사시도이다.

[0077] 도 9 내지 도 15를 참조하면, 본 발명의 다른 실시예에 따른 배터리 보호회로 모듈 패키지(304)는 단자 리드프레임(70) 및 소자 패키지(302)를 구비한다.

[0078] 단자 리드프레임(70)은 양쪽가장자리부분에 각각 배치되며, 베터리 베어셀의 전극단자(420, 430)와 전기적으로 연결되는 제 1 내부연결단자용 리드(70-1) 및 제 2 내부연결단자용 리드(70-7); 및 제 1 내부연결단자용 리드(70-1) 및 제 2 내부연결단자용 리드(70-7) 사이에 배치되며, 복수의 외부연결단자들을 구성하는 외부연결단자용 리드(70-2, 70-3, 70-4, 70-5, 70-6);를 포함한다. 상기 복수의 외부연결단자들은 4개 이상의 외부연결단자들을 포함할 수 있다. 예를 들어, 단자 리드프레임(70)은, 도 14와 같이, 제 1 내지 제 3 외부연결단자용 리드(P+, CF, P-)에 추가하여 제 4 외부연결단자용 리드(70-5) 및 제 5 외부연결단자용 리드(70-6)를 포함할 수 있다. 제 4 외부연결단자용 리드(70-5)는 도 8의 NFC 외부연결단자(NFC1)일 수 있다. 한편, 제 5 외부연결단자용

리드(70-6)는, 예를 들어, 단자 리드프레임(70)의 설계를 변경하여 제 2 내부연결단자용 리드(70-7)와 연결되도록 구성함으로써, 배터리 보호회로 모듈 패키지(304)의 전기적 특성을 평가할 때 사용될 수도 있다.

[0079] 단자 리드프레임(70)은 니켈, 구리, 니켈 도금된 구리 또는 기타 금속으로 이루어질 수 있다. 나아가, 단자 리드프레임(70)의 외부연결단자용 리드는 배터리의 외부로 향하는 면(도 19에 도시된 면)의 전부 또는 일부가 도금될 수 있다. 도금물질은 금, 은, 니켈, 주석 및 크롬 중에서 선택된 적어도 하나일 수 있다.

[0080] 소자 패키지(302)는 배터리 보호회로 소자(110, 120, 130)가 배치된 기판을 포함한다. 예를 들어, 소자 패키지(302)는 전계효과 트랜지스터(110), 프로텍션 IC(120), 수동소자(130)가 배치된 기판을 포함할 수 있다. 나아가, 상기 기판 상에는 도 8에 도시된 NFC 매칭 소자(C3, C4, C5, C6)가 배치될 수 있다. 소자 패키지(302)는 배터리 보호회로 소자(110, 120, 130) 및 NFC 매칭 소자(C3, C4, C5, C6)를 밀봉하는 봉지재(250)를 더 포함할 수 있다. 봉지재(250)는, 예를 들어, 에폭시 몰딩 컴파운드(EMC)를 포함할 수 있다.

[0081] 소자 패키지(302)는 단자 리드프레임(70)과 전기적으로 연결되도록 단자 리드프레임(70) 상에 실장된다. 예를 들어, 소자 패키지(302)는 단자 리드프레임(70) 상에 표면실장기술(Surface Mounting Technology)을 사용하여 실장될 수 있다. 소자 패키지(302)는 하부면에 적어도 하나 이상의 노출단자(60-3, 60-4, 60-5, 60-6, 60-7)가 형성될 수 있다. 나아가, 소자 패키지(302)는, 선택적으로, 상부면에 적어도 노출단자(60-1, 60-2)가 형성될 수 있다. 소자 패키지(302)의 상부면에 형성된 노출단자(60-1, 60-2)는, 예를 들어, 도 8에 도시된, NFC 접속단자(PD1, PD2)일 수 있다. NFC 접속단자(PD1, PD2)는 NFC 안테나의 단부와 접촉될 수 있고, 이에 따라, NFC 매칭 소자(C3, C4, C5, C6)와 상기 NFC 안테나가 전기적으로 연결되어 폐루프(closed loop)를 형성할 수 있다. 배터리 보호회로 소자(110, 120, 130) 및 NFC 매칭 소자(C3, C4, C5, C6)를 밀봉하는 봉지재(250)는 노출단자(60-1, 60-2, 60-3, 60-4, 60-5, 60-6, 60-7)를 노출시키도록 형성될 수 있다. 한편, 소자 패키지(302)는 하부면에 형성된 적어도 하나 이상의 노출단자(60-3, 60-4, 60-5, 60-6, 60-7)는 단자 리드프레임(70)의 적어도 일부와 접합되어 전기적으로 연결되어, 도 8에 도시된 회로구성의 적어도 일부를 구현할 수 있다. 물론, 본 실시예에서 언급한 노출단자(60-1, 60-2, 60-3, 60-4, 60-5, 60-6, 60-7)의 배치와 개수 등은 예시적이며, 배터리 회로 보호회로 및 NFC 부가회로의 기능 및 용도에 따라 다양하게 변형될 수 있다.

[0082] 소자 패키지(302)에서 배터리 보호회로 소자(110, 120, 130) 및 NFC 매칭 소자(C3, C4, C5, C6)가 배치될 수 있는 상기 기판은 리드프레임, 인쇄회로기판(Printed Circuit Board), 세라믹기판, 글래스기판을 포함할 수 있다.

[0083] 예를 들어, 도 11을 참조하면, 상기 기판은 이격된 복수의 실장용 리드들을 가지는 실장 리드프레임(60)을 포함할 수 있다. 기판에 직접 실장되는 배터리 보호회로 소자는 전계효과 트랜지스터(110), 프로텍션 IC(120), 및 적어도 하나 이상의 수동소자(130)를 포함할 수 있다. 수동소자(130)는 커패시터, 저항, 및/또는 배리스터 등을 포함할 수 있다. 본 발명의 다른 실시예에 따른 배터리 보호회로 모듈 패키지에서, 실장 리드프레임(60)을 포함하는 소자 패키지(302)는 별도의 인쇄회로기판을 사용하지 않고 배터리 보호회로를 구성할 수 있다. 이러한 구성은 적어도 하나 이상의 수동소자(130) 및/또는 NFC 매칭 소자(C3, C4, C5, C6)가 이격된 복수의 실장용 리드들 중의 적어도 일부를 연결하도록 배치되며, 프로텍션 IC(120), 전계효과 트랜지스터(110) 및 상기 복수의 실장용 리드들로 이루어진 군에서 선택된 어느 두 개를 전기적으로 연결하는 전기적 연결부재를 제공함으로써 구현될 수 있다. 상기 전기적 연결부재는 본딩 와이어 또는 본딩 리본을 포함할 수 있다.

[0084] 상기 기판이 이격된 복수의 실장용 리드들을 가지는 실장 리드프레임(60)을 포함하는 본 발명의 실시예들에서는, 본딩 와이어나 본딩 리본과 같은 전기적 연결부재를 실장 리드프레임(60) 상에 배치하여 회로를 구성하므로, 배터리 보호회로를 구성하기 위한 실장 리드프레임(60)을 설계하고 제조하는 과정이 단순화할 수 있다는 중요한 이점을 가진다. 만약, 본 발명의 실시예들에서 전기적 연결부재를 배터리 보호회로를 구성함에 있어서 도입하지 않는다면 실장 리드프레임(60)을 구성하는 복수의 리드들의 구성이 매우 복잡하게 되므로 적절한 실장 리드프레임(60)을 효과적으로 제공하는 것이 용이하지 않을 수 있다.

[0085] 그리고, 실장 리드프레임(60)으로 상기 기판을 구성하는 본 발명의 실시예들에서는, 프로텍션(protection) IC, 및 전계효과 트랜지스터(FET)가 실장 리드프레임(60) 상에 반도체 패키지의 형태로 삽입되어 고정되는 것이 아니라 표면실장기술(Surface Mounting Technology)에 의하여 실장 리드프레임(60)의 표면의 적어도 일부 상에, 별도의 봉지재로 밀봉되지 않은 웨이퍼에서 소잉(sawing)된 칩 다이(chip die) 형태로, 실장되어 고정될 수 있다. 여기에서, 칩 다이(chip die)라 함은 어레이 형태의 복수의 구조체(예를 들어, 프로텍션 IC, 및 전계효과 트랜지스터)가 형성된 웨이퍼 상에 별도의 봉지재로 밀봉하지 않고 소잉 공정을 수행하여 구현된 개별적인 구조체를 의미한다. 즉, 실장 리드프레임(60) 상에 프로텍션(protection) IC, 및 전계효과 트랜지스터(FET)를 실장

할 때에는 별도의 봉지재로 밀봉하지 않은 상태에서 실장한 이후에, 후속의 봉지재(250)에 의하여 상기 프로텍션(protection) IC, 및 전계효과 트랜지스터(FET)를 밀봉하므로, 배터리 보호회로 모듈 패키지(304)를 구현함에 있어서 봉지재를 형성하는 공정을 한 번만 수행할 수 있다. 이에 반하여, 수동소자, 프로텍션(protection) IC, 및 전계효과 트랜지스터(FET)를 인쇄회로기판(PCB)에 별도로 삽입하여 고정하거나 실장하는 경우는, 각 부품에 대하여 한 번의 몰딩 공정이 먼저 필요하고, 인쇄회로기판 상에 고정하거나 실장한 이후에 실장된 각 부품에 대하여 또 한 번의 몰딩 공정이 추가로 필요하므로, 제조공정이 복잡하고 제조비용이 높아진다.

[0086] 도 20은 본 발명의 배터리 보호회로 모듈 패키지에서 소자 패키지를 제조하는 일실시예의 방법을 도해하는 순서도이다.

[0087] 도 20을 참조하면, 실장 리드프레임(60)으로 상기 기판을 구성하는 소자 패키지(302)를 제조하는 일실시예의 방법은, 이격된 복수의 리드들을 포함하는 실장 리드프레임(60)을 제공하는 단계(S10); 실장 리드프레임(60) 상에 프로텍션 IC(protection integrated circuit), 전계효과 트랜지스터(FET)를 실장하는 단계(S20); 단계(S20) 전후에, 실장 리드프레임(60) 상에 상기 이격된 복수의 리드들 중의 적어도 일부를 연결하도록 수동소자(130)를 실장하는 단계(S30); 상기 프로텍션 IC, 상기 전계효과 트랜지스터 및 상기 복수의 리드들로 이루어진 군에서 선택된 어느 두 개를 전기적으로 연결하는 전기적 연결부재를 배치하는 단계(S40); 실장 리드프레임(60)의 일부를 노출시키며, 상기 프로텍션 IC, 상기 전계효과 트랜지스터 및 상기 수동소자를 밀봉하는 봉지재(250)를 형성하는 단계(S50)를 포함한다.

[0088] 본 발명의 배터리 보호회로 모듈 패키지에서 소자 패키지를 제조하는 일실시예의 방법에서, 실장 리드프레임 상에 프로텍션 IC(protection integrated circuit), 전계효과 트랜지스터(FET)를 칩 다이(chip die) 형태에서 실장하는 단계(S20)와 실장 리드프레임 상에 상기 이격된 복수의 리드들 중의 적어도 일부를 연결하도록 수동소자를 실장하는 단계(S30)는 차례로 진행되거나, 역순으로 진행되거나, 동시에 진행되거나, 또는 섞여서 진행될 수도 있다.

[0089] 상기 실장 리드프레임 상에 프로텍션 IC(protection integrated circuit), 및 전계효과 트랜지스터(FET)를 실장하는 단계(S20)는, 별도의 봉지재로 밀봉되지 않은 웨이퍼에서 소잉(sawing)된 칩 다이(chip die) 형태인 상기 프로텍션 IC 및 상기 전계효과 트랜지스터(FET)를 표면실장기술에 의하여 상기 실장 리드프레임 상에 실장하는 단계를 포함한다.

[0090] 또한, 예를 들어, 상기 기판은 인쇄회로기판(Printed Circuit Board)을 포함할 수 있으며, 배터리 보호회로 소자(110, 120, 130) 및 NFC 매칭 소자(C3, C4, C5, C6)는 상기 인쇄회로기판 상에 배치될 수 있다.

[0091] 도 15와 본 발명의 실시예들에 따른 배터리 보호회로 모듈 패키지가 장착된 배터리 팩의 외형을 도해하는 사시도인 도 19를 함께 참조하면, 상술한 바와 같은 구조를 가지는 배터리 보호회로의 모듈 패키지(304)는 배터리 캔(400) 내에 내장된 배터리 베어셀의 상부면과 상부케이스(500) 사이에 삽입되어 도 19에 도시된 바와 같은 배터리 팩(600)을 구성하게 된다. 상부케이스(500)는 플라스틱 재질로 상기 외부연결단자들(P+, CF, P-)과 추가적인 외부연결단자들(70-5, 70-6)이 노출될 수 있도록 대응되는 부분에 관통홀(550)이 형성되어 있다. 배터리 팩(600)은 일반적으로 휴대폰이나 단말기 등에 삽입하는 배터리로 이해될 수 있다. 상부케이스(500)는 플라스틱 재질로 외부연결단자들(P+, CF, P-)과 추가적인 외부연결단자들(70-5, 70-6)이 노출될 수 있도록 대응되는 부분에 관통홀(550)이 형성되어 있다. 추가적인 외부연결단자들(70-5, 70-6) 중의 어느 하나는, 도 8에 도시된, NFC 외부연결단자(NFC1)이다.

[0092] 상기 배터리 베어셀은 전극 조립체와 캡 조립체를 포함하여 구성된다. 상기 전극 조립체는 양극 집전체에 양극 활물질을 도포해서 형성된 양극판, 음극 집전체에 음극 활물질을 도포해서 형성된 음극판 및 상기 양극판과 상기 음극판 사이에 개재되어 두 극판의 단락을 방지하고 리튬 이온의 이동을 가능하게 하는 세퍼레이터로 이루어질 수 있다. 상기 전극 조립체에는 상기 양극판에 부착된 양극탭과 상기 음극판에 부착된 음극탭이 인출되어 있다.

[0093] 상기 캡 조립체는 음극단자(410), 가스켓(420), 캡 플레이트(430) 등을 포함한다. 캡 플레이트(430)는 양극단자의 역할을 할 수 있다. 음극단자(410)는 음극셀 또는 전극셀로 명명될 수도 있다. 가스켓(420)은 음극단자(410)와 캡 플레이트(430)를 절연시키기 위하여 절연성 물질로 형성될 수 있다. 따라서, 배터리 베어셀의 전극단자는 음극단자(410)와 캡 플레이트(430)를 포함할 수 있다.

[0094] 즉, 배터리 베어셀의 전극단자는 제 1 극성(예를 들어, 양극)의 플레이트(430)와 플레이트(430) 내의 중앙에 배치되는 제 2 극성(예를 들어, 음극)의 전극셀(410)을 포함하며, 단자 리드프레임(70)의 제 1 내부연결단자용 리

드(B+)는 제 1 극성(예를 들어, 양극)의 플레이트(430)와 직접 접합하여 전기적으로 연결되고, 단자 리드프레임(70)의 제 2 내부연결단자용 리드(B-)는 제 2 극성(예를 들어, 음극)의 전극셀(410)과 직접 접합하여 전기적으로 연결될 수 있다. 이 경우, 단자 리드프레임(70)의 길이는 제 1 극성(예를 들어, 양극)의 플레이트(430)의 일단에서 제 2 극성(예를 들어, 음극)의 전극셀(410)까지의 길이(L/2)에 해당할 수 있다. 이 실시예에 따른 배터리 보호회로 모듈 패키지(304)는 4개 이상의 외부연결단자들(70-2, 70-3, 70-4, 70-5, 70-6)을 가지면서도, 제 2 극성(예를 들어, 음극)의 전극셀(410)을 기준으로 상단 부분의 편측 영역만을 사용하여 배터리 보호회로 모듈 패키지(304)을 장착하므로, 배터리의 소형화 또는 고용량화를 구현할 수 있다. 예를 들어, 전극셀(410)의 다른 편측 영역에 셀을 더 형성하여 배터리 용량을 늘이거나 또는 다른 추가 기능을 갖는 칩 등을 배치함으로써 이러한 배터리를 갖는 응용제품의 소형화에 기여할 수 있다.

[0095] 나아가, 제 1 내부연결단자용 리드(B+, 70-1) 및 제 2 내부연결단자용 리드(B-, 70-7) 중 적어도 어느 하나는 배터리 베어셀의 전극단자와 접합하기 위하여 걸폼 형태로 절곡될 수 있다. 예를 들어, 제 1 내부연결단자용 리드(B+, 70-1)는 제 1 극성(예를 들어, 양극)의 플레이트(430)와 직접 접합하여 고정되기 위하여, 걸폼 형태로 절곡될 수 있다. 제 2 내부연결단자용 리드(B-, 70-7)는 제 2 극성(예를 들어, 음극)의 음극단자(410)와 접합되어 고정된다. 상기 접합은 레이저 용접, 저항용접, 납땜(soldering) 및 도전성 접착제(예를 들어, 도전성 에폭시), 도전성 테이프로 이루어진 군에서 선택된 어느 하나의 방식으로 접합될 수 있다. 따라서, 배터리 보호회로 모듈 패키지(304)는 제 1 내부연결단자용 리드(B+) 및 제 2 내부연결단자용 리드(B-)가 배터리 베어셀의 전극단자에 접합되기 때문에 안정적으로 고정될 수 있다. 따라서, 본 발명의 실시예들에 따르면, 리드프레임의 측면을 별도로 절곡하여 상기 절곡된 리드프레임의 측면을 배터리 베어셀이 내장된 배터리 캔(400)에 별도로 접합하지 않아도 되므로 제조공정이 단순화되고 최종제품인 배터리를 소형화할 수 있다.

[0096] 본 발명의 변형된 실시예에 따른 배터리 보호회로 모듈 패키지(304)에서 상기 배터리 베어셀의 전극단자는 제 1 극성(예를 들어, 양극)의 플레이트(430) 대신에 제 1 극성의 단자(미도시)가 형성될 수도 있다. 이 경우, 제 1 내부연결단자용 리드(B+)는 상기 제 1 극성의 단자(미도시)와 직접 접합하여 전기적으로 연결되고, 제 2 내부연결단자용 리드(B-)는 제 2 극성(예를 들어, 음극)의 전극셀(410)과 직접 접합하여 전기적으로 연결될 수 있다. 이 경우, 리드프레임(50)의 길이는 제 1 극성의 단자(미도시)에서 제 2 극성(예를 들어, 음극)의 전극셀(410)까지의 길이에 해당할 수 있다. 이 경우에도, 제 2 극성(예를 들어, 음극)의 전극셀(410)을 기준으로 편측의 영역만을 사용하여 배터리 보호회로 모듈 패키지(304)을 장착하므로, 배터리의 소형화 또는 고용량화를 구현할 수 있다.

[0097] 도 16은 본 발명의 또 다른 실시예에 따른 배터리 보호회로 모듈 패키지를 구성하는 PTC 구조체를 도해하는 사시도이고, 도 17은 본 발명의 또 다른 실시예에 따른 배터리 보호회로 모듈 패키지를 도해하는 도면들이고, 도 18은 본 발명의 또 다른 실시예에 따른 배터리 보호회로 모듈 패키지가 배터리 캔과 결합되는 과정을 도해하는 사시도이다.

[0098] 도 16 내지 도 18을 참조하면, 본 발명의 또 다른 실시예에 따른 배터리 보호회로 모듈 패키지는 PTC 구조체(350)를 포함한다. PTC 구조체(350)는 PTC 소자(310), PTC 소자(310)의 상면 및 하면 중 어느 하나의 면인 제 1 면에 부착된 금속층(320), 및 PTC 소자(310)의 상면 및 하면 중 나머지 하나의 면인 제 2 면에 부착된 도전성의 연결부재(330, 340)를 포함한다. 금속층(320)은 제 1 내부연결단자용 리드(B+) 및 제 2 내부연결단자용 리드(B-) 중에서 선택된 어느 하나의 리드와 접합되고, 연결부재(330, 340)는 배터리 베어셀의 전극단자(도 18의 410)와 접합될 수 있다. 예를 들어, 금속층(320), 연결부재(330, 340) 및/또는 리드프레임(50)은 니켈, 구리, 니켈 도금된 구리 또는 기타 금속으로 이루어질 수도 있다. 금속층(320)은 제 1 내부연결단자용 리드(B+) 및 제 2 내부연결단자용 리드(B-) 중에서 선택된 어느 하나의 리드와 레이저 용접, 저항용접, 납땜(soldering) 및 도전성 접착제(예를 들어, 도전성 에폭시), 도전성 테이프로 이루어진 군에서 선택된 어느 하나의 방식으로 접합될 수 있다.

[0099] PTC(Positive Temperature Coefficient) 소자(310)는, 예를 들어, 도전성 입자를 결정성 고분자에 분산시켜 형성할 수 있다. 따라서 설정된 온도 이하에서 PTC 소자(310)는 금속층(320)과 도전성의 연결부재(330, 340) 사이에서 전류가 흐르는 통로가 된다. 그러나 과전류 발생으로 인해 설정 온도 이상이 되면 결정성 고분자가 팽창되어 결정성 고분자에 분산되어 있는 상기 도전성 입자 사이의 연결이 분리되면서 저항이 급격하게 증가된다. 따라서 금속층(320)과 도전성의 연결부재(330, 340) 사이의 전류의 흐름이 차단되거나 전류의 흐름이 감소된다. 이와 같이 PTC 소자(310)에 의해 전류의 흐름이 차단될 수 있으므로, PTC 소자(310)는 배터리의 파열을 방지하는 안전장치의 역할을 수행한다. 그리고 다시 설정 온도 이하로 냉각되면 PTC 소자(310)는 결정성 고분자가 수

축하여 도전성 입자 사이의 연결이 복원되므로 전류의 흐름이 원활하게 이루어진다.

[0100] 배터리 보호회로의 모듈 패키지(304)을 구성하는 단자 리드프레임(70)은 PTC 구조체를 개재하여 상기 배터리 베어셀의 전극단자와 전기적으로 연결된다. 예를 들어, 단자 리드프레임(70)의 제 2 내부연결단자용 리드(B-, 70-7)는 PTC 구조체(350)를 개재하여 상기 배터리 베어셀의 음극단자(410)와 전기적으로 연결될 수 있다. 즉, 단자 리드프레임(70)의 제 2 내부연결단자용 리드(B-, 70-7)는 금속층(320)과 접합되고 PTC 소자(310)를 거쳐 도전성의 연결부재(330, 340)를 거쳐 배터리 베어셀의 음극단자(410)에 전기적으로 연결된다. 이 경우, 금속층(320)은 PTC 소자(310)의 상면 상에서 상기 상면 내에 한정되어 구성되고, 연결부재(330, 340)는 PTC 소자(310)의 하면 상에서 상기 배터리 베어셀의 음극단자(410)까지 신장되도록 구성될 수 있다. PTC 구조체의 연결부재(330, 340)는 PTC 소자(310)의 일면에 부착되는 제 1 연결부재(330)와 제 1 연결부재(330)과 연결되어 배터리 베어셀의 음극단자(410)까지 신장되는 제 2 연결부재(340)로 구성될 수 있다. 제 2 연결부재(340)가 음극단자(410)와 접합할 수 있도록 적절한 레벨을 가져야하므로, 제 1 연결부재(330)와 제 2 연결부재(340)이 연결되는 부분은 절곡될 수 있다. 한편, 제 2 연결부재(340)는 상기 배터리 베어셀의 음극단자(410)와 레이저 용접, 저항용접, 납땜(soldering) 및 도전성 접착제(예를 들어, 도전성 에폭시), 도전성 테이프로 이루어진 군에서 선택된 어느 하나의 방식으로 접합될 수 있다.

[0101] 상술한 바와 같은 구조를 가지는 배터리 보호회로의 모듈 패키지(304)에서 단자 리드프레임(70)의 길이는 단자 리드프레임(70)이 상기 배터리 베어셀의 상부면의 중심(예를 들어, 음극단자(410))을 기준으로 편측에 배치하도록 구성될 수 있다. 나아가, 도 18에 도시된 PTC 구조체가 결합된 배터리 보호회로의 모듈 패키지(304)이 상기 배터리 베어셀의 상부면의 중심(예를 들어, 음극단자(410))을 기준으로 편측에 배치하도록 구성될 수 있다. 예를 들어, PTC 구조체(350)가 결합된 배터리 보호회로의 모듈 패키지(304)의 길이는 캡 플레이트(430)의 전체 길이(L)의 절반(L/2)일 수 있다.

[0102] 앞에서 설명한 것처럼, 제 2 내부연결단자용 리드(B-)와 PTC 소자(310) 간의 전기적 연결이 PTC 소자(310)의 상면 상에서 PTC 소자(310)의 상면 내에 한정되어 배치되는 금속층(320)으로 구현되므로, 제 2 내부연결단자용 리드(B-)의 바로 아래에 PTC 소자(310)가 배치될 수 있다. 상술한 PTC 구조체(350)의 구성과 단자 리드프레임(70) 상에 소자 패키지(302)가 실장하는 구성으로 인하여, 본 발명의 또 다른 실시예에 따른 배터리 보호회로 모듈 패키지(304)는 4개 이상의 외부연결단자들(70-2, 70-3, 70-4, 70-5, 70-6)을 가지면서도, PTC 구조체가 결합된 배터리 보호회로의 모듈 패키지(300)의 길이를, 예를 들어, 캡 플레이트(430)의 전체 길이(L)의 절반(L/2)까지 줄이는 것이 가능하게 된다. 만약, PTC 소자(310)가 제 2 내부연결단자용 리드(B-)의 바로 아래에 배치되지 않고 길이 방향으로 이격되어 배치되는 경우 PTC 구조체가 결합된 배터리 보호회로의 모듈 패키지(300)의 길이는 상대적으로 증가하게 된다. 한편, 제 2 내부연결단자용 리드(B-)의 바로 아래에 PTC 소자(310)가 배치되므로 배터리 보호회로의 모듈 패키지(300)의 레벨을 수평으로 맞추기 위하여 제 1 내부연결단자용 리드(B+)는 걸폼 형태로 절곡될 수 있다.

[0103] 전술한 본 발명의 실시예에 따르면, 배터리의 음극단자(410)를 기준으로 캡 플레이트(430)의 편측 영역만을 사용하여 배터리 보호회로 모듈 패키지를 장착할 수 있으므로, 배터리의 소형화 또는 고용량화를 구현할 수 있다. 예를 들어, 배터리 보호회로의 모듈 패키지(300)이 배치되지 않은, 음극단자(410)의 다른 편측 영역에 셀을 더 형성하여 배터리 용량을 늘이거나 또는 다른 추가 기능을 갖는 칩 등을 배치함으로써 이러한 배터리를 갖는 응용제품의 소형화에 기여할 수 있다.

[0104] 전술한 본 발명의 실시예들에 따른 배터리 보호회로 모듈 패키지에 따르면, 4개 이상의 외부연결단자들을 가지면서도, 배터리 베어셀의 상단면 중심을 기준으로 편측 영역만을 사용하여 NFC 회로가 부가된 배터리 보호회로 모듈 패키지를 장착할 수 있으므로, 배터리의 소형화 또는 고용량화를 구현할 수 있다. 예를 들어, 전극셀의 다른 편측 영역에 셀을 더 형성하여 배터리 용량을 늘이거나 또는 다른 추가 기능을 갖는 칩 등을 배치함으로써 이러한 배터리를 갖는 응용제품의 소형화에 기여할 수 있다. 다만, 본 발명의 실시예들에 따른 NFC 회로가 부가된 배터리 보호회로 모듈 패키지는 이러한 편측 사용으로 그 권리가 한정되지 않고, 배터리의 전극셀의 상단의 전체 영역을 사용하도록 구성될 수도 있다. 이 경우, 배터리 팩을 구성하는 상부케이스는 배터리 보호회로 모듈 패키지를 구성하는 봉지재로 대체될 수도 있다.

[0105] 나아가, 전술한 본 발명의 실시예들에 따른 배터리 보호회로 모듈 패키지의 소자 패키지에서 기판으로 리드프레임을 사용하는 경우, 인쇄회로기판(PCB) 상에 보호회로를 실장하고 이러한 인쇄회로기판 상에 별도의 리드를 부착한 경우에 비해서, 리드프레임만을 사용하여 보호회로를 실장하면서 동시에 배터리 셀과 연결할 수 있는 리드를 형성할 수 있어서 제조비용을 절감할 수 있고, 전체 높이를 획기적으로 줄일 수 있다는 효과를 기대할 수 있

다. 즉, 인쇄회로기판은 통상적으로 약 2㎜의 두께를 가짐에 반하여 리드프레임은 약 0.8 ㎜의 두께를 가지므로, 두께의 차이만큼 배터리를 소형화시키거나 또는 두께의 차이만큼 배터리 크기를 키울 수 있어서 고용량화를 구현할 수 있다.

[0106] 또한, 전술한 본 발명의 실시예들에 따른 배터리 보호회로 모듈 패키지의 소자 패키지에서 기판으로 리드프레임을 사용하는 경우, 본딩 와이어나 본딩 리본과 같은 전기적 연결부재를 리드프레임 상에 배치하여 회로를 구성하므로, 배터리 보호회로를 구성하기 위한 리드프레임을 설계하고 제조하는 과정이 단순화할 수 있다는 중요한 이점을 가진다. 만약, 본 발명의 실시예들에서 전기적 연결부재를 배터리 보호회로를 구성함에 있어서 도입하지 않는다면 리드프레임을 구성하는 복수의 리드들의 구성이 매우 복잡하게 되므로 적절한 리드프레임을 효과적으로 제공하는 것이 어렵다.

[0107] 또한, 전술한 본 발명의 실시예들에 따른 배터리 보호회로 모듈 패키지의 소자 패키지에서 기판으로 리드프레임을 사용하는 경우, 프로텍션(protection) IC, 및 전계효과 트랜지스터(FET)는 리드프레임 상에 반도체 패키지의 형태로 삽입되어 고정되는 것이 아니라 표면실장기술(Surface Mounting Technology)에 의하여 리드프레임의 표면의 적어도 일부 상에, 별도의 봉지재로 밀봉되지 않은 웨이퍼에서 소잉(sawing)된 칩 다이(chip die) 형태로, 실장되어 고정될 수 있다. 여기에서, 칩 다이(chip die)라 함은 어레이 형태의 복수의 구조체(예를 들어, 프로텍션 IC, 및 전계효과 트랜지스터)가 형성된 웨이퍼 상에 별도의 봉지재로 밀봉하지 않고 소잉 공정을 수행하여 구현된 개별적인 구조체를 의미한다. 즉, 리드프레임 상에 프로텍션(protection) IC, 및 전계효과 트랜지스터(FET)를 실장할 때에는 별도의 봉지재로 밀봉하지 않은 상태에서 실장한 이후에, 후속의 봉지재(250)에 의하여 상기 프로텍션(protection) IC, 및 전계효과 트랜지스터(FET)를 밀봉하므로, 배터리 보호회로 모듈 패키지를 구현함에 있어서 봉지재를 형성하는 공정을 한 번만 수행할 수 있다. 이에 반하여, 수동소자, 프로텍션(protection) IC, 및 전계효과 트랜지스터(FET)를 인쇄회로기판(PCB)에 별도로 삽입하여 고정하거나 실장하는 경우는, 각 부품에 대하여 한 번의 몰딩 공정이 먼저 필요하고, 인쇄회로기판 상에 고정하거나 실장한 이후에 실장된 각 부품에 대하여 또 한 번의 몰딩 공정이 추가로 필요하므로, 제조공정이 복잡하고 제조비용이 높아진다.

[0108] 나아가, 전술한 본 발명의 실시예들에 따르면, PTC 소자의 크기는 유지하면서도 리드프레임과 접합되는 연결구성을 단순화 및 소형화 함으로써 PTC 구조체의 축소화를 가능하게 할 수 있다.

[0109] 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

부호의 설명

[0110] 10 : 배터리 보호회로

70 : 단자 리드프레임

100a : 적층칩

100b : 플립칩

110 : 듀얼 FET칩

120 : 프로텍션 IC

131 : NFC 회로

302 : 소자 패키지

304 : 배터리 보호회로 모듈 패키지

310 : PTC 소자

320 : 금속층

330, 340 : 연결부재

350 : PTC 구조체

400 : 배터리 베어셀이 내장된 배터리 캔

410 : 음극단자

430 : 캡 플레이트

500 : 상부케이스

600 : 배터리 팩

FET1 : 제 1 전계효과 트랜지스터

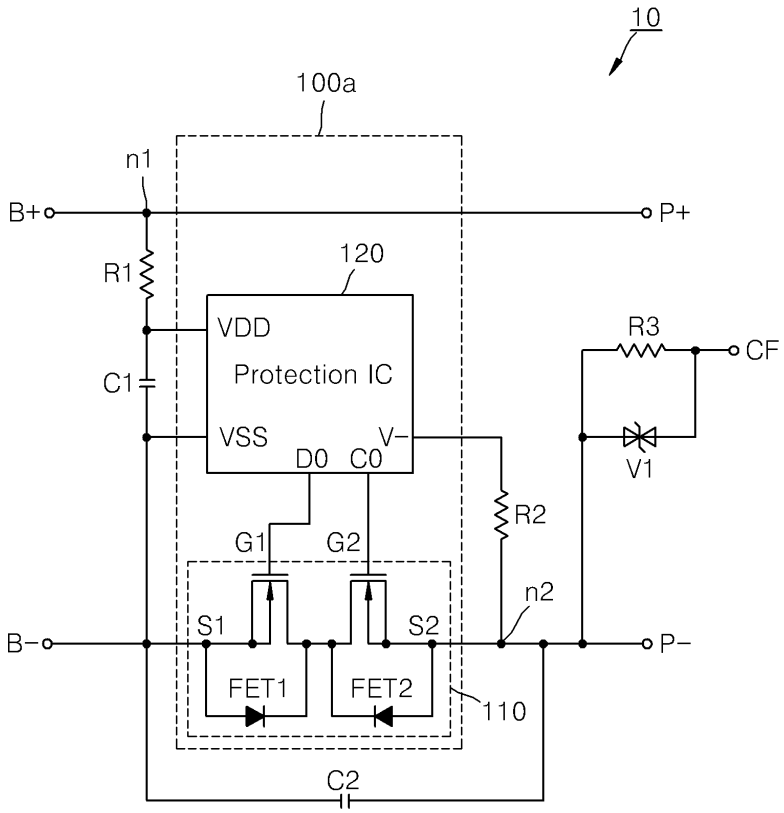
FET2 : 제 2 전계효과 트랜지스터

NFC1 : NFC 외부연결단자

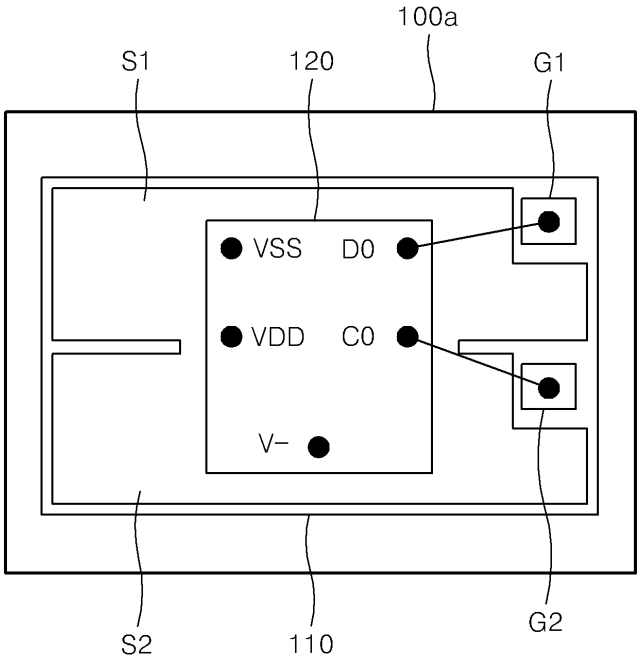
PD1, PD2 : NFC 접속단자

도면

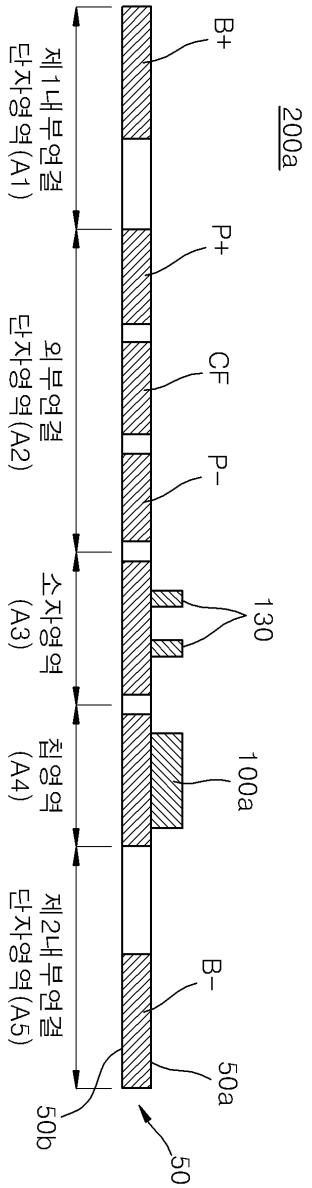
도면1



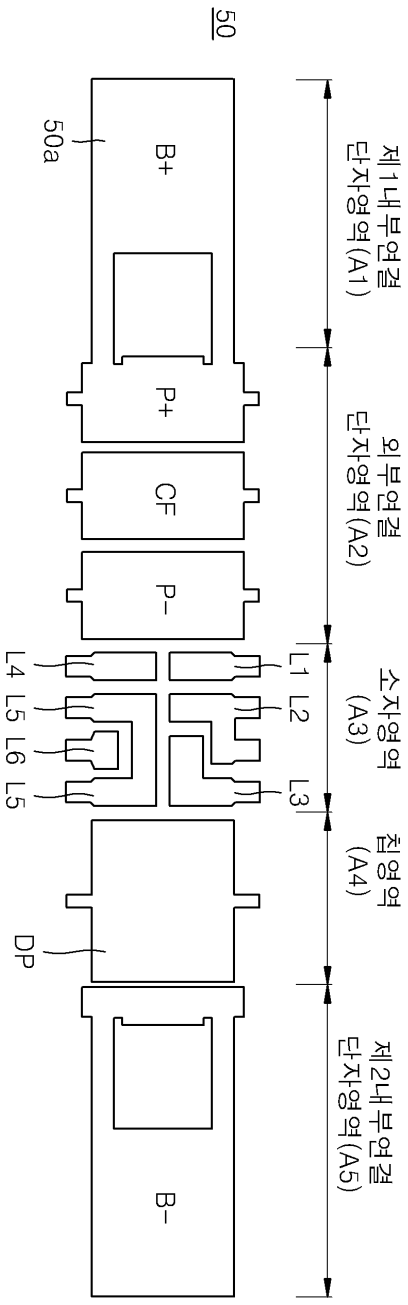
도면2



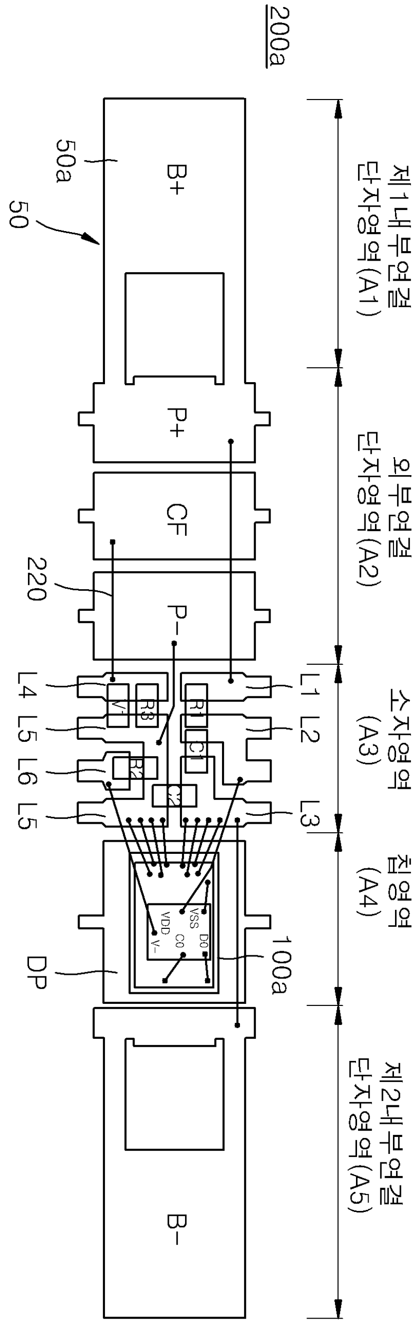
도면3


200a
B+
P+
CF
P-
130
100a
B-
50a
50
50b
제1내부연결 단자영역(A1)
외부연결 단자영역(A2)
소자영역 (A3)
칩영역 (A4)
제2내부연결 단자영역(A5)

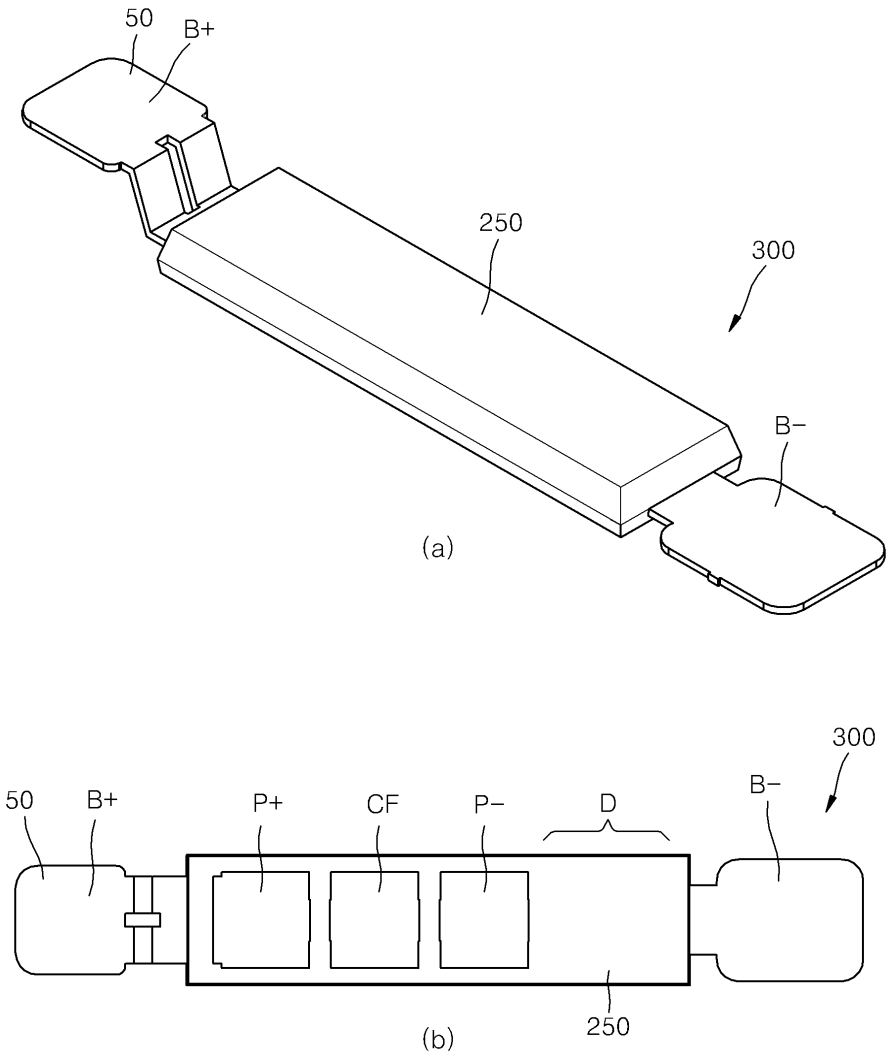
도면4


50
50a
B+
P+
CF
P-
L4 L5 L6 L5
L1 L2 L3
DP
B-
제1내부연결 단자영역(A1)
외부연결 단자영역(A2)
소자영역 (A3)
칩영역 (A4)
제2내부연결 단자영역(A5)

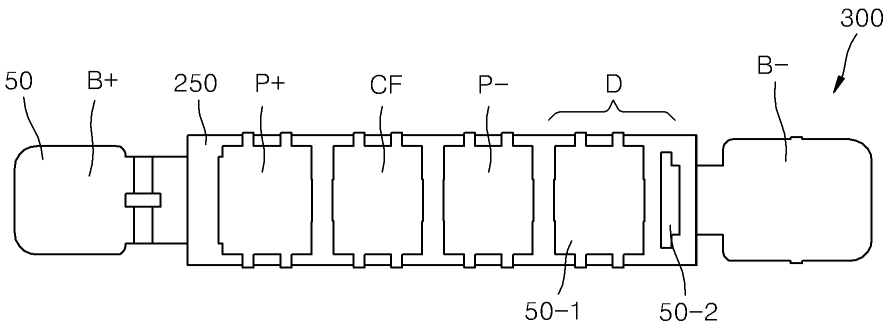
도면5


200a
제1내부연결 단자영역(A1)
외부연결 단자영역(A2)
소자영역 (A3)
칩영역 (A4)
제2내부연결 단자영역(A5)
B+
P+
CF
P-
B-
50a
50
220
L1
L2
L3
L4
L5
L6
L5
R1
R2
R3
C1
C2
DP
100a
VSS
D0
C0
VDD
V-

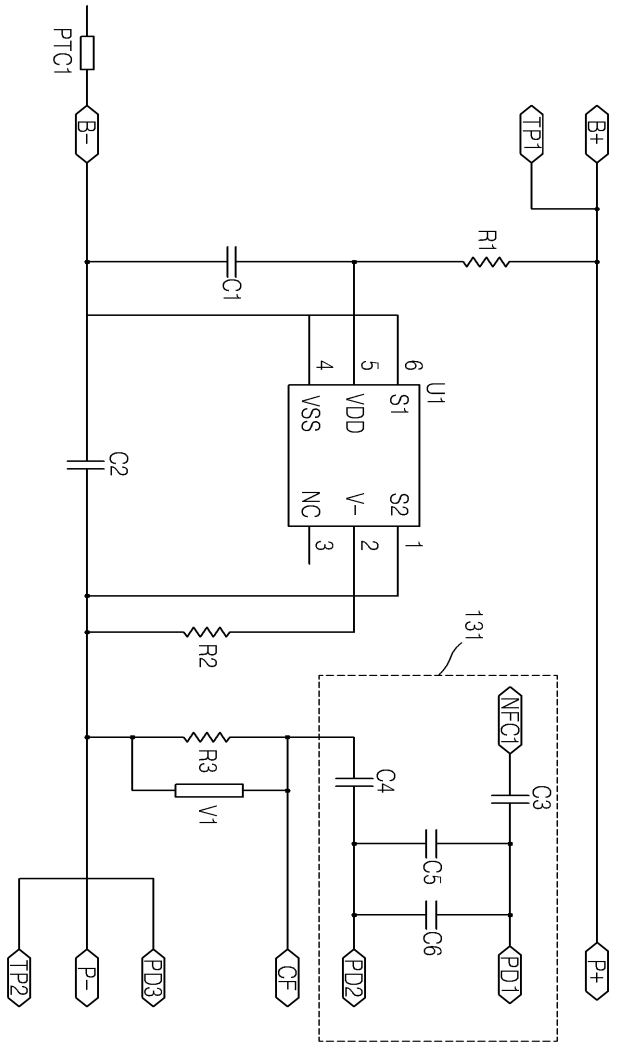
도면6



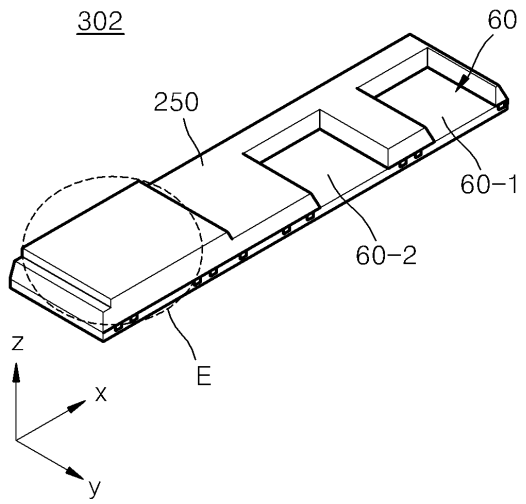
도면7



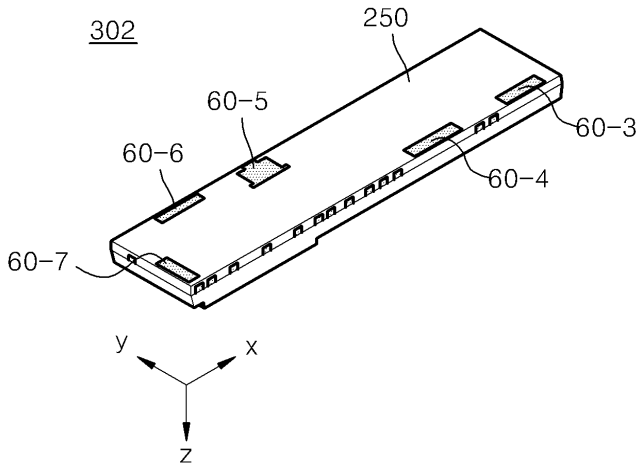
도면8


PTC1
B-
TP1
B+
R1
C1
4
5
6
U1
VSS
VDD
S1
C2
NC
V-
S2
3
2
1
131
R2
NFC1
R3
C4
C3
V1
C5
C6
TP2
P-
PD3
CF
PD2
PD1
P+

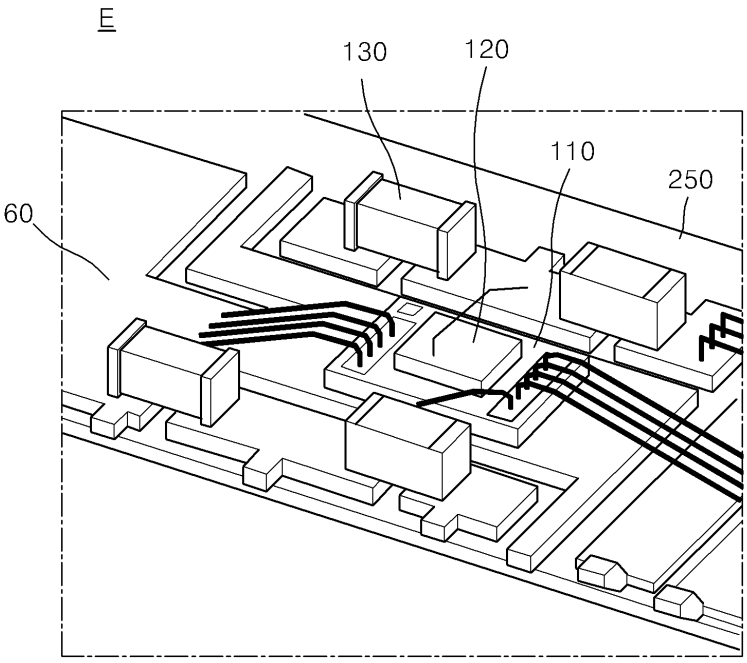
도면9


302
60
250
60-1
60-2
E
z
x
y

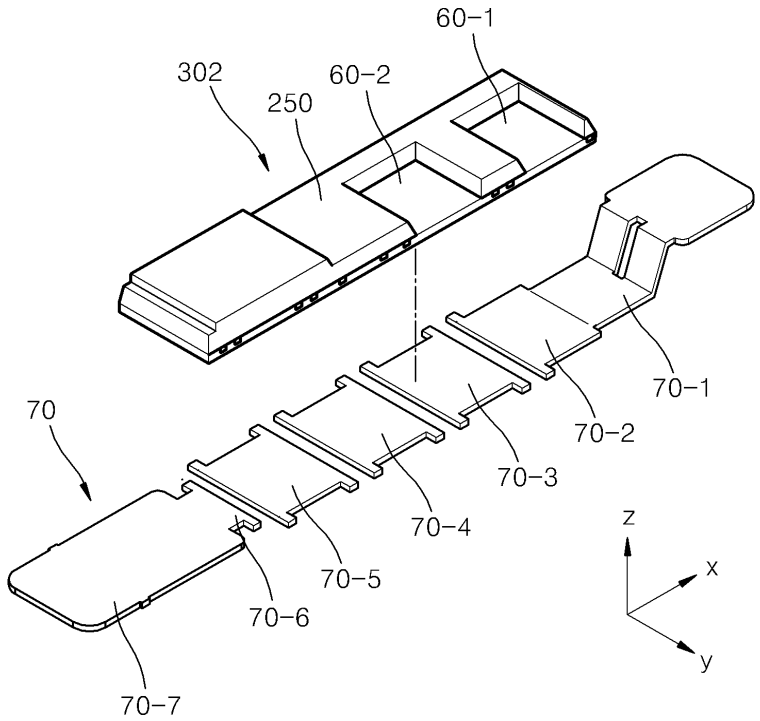
도면10



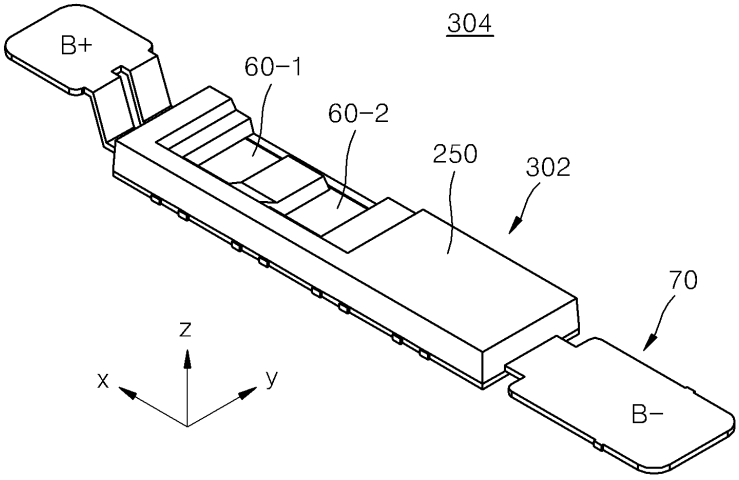
도면11



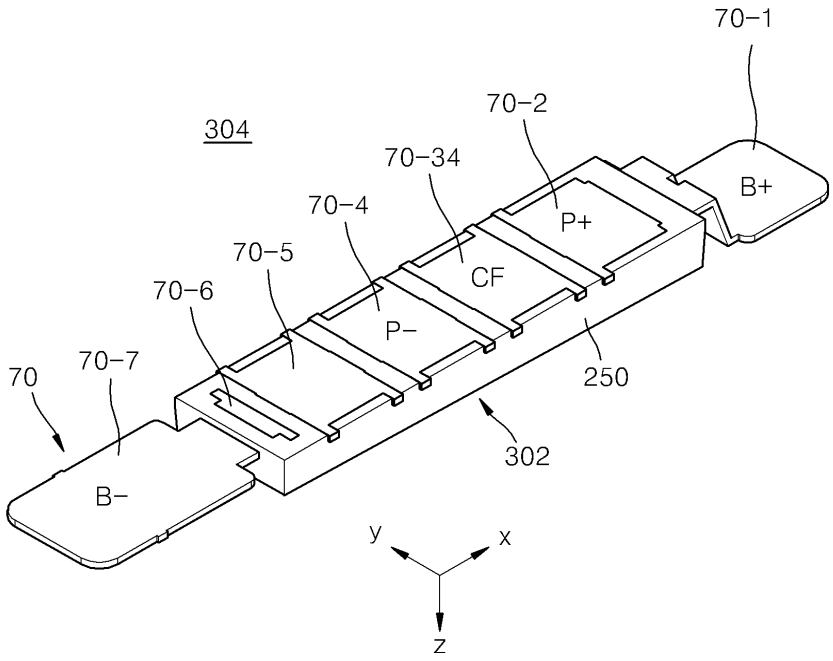
도면12


60-1
302
60-2
250
70-1
70
70-2
70-3
70-4
70-5
70-6
70-7
z
x
y

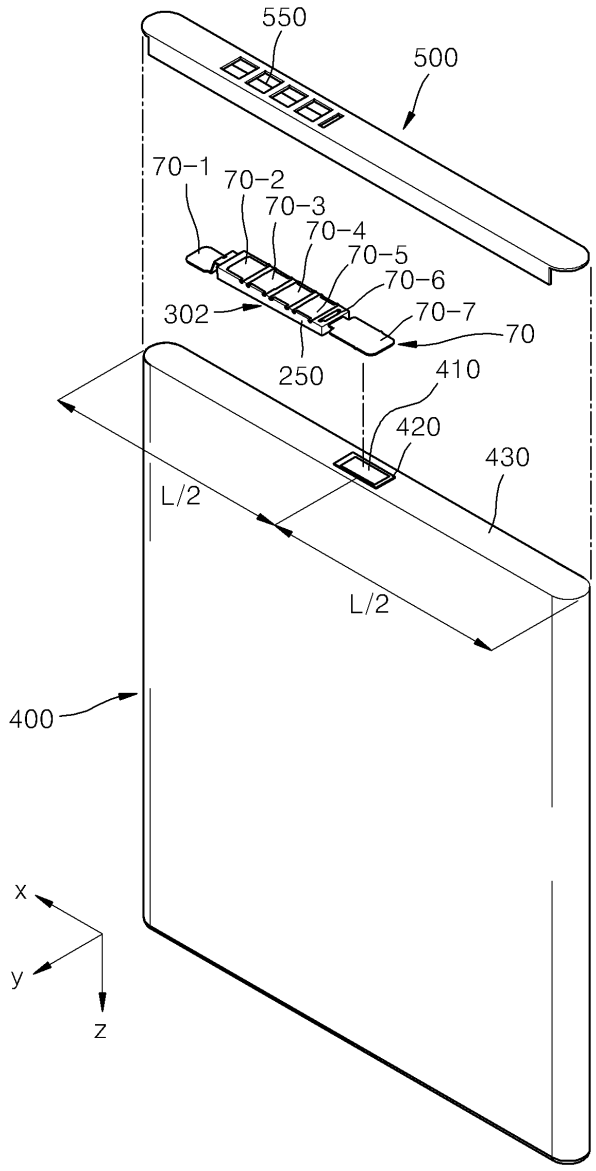
도면13


304
B+
60-1
60-2
250
302
70
z
x
y
B-

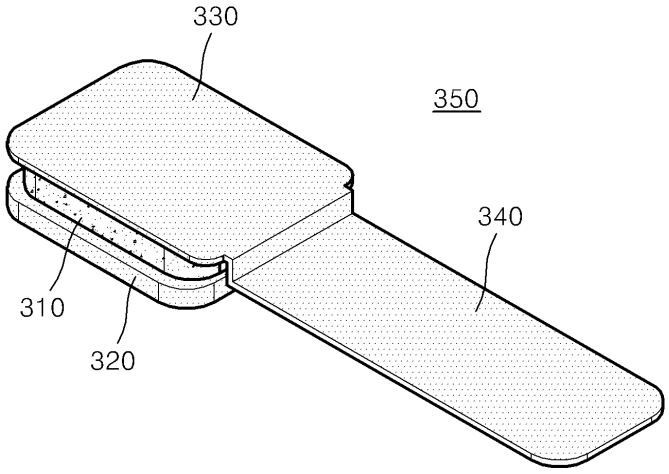
도면14



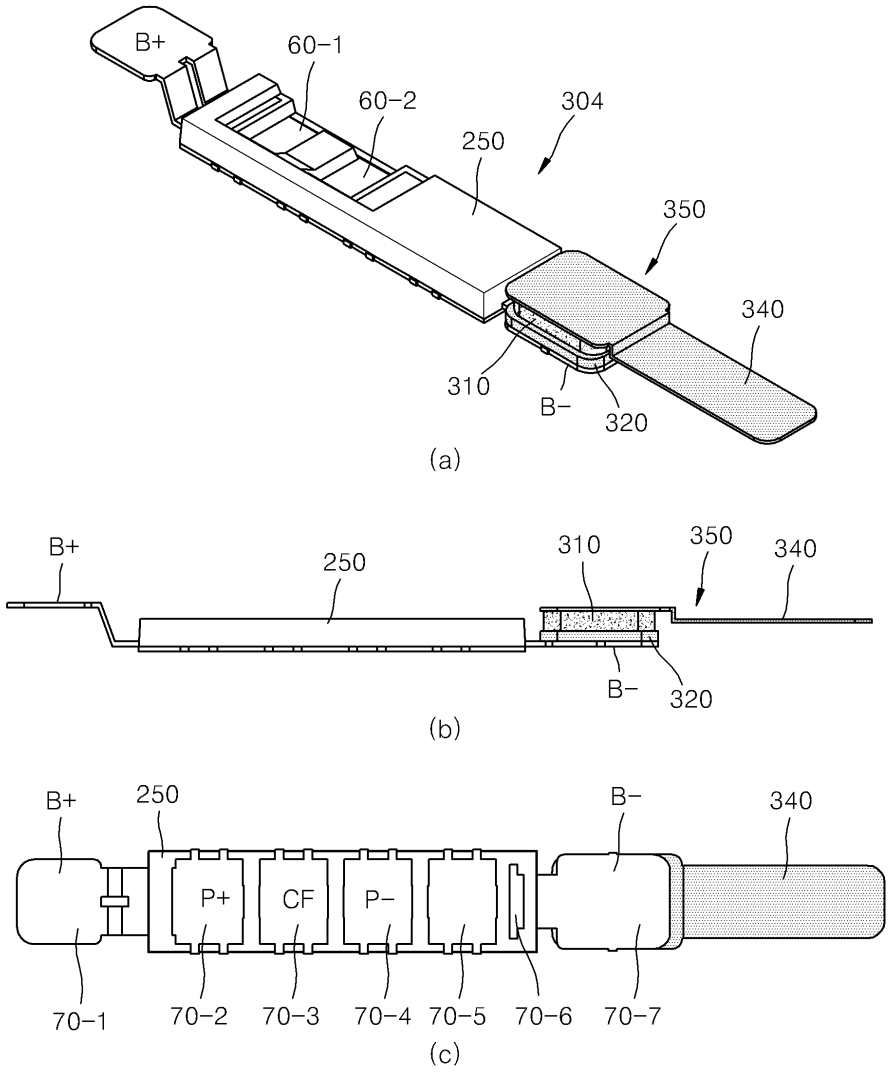
도면15


550
500
70-1
70-2
70-3
70-4
70-5
70-6
70-7
70
302
250
410
420
430
L/2
L/2
400
x
y
z

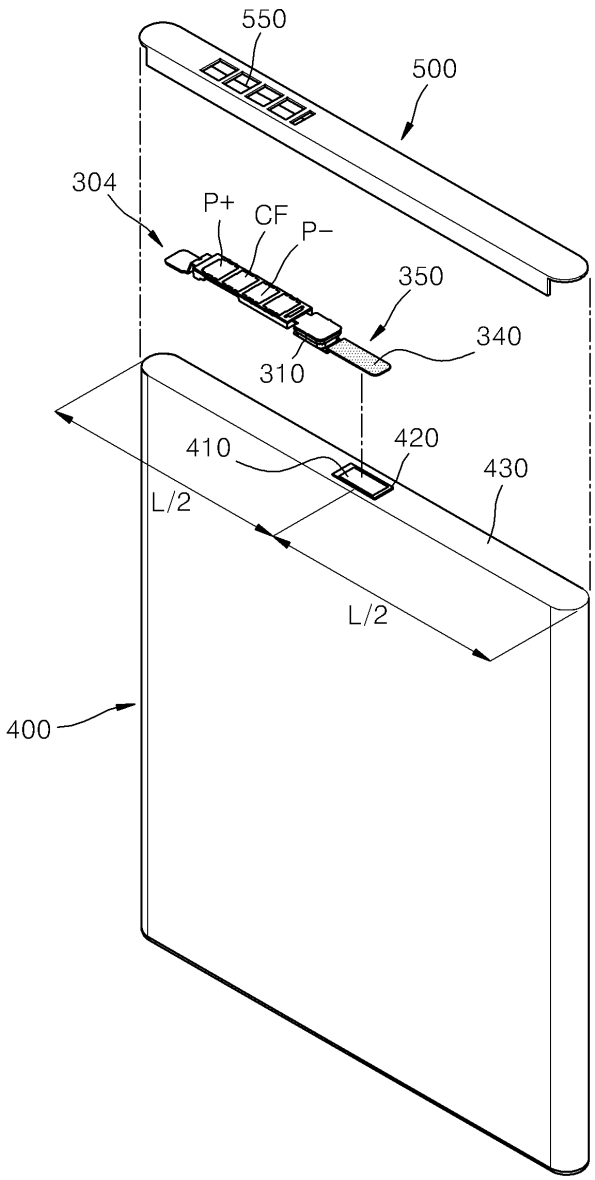
도면16


330
350
340
310
320

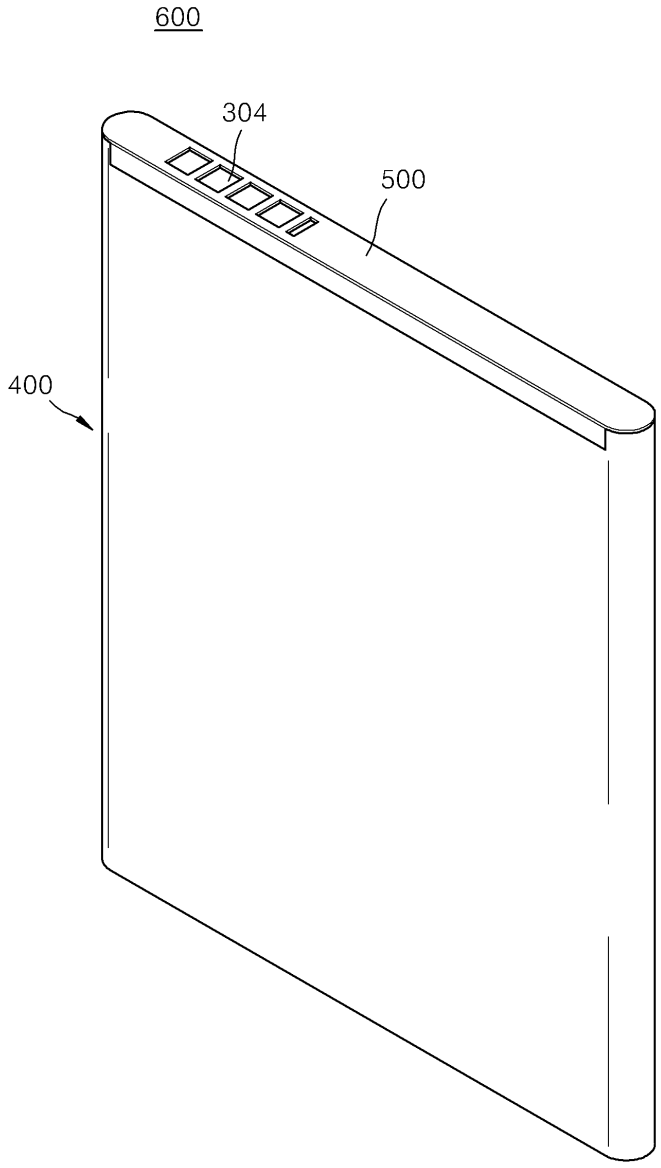
도면17


B+
60-1
60-2
304
250
350
340
310
B-
320
(a)
B+
250
310
350
340
B-
320
(b)
B+
250
B-
340
P+
CF
P-
70-1
70-2
70-3
70-4
70-5
70-6
70-7
(c)

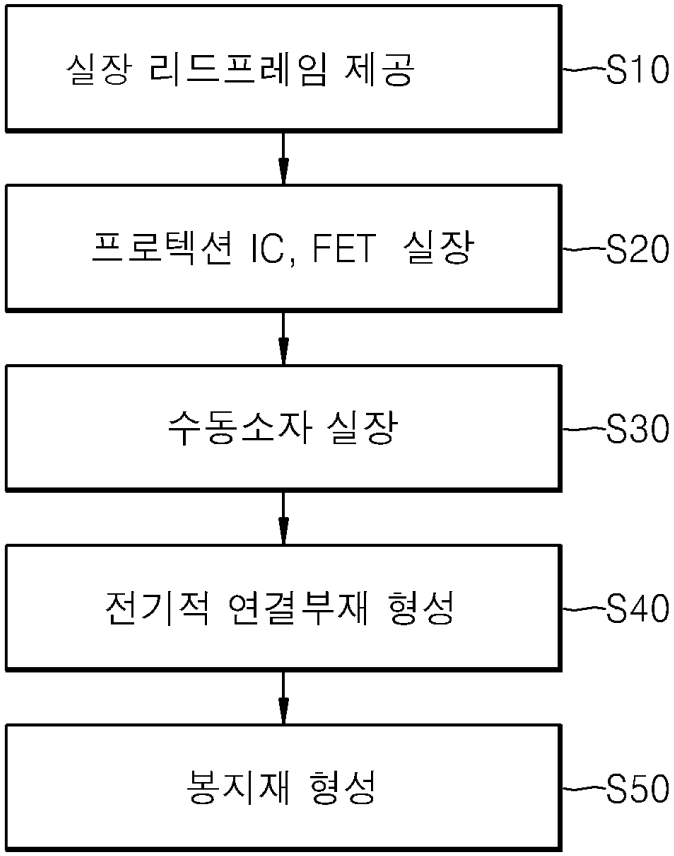
도면18



도면19



도면20


실장 리드프레임 제공
S10
프로텍션 IC, FET 실장
S20
수동소자 실장
S30
전기적 연결부재 형성
S40
봉지재 형성
S50