

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-105315

(P2009-105315A)

(43) 公開日 平成21年5月14日(2009.5.14)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 1 7 V	5 F 1 1 O
HO 1 L 29/786 (2006.01)	HO 1 L 21/02 B	
HO 1 L 21/02 (2006.01)	HO 1 L 27/12 B	
HO 1 L 27/12 (2006.01)	HO 1 L 21/265 Q	
HO 1 L 21/265 (2006.01)	HO 1 L 29/78 6 2 7 D	

審査請求 未請求 請求項の数 5 O L (全 8 頁) 最終頁に続く

(21) 出願番号	特願2007-277504 (P2007-277504)	(71) 出願人	000002060 信越化学工業株式会社 東京都千代田区大手町二丁目6番1号
(22) 出願日	平成19年10月25日(2007.10.25)	(74) 代理人	230104019 弁護士 大野 聖二
		(74) 代理人	100106840 弁理士 森田 耕司
		(74) 代理人	100117444 弁理士 片山 健一
		(72) 発明者	秋山 昌次 群馬県安中市磯部2-13-1 信越化学工業株式会社精密機能材料研究所内
		(72) 発明者	久保田 芳宏 群馬県安中市磯部2-13-1 信越化学工業株式会社精密機能材料研究所内 最終頁に続く

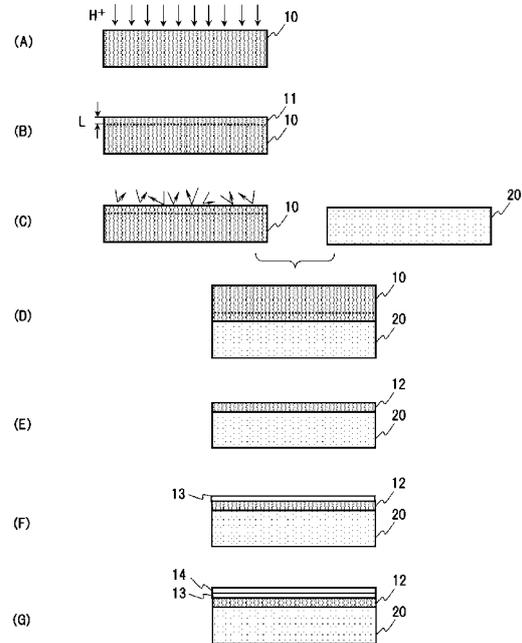
(54) 【発明の名称】 半導体基板の製造方法

(57) 【要約】

【課題】 S O I 基板製造プロセスの一貫した低温化を図ること。

【解決手段】 S O I 基板に設けるゲート酸化膜を、450 以下の温度で成長させた低温熱酸化膜 1 3 と C V D 法による酸化膜 1 4 を積層させたものとする。熱酸化膜 1 3 は100 以下の薄膜であるから、450 以下の低温であっても充分である。下地の熱酸化膜 1 3 により界面準位等の構造的欠陥が抑制されるとともに、当該熱酸化膜上に形成された C V D 酸化膜 1 4 によってゲート酸化膜の厚み調整が可能となる。このような手法によれば、従来の一般的なシリコン酸化膜形成装置を用いてゲート酸化膜を低温形成することが可能となり、S O I 基板製造プロセスの一貫した低温化が図られる。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

シリコン基板の主面に水素イオン注入層を形成するイオン注入工程と、
透明絶縁性基板と前記シリコン基板の少なくとも一方の主面にプラズマ処理を施す表面
処理工程と、

前記透明絶縁性基板と前記シリコン基板の主面同士を貼り合わせる工程と、

前記貼り合せ基板の前記シリコン基板からシリコン薄膜を機械的剥離して前記透明絶縁
性基板の主面上にシリコン膜を有するSOI基板とする剥離工程と、

前記SOI基板の前記シリコン膜を平坦化処理する工程と、

前記平坦化後のシリコン膜表面を450 以下の温度で熱酸化して100 以下の酸化
膜を形成する工程と、

前記熱酸化膜上にCVD法で酸化膜を堆積してゲート酸化膜を形成する工程と、
を備えている半導体基板の製造方法。

【請求項 2】

前記CVD法による酸化は、 N_2O と SiH_4 の混合ガス、 O_2 と SiH_4 の混合ガス
、又はTEOSガスの少なくとも1種のガスにより行なわれる請求項1に記載の半導体基
板の製造方法。

【請求項 3】

前記CVD法による酸化膜の形成の後に水素を0.1~4モル%の濃度で含有する不活
性化ガス雰囲気中で熱処理する工程を更に備えている請求項1又は2に記載の半導体基板
の製造方法。

【請求項 4】

前記剥離工程の前に、前記貼り合せ基板を100~300 の温度で熱処理する工程を
備えている請求項1乃至3の何れか1項に記載の半導体基板の製造方法。

【請求項 5】

前記透明絶縁性基板は、石英基板、サファイア基板、ホウ珪酸ガラス基板、又は結晶化
ガラス基板の何れかである請求項1乃至4の何れか1項に記載の半導体基板の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、透明絶縁性基板上にシリコン膜を有する半導体基板の製造方法に関する。

【背景技術】

【0002】

半導体デバイスの高性能化を可能とする半導体基板として、SOI (Silicon On Insul
ator) 基板が注目を浴びている (例えば、特許文献1や非特許文献1を参照)。これは、
SOI構造を採用して単結晶シリコン薄膜下に酸化膜を埋め込むことにより、寄生容量を
低減し、動作速度を向上させ、消費電力を抑えることが可能となるためである。

【0003】

SOI基板を光デバイスとして利用する場合にはシリコン基板と貼り合わせる支持基板
は透明絶縁性基板であることが必要となるが、そのような基板としては石英基板やサファ
イア基板の他、低コスト化の観点からホウ珪酸ガラス基板や結晶化ガラス基板なども検討
されている。

【0004】

しかし、これらの透明絶縁性基板は、シリコン結晶と熱膨張係数が大きく異なるため、
SOI基板の製造工程が高温プロセスを含む場合には、貼り合わせ基板やSOI基板が割
れたり欠けたりするという問題が生じる。このため、SOI基板の製造工程全般における
低温化望まれており、特に、透明絶縁性基板上にSOI膜を形成した後にゲート酸化膜を
形成する工程は低温化を図る必要がある。

【0005】

近年では、高温を要する熱酸化に代わる低温酸化技術として、高濃度オゾンを用いた酸

10

20

30

40

50

化法（非特許文献2）やマイクロ波励起プラズマによる酸化法（非特許文献3）も提案されているが、これらの手法は何れも、従来の装置とは異なる特殊な酸化システムを必要とする。

【特許文献1】特許第3048201号公報

【非特許文献1】A. J. Auberton-Herve et al., "SMART CUT TECHNOLOGY: INDUSTRIAL STATUS of SOI WAFER PRODUCTION and NEW MATERIAL DEVELOPMENTS" (Electrochemical Society Proceedings Volume 99-3 (1999) p.93-106).

【非特許文献2】黒河明他「高濃度オゾンで形成した極薄シリコン酸化膜の界面構造」（電子技術総合研究所彙報、第63巻、第12号、p.501-507、2000年）。

【非特許文献3】大見忠弘他「マイクロ波励起Kr/O₂プラズマによるシリコン酸化膜の低温形成」『応用物理』（第69巻、第10号、p.1200-1204、2000年）。

10

【発明の開示】

【発明が解決しようとする課題】

【0006】

本発明は、このような問題に鑑みてなされたものであり、その目的とするところは、従来の一般的なシリコン酸化膜形成装置を用いて低温で形成されたゲート酸化膜を備えたSOI基板を提供することにある。

【課題を解決するための手段】

【0007】

このような課題を解決するために、本発明の半導体基板の製造方法は、シリコン基板の主面に水素イオン注入層を形成するイオン注入工程と、透明絶縁性基板と前記シリコン基板の少なくとも一方の主面にプラズマ処理を施す表面処理工程と、前記透明絶縁性基板と前記シリコン基板の主面同士を貼り合わせる工程と、前記貼り合せ基板の前記シリコン基板からシリコン薄膜を機械的剥離して前記透明絶縁性基板の主面上にシリコン膜を有するSOI基板とする剥離工程と、前記SOI基板の前記シリコン膜を平坦化処理する工程と、前記平坦化後のシリコン膜表面を450以下の温度で熱酸化して100以下の酸化膜を形成する工程と、前記熱酸化膜上にCVD法で酸化膜を堆積してゲート酸化膜を形成する工程とを備えている。

20

【0008】

前記CVD法による酸化は、例えば、N₂OとSiH₄の混合ガス、O₂とSiH₄の混合ガス、又はTEOSガスの少なくとも1種のガスにより行なわれる。

30

【0009】

本発明の半導体基板の製造方法は、前記CVD法による酸化膜の形成の後に水素を0.1~4モル%の濃度で含有する不活性化ガス雰囲気中で熱処理する工程を更に備えていることが好ましい。

【0010】

また、前記剥離工程の前に、前記貼り合せ基板を100~300の温度で熱処理する工程を備えるようにしてもよい。

【0011】

本発明で用いられる透明絶縁性基板は、例えば、石英基板、サファイア基板、ホウ珪酸ガラス基板、又は結晶化ガラス基板である。

40

【発明の効果】

【0012】

本発明では、SOI基板に形成するゲート酸化膜を、450以下の温度で成長させた低温熱酸化膜とCVD法による酸化膜を積層させたものとしたので、下地の熱酸化膜により界面準位等の構造的欠陥が抑制されるとともに、当該熱酸化膜上に形成されたCVD酸化膜によってゲート酸化膜の厚み調整が可能となる。このような手法によれば、従来の一般的なシリコン酸化膜形成装置を用いてゲート酸化膜を低温形成することが可能となり、SOI基板製造プロセスの一貫した低温化が図られる。

【発明を実施するための最良の形態】

50

【0013】

以下に、本発明の半導体基板の製造方法を実施例により説明する。なお、以下の実施例において透明絶縁性基板を石英基板として説明するが、本発明で用いられる透明絶縁性基板は、サファイア基板、ホウ珪酸ガラス基板、結晶化ガラス基板などであってもよい。

【実施例】

【0014】

図1は、本発明の半導体基板の製造方法のプロセス例を説明するための図である。図1(A)に図示されたシリコン基板10は一般には単結晶Si基板であり、支持基板は石英基板20である。ここで、単結晶Si基板10は、例えば、CZ法(チョクラルスキ法)により育成された一般に市販されているSi基板であり、その導電型や比抵抗率などの電気特性値や結晶方位や結晶径は、本発明の方法で製造されるSOI基板が供されるデバイスの設計値やプロセスあるいは製造されるデバイスの表示面積などに依存して適宜選択される。なお、この単結晶Si基板10の表面(貼り合せ面)には、例えば熱酸化などの方法によって予め酸化膜が形成されていてもよい。

10

【0015】

貼り合わされる単結晶Si基板10および石英基板20の直径は同一であり、後のデバイス形成プロセスの便宜のため、石英基板20にも単結晶Si基板10に設けられているオリエンテーション・フラット(OF)と同様のOFを設けておき、これらのOF同士を一致させて貼り合わせるようにすると好都合である。

20

【0016】

まず、Si基板10の温度が400を超えない状態(400以下)に保持される条件下で、単結晶Si基板10の表面に水素イオンを注入する(図1(A))。このイオン注入面が後の「接合面(貼り合せ面)」となる。水素イオン注入により、単結晶Si基板10の表面近傍の所定の深さ(平均イオン注入深さL)に均一なイオン注入層11が形成される(図1(B))。イオン注入工程中のSi基板10の温度を400以下に保持することとすると、いわゆる「マイクロキャビティ」の発生を顕著に抑制することができる。なお、本実施例では、水素イオン注入時の単結晶Si基板10の温度は200以上400以下に設定されている。

【0017】

水素のイオン注入時のドーズ量は、SOI基板の仕様等に応じて、例えば 1×10^{16} ~ 4×10^{17} atoms/cm²の範囲で適当な値が選択される。なお、従来より、水素イオンのドーズ量が 1×10^{17} atoms/cm²を越えるとその後得られるSOI層の表面荒れが生じるとされ、 7×10^{16} atoms/cm²程度のドーズ量に設定するのが一般的である。しかし、本発明者らの検討によれば、従来法において生じるとされていた上記イオン注入条件で生じるSOI層の表面荒れの原因は、水素イオンのドーズ量そのものではなく、シリコン薄膜を剥離してSOI層を得るために採用されている比較的高温(例えば500)の熱処理工程中で生じる水素の拡散現象にあることが明らかとなった。

30

【0018】

したがって、本発明のように、水素イオン注入工程を含む一貫した低温プロセス化が図られる場合には、水素イオン注入工程中はもとより、剥離工程も低温で実行されることとなり、当該剥離処理工程中での水素原子の拡散は著しく抑制されるため、高いドーズ量の水素イオン注入を施したとしてもSOI層の表面荒れを生じさせることはない。本発明者らは種々のドーズ量で水素イオン注入を施してSOI層の表面荒れへの影響を調査したが、400以下の低温熱処理でシリコン薄膜の剥離を実行する限り、少なくとも 4×10^{17} atoms/cm²までのドーズ量での表面荒れは認められなかった。

40

【0019】

イオン注入層11の単結晶Si基板10表面からの深さ(平均イオン注入深さL)はイオン注入時の加速電圧により制御され、どの程度の厚さのSOI層を剥離させるかに依存して決定されるが、例えば、平均イオン注入深さLを0.5 μm以下とし、加速電圧50

50

～100KeVなどとする。なお、Si結晶中へのイオン注入プロセスにおいて注入イオンのチャネリング抑制のために通常行われているように、単結晶Si基板10のイオン注入面に予め酸化膜等の絶縁膜を形成させておき、この絶縁膜を通してイオン注入を施すようにしてもよい。

【0020】

この水素イオン注入後、単結晶Si基板10の接合面に、表面清浄化や表面活性化などを目的としたプラズマ処理を施す(図1(C))。なお、このプラズマ処理は、接合面となる表面の有機物除去や表面上のOH基を増大させて表面活性化を図るなどの目的で行われるものであり、単結晶Si基板10と石英基板20の双方の接合面に施してもよく、石英基板20の接合面にのみ施してもよい。つまり、単結晶Si基板10と石英基板20の何れか一方の接合面に施せばよい。

10

【0021】

このプラズマ処理は、予めRCA洗浄等を施した表面清浄な単結晶Si基板および/または石英基板を真空チャンバ内の試料ステージに載置し、当該真空チャンバ内にプラズマ用ガスを所定の真空度となるように導入して実行する。なお、ここで用いられるプラズマ用ガス種としては、酸素ガス、水素ガス、アルゴンガス、またはこれらの混合ガス、あるいは水素ガスとヘリウムガスの混合ガスなどがある。プラズマ用ガスの導入後、100W程度の電力の高周波プラズマを発生させ、プラズマ処理される単結晶Si基板および/または石英基板の表面に5～10秒程度の処理を施して終了する。

【0022】

このような表面処理が施された単結晶Si基板10と石英基板20の表面を接合面として密着させて貼り合わせる(図1(D))。上述したように、単結晶Si基板10と石英基板20の少なくとも一方の表面(接合面)は、プラズマ処理により表面処理が施されて活性化しているために、室温で密着(貼り合せ)した状態でも後工程での機械的剥離や機械研磨に十分耐え得るレベルの接合強度を得ることができる。

20

【0023】

なお、図1(D)の貼り合わせ工程に続いて、剥離工程の前に、単結晶Si基板10と石英基板20とを貼り合わせた状態で、100～300の温度で熱処理する工程を設けるようにしてもよい。この熱処理工程は、単結晶シリコン基板10と石英基板20との接合強度を高めるという効果を得ることを主な目的とするものである。

30

【0024】

この熱処理工程時の温度を300以下と設定する主な理由は、上述した「マイクロキャピティ」の発生を防ぐことに加え、単結晶シリコンと石英との熱膨張係数差と当該熱膨張係数差に起因する歪量、およびこの歪量と単結晶シリコン基板10ならびに石英基板20の厚みを考慮したことによる。

【0025】

なお、この熱処理には、水素イオンの注入量によっては、単結晶Si基板10と石英基板20の両基板間の熱膨張係数差に起因する熱応力を生じさせてイオン注入層11内のシリコン原子の化学結合を弱化させるという副次的な効果も期待できる。

【0026】

このような処理に続いて、貼り合わされた基板に何らかの手法により外部衝撃を付与して単結晶シリコンのバルクからシリコン膜を機械的に剥離して、石英基板20上にシリコン膜(SOI膜)12を備えた半導体基板(SOI基板)が得られる(図1(E))。なお、シリコン膜(SOI膜)12の剥離のための外部からの衝撃付与の手法としては種々のものがあり得るが、本実施例ではこの剥離は加熱なしに実行している。

40

【0027】

このようにして得られたSOI膜の剥離後の表面の10 μ m \times 10 μ mの領域を原子間力顕微鏡(AFM)で測定したところ、RMSの平均値は5nm以下と良好であった。また、SOI膜の基板面内バラつき(PV)は4nm以下であった。このような比較的平滑な剥離面が得られる理由は、従来の熱剥離とは剥離メカニズムが異なるためである。

50

【 0 0 2 8 】

得られた S O I 基板の表面 (S O I 膜表面) は C M P 研磨が施されて平坦化され、更に洗浄されて清浄面とされる。

【 0 0 2 9 】

本発明の S O I 基板はゲート酸化膜を備えており、当該酸化膜は下記の 2 つの工程で形成される。まず、 S O I 膜 1 2 の清浄面を 4 5 0 以下の低い温度で熱酸化し、 1 0 0 以下の薄い下地の熱酸化膜 1 3 が形成される (図 1 (F))。一般的な熱酸化膜は 9 0 0 以上の温度を必要とするが、本発明では、熱酸化膜 1 3 は 1 0 0 以下の薄い膜とすることから、 4 5 0 以下の低温であっても充分である。例えば、 4 5 0 でドライ酸化法により 1 2 時間熱酸化した場合には、 8 5 の熱酸化膜が得られた。

10

【 0 0 3 0 】

次に、熱酸化膜 1 3 の上に、 C V D 法により、 6 0 0 以下の温度で酸化膜 1 4 を更に堆積する (図 1 (G))。この酸化膜 1 4 と熱酸化膜 1 3 がゲート酸化膜となる。 C V D 法による酸化用ガスとしては、例えば、 N₂O と S i H₄ の混合ガス、 O₂ と S i H₄ の混合ガス、或いは T E O S ガスなどを用いることができる。

【 0 0 3 1 】

このような構造のゲート酸化膜は、下地の熱酸化膜 1 3 により界面準位等の構造的欠陥が抑制されるとともに、当該熱酸化膜上に形成された C V D 酸化膜 1 4 によって厚みの調整が可能であるという利点がある。このような酸化手法を採用することにより、最適なゲート酸化膜厚が得られると同時に、ゲート酸化膜の形成プロセスが一貫して低温で実行されることとなるため、熱膨張率が異なる材料から成る複合基板 (石英基板、サファイア基板、ホウ珪酸ガラス基板、又は結晶化ガラス基板上にシリコン膜を備えた基板) のシリコン膜中の結晶欠陥の発生を抑制することが可能となる。

20

【 0 0 3 2 】

なお、熱酸化膜 1 3 および C V D 酸化膜 1 4 中の構造的欠陥を電気的に不活性化することを目的として、 C V D 酸化膜 1 4 の形成の後に、水素を 0 . 1 ~ 4 モル % の濃度で含有する不活性化ガス雰囲気中で熱処理する工程を更に設けるようにしてもよい。反応速度は基本的に水素の分圧に比例するために、水素濃度についての下限は特にないが (酸化時間を長くすればよい)、現実的には 0 . 1 モル % 以上が望ましい。上限に関して言えば、爆発限界 (水素濃度 4 モル % 以下) のフォーミングガスが取り扱いが容易である。

30

【 産業上の利用可能性 】

【 0 0 3 3 】

本発明により、従来一般的なシリコン酸化膜形成装置を用いてゲート酸化膜を低温形成することが可能となり、 S O I 基板製造プロセスの一貫した低温化が図られる。

【 図面の簡単な説明 】

【 0 0 3 4 】

【 図 1 】本発明の半導体基板の製造方法のプロセス例を説明するための図である。

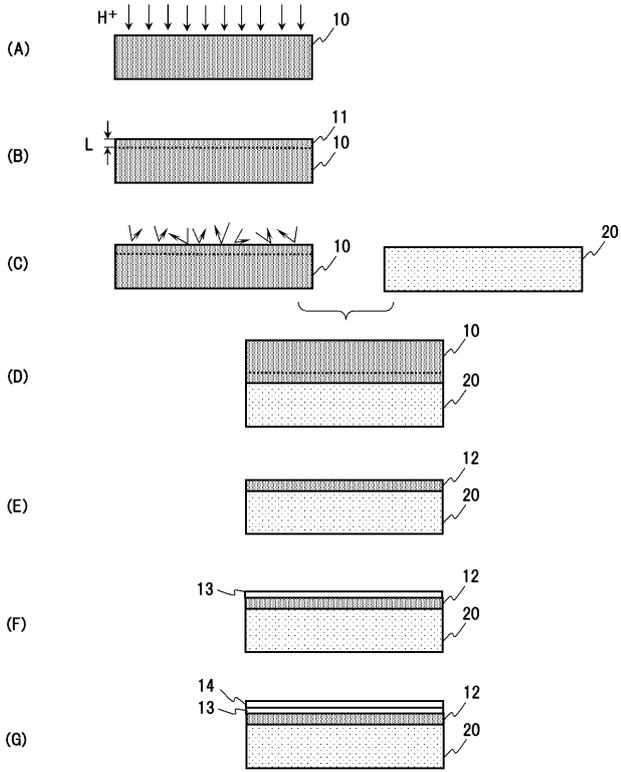
【 符号の説明 】

【 0 0 3 5 】

- 1 0 シリコン基板
- 1 1 イオン注入層
- 1 2 シリコン膜 (S O I 膜)
- 1 3 熱酸化膜
- 1 4 C V D 酸化膜
- 2 0 石英基板

40

【 図 1 】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 1 L 29/78 6 1 7 U

(72)発明者 伊藤 厚雄
群馬県安中市磯部 2 - 1 3 - 1 信越化学工業株式会社精密機能材料研究所内

(72)発明者 川合 信
群馬県安中市磯部 2 - 1 3 - 1 信越化学工業株式会社精密機能材料研究所内

(72)発明者 飛坂 優二
群馬県安中市磯部 2 - 1 3 - 1 信越化学工業株式会社精密機能材料研究所内

(72)発明者 田中 好一
群馬県安中市磯部 2 - 1 3 - 1 信越化学工業株式会社精密機能材料研究所内

Fターム(参考) 5F110 AA17 AA26 DD02 DD03 DD04 DD13 FF02 FF09 FF23 FF29
FF36 GG02 GG12 QQ16 QQ24