



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2024년02월02일  
(11) 등록번호 10-2632616  
(24) 등록일자 2024년01월29일

(51) 국제특허분류(Int. Cl.)  
H10K 50/80 (2023.01) H01L 27/12 (2006.01)  
H10K 59/00 (2023.01) H10K 71/00 (2023.01)  
(52) CPC특허분류  
H10K 50/844 (2023.02)  
H01L 27/124 (2013.01)  
(21) 출원번호 10-2016-0080405  
(22) 출원일자 2016년06월27일  
심사청구일자 2021년06월22일  
(65) 공개번호 10-2018-0001717  
(43) 공개일자 2018년01월05일  
(56) 선행기술조사문헌  
KR100830331 B1\*  
KR1020090064320 A\*  
KR1020150017978 A\*  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
삼성디스플레이 주식회사  
경기도 용인시 기흥구 삼성로 1 (농서동)  
(72) 발명자  
이선희  
경기도 용인시 기흥구 삼성로 1 (농서동)  
박주찬  
경기도 용인시 기흥구 삼성로 1 (농서동)  
(74) 대리인  
리앤목록특허법인  
(뒷면에 계속)

전체 청구항 수 : 총 19 항

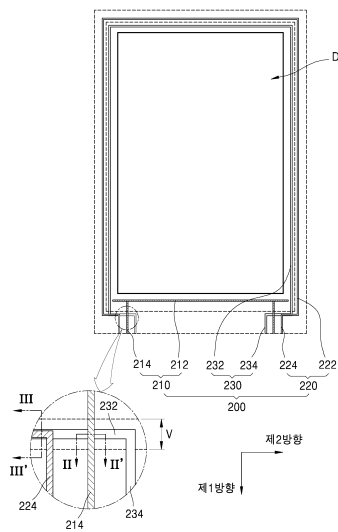
심사관 : 이석형

(54) 발명의 명칭 디스플레이 장치

(57) 요약

본 발명의 일 실시예는, 기판과, 기판 상에 배치되고, 박막 트랜지스터와, 박막 트랜지스터와 전기적으로 연결되는 표시 소자와, 박막 트랜지스터와 표시 소자 사이에 개재되는 평탄화층을 구비하고, 디스플레이가 표시되는 표시 영역과, 표시 영역의 외곽에 복수개의 전압선이 배치되는 비표시 영역을 구비하되, 평탄화층은 평탄화층을 중앙부와 외곽부로 분할하는 분할 영역을 포함하며, 분할 영역은 표시 영역을 에워싸는 표시부와, 분할 영역에 배치되는 복수개의 전압선들 중 서로 교차되는 복수개의 전압선들의 사이에 개재되는 층간 절연막과, 분할 영역에 배치되는 층간 절연막의 측면을 덮는 보호막과, 표시부를 밀봉하는 박막 봉지층을 포함하는 디스플레이 장치를 개시한다.

대표도 - 도4



(52) CPC특허분류

*H10K 50/8426* (2023.02)

*H10K 50/8445* (2023.02)

*H10K 59/123* (2023.02)

*H10K 59/124* (2023.02)

*H10K 59/131* (2023.02)

*H10K 71/00* (2023.02)

(72) 발명자

**설영국**

경기도 용인시 기흥구 삼성로 1 (농서동)

**이필석**

경기도 용인시 기흥구 삼성로 1 (농서동)

**명세서**

**청구범위**

**청구항 1**

기관;

상기 기관 상에 배치되고, 박막 트랜지스터와, 상기 박막 트랜지스터와 전기적으로 연결되는 표시 소자와, 상기 박막 트랜지스터와 상기 표시 소자 사이에 개재되는 평탄화층을 구비하고, 디스플레이가 표시되는 표시 영역과, 상기 표시 영역의 외곽에 복수개의 전압선이 배치되는 비표시 영역을 구비하되, 상기 평탄화층은 상기 평탄화층을 중앙부와 외곽부로 분할하는 분할 영역을 포함하며, 상기 분할 영역은 상기 표시 영역을 에워싸는 표시부;

상기 분할 영역에 배치되는 상기 복수개의 전압선들 중 평면 상에서 볼 때 서로 교차되는 상기 복수개의 전압선들의 사이에 개재되는 층간 절연막;

상기 분할 영역에 배치되는 상기 층간 절연막의 측면을 덮는 보호막; 및

상기 표시부를 밀봉하는 박막 봉지층;을 포함하는, 디스플레이 장치.

**청구항 2**

제1 항에 있어서,

상기 전압선은 서로 다른 전압이 인가되는 제1 전압선과 제2 전압선 및 제3 전압선을 포함하고,

상기 제1 전압선은 상기 표시 영역의 일측에 대응하도록 배치되는 제1 메인 전압선과, 상기 제1 메인 전압선으로부터 제1 방향을 따라 돌출되어 상기 분할 영역을 가로지르는 제1 연결부를 포함하고,

상기 제2 전압선은 상기 제1 메인 전압선의 양 단부들과 상기 표시 영역의 나머지 영역들을 에워싸는 제2 메인 전압선과, 상기 제2 메인 전압선으로부터 상기 제1 방향을 따라 돌출되어 상기 분할 영역을 가로지르는 제2 연결부를 포함하며,

상기 제3 전압선은 상기 제1 메인 전압선의 양 단부들과 상기 표시 영역의 나머지 영역들을 에워싸는 제3 메인 전압선과, 상기 제3 메인 전압선으로부터 상기 제1 방향을 따라 돌출되어 상기 분할 영역을 가로지르는 제3 연결부를 포함하고,

상기 제1 연결부와 상기 제2 연결부 및 상기 제3 연결부는 패드부와 연결되는, 디스플레이 장치.

**청구항 3**

제2 항에 있어서,

상기 제3 전압선은 상기 제1 전압선 및 상기 제2 전압선 중 하나 이상과 서로 교차하는, 디스플레이 장치.

**청구항 4**

제3 항에 있어서,

상기 보호막은 상기 층간 절연막의 상측에 배치되는 상기 제1 전압선의 측면의 적어도 일부를 덮는, 디스플레이 장치.

**청구항 5**

제4 항에 있어서,

상기 보호막은 상기 제1 전압선의 상면을 노출시키고, 상기 분할 영역 내에서 노출되는 상기 제1 전압선의 상면은 상기 박막 봉지층과 직접 접하는, 디스플레이 장치.

**청구항 6**

제3 항에 있어서,

상기 보호막은 상기 층간 절연막의 상측에 배치되는 상기 제2 전압선의 측면의 적어도 일부를 덮는, 디스플레이 장치.

**청구항 7**

제6 항에 있어서,

상기 보호막은 상기 제2 전압선의 상면을 노출시키고, 상기 분할 영역 내에서 노출되는 상기 제2 전압선의 상면은 상기 박막 봉지층과 직접 접하는, 디스플레이 장치.

**청구항 8**

제2 항에 있어서,

상기 제1 연결부와 상기 제2 연결부 및 상기 제3 연결부는 서로 나란히 배치되고, 상기 제1 방향과 교차하는 제2 방향을 따라 서로 이격되며,

상기 제3 연결부에 인접하는 상기 제3 메인 전압선은 상기 제2 방향을 따라 형성되어 상기 제1 연결부 및 상기 제2 연결부 중 하나 이상과 교차하는, 디스플레이 장치.

**청구항 9**

제8 항에 있어서,

상기 보호막은 상기 층간 절연막의 상측에 배치되는 상기 제1 연결부의 측면의 적어도 일부를 덮는, 디스플레이 장치.

**청구항 10**

제9 항에 있어서,

상기 보호막은 상기 제1 연결부의 상면을 노출시키고, 상기 분할 영역 내에서 노출되는 상기 제1 연결부의 상면은 상기 박막 봉지층과 접하는, 디스플레이 장치.

**청구항 11**

제8 항에 있어서,

상기 보호막은 상기 층간 절연막의 상측에 배치되는 상기 제2 연결부의 측면의 적어도 일부를 덮는, 디스플레이 장치.

**청구항 12**

제11 항에 있어서,

상기 보호막은 상기 제2 연결부의 상면을 노출시키고, 상기 분할 영역 내에서 노출되는 상기 제2 연결부의 상면은 상기 박막 봉지층과 접하는, 디스플레이 장치.

**청구항 13**

제1 항에 있어서,

상기 층간 절연막은 유기 물질을 포함하는, 디스플레이 장치.

**청구항 14**

제1 항에 있어서,

상기 보호막은 무기 물질을 포함하는, 디스플레이 장치.

**청구항 15**

제2 항에 있어서,

상기 중앙부는 상기 제2 메인 전압선의 내측 가장자리와 중첩하여 접하는, 디스플레이 장치.

**청구항 16**

제15 항에 있어서,

상기 제2 메인 전압선의 외측 가장자리와 중첩하여 접하는 댄부를 더 포함하고,

상기 댄부는 상기 분할 영역 내에 배치되는, 디스플레이 장치.

**청구항 17**

제16 항에 있어서,

상기 댄부는 상기 평탄화층과 동일한 재질을 포함하는, 디스플레이 장치.

**청구항 18**

제16 항에 있어서,

상기 박막 봉지층은 하나 이상의 유기막과 하나 이상의 무기막을 포함하고,

상기 하나 이상의 유기막은 상기 댄부의 내측에 위치하며,

상기 하나 이상의 무기막은 상기 외곽부의 외측까지 연장되는, 디스플레이 장치.

**청구항 19**

제1 항에 있어서,

상기 표시 소자는,

상기 박막 트랜지스터와 전기적으로 연결되는 제1 전극과,

상기 제1 전극과 대향하는 제2 전극과,

상기 제1 전극과 상기 제2 전극 사이에 유기 발광층을 가지는 중간층을 포함하는, 디스플레이 장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명의 실시예들은 디스플레이 장치에 관한 것이다.

**배경 기술**

[0002] 각종 전기적 신호정보를 시각적으로 표현하는 디스플레이 분야가 급속도로 발전함에 따라, 박형화, 경량화, 저 소비 전력화 등의 우수한 특성을 지닌 다양한 평판 디스플레이 장치들이 연구 및 개발되고 있다.

[0003] 한편, 박형화 및 플렉서블한 특징을 가지는 디스플레이 장치에는 패널의 유연성 향상을 위해 유기 절연막을 적용할 수 있다. 하지만, 유기 절연막을 통해 외부의 수분 및/또는 산소가 디스플레이 장치 내로 침투하여 암점 등의 불량을 유발할 수 있다.

[0004] 전술한 배경기술은 발명자가 본 발명의 실시예들의 도출을 위해 보유하고 있었거나, 도출 과정에서 습득한 기술 정보로서, 반드시 본 발명의 실시예들의 출원 전에 일반 공중에게 공개된 공지기술이라 할 수는 없다.

**발명의 내용**

**해결하려는 과제**

[0005] 본 발명의 실시예들은 외부에서 표시 소자 내부로 침투하는 수분과 산소를 차단할 수 있는 디스플레이 장치를 제공한다.

**과제의 해결 수단**

- [0006] 본 발명의 일 실시예는, 기관과, 기관 상에 배치되고, 박막 트랜지스터와, 박막 트랜지스터와 전기적으로 연결되는 표시 소자와, 박막 트랜지스터와 표시 소자 사이에 개재되는 평탄화층을 구비하고, 디스플레이가 표시되는 표시 영역과, 표시 영역의 외곽에 복수개의 전압선이 배치되는 비표시 영역을 구비하되, 평탄화층은 평탄화층을 중앙부와 외곽부로 분할하는 분할 영역을 포함하며, 분할 영역은 표시 영역을 에워싸는 표시부와, 분할 영역에 배치되는 복수개의 전압선들 중 서로 교차되는 복수개의 전압선들의 사이에 개재되는 층간 절연막과, 분할 영역에 배치되는 층간 절연막의 측면을 덮는 보호막과, 표시부를 밀봉하는 박막 봉지층을 포함하는 디스플레이 장치를 개시한다.
- [0007] 본 실시예에 있어서, 전압선은 서로 다른 전압이 인가되는 제1 전압선과 제2 전압선 및 제3 전압선을 포함하고, 제1 전압선은 표시 영역의 일측에 대응하도록 배치되는 제1 메인 전압선과, 제1 메인 전압선으로부터 제1 방향을 따라 돌출되어 분할 영역을 가로지르는 제1 연결부를 포함하고, 제2 전압선은 제1 메인 전압선의 양 단부들과 표시 영역의 나머지 영역들을 에워싸는 제2 메인 전압선과, 제2 메인 전압선으로부터 제1 방향을 따라 돌출되어 분할 영역을 가로지르는 제2 연결부를 포함하며, 제3 전압선은 제1 메인 전압선의 양 단부들과 표시 영역의 나머지 영역들을 에워싸는 제3 메인 전압선과, 제3 메인 전압선으로부터 제1 방향을 따라 돌출되어 분할 영역을 가로지르는 제3 연결부를 포함하고, 제1 연결부와 제2 연결부 및 제3 연결부는 패드부와 연결될 수 있다.
- [0008] 본 실시예에 있어서, 제3 전압선은 제1 전압선 및 제2 전압선 중 하나 이상과 서로 교차할 수 있다.
- [0009] 본 실시예에 있어서, 보호막은 층간 절연막의 상측에 배치되는 제1 전압선의 측면의 적어도 일부를 덮을 수 있다.
- [0010] 본 실시예에 있어서, 보호막은 제1 전압선의 상면을 노출시키고, 분할 영역 내에서 노출되는 제1 전압선의 상면은 박막 봉지층과 직접 접할 수 있다.
- [0011] 본 실시예에 있어서, 보호막은 층간 절연막의 상측에 배치되는 제2 전압선의 측면의 적어도 일부를 덮을 수 있다.
- [0012] 본 실시예에 있어서, 보호막은 제2 전압선의 상면을 노출시키고, 분할 영역 내에서 노출되는 제2 전압선의 상면은 박막 봉지층과 직접 접할 수 있다.
- [0013] 본 실시예에 있어서, 제1 연결부와 제2 연결부 및 제3 연결부는 서로 나란히 배치되고, 제1 방향과 교차하는 제2 방향을 따라 서로 이격되며, 제3 연결부에 인접하는 제3 메인 전압선은 제2 방향을 따라 형성되어 제1 연결부 및 제2 연결부 중 하나 이상과 교차할 수 있다.
- [0014] 본 실시예에 있어서, 보호막은 층간 절연막의 상측에 배치되는 제1 연결부의 측면의 적어도 일부를 덮을 수 있다.
- [0015] 본 실시예에 있어서, 보호막은 제1 연결부의 상면을 노출시키고, 분할 영역 내에서 노출되는 제1 연결부의 상면은 박막 봉지층과 접할 수 있다.
- [0016] 본 실시예에 있어서, 보호막은 층간 절연막의 상측에 배치되는 제2 연결부의 측면의 적어도 일부를 덮을 수 있다.
- [0017] 본 실시예에 있어서, 보호막은 제2 연결부의 상면을 노출시키고, 분할 영역 내에서 노출되는 제2 연결부의 상면은 박막 봉지층과 접할 수 있다.
- [0018] 본 실시예에 있어서, 층간 절연막은 유기 물질을 포함할 수 있다.
- [0019] 본 실시예에 있어서, 보호막은 무기 물질을 포함할 수 있다.
- [0020] 본 실시예에 있어서, 중앙부는 제2 메인 전압선의 내측 가장자리와 중첩하여 접할 수 있다.
- [0021] 본 실시예에 있어서, 제2 메인 전압선의 외측 가장자리와 중첩하여 접하는 댄부를 더 포함하고, 댄부는 분할 영역 내에 배치될 수 있다.
- [0022] 본 실시예에 있어서, 댄부는 평탄화층과 동일한 재질을 포함할 수 있다.
- [0023] 본 실시예에 있어서, 박막 봉지층은 하나 이상의 유기막과 하나 이상의 무기막을 포함하고, 하나 이상의 유기막

은 댐부의 내측에 위치하며, 하나 이상의 무기막은 외곽부의 외측까지 연장될 수 있다.

[0024] 본 실시예에 있어서, 표시 소자는, 박막 트랜지스터와 전기적으로 연결되는 제1 전극과, 제1 전극과 대향하는 제2 전극과, 제1 전극과 제2 전극 사이에 유기 발광층을 가지는 중간층을 포함할 수 있다.

[0025] 전술한 것 외의 다른 측면, 특징, 이점이 이하의 도면, 특허청구범위 및 발명의 상세한 설명으로부터 명확해질 것이다.

**발명의 효과**

[0026] 본 발명의 실시예들에 관한 디스플레이 장치에 따르면, 외부에서 표시 소자 내부로 침투하는 수분과 산소를 차단하여, 압점 등의 불량 발생을 최소화할 수 있다.

[0027] 물론 이러한 효과에 의해 본 발명의 범위가 한정되는 것은 아니다.

**도면의 간단한 설명**

[0028] 도 1은 본 발명의 일 실시예에 관한 디스플레이 장치를 개략적으로 나타내는 평면도이다.

도 2는 도 1의 일 화소의 등가회로의 일 예를 나타내는 회로도이다.

도 3은 도 1의 I-I' 단면의 일 예를 개략적으로 나타내는 단면도이다.

도 4는 도 1의 디스플레이 장치의 전압선과 평탄화층을 개략적으로 나타내는 평면도이다.

도 5는 도 1의 IV-IV' 단면과 도 4의 II-II' 단면의 일 예를 나란히 개략적으로 나타내는 단면도이다.

도 6은 도 1의 IV-IV' 단면과 도 4의 III-III' 단면의 일 예를 나란히 개략적으로 나타내는 단면도이다.

**발명을 실시하기 위한 구체적인 내용**

[0029] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 본 발명의 효과 및 특징, 그리고 그것들을 달성하는 방법은 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 다양한 형태로 구현될 수 있다.

[0030] 이하의 실시예에서, 제1, 제2 등의 용어는 한정적인 의미가 아니라 하나의 구성 요소를 다른 구성 요소와 구별하는 목적으로 사용되었다. 또한, 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수개의 표현을 포함한다. 또한, 포함하다 또는 가지다 등의 용어는 명세서상에 기재된 특징, 또는 구성요소가 존재함을 의미하는 것이고, 하나 이상의 다른 특징들 또는 구성요소가 부가될 가능성을 미리 배제하는 것은 아니다.

[0031] 또한, 도면에서는 설명의 편의를 위하여 구성 요소들이 그 크기가 과장 또는 축소될 수 있다. 예컨대, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다. 또한, 어떤 실시예가 달리 구현 가능한 경우에 특정한 공정 순서는 설명되는 순서와 다르게 수행될 수도 있다. 예를 들어, 연속하여 설명되는 두 공정이 실질적으로 동시에 수행될 수도 있고, 설명되는 순서와 반대의 순서로 진행될 수 있다.

[0032] 이하, 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명하기로 하며, 도면을 참조하여 설명할 때 동일하거나 대응하는 구성 요소는 동일한 도면부호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.

[0033] 도 1은 본 발명의 일 실시예에 관한 디스플레이 장치를 개략적으로 도시한 평면도이고, 도 2는 도 1의 일 화소의 등가회로의 일 예를 나타낸 회로도이며, 도 3은 도 1의 I-I' 단면의 일 예를 개략적으로 나타낸 단면도이고, 도 4는 도 1의 디스플레이 장치의 전압선과 평탄화층을 개략적으로 나타내는 평면도이다.

[0034] 도 1 내지 도 3을 참조하면, 본 발명의 일 실시예에 관한 평판 디스플레이 장치(10)는 기판(101)과, 기판(101) 상에 위치하는 표시부(100) 및 표시부(100)를 밀봉하는 박막 봉지층(300)을 포함할 수 있다.

[0035] 기판(101)은 다양한 소재를 포함할 수 있다. 예를 들어, 기판(101)은 SiO<sub>2</sub>를 주성분으로 하는 투명한 유리 재질로 이루어질 수 있다. 그러나, 기판(101)은 반드시 이에 한정되는 것은 아니며, 투명한 플라스틱 재질로 형성될 수도 있다. 플라스틱 재질은 폴리에테르술폰(PES, polyethersulphone), 폴리아크릴레이트(PAR, polyacrylate), 폴리에테르 이미드(PEI, polyether imide), 폴리에틸렌 나프탈레이트(PEN, polyethylenen naphthalate), 폴리에

틸렌 테레프탈레이트(PET, polyethyleneterephthalate), 폴리페닐렌 설파이드(polyphenylene sulfide: PPS), 폴리아릴레이트(polyallylate), 폴리이미드(polyimide), 폴리카보네이트(PC), 셀룰로오스 트리 아세테이트(TAC), 셀룰로오스 아세테이트 프로피오네이트(cellulose acetate propionate: CAP) 등일 수 있다.

- [0036] 한편, 화상이 기관(101)의 방향으로 구현되는 배면 발광형인 경우에는, 기관(101)은 투명한 재질로 형성될 수 있다. 그러나, 화상이 기관(101)의 반대 방향으로 구현되는 전면 발광형인 경우에는 기관(101)은 반드시 투명한 재질로 형성될 필요는 없다. 이 경우, 금속으로 기관(101)을 형성할 수 있다. 금속으로 기관(101)을 형성할 경우에는 기관(101)은 철, 크롬, 망간, 니켈, 티타늄, 몰리브덴, 스테인레스 스틸(SUS), 인바 합금(invar alloy), Inconel 합금, Kovar 합금 등을 포함할 수 있다.
- [0037] 표시부(100)는 기관(101) 상에 배치된다. 표시부(100)는 사용자가 인식할 수 있는 화상을 구현하는 표시 영역(DA)과, 표시 영역(DA)의 외곽에 위치하는 비표시 영역(NDA)을 포함할 수 있다.
- [0038] 표시 영역(DA)에는 복수의 화소(P)들이 배치될 수 있다. 복수의 화소(P)들은 데이터 라인(DL)과 스캔 라인(SL)의 교차영역에 위치할 수 있으며, 비표시 영역(NDA)에는 표시 소자(100b) 등으로 전원을 공급하는 전압선(200)이 배치될 수 있다. 또한, 비표시 영역(NDA)에는 전원 공급장치(미도시) 또는 신호 생성장치(미도시)로부터 전 기적 신호를 표시 영역(DA)으로 전달하는 패드부(150)가 배치될 수 있다.
- [0039] 도 2는 화소(P)의 등가 회로의 일 예를 도시한 도이다. 도 2를 참조하면, 화소(P)는 스캔 라인(SL) 및 데이터 라인(DL)에 연결된 화소 회로(PC)와 화소 회로(PC)에 연결된 표시 소자(도 3의 100b), 예컨대 유기발광소자(OLED)를 포함할 수 있다.
- [0040] 화소 회로(PC)는 구동 박막 트랜지스터(T1), 스위칭 박막 트랜지스터(T2), 및 스토리지 커패시터(Cst)를 포함할 수 있다. 스위칭 박막 트랜지스터(T2)는 스캔 라인(SL) 및 데이터 라인(DL)에 연결되며, 스캔 라인(SL)을 통해 입력되는 스캔 신호(Sn)에 따라 데이터 라인(DL)을 통해 입력된 데이터 신호(Dm)를 구동 박막 트랜지스터(T1)로 전달한다.
- [0041] 스토리지 커패시터(Cst)는 스위칭 박막 트랜지스터(T2) 및 제1 전압선(210)에 연결되며, 스위칭 박막 트랜지스터(T2)로부터 전달받은 전압과 제1 전압선(210)에 공급되는 제1 전원전압(ELVDD)의 차이에 해당하는 전압을 저장한다.
- [0042] 구동 박막 트랜지스터(T1)는 제1 전압선(210)과 스토리지 커패시터(Cst)에 연결되며, 스토리지 커패시터(Cst)에 저장된 전압 값에 대응하여 제1 전압선(210)으로부터 유기발광소자(OLED)를 흐르는 구동 전류를 제어할 수 있다. 유기발광소자(OLED)는 구동 전류에 의해 소정의 휘도를 갖는 빛을 방출할 수 있다. 다만, 본 발명의 실시 예들은 이에 한정되지 않으며, 화소(P)는 다양한 구성에 의해 구동될 수 있다.
- [0043] 이하에서는 도 3을 참조하여 표시부(100)의 구조를 보다 자세히 설명한다. 한편, 도 3에서는 설명의 편의상 도 2의 화소 회로(PC)에서 스위칭 박막 트랜지스터(T2)와 스토리지 커패시터(Cst)를 생략하고 구동 박막 트랜지스터(T1)만을 도시하고 있으며, 구동 박막 트랜지스터(T1)를 박막 트랜지스터(100a)로 지칭하기로 한다.
- [0044] 기관(101) 상에는 버퍼층(102)이 형성될 수 있다. 버퍼층(102)은 기관(101)의 상부에 평탄면을 제공할 수 있고, 기관(101)을 통하여 침투하는 이물 또는 습기를 차단할 수 있다. 예를 들어, 버퍼층(102)은 실리콘 옥사이드, 실리콘 나이트라이드, 실리콘 옥시나이트라이드, 알루미늄옥사이드, 알루미늄나이트라이드, 티타늄옥사이드 또는 티타늄나이트라이드 등의 무기물이나, 폴리이미드, 폴리에스테르, 아크릴 등의 유기물을 함유할 수 있고, 예시한 재료들 중 복수의 적층체로 형성될 수 있다.
- [0045] 기관(101) 상에는 박막 트랜지스터(100a) 및 박막 트랜지스터(100a)와 전기적으로 연결된 표시 소자(100b)가 위치할 수 있다.
- [0046] 박막 트랜지스터(100a)는 활성층(103), 게이트 전극(105), 소스 전극(107) 및 드레인 전극(108)을 포함할 수 있다. 이하에서는, 박막 트랜지스터(100a)가 활성층(103), 게이트 전극(105), 소스 전극(107) 및 드레인 전극(108)이 순차적으로 형성된 탑 게이트 타입(top gate type)인 경우를 설명한다. 그러나 본 실시예는 이에 한정되지 않고 바텀 게이트 타입(bottom gate type) 등 다양한 타입의 박막 트랜지스터(100a)가 채용될 수 있다.
- [0047] 활성층(103)은 비정질 실리콘(amorphous silicon) 또는 다결정 실리콘(poly crystalline silicon) 등과 같은 반도체 물질을 포함할 수 있다. 그러나 본 실시예는 이에 한정되지 않고 활성층(103)은 다양한 물질을 함유할 수 있다. 선택적 실시예로서 활성층(103)은 유기 반도체 물질 등을 함유할 수 있다. 또 다른 선택적 실시예로서, 활성층(103)은 산화물 반도체 물질을 함유할 수 있다. 예컨대, 활성층(103)은 아연(Zn), 인듐(In),



갈륨(Ga), 주석(Sn) 카드뮴(Cd), 게르마늄(Ge) 등과 같은 12, 13, 14족 금속 원소 및 이들의 조합에서 선택된 물질의 산화물을 포함할 수 있다.

- [0048] 게이트 절연막(104: gate insulating layer)은 활성층(103) 상에 형성된다. 게이트 절연막(104)은 실리콘산화물 및/또는 실리콘질화물 등의 무기 물질로 이루어진 막이 다층 또는 단층으로 형성될 수 있다. 게이트 절연막(104)은 활성층(103)과 게이트 전극(105)을 절연하는 역할을 한다. 게이트 절연막(104)은 표시 영역(DA)뿐만 아니라 비표시영역의 일부에까지 연장되어 형성될 수 있다.
- [0049] 게이트 전극(105)은 게이트 절연막(104)의 상부에 형성된다. 게이트 전극(105)은 박막 트랜지스터(100a)에 온/오프 신호를 인가하는 게이트 라인(미도시)과 연결될 수 있다.
- [0050] 게이트 전극(105)은 저저항 금속 물질로 이루어질 수 있다. 예를 들어, 게이트 전극(105)은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 중 하나 이상의 물질로 단층 또는 다층으로 형성될 수 있다.
- [0051] 게이트 전극(105)상에는 층간 절연막(106)이 형성된다. 층간 절연막(106)은 소스 전극(107) 및 드레인 전극(108)과 게이트 전극(105)을 절연한다. 층간 절연막(106)은 표시 영역(DA)뿐만 아니라 비표시 영역(NDA)의 일부에까지 연장되어 형성될 수 있다.
- [0052] 층간 절연막(106)은 유기 물질로 이루어진 막이 다층 또는 단층으로 형성될 수 있다. 예컨대, 유기 물질은 Polymethylmethacrylate(PMMA)나, Polystyrene(PS)과 같은 일반 범용고분자, 페놀계 그룹을 갖는 고분자 유도체, 아크릴계 고분자, 이미드계 고분자, 아릴에테르계 고분자, 아마이드계 고분자, 불소계고분자, p-자일렌계 고분자, 비닐알콜계 고분자 및 이들의 블렌드 등을 포함할 수 있다. 또한, 평탄화층(109)은 무기 절연막과 유기 절연막의 복합 적층체로 형성될 수도 있다.
- [0053] 층간 절연막(106) 상에는 제1 도전부재(MP1)가 형성된다. 제1 도전부재(MP1)는 소스 전극(107) 및 드레인 전극(108)을 형성할 수 있다. 소스 전극(107) 및 드레인 전극(108)은 활성층(103)의 영역과 접촉하도록 형성된다.
- [0054] 소스 전극(107) 및 드레인 전극(108)은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 중 하나 이상의 물질로 단층 또는 다층으로 형성될 수 있다. 예를 들어, 소스 전극(107) 및 드레인 전극(108)은 티타늄(Ti), 알루미늄(Al), 및 티타늄(Ti)의 3층 적층 구조를 가질 수 있다.
- [0055] 박막 트랜지스터(100a) 상에는 평탄화층(109)이 배치될 수 있다. 평탄화층(109)은 박막 트랜지스터(100a)로부터 비롯된 단차를 해소하고 상면을 평탄하게 하여, 하부 요철에 의해 표시 소자(100b)에 불량이 발생하는 것을 방지한다.
- [0056] 평탄화층(109)은 유기 물질로 이루어진 막이 단층 또는 다층으로 형성될 수 있다. 유기 물질은 Polymethylmethacrylate(PMMA)나, Polystyrene(PS)과 같은 일반 범용고분자, 페놀계 그룹을 갖는 고분자 유도체, 아크릴계 고분자, 이미드계 고분자, 아릴에테르계 고분자, 아마이드계 고분자, 불소계고분자, p-자일렌계 고분자, 비닐알콜계 고분자 및 이들의 블렌드 등을 포함할 수 있다. 또한, 평탄화층(109)은 무기 절연막과 유기 절연막의 복합 적층체로 형성될 수도 있다.
- [0057] 평탄화층(109)은 비표시 영역(NDA) 내에서 표시 영역(DA)을 에워싸는 분할 영역(V)을 포함할 수 있다. 분할 영역(V)은 층간 절연막(106) 및 평탄화층(109)이 제거된 영역으로, 외부로부터 수분이나 산소가 유기 물질로 이루어진 층간 절연막(106) 및 평탄화층(109)을 따라 표시 영역(DA) 내로 침투하는 것을 방지할 수 있다. 분할 영역(V)에 의해 평탄화층(109)은 중앙부(109a)와 외곽부(109b)로 분할될 수 있다.
- [0058] 평탄화층(109)상에는 표시 소자(100b)가 배치된다. 표시 소자(100b)는 일 예로 제1 전극(111), 제1 전극(111)과 대향하는 제2 전극(113), 및 제1 전극(111)과 제2 전극(113) 사이에 개재되는 중간층(112)을 구비한 유기발광소자일 수 있다.
- [0059] 제1 전극(110)은 평탄화층(109)상에 형성되고, 박막 트랜지스터(100a)와 전기적으로 연결될 수 있다. 제1 전극(110)은 다양한 형태를 가질 수 있는데, 예를 들면 아일랜드 형태로 패터닝되어 형성될 수 있다.
- [0060] 제1 전극(111) 일 예로, 반사 전극일 수 있다. 예를 들어, 제1 전극(111)은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr 및 이들의 화합물 등으로 형성된 반사막과, 반사막 상에 형성된 투명 또는 반투명 전극층을 구비할 수

있다. 투명 또는 반투명 전극층은 인듐틴옥사이드(ITO; indium tin oxide), 인듐징크옥사이드(IZO; indium zinc oxide), 징크옥사이드(ZnO; zinc oxide), 인듐옥사이드(In<sub>2</sub>O<sub>3</sub>; indium oxide), 인듐갈륨옥사이드(IGO; indium gallium oxide) 및 알루미늄징크옥사이드(AZO; aluminum zinc oxide)를 포함하는 그룹에서 선택된 적어도 하나 이상을 구비할 수 있다.

- [0061] 제2 전극(113)은 투명 또는 반투명 전극일 수 있으며, Li, Ca, LiF/Ca, LiF/Al, Al, Ag, Mg 및 이들의 화합물을 포함하는 일함수가 작은 금속 박막으로 형성될 수 있다. 또한, 금속 박막 위에 ITO, IZO, ZnO 또는 In<sub>2</sub>O<sub>3</sub> 등의 투명 전극 형성용 물질로 보조 전극층이나 버스 전극을 더 형성할 수 있다. 따라서, 제2 전극(113)은 중간층(112)에 포함된 유기 발광층에서 방출된 광을 투과시킬 수 있다. 즉, 유기 발광층에서 방출되는 광은 직접 또는 반사 전극으로 구성된 제1 전극(111)에 의해 반사되어, 제2 전극(113) 측으로 방출될 수 있다.
- [0062] 그러나, 본 실시예의 표시부(100)는 전면 발광형으로 제한되지 않으며, 유기 발광층에서 방출된 광이 기판(101) 측으로 방출되는 배면 발광형일 수도 있다. 이 경우, 제1 전극(111)은 투명 또는 반투명 전극으로 구성되고, 제2 전극(113)은 반사 전극으로 구성될 수 있다. 또한, 본 실시예의 표시부(100)는 전면 및 배면 양 방향으로 광을 방출하는 양면 발광형일 수도 있다.
- [0063] 한편, 제1 전극(111)상에는 절연물로 화소 정의막(119)이 형성된다. 화소 정의막(119)은 폴리이미드, 폴리아마이드, 아크릴 수지, 벤조사이클로부텐 및 페놀 수지로 이루어진 군에서 선택되는 하나 이상의 유기 절연 물질로, 스핀 코팅 등의 방법으로 형성될 수 있다. 화소 정의막(119)은 제1 전극(111)의 소정의 영역을 노출하며, 노출된 영역에 유기 발광층을 포함하는 중간층(112)이 위치한다. 즉, 화소 정의막(119)은 유기발광소자의 화소영역을 정의한다.
- [0064] 중간층(112)에 포함된 유기 발광층은 저분자 유기물 또는 고분자 유기물일 수 있으며, 중간층(112)은 유기 발광층 이외에 홀 수송층(hole transport layer, HTL), 홀 주입층(hole injection layer, HIL), 전자 수송층(electron transport layer, ETL) 및 전자 주입층(electron injection layer, EIL) 등과 같은 기능층을 선택적으로 더 포함할 수 있다.
- [0065] 비표시 영역(NDA)에는 전압선(200)과, 평탄화층(109)을 중앙부(109a)와 외곽부(109b)로 분할하는 분할 영역(V)이 배치될 수 있다. 전압선(200)은 적어도 일부가 분할 영역(V)에 배치될 수 있다. 즉, 전압선(200)은 분할 영역(V)에서 일부가 노출될 수 있다.
- [0066] 구체적으로, 전압선(200)은 제1 전압선(210)과 제2 전압선(220) 및 제3 전압선(230)을 포함할 수 있다. 일 예로, 제1 전압선(210)은 제1 전원전압(ELVDD)선일 수 있고, 제2 전압선(220)은 제2 전원전압(ELVSS)선일 수 있으며, 제3 전압선(230)은 게이트 배선일 수 있다. 제2 전압선(220)은 제2 전극(113)과 전기적으로 연결될 수 있다. 도 3에서는, 제2 전압선(220)과 제2 전극(113)이 배선(116)을 통해 접속된 예를 도시하고 있으나, 본 발명은 이에 한정되지 않고 제2 전압선(220)과 제2 전극(113)은 직접 접할 수 있다. 또한, 제3 전압선(230)은 게이트 전극(105)과 전기적으로 연결될 수 있다.
- [0067] 도 4를 참조하면, 제1 전압선(210)은 표시 영역(DA)의 일측에 대응하도록 배치된 제1 메인 전압선(212)과 제1 전압선(210)과 패드부(150)를 전기적으로 연결하는 제1 연결부(214)를 포함할 수 있다. 예를 들어, 표시 영역(DA)이 장방형인 경우, 제1 메인 전압선(212)은 표시 영역(DA)의 어느 하나의 변과 대응하도록 배치될 수 있다. 제1 전압선(212)은 어느 하나의 변과 나란하고, 어느 하나의 변 이상의 길이를 가질 수 있다. 제1 전압선(212)과 대응하는 어느 하나의 변은 패드부(150)와 인접한 변일 수 있다.
- [0068] 제1 연결부(214)는 제1 메인 전압선(212)으로부터 제1 방향을 따라 돌출되어 분할 영역(V)을 가로지를 수 있다. 여기서 제1 방향은 표시 영역(DA)으로부터 패드부(150)를 향하는 방향으로, 제1 연결부(214)는 패드부(150)와 전기적으로 연결될 수 있다. 제1 메인 전압선(212)은 중앙부(109a)에 의해 덮일 수 있으나, 제1 연결부(214)는 분할 영역(V)에서 일부가 노출될 수 있다.
- [0069] 제2 전압선(220)은 제1 메인 전압선(212)의 양단부들과 표시 영역(DA)의 나머지 영역들을 에워싸는 제2 메인 전압선(222)과 제2 메인 전압선(222)으로부터 제1 방향을 따라 돌출되어 분할 영역(V)을 가로지르는 제2 연결부(224)를 포함할 수 있다. 제2 연결부(224)는 패드부(150)와 전기적으로 연결되며, 분할 영역(V)에서 일부가 노출될 수 있다.
- [0070] 제3 전압선(230)은 표시 영역(DA)을 에워싸는 제3 메인 전압선(232)과 제3 메인 전압선(232)으로부터 제1 방향을 따라 돌출되어 분할 영역(V)을 가로지르는 제3 연결부(234)를 포함할 수 있다. 제3 메인 전압선(232)은 게이트 전극(105)(또는 도 5의 G2)과 전기적으로 연결될 수 있으며, 제3 연결부(234)는 패드부(150)와 전기적으로

연결될 수 있다. 또한, 제3 전압선(230)은 분할 영역(V)에서 일부가 노출될 수 있다.

- [0071] 한편, 분할 영역(V) 내에서 제3 전압선(230)은 제1 전압선(210) 및 제2 전압선(220) 중 하나 이상과 서로 교차할 수 있다. 도 4는 제3 전압선(230)과 제1 전압선(210)이 교차하고, 제3 전압선(230)과 제2 전압선(220)은 서로 교차하되 서로 교차하는 지점에서 서로 평행한 방향으로 연장 형성된 모습을 나타낸다.
- [0072] 하지만 본 발명은 이에 한정되지 않으며, 제3 전압선(230)은 제1 전압선(210)과만 서로 교차할 수도 있고, 한편 제2 전압선(220)과만 서로 교차할 수 있다. 다만, 이하에서는 설명의 편의를 위해 제1 전압선(210)과 제3 전압선(230)이 서로 교차하고, 제2 전압선(220)과 제3 전압선(230)은 서로 교차하되 교차하는 지점으로부터는 제2 전압선(220)이 제3 전압선(230)과 평행한 방향으로 연장되는 구조를 중심으로 설명하기로 한다.
- [0073] 또한, 도 4는 패드부(도 1의 150)에 인접하는 분할 영역(V) 내에서 제3 전압선(230)이 제1 전압선(210) 및 제2 전압선(220)과 서로 교차하는 것으로 나타나나, 본 발명의 실시예들은 이에 한정되지 않는다. 즉, 제3 전압선(230)은 표시 영역(DA)의 둘레를 둘러싸는 분할 영역(V)에서도 제1 전압선(210) 또는 제2 전압선(220)과 서로 교차할 수 있다.
- [0074] 상세히, 제3 전압선(230) 중 제3 연결부(234)에 인접하는 제3 메인 전압선(232)은 분할 영역(V) 내에서 제1 전압선(210)과 제2 전압선(220) 중 하나 이상과 교차될 수 있다. 설명의 편의 상, 도 5는 층간 절연막(106)과 평탄화층(109)이 제거된 분할 영역(V)에서 제3 전압선(230)이 제1 전압선(210)과 서로 교차된 모습을 나타낸다.
- [0075] 이하, 도 4 내지 도 6을 참조하여 패드부(150)에 인접하는 전압선(200)의 구조에 대해 자세히 설명하기로 한다.
- [0076] 도 5는 도 1의 IV-IV' 단면과 도 4의 II-II' 단면의 일예를 나란히 개략적으로 나타내는 단면도이고, 도 6은 도 1의 IV-IV' 단면과 도 4의 III-III' 단면의 일예를 나란히 개략적으로 나타내는 단면도이다.
- [0077] 도 5 및 도 6을 참조하면, 좌측은 표시 영역(DA)에 형성되는 화소(P)의 단면의 일 예를 개략적으로 도시한 단면도로써, 설명의 편의상 구동 박막 트랜지스터(T1), 스위칭 박막 트랜지스터(T2), 및 스토리지 커패시터(Cst)만을 도시하고 있다.
- [0078] 상세히, 도 5의 우측은 분할 영역(V)이 연장되는 제2 방향과 평행한 방향을 따라 제3 연결부(234) 상에서 제1 연결부(214)와 교차하는 지점이 나타나도록 절단한 도면이고, 도 6의 우측은 분할 영역(V)을 가로지르는 제1 방향과 평행한 방향을 따라 제3 연결부(234)와 제2 연결부(224)가 교차하는 지점이 나타나도록 절단한 도면이다.
- [0079] 먼저 도 5 및 도 6의 좌측에 나타난 도면을 참조하면, 기관(101) 상에는 버퍼층(102)이 위치할 수 있으며, 버퍼층(102)상에는 제1 박막 트랜지스터(T1)와 제2 박막 트랜지스터(T2)가 위치할 수 있다.
- [0080] 제1 박막 트랜지스터(T1)는 구동 박막 트랜지스터일 수 있으며, 활성층(A1), 게이트 전극(G1), 소스 전극(S1), 드레인 전극(D1)을 포함할 수 있다. 제2 박막 트랜지스터(T2)는 스위칭 박막 트랜지스터일 수 있으며, 활성층(A2), 게이트 전극(G2), 소스 전극(S2), 드레인 전극(D2)을 포함할 수 있다.
- [0081] 도 5 및 도 6은 제1 박막 트랜지스터(T1)와 제2 박막 트랜지스터(T2)의 게이트 전극들(G1, G2)이 각각 게이트 절연막(104)을 가운데 두고 활성층들(A1, A2) 상에 배치된 탑 게이트(top gate) 타입인 예를 도시하고 있으나, 본 발명은 이에 한하지 않으며 제1 박막 트랜지스터(T1)와 제2 박막 트랜지스터(T2)는 바텀 게이트(bottom gate) 타입일 수도 있다.
- [0082] 제1 박막 트랜지스터(T1)와 제2 박막 트랜지스터(T2)의 활성층들(A1, A2)은 비정질 실리콘을 포함하거나, 다결정 실리콘을 포함할 수 있다. 다른 실시예로, 활성층들(A1, A2)은 인듐(In), 갈륨(Ga), 스탠늄(Sn), 지르코늄(Zr), 바나듐(V), hafnium(Hf), 카드뮴(Cd), 게르마늄(Ge), 크롬(Cr), 티타늄(Ti) 및 아연(Zn)을 포함하는 군에서 선택된 적어도 하나 이상의 물질의 산화물을 포함할 수 있다. 활성층들(A1, A2)은 채널영역과 불순물이 도핑된 소스 영역 및 드레인 영역을 포함할 수 있다.
- [0083] 활성층들(A1, A2) 상에는 게이트 절연막(104)이 위치할 수 있으며, 게이트 절연막(104) 상에는 제1 박막 트랜지스터(T1)와 제2 박막 트랜지스터(T2)의 게이트 전극들(G1, G2)이 위치할 수 있다. 한편, 제1 박막 트랜지스터(T1)의 게이트 전극(G1)은 스토리지 커패시터(Cst)의 제1 전극(C1)을 이룰 수 있다.
- [0084] 게이트 전극들(G1, G2) 상의 제1 층간 절연막(106a)은 유기 물질로 이루어진 막이 다층 또는 단층으로 형성될 수 있다. 제1 층간 절연막(106a) 상에는 제1 전극(C1)과 교차하도록 스토리지 커패시터(Cst)의 제2 전극(C2)이 위치한다. 제1 전극(C1)은 제1 박막 트랜지스터(T1)의 게이트 전극(G1)과 동일한 전극이므로, 스토리지 커패시터(Cst)는 제1 박막 트랜지스터(T1)와 교차되게 위치할 수 있다. 여기서, 도 5 및 도 6에 나타난 제1 전극(C1)

또는 제2 전극(C2)은 제3 전압선(230)의 제3 메인 전압선(232)과 연결될 수 있다.

- [0085] 제2 전극(C2) 상에는 제2 층간 절연막(106b)이 위치하며, 제2 층간 절연막(106b) 상에는 제1 도전부재(MP1)가 배치된다. 여기서, 제1 층간 절연막(106a)과 제2 층간 절연막(106b)의 적층 구조는 도 3의 층간 절연막(106)과, 도 5 및 도 6의 우측에 도시된 층간 절연막(106)과 동일할 수 있다.
- [0086] 한편, 제1 도전부재(MP1)는 제1 박막 트랜지스터(T1)와 제2 박막 트랜지스터(T2)의 소스 전극들(S1, S2)과 드레인 전극들(D1, D2) 그리고 데이터 라인(DL)을 형성할 수 있다. 제1 도전부재(MP1)는 티타늄을 포함하는 제1 층, 알루미늄을 포함하는 제2 층 및 티타늄을 포함하는 제3 층의 적층 구조를 가질 수 있다.
- [0087] 제1 도전부재(MP1) 상에는 제1 평탄화층(109a)이 형성될 수 있다. 제1 평탄화층(109a)은 도 3에서 도시하고 설명한 평탄화층(109)과 동일할 수 있다. 또한, 제1 평탄화층(109a) 상에는 제2 도전부재(MP2)가 형성될 수 있다. 제2 도전부재(MP2)는 제1 도전부재(MP1)와 동일하게 티타늄을 포함하는 제1 층, 알루미늄을 포함하는 제2 층 및 티타늄을 포함하는 제3 층의 적층 구조를 가질 수 있다.
- [0088] 제2 도전부재(MP2)는 제1 박막 트랜지스터(T1)의 게이트 전극(G1) 및 제1 전극(111) 사이에 개재되어, 제1 박막 트랜지스터(T1)의 게이트 전극(G1)과 제1 전극(111) 사이의 기생 커패시턴스의 발생을 감소시킬 수 있다.
- [0089] 제2 도전부재(MP2) 상에는 제2 평탄화층(109b)이 형성될 수 있다. 제2 평탄화층(109b)은 도 3에서 도시하고 설명한 평탄화층(109)과 동일할 수 있다.
- [0090] 제2 평탄화층(109b) 상에는 유기발광소자(OLED)가 위치할 수 있다. 유기발광소자(OLED)는 제1 전극(111), 제2 전극(113) 및 제1 전극(111)과 제2 전극(113) 사이에 개재되는 중간층(112)을 구비할 수 있다. 한편, 분할 영역(도 3의 V)은 제1 평탄화층(109a)과 제2 평탄화층(109b)을 중앙부(도 3의 109a)와 외곽부(도 3의 109b)로 분할할 수 있다.
- [0091] 제1 전극(111)은 제2 발광 제어 박막 트랜지스터(도 6의 T6)를 경유하여 제1 박막 트랜지스터(T1)의 드레인 전극(D1)과 전기적으로 연결될 수 있으며, 제2 전극(113)은 제2 전압선(도 4의 220)과 전기적으로 연결될 수 있다.
- [0092] 한편, 도 5 및 도 6의 우측에 나타난 도면을 참조하면, 전술한 분할 영역(V)에 배치되는 제3 메인 전압선(232)과 제1 전압선(210)의 제1 연결부(214) 사이에는 층간 절연막(106)이 개재될 수 있다. 이는, 분할 영역(V)에서 층간 절연막(106)과 평탄화층(109)을 각각 제거하는 공정에서, 층간 절연막(106)이 전부 제거되지 않음을 의미한다. 이렇게 제3 메인 전압선(232)과 제1 연결부(214)의 사이에 층간 절연막(106)을 남겨놓는 이유는, 제3 메인 전압선(232)과 제1 전압선(210)이 직접적으로 접촉하여 쇼트(short)가 발생하는 것을 방지하기 위함이다.
- [0093] 하지만, 전술한 바와 같이 층간 절연막(106)은 유기 물질로 이루어지므로, 분할 영역(V) 내에 잔존하는 층간 절연막(106)을 따라 외부로부터 표시 영역(DA) 측으로 수분이나 산소가 침투하여 표시 소자(100b)의 불량률 야기할 수 있다. 이를 방지하기 위해, 분할 영역(V)에서 제3 메인 전압선(232)과 제1 연결부(214)가 서로 교차되는 영역에 잔존하는 층간 절연막(106)의 측면은 무기 물질로 이루어지는 보호막(PVX)으로 덮일 수 있다.
- [0094] 보다 구체적으로, 분할 영역(V)에서 외부로 노출되는 층간 절연막(106)의 양 측면은 무기 물질인 보호막(PVX)에 의해 덮임으로써, 유기 물질로 이루어진 층간 절연막(106)을 따라 표시 영역(DA)의 내부로 침투하는 수분이나 산소 등을 차단할 수 있어 암점 등의 불량률의 발생을 최소화할 수 있다. 또한, 도면에 나타나지는 않았으나 보호막(PVX)은 분할 영역(V)이 밴딩되는 경우에도 층간 절연막(106)의 측면에서 수분이나 산소가 표시 영역(DA) 내부로 침투하는 것을 방지할 수 있다.
- [0095] 상세히, 보호막(PVX)은 분할 영역(V)의 층간 절연막(106)과 평탄화층(109)을 제거하고, 그 상태에서 소스 전극(S1, S2)과 드레인 전극(D1, D2)을 증착한 이후, 전면에 무기막을 증착하고, 이를 건식 에칭(dry etching)함으로써 형성될 수 있다. 즉, 건식 에칭을 통해 수평 방향으로 증착된 무기 물질들은 식각되는 반면, 수직 방향으로 증착된 보호막(PVX)은 건식 에칭을 통해서도 식각되지 않고, 층간 절연막(106)의 측면에 부착된 형상으로 잔류하게 된다.
- [0096] 한편, 도 5는 층간 절연막(106) 뿐만 아니라 제1 연결부(214)의 측면도 함께 보호막(PVX)으로 덮인 모습을 나타낸다. 하지만, 본 발명의 실시예들은 이에 한정되지 않으며, 보호막(PVX)은 층간 절연막(106)의 측면만을 덮을 수도 있으며, 추가적으로 제1 연결부(214)의 측면의 일부 또한 덮을 수 있다.
- [0097] 즉, 도 6에 나타난 바와 같이, 보호막(PVX)은 제2 연결부(224)의 측면을 덮지 않고, 제3 메인 전압선(232)과 층

간 절연막(106)의 측면을 덮을 수도 있다. 여기서 중요한 점은, 보호막(PVX)은 유기 물질로 구성되는 층간 절연막(106)의 측면을 덮음으로써, 외부로부터 유입되는 산소나 수분이 유기 물질로 이루어진 층간 절연막(106)을 따라 표시 영역(DA)의 내부로 침투하는 것을 방지한다는 점이다. 따라서, 보호막(PVX)은 층간 절연막(106)의 측면을 덮되, 제1 연결부(214) 및 제2 연결부(224)와 층간 절연막(106)의 경계층을 외부로부터 차단하는 구조라면 그 어떠한 구조로도 형성이 가능하다고 할 것이다.

- [0098] 한편, 도 6에 나타난 분할 영역(V)의 바깥쪽에 적층된 층간 절연막(106) 상에는 평탄화층(109)이 배치된다. 이때에도, 보호막(PVX)은 층간 절연막(106)의 측면에 배치될 수 있다.
- [0099] 한편, 전압선(200)은 제1 도전부재(MP1)를 포함할 수 있다. 제1 도전부재(MP1)는 소스 전극(S1, S2) 및 드레인 전극(D1, D2)과 동일한 물질을 이용하여 형성할 수 있다. 예를 들어, 전압선(200)은 티타늄(Ti)을 포함하는 제1 층, 알루미늄(Al)을 포함하는 제2 층 및 티타늄(Ti)을 포함하는 제3 층의 적층 구조를 가질 수 있다. 도 5는 단층의 제1 연결부(214)만을 나타내나, 본 발명의 실시예들은 이에 한정되지 않으며, 도면에 나타나지는 않았으나 제1 연결부(214)는 상기 제1 층, 제2 층 및 제3 층의 다층 구조(Ti/Al/Ti)로 형성될 수 있다.
- [0100] 다시 도 3을 참조하면, 분할 영역(V) 내에는 댐부(109c)가 형성될 수 있다. 댐부(109c)는 표시부(100)를 밀봉하기 위한 박막 봉지층(300)의 유기막(330)의 형성시, 유기물이 기관(101)의 가장자리 방향으로 흐르는 것을 차단하여, 유기막(330)의 에지 테일이 형성되는 것을 방지할 수 있다.
- [0101] 댐부(109c)는 제2 전압선(220)(도 4의 제2 메인 전압선(222) 참조)의 외측 가장자리와 중첩하여 접함으로써, 제2 메인 전압선(222)의 외측면을 커버할 수 있다. 또한, 중앙부(109a)는 제2 메인 전압선(222)의 내측 가장자리와 교차하여 접함으로써, 제2 메인 전압선(222)의 내측면을 커버할 수 있다. 따라서, 제2 메인 전압선(222)의 양측면이 에칭 환경에 노출되는 것을 방지할 수 있다.
- [0102] 댐부(109c)는 평탄화층(109)과 동일한 층에 동일한 재질로 형성될 수 있다. 다만, 이에 한정되는 것은 아니며, 댐부(109c)는 두 층 이상으로 구성될 수도 있다. 예를 들어, 댐부(109c)가 이층 구조를 가지는 경우, 하부층은 평탄화층(109)과 동일한 재질로 이루어질 수 있고, 상부층은 화소 정의막(119)과 동일한 재질로 이루어질 수 있다. 또한, 댐부(109c)는 두 개 이상의 복수 개로 구성될 수 있다. 댐부(109c)가 복수 개로 구성되는 경우, 기관(101)의 외곽으로 갈수록 댐부(109c)의 높이가 증가할 수 있다.
- [0103] 박막 봉지층(300)은 표시부(100)를 밀봉하여 외부의 산소 및 수분 등이 표시부(100)로 침투하는 것을 방지할 수 있다. 박막 봉지층(300)은 적어도 하나의 무기막(310, 320)과 적어도 하나의 유기막(330)을 포함할 수 있다. 도 3에서는, 박막 봉지층(300)이 서로 교번적으로 적층된 두 개의 무기막들(310, 320)과 한 개의 유기막(330)을 포함하는 예를 도시하고 있으나, 본 발명은 이에 한정되지 않는다. 즉, 박막 봉지층(300)은 교대로 배치된 복수 개의 추가적인 무기 봉지막 및 유기 봉지막을 더 포함할 수 있으며, 무기 봉지막 및 유기 봉지막의 적층 횟수는 제한되지 않는다.
- [0104] 유기막(330)은 에컨대, 아크릴계 수지, 메타크릴계 수지, 폴리이소프렌, 비닐계 수지, 에폭시계 수지, 우레탄계 수지, 셀룰로오스계 수지 및 페틸렌계 수지로 이루어진 군으로부터 선택된 하나 이상의 물질을 포함할 수 있다.
- [0105] 무기막들(310, 320)은 에컨대, 실리콘 질화물, 알루미늄 질화물, 지르코늄 질화물, 티타늄 질화물, hafnium 질화물, 탄탈륨 질화물, 실리콘 산화물, 알루미늄 산화물, 티타늄 산화물, 주석 산화물, 세륨 산화물 및 실리콘 산화질화물(SiON)로 이루어진 군으로부터 선택된 하나 이상의 물질을 포함할 수 있다.
- [0106] 한편, 댐부(109c)는 유기막(330)의 형성시, 유기물이 기관(101)의 가장자리 방향으로 흐르는 것을 차단하므로, 유기막(330)은 댐부(109c)의 내측에 위치하게 된다. 이에 반해, 무기막들(310, 320)은 유기막(330) 보다 크게 형성되며, 외곽부(109b)를 덮도록 형성될 수 있다. 따라서, 분할 영역(V)은 무기막들(310, 320)에 의해 덮이게 된다.
- [0107] 이때, 상술한 바와 같이 분할 영역(V) 내에서 노출된 전압선(200)의 측면이 무기막들(310, 320)에 의해 커버됨으로써 외부의 수분이나 산소 등이 표시 소자로 침투하는 것이 방지되어, 암점 등의 불량 발생을 최소화할 수 있다. 즉, 도 5와 도 6을 참조하면, 분할 영역(V) 내에서 보호막(PVX)은 제1 연결부(214)와 제2 연결부(224)의 상면을 노출시킨다. 이렇게 외부로 노출된 제1 연결부(214) 및 제2 연결부(224)의 상면은 무기막들(310, 320)에 의해 덮일 수 있다.
- [0108] 또한, 무기막들(310, 320)은 외곽부(109b)의 외측으로 연장될 수 있고, 외곽부(109b)의 외측에서 무기막들(310, 320)은 서로 접할 수 있다. 또한, 무기막들(310, 320) 중 적어도 하나는 외곽부(109b)의 내측에서 게이트 절연

막(104)과 접할 수 있으며, 또한 외곽부(109b)의 외측에서 층간 절연막(106)과 접할 수 있다. 이러한 구성에 따라, 측면을 통한 외부 투습을 방지하고, 박막 봉지층(300)의 접합력이 향상될 수 있다.

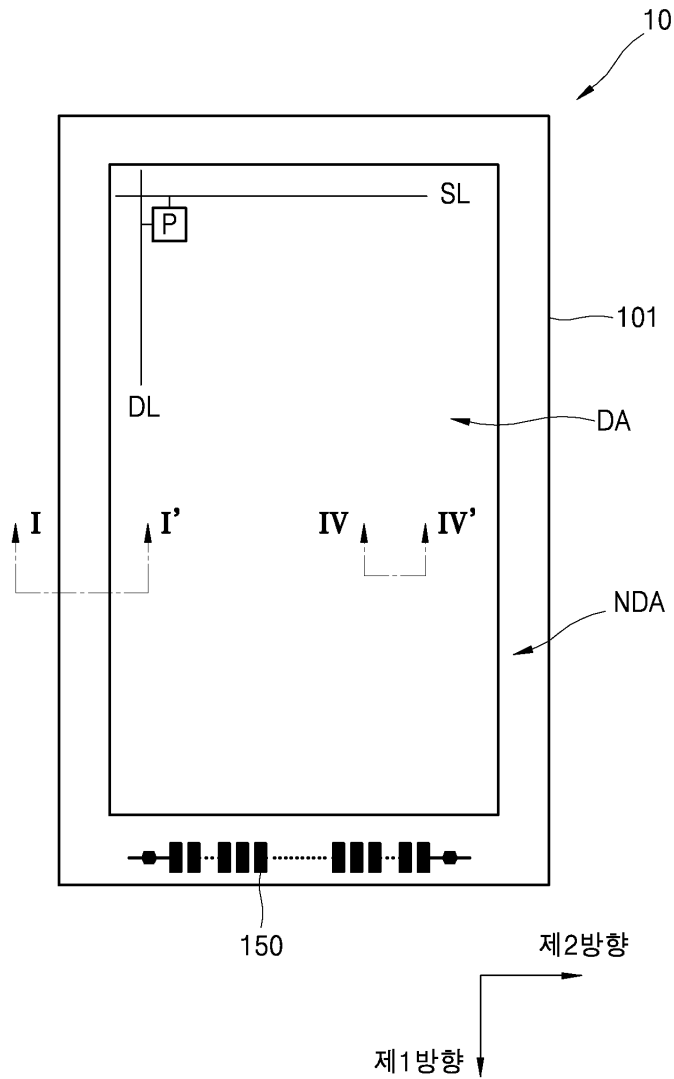
[0109] 이와 같이 본 발명은 도면에 도시된 일 실시예를 참고로 하여 설명하였으나 이는 예시적인 것에 불과하며 당해 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 실시예의 변형이 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

**부호의 설명**

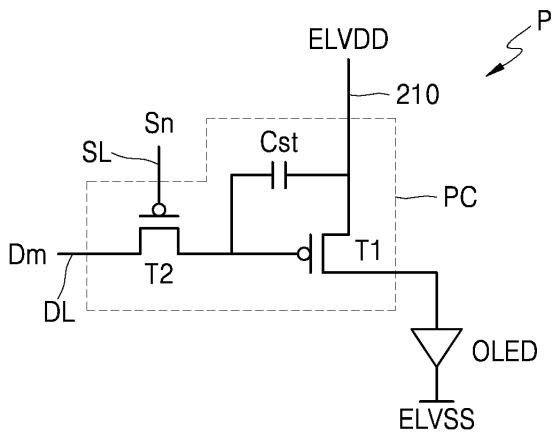
[0110]	10: 평판 디스플레이 장치	212: 제1 메인 전압선
	100: 표시부	214: 제1 연결부
	100a: 박막 트랜지스터	220: 제2 전압선
	100b: 표시 소자	222: 제2 메인 전압선
	106: 층간 절연막	224: 제2 연결부
	109: 평탄화층	230: 제3 전압선
	200: 전압선	232: 제3 메인 전압선
	210: 제1 전압선	234: 제3 연결부

도면

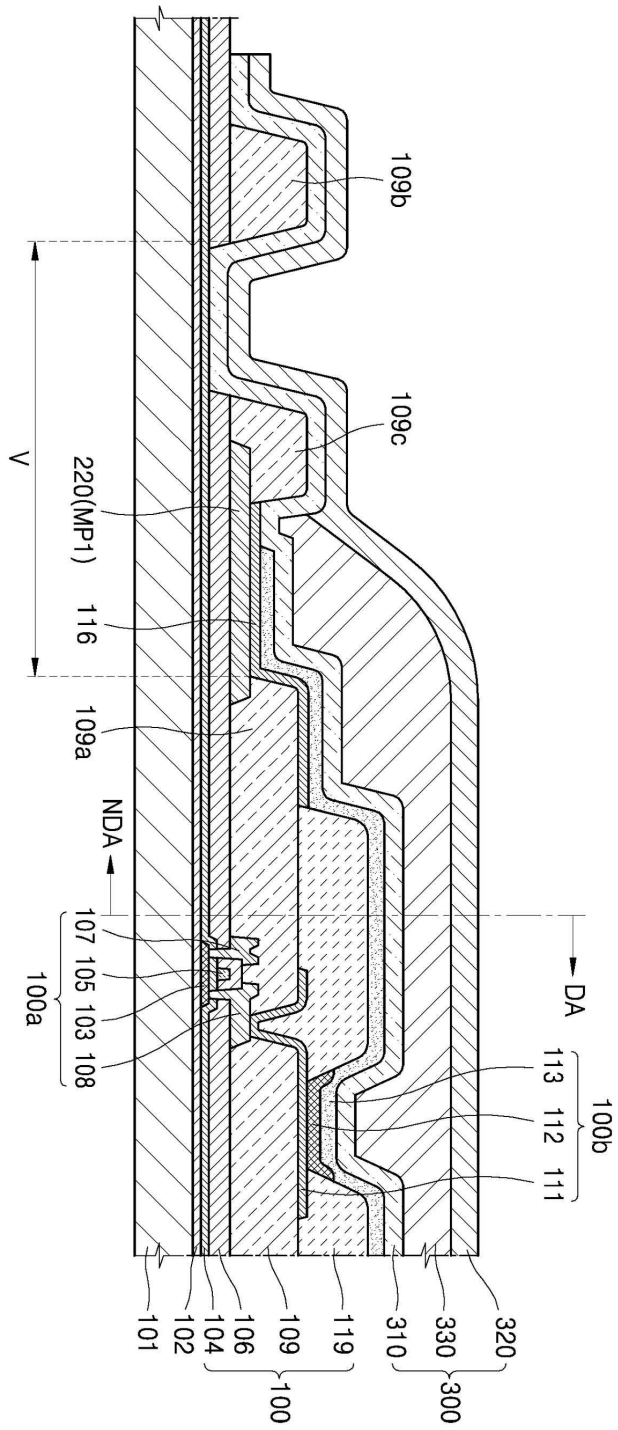
도면1



도면2

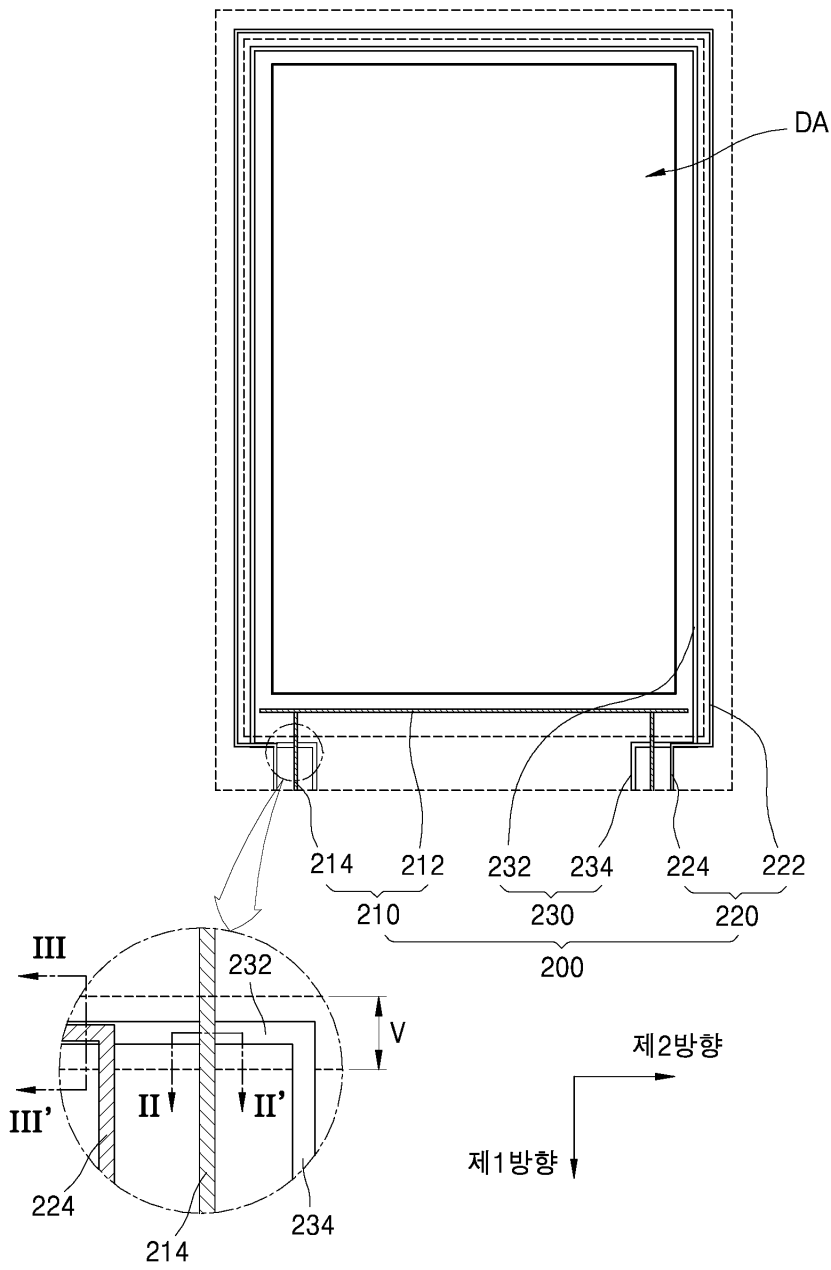


도면3

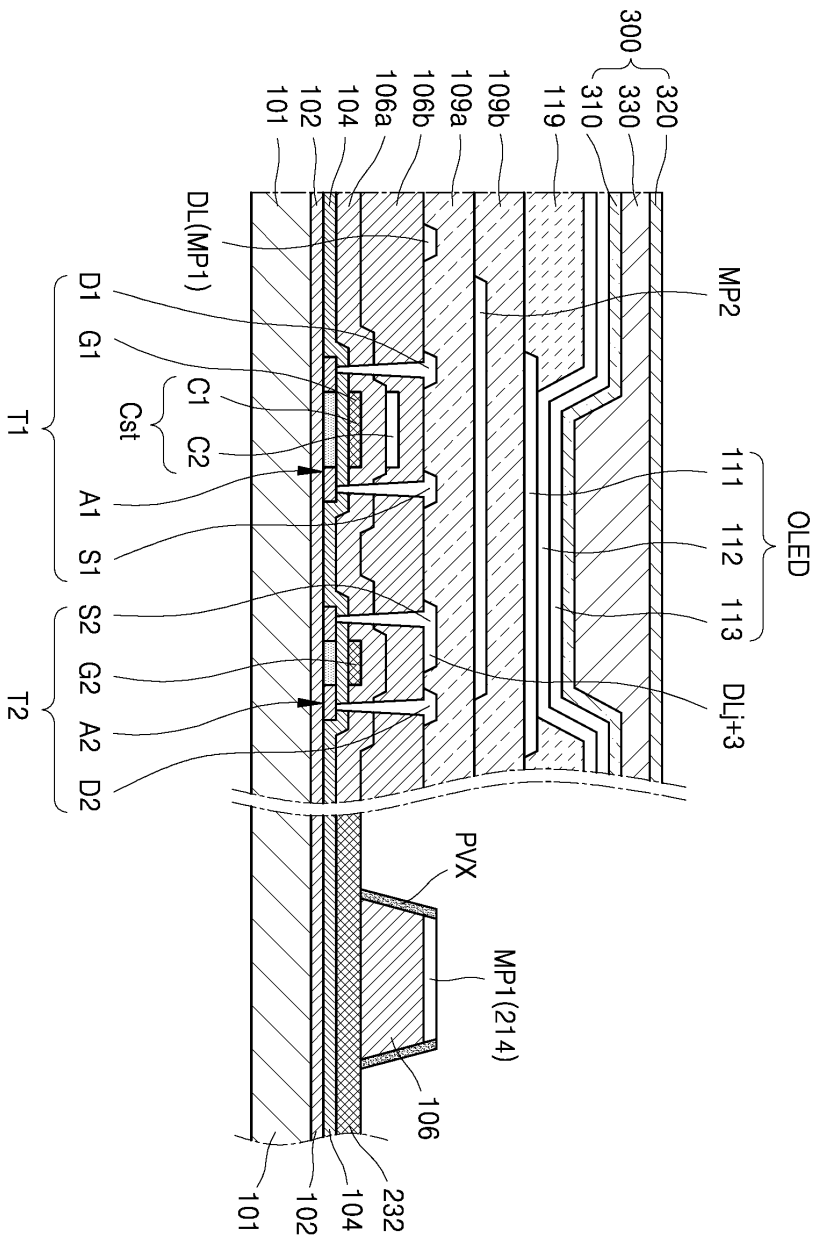




도면4



도면5



도면6

