



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년02월17일
(11) 등록번호 10-2216380
(24) 등록일자 2021년02월09일

(51) 국제특허분류(Int. Cl.)
H01L 21/033 (2006.01) G03F 7/20 (2006.01)
H01L 21/02 (2006.01) H05H 1/46 (2006.01)
(52) CPC특허분류
H01L 21/0337 (2013.01)
G03F 7/70408 (2013.01)
(21) 출원번호 10-2016-0166983
(22) 출원일자 2016년12월08일
심사청구일자 2018년11월27일
(65) 공개번호 10-2018-0065750
(43) 공개일자 2018년06월18일
(56) 선행기술조사문헌
KR1020090017110 A
(뒷면에 계속)

(73) 특허권자
주식회사 원익아이피에스
경기도 평택시 진위면 진위산단로 75 ()
(72) 발명자
김현철
서울특별시 동대문구 사가정로2길 7-1
류동호
경기도 남양주시 별내3로 63, 3701동 1101호
박주환
경기도 화성시 메타폴리스로 22, 305동 1604호
(74) 대리인
김남식, 이인행, 김한

전체 청구항 수 : 총 8 항

심사관 : 박부식

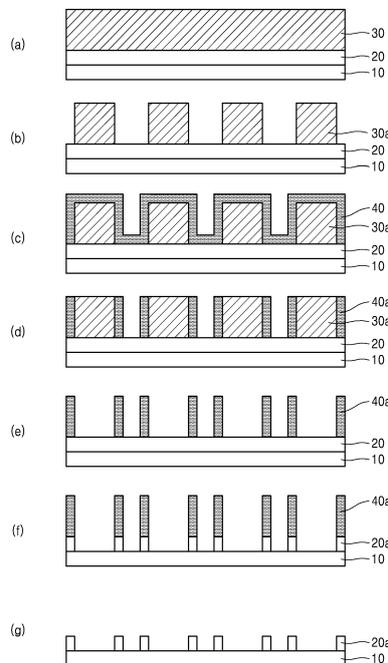
(54) 발명의 명칭 반도체 소자의 패터닝 방법

(57) 요약

본 발명은 정확한 선폭을 구현할 수 있는 반도체 소자의 패터닝 방법에 관한 것으로서, 기판 상에 대상막을 형성하는 단계; 상기 대상막 상에 제 1 박막 패턴을 형성하는 단계; 상기 제 1 박막 패턴 상에 제 1 박막과 식각선택비를 가지는 제 2 박막을 균일하게 형성하기 위하여, 상기 기판 상에 전구체가스를 제공하여 상기 제 1 박막 패

(뒷면에 계속)

대표도 - 도1



턴 상에 상기 전구체가스의 적어도 일부가 흡착되는 제 1 단계, 상기 기판 상에 제 1 퍼지가스를 제공하는 제 2 단계, 상기 기판 상에 상기 반응가스를 공급하되 펄스형 플라즈마(pulsed plasma)를 발생시킴으로써 상기 제 1 박막 패턴 상에 단위증착막을 형성하는 제 3 단계 및 상기 기판 상에 제 2 퍼지가스를 제공하는 제 4 단계를 포함하는 단위사이클을 적어도 1회 이상 수행하는 플라즈마 원자층 증착법(PEALD)에 의하여 상기 제 2 박막을 증착하는 단계; 상기 제 2 박막에 대하여 전면식각 공정을 수행하여 상기 제 1 박막 패턴의 측부에 위치하는 제 2 박막 패턴을 형성하는 단계; 상기 제 1 박막 패턴을 선택적으로 제거하는 단계; 및 상기 제 2 박막 패턴을 마스크 패턴으로 하여 상기 대상막을 식각하여 대상막 패턴을 형성하는 단계;를 포함한다.

(52) CPC특허분류

H01L 21/02046 (2013.01)
H01L 21/02274 (2013.01)
H01L 21/0228 (2013.01)
H01L 21/02315 (2013.01)
H05H 1/46 (2013.01)

(56) 선행기술조사문헌

KR1020120046311 A*
 KR1020160062487 A*
 KR1020160094893 A
 KR1020010098467 A*
 US20110217838 A1
 US20100062592 A1
 US20150126042 A1*

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

기판 상에 대상막을 형성하는 단계;

상기 대상막 상에 제 1 박막 패턴을 형성하는 단계;

상기 제 1 박막 패턴 상에 제 1 박막과 식각선택비를 가지는 제 2 박막을 균일하게 형성하기 위하여, 상기 기판 상에 전구체가스를 제공하여 상기 제 1 박막 패턴 상에 상기 전구체가스의 적어도 일부가 흡착되는 제 1 단계; 상기 기판 상에 제 1 퍼지가스를 제공하는 제 2 단계; 상기 기판 상에 반응가스를 공급하되 펄스형 플라즈마(pulsed plasma)를 발생시킴으로써 상기 제 1 박막 패턴 상에 단위증착막을 형성하는 제 3 단계; 및 상기 기판 상에 제 2 퍼지가스를 제공하는 제 4 단계;를 포함하는 단위사이클을 적어도 1회 이상 수행하는 플라즈마 원자층 증착법(PEALD)에 의하여 상기 제 2 박막을 증착하는 단계;

상기 제 2 박막에 대하여 전면식각 공정을 수행하여 상기 제 2 박막 중에서 상기 제 1 박막 패턴의 상부에 위치하는 제 2 박막과 상기 제 1 박막 패턴 사이의 제 2 박막을 제거하고, 상기 제 1 박막 패턴의 측부에 위치하는 제 2 박막만 잔류하게 되어 제 2 박막 패턴을 형성하는 단계;

상기 제 1 박막 패턴을 선택적으로 제거하는 단계; 및

상기 제 2 박막 패턴을 마스크 패턴으로 하여 상기 대상막을 식각하여 대상막 패턴을 형성하는 단계;

를 포함하되,

상기 펄스형 플라즈마를 사용하여 플라즈마의 직진성을 감소시킴으로써 상기 제 1 박막 패턴의 상부에 위치하는 제 2 박막과 상기 제 1 박막 패턴 사이의 제 2 박막의 밀도와, 상기 제 1 박막 패턴의 측부에 위치하는 제 2 박막의 밀도 간의 차이를 감소시켜 상기 제 2 박막 패턴의 밀도를 상기 펄스형 플라즈마를 사용하지 않을 경우보다 상대적으로 증가시키는 것을 특징으로 하는,

반도체 소자의 패터닝 방법.

청구항 2

제 1 항에 있어서,

상기 제 3 단계는 플라즈마의 온오프 동작이 반복 수행됨으로써 플라즈마에 의해 생성된 상기 반응가스의 이온들이 상기 제 1 박막 패턴에 흡착된 상기 전구체가스의 물질과 반응하고 나머지는 퍼지되는 단계가 반복하여 수행됨으로써 상기 제 2 박막의 불순물 농도를 상대적으로 감소시키고 상기 제 1 박막 패턴의 측부에 위치하는 상기 제 2 박막의 밀도가 상대적으로 증가되는 단계를 포함하는, 반도체 소자의 패터닝 방법.

청구항 3

제 1 항에 있어서,

상기 제 2 박막을 증착하는 단계에서, 상기 펄스형 플라즈마(pulsed plasma)는 주파수가 10 Hz 내지 1000 kHz의 범위를 가지고, 듀티 사이클(duty cycle)은 10 내지 90%의 범위를 가지는 것을 특징으로 하는, 반도체 소자의 패터닝 방법.

청구항 4

제 3 항에 있어서,

상기 제 2 박막을 증착하는 단계에서, 상기 듀티 사이클을 변경함으로써 상기 제 1 박막 패턴의 측부에 위치하는 상기 제 2 박막의 막질을 제어하는 것을 특징으로 하는, 반도체 소자의 패터닝 방법.

청구항 5

제 1 항에 있어서,

상기 제 2 박막은 산화막을 포함하는 것을 특징으로 하는, 반도체 소자의 패터닝 방법.

청구항 6

제 1 항에 있어서,

상기 전구체가스는 실리콘(Si), 티타늄(Ti) 및 탄탈륨(Ta) 중 어느 하나를 함유하는 무기물 또는 유기화합물인 것을 특징으로 하는, 반도체 소자의 패터닝 방법.

청구항 7

제 1 항에 있어서,

상기 반응가스는 산소성분(O)을 함유하는 O₂, N₂O 및 O₃ 중 어느 하나인 것을 특징으로 하는, 반도체 소자의 패터닝 방법.

청구항 8

제 1 항에 있어서,

상기 단계들은 SAMP (Self-Aligned Multiple Patterning) 공정의 일부를 구성하는 것을 특징으로 하는, 반도체 소자의 패터닝 방법.

청구항 9

삭제

발명의 설명

기술 분야

[0001] 본 발명은 반도체 소자의 패터닝 방법에 관한 것으로서, 보다 상세하게는 정확한 선폭을 구현할 수 있는 반도체 소자의 패터닝 방법에 관한 것이다.

배경 기술

[0002] 반도체 소자가 고집적화 됨에 따라 미세 선폭을 가지는 패턴이 요구되고 있다. 하지만, 현재 개발되어 상용화된 노광 장비의 한계 상 일정 크기 이하의 미세 패턴을 형성하는 것은 매우 어려운 실정이다. 이에 따라, 현재 상용화된 노광 장비를 그대로 이용하면서 미세한 선폭을 갖는 패턴을 구현하기 위하여 SAMP (Self-Aligned Multiple Patterning) 공정기술이 제안되고 있다. 최근에는 설계에 따른 정확한 선폭을 구현할 수 있는 SAMP 공정의 개발이 요청되고 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명은 상기와 같은 문제점을 포함하여 여러 문제점들을 해결하기 위한 것으로서, 정확한 선폭을 구현할 수 있는 SAMP 공정을 포함하는 반도체 소자의 패터닝 방법을 제공하는 것을 목적으로 한다. 그러나 이러한 과제는 예시적인 것으로, 이에 의해 본 발명의 범위가 한정되는 것은 아니다.

과제의 해결 수단

[0004] 상기 과제를 해결하기 위한 본 발명의 일 관점에 따른 반도체 소자의 패터닝 방법을 제공한다. 상기 반도체 소자의 패터닝 방법은 기판 상에 대상막을 형성하는 단계; 상기 대상막 상에 제 1 박막 패턴을 형성하는 단계; 상기 제 1 박막 패턴 상에 제 1 박막과 식각선택비를 가지는 제 2 박막을 균일하게 형성하기 위하여, 상기 기판 상에 전구체가스를 제공하여 상기 제 1 박막 패턴 상에 상기 전구체가스의 적어도 일부가 흡착되는 제 1 단계, 상기 기판 상에 제 1 퍼지가스를 제공하는 제 2 단계, 상기 기판 상에 상기 반응가스를 공급하되 펄스형 플라즈마(pulsed plasma)를 발생시킴으로써 상기 제 1 박막 패턴 상에 단위증착막을 형성하는 제 3 단계 및 상기 기판

상에 제 2 퍼지가스를 제공하는 제 4 단계를 포함하는 단위사이클을 적어도 1회 이상 수행하는 플라즈마 원자층 증착법(PEALD)에 의하여 상기 제 2 박막을 증착하는 단계; 상기 제 2 박막에 대하여 전면식각 공정을 수행하여 상기 제 1 박막 패턴의 측부에 위치하는 제 2 박막 패턴을 형성하는 단계; 상기 제 1 박막 패턴을 선택적으로 제거하는 단계; 및 상기 제 2 박막 패턴을 마스크 패턴으로 하여 상기 대상막을 식각하여 대상막 패턴을 형성하는 단계;를 포함한다.

- [0005] 상기 반도체 소자의 패터닝 방법에서, 상기 제 3 단계는 플라즈마의 온오프 동작이 반복 수행됨으로써 플라즈마에 의해 생성된 상기 반응가스의 이온들이 상기 제 1 박막 패턴에 흡착된 상기 전구체가스의 물질과 반응하고 나머지는 퍼지되는 단계가 반복하여 수행됨으로써 상기 제 2 박막의 불순물 농도를 상대적으로 감소시키고 상기 제 1 박막 패턴의 측부에 위치하는 상기 제 2 박막의 밀도가 상대적으로 증가되는 단계를 포함할 수 있다.
- [0006] 상기 반도체 소자의 패터닝 방법에서, 상기 제 2 박막을 증착하는 단계에서, 상기 펄스형 플라즈마(pulsed plasma)는 주파수가 10 Hz 내지 1000 kHz의 범위를 가지고, 듀티 사이클(duty cycle)은 10 내지 90%의 범위를 가질 수 있다.
- [0007] 상기 반도체 소자의 패터닝 방법의 상기 제 2 박막을 증착하는 단계에서, 상기 듀티 사이클을 변경함으로써 상기 제 1 박막 패턴의 측부에 위치하는 상기 제 2 박막의 막질을 제어할 수 있다.
- [0008] 상기 반도체 소자의 패터닝 방법에서, 상기 제 2 박막은 산화막을 포함할 수 있다.
- [0009] 상기 반도체 소자의 패터닝 방법에서, 상기 전구체가스는 실리콘(Si), 티타늄(Ti) 및 탄탈륨(Ta) 중 어느 하나를 함유하는 무기물 또는 유기화합물일 수 있다.
- [0010] 상기 반도체 소자의 패터닝 방법에서, 상기 반응가스는 O₂, N₂O 및 O₃ 중 어느 하나일 수 있다.
- [0011] 상기 반도체 소자의 패터닝 방법의 상기 단계들은 SAMP (Self-Aligned Multiple Patterning) 와 같은 다중 패터닝(Multiple patterning) 공정의 일부를 구성할 수 있다.
- [0012] 상기 과제를 해결하기 위한 본 발명의 다른 관점에 따른 반도체 소자의 패터닝 방법을 제공한다. 상기 반도체 소자의 패터닝 방법은 단차를 가지는 구조체 상에 전구체가스를 제공하여 상기 전구체가스의 적어도 일부가 흡착되는 제 1 단계; 상기 구조체 상에 제 1 퍼지가스를 제공하는 제 2 단계; 상기 구조체 상에 반응가스를 공급하되 펄스형 플라즈마(pulsed plasma)를 발생시킴으로써 상기 구조체 상에 단위증착막을 형성하는 제 3 단계; 및 상기 구조체 상에 제 2 퍼지가스를 제공하는 제 4 단계;를 포함하는 단위사이클을 적어도 1회 이상 수행하여 상기 구조체 상에 박막을 증착하되, 상기 펄스형 플라즈마의 듀티 사이클을 변경함으로써 상기 구조체 상에 증착된 박막 중에서 상기 단차 측벽에 위치하는 박막의 막질을 제어하는 것을 특징으로 한다.

발명의 효과

- [0013] 상기한 바와 같이 이루어진 본 발명의 일부 실시예들에 따르면, 정확한 선폭을 구현할 수 있는 반도체 소자의 패터닝 방법을 제공할 수 있다. 물론 이러한 효과에 의해 본 발명의 범위가 한정되는 것은 아니다.

도면의 간단한 설명

- [0014] 도 1은 본 발명의 일 실시예에 따른 반도체 소자의 패터닝 방법을 순차적으로 도해하는 단면도이다.
- 도 2는 본 발명의 일 실시예에 따른 반도체 소자의 패터닝 방법에서 플라즈마 원자층 증착법(PEALD)에 의하여 제 2 박막을 증착하는 단계를 단계적으로 도해하는 도면이다.
- 도 3은 본 발명의 일 실시예에 따른 반도체 소자의 패터닝 방법에서 플라즈마 원자층 증착법(PEALD)에 의하여 제 2 박막을 증착하는 과정을 도해하는 단면도이다.
- 도 4는 본 발명의 비교예에 따른 반도체 소자의 패터닝 방법에서 플라즈마 원자층 증착법(PEALD)에 의하여 제 2 박막을 증착하는 단계를 단계적으로 도해하는 도면이다.
- 도 5는 본 발명의 비교예에 따른 반도체 소자의 패터닝 방법에서 플라즈마 원자층 증착법(PEALD)에 의하여 제 2 박막을 증착하는 과정을 도해하는 단면도이다.
- 도 6은 본 발명의 일 실시예 및 비교예에 따른 반도체 소자의 패터닝 방법에서 제 2 박막 패턴을 구현하는 과정을 도해하는 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0015] 이하, 첨부된 도면을 참조하여 본 발명의 여러 실시예들을 예시적으로 설명하기로 한다.
- [0016] 명세서 전체에 걸쳐서, 막, 패턴, 영역 또는 기판과 같은 하나의 구성요소가 다른 구성요소 "상에" 위치한다고 언급할 때는, 상기 하나의 구성요소가 직접적으로 상기 다른 구성요소 "상에" 접촉하거나, 그 사이에 개재되는 또 다른 구성요소들이 존재할 수 있다고 해석될 수 있다. 반면에, 하나의 구성요소가 다른 구성요소 "직접적으로 상에" 위치한다고 언급할 때는, 그 사이에 개재되는 다른 구성요소들이 존재하지 않는다고 해석된다.
- [0017] 이하, 본 발명의 실시예들은 본 발명의 이상적인 실시예들을 개략적으로 도시하는 도면들을 참조하여 설명한다. 도면들에 있어서, 예를 들면, 제조 기술 및/또는 공차(tolerance)에 따라, 도시된 형상의 변형들이 예상될 수 있다. 따라서, 본 발명 사상의 실시예는 본 명세서에 도시된 영역의 특정 형상에 제한된 것으로 해석되어서는 아니 되며, 예를 들면 제조상 초래되는 형상의 변화를 포함하여야 한다. 또한, 도면에서 각 층의 두께나 크기는 설명의 편의 및 명확성을 위하여 과장된 것일 수 있다. 동일한 부호는 동일한 요소를 지칭한다.
- [0018] 본 발명의 일부 실시예들에서 박막의 형성 방법은 화학적 기상 증착법(CVD) 또는 원자층 증착법(ALD; Atomic Layer Deposition)으로 구현될 수 있다. 특히, 원자층 증착법은 소스가스 및 반응가스 등을 기판이 배치된 반응기 내에 시간에 따라 불연속적으로 공급함으로써 증착이 구현되는 시분할 방식뿐만 아니라, 소스가스 및 반응가스 등이 공간적으로 이격되면서 연속적으로 공급되는 시스템 내에 기판이 순차적으로 이동함으로써 증착이 구현되는 공간분할 방식을 포함할 수 있다.
- [0019] 도 1은 본 발명의 일 실시예에 따른 반도체 소자의 패터닝 방법을 순차적으로 도해하는 단면도이다.
- [0020] 도 1의 (a) 내지 (g)를 순차적으로 참조하면, 본 발명의 일 실시예에 따른 반도체 소자의 패터닝 방법은 기판(10) 상에 대상막(20)을 형성하는 단계; 대상막(20) 상에 제 1 박막 패턴(30a)을 형성하는 단계; 제 1 박막 패턴(30a) 상에 플라즈마 원자층 증착법(PEALD)에 의하여 제 2 박막(40)을 증착하는 단계; 제 2 박막(40)에 대하여 전면식각 공정을 수행하여 제 1 박막 패턴(30a)의 측부에 위치하는 제 2 박막 패턴(40a)을 형성하는 단계; 제 1 박막 패턴(30a)을 선택적으로 제거하는 단계; 및 제 2 박막 패턴(40a)을 마스크 패턴으로 하여 대상막(20)을 식각하여 대상막 패턴(20a)을 형성하는 단계;를 포함한다.
- [0021] 상기 단계들은 SAMP (Self-Aligned Multiple Patterning)와 같은 다중 패터닝(Multiple patterning) 공정에 적용될 수 있다. 예를 들어, 상기 단계들은, 도면에 도시된 것처럼, 더블 패터닝 공정(DPT; Double Patterning Technology)의 일부를 구성할 수 있다. 또한, 도면에 도시하지는 않았으나, 상기 단계들은, 예를 들어, 쿼드러플 패터닝 공정(QPT; Quadruple Patterning Technology)의 일부를 구성할 수도 있다.
- [0022] 기판(10)은, 예를 들어, 반도체 기판, 도전체 기판 또는 절연체 기판 등을 포함할 수 있다. 다만, 기판(10)을 구성하는 물질에 의하여 본 발명의 권리범위가 한정되는 것은 아니다.
- [0023] 대상막(20)과 제 1 박막 패턴(30a)은 식각 선택비를 가지는 물질로 각각 이루어질 수 있다. 대상막(20)과 제 2 박막 패턴(40a)은 식각 선택비를 가지는 물질로 각각 이루어질 수 있다. 제 1 박막 패턴(30a)과 제 2 박막 패턴(40a)은 식각 선택비를 가지는 물질로 각각 이루어질 수 있다. 본 명세서에서 두 구성요소가 식각 선택비를 가진다는 것은 특정 조건 하에서 식각 공정을 수행할 경우 각각의 구성요소를 이루는 물질의 식각률 차이로 어느 하나의 구성요소가 의미있게 잔류하되 다른 나머지 하나의 구성요소가 효과적으로 제거될 수 있다는 것을 의미할 수 있다.
- [0024] 도 1의 (c)를 참조하면, 제 1 박막 패턴(30a) 상에 플라즈마 원자층 증착법(PEALD)에 의하여 제 2 박막(40)을 균일하게 증착한다. 제 1 박막 패턴(30a)은 단차를 가지는 구조체로서, 예를 들어, 복수의 라인 앤드 스페이스(line and space) 패턴을 포함할 수 있다.
- [0025] 도 2는 본 발명의 일 실시예에 따른 반도체 소자의 패터닝 방법에서 플라즈마 원자층 증착법(PEALD)에 의하여 제 2 박막을 증착하는 단계를 단계적으로 도해하는 도면이고, 도 3은 본 발명의 일 실시예에 따른 반도체 소자의 패터닝 방법에서 플라즈마 원자층 증착법(PEALD)에 의하여 제 2 박막을 증착하는 과정을 도해하는 단면도이다.
- [0026] 도 2 및 도 3을 함께 참조하면, 플라즈마 원자층 증착법(PEALD)에 의하여 제 2 박막(40)을 증착하는 단계는 기판(10) 상에 전구체(precursor) 가스를 제공하여 제 1 박막 패턴(30a) 상에 상기 전구체 가스의 적어도 일부가 흡착되는 제 1 단계; 기판(10) 상에 제 1 퍼지가스(purge gas)를 제공하는 제 2 단계; 기판(10) 상에 상기 반응

가스를 공급하되 펄스형 플라즈마(pulsed plasma)를 발생시킴으로써 제 1 박막 패턴(30a) 상에 단위증착막을 형성하는 제 3 단계 및 기관(10) 상에 제 2 퍼지가스(purge gas)를 제공하는 제 4 단계를 포함하는 단위사이클을 적어도 1회 이상 수행함으로써 구현된다. 도 2에서는, 예시적으로, 상기 단위사이클이 2회 수행되는 과정을 도해한다.

- [0027] 제 2 박막(40)은, 예시적으로, 산화막을 포함할 수 있다. 한편, 상기 전구체가스는, 예시적으로, 실리콘(Si), 티타늄(Ti) 및 탄탈륨(Ta) 중 어느 하나를 함유하는 무기물 또는 유기화합물일 수 있으며, 상기 반응가스는, 예시적으로, O₂, N₂O 및 O₃ 중 어느 하나일 수 있다.
- [0028] 제 2 박막(40)을 증착하는 단계에서, 상기 펄스형 플라즈마(pulsed plasma)는 주파수가 10 Hz 내지 1000 kHz의 범위를 가질 수 있다. 또한, 상기 펄스형 플라즈마에서 듀티 사이클(duty cycle)은 10 내지 90%의 범위를 가질 수 있는 바, 예를 들어, 온 타임(on time)은 5 μs 내지 90 ms의 범위를 가지며, 오프 타임(off time)은 5 μs 내지 90 ms의 범위를 가질 수 있다. 통상적으로 알에프(RF) 플라즈마는 플라즈마가 계속 온 상태를 전제로 하는 것임에 반하여, 펄스형 플라즈마는 상대적으로 짧은 시간에 플라즈마가 온 상태와 오프 상태를 교대로 반복하는 것을 전제로 하는 것임을 구분해야 한다.
- [0029] 본 발명자는, 제 2 박막(40)을 증착하는 단계 중에서, 기관(10) 상에 반응가스를 공급하되 펄스형 플라즈마(pulsed plasma)를 발생시켜 단위증착막을 형성하는 과정을 도입함으로써 제 1 박막 패턴(30a)의 측부에 위치하는 제 2 박막(40)의 밀도(density)가 개선될 수 있음을 확인하였다. 나아가, 상기 펄스형 플라즈마의 듀티 사이클을 변경함으로써 제 1 박막 패턴(30a)의 측부에 위치하는 제 2 박막(40)의 막질을 제어할 수 있음을 확인하였다.
- [0030] 펄스형 플라즈마를 사용할 경우 짧은 시간 내에 플라즈마가 온/오프를 반복하면서 플라즈마의 직진성이 감소된다. 이는 이온 충돌(ion bombardment)에 의하여 생기는 단차 구조의 상하부(top/bottom)와 측벽(side) 상의 박막 간의 밀도 차이를 감소 내지 역전시키는 장점이 있다.
- [0031] 즉, 상기 제 3 단계는 플라즈마의 온오프 동작이 반복 수행됨으로써 플라즈마에 의해 생성된 상기 반응가스의 이온들이 제 1 박막 패턴(30a)에 흡착된 상기 전구체가스의 물질과 반응하고 나머지는 퍼지되는 단계가 반복하여 수행됨으로써 제 2 박막(40)의 불순물 농도를 상대적으로 감소시키고 제 1 박막 패턴(30a)의 측부에 위치하는 제 2 박막(40)의 밀도가 상대적으로 증가되는 단계를 포함할 수 있다.
- [0032] 이하에서는, 제 2 박막(40)을 증착하는 단계 중에서, 기관(10) 상에 반응가스를 공급하되 상술한 펄스형 플라즈마(pulsed plasma)를 발생시키는 것이 아니라 소위 다이렉트 플라즈마(direct plasma)를 발생시켜 단위증착막을 형성하는 과정을 비교예로서 설명한다.
- [0033] 도 4는 본 발명의 비교예에 따른 반도체 소자의 패터닝 방법에서 플라즈마 원자층 증착법(PEALD)에 의하여 제 2 박막을 증착하는 단계를 단계적으로 도해하는 도면이고, 도 5는 본 발명의 비교예에 따른 반도체 소자의 패터닝 방법에서 플라즈마 원자층 증착법(PEALD)에 의하여 제 2 박막을 증착하는 과정을 도해하는 단면도이다.
- [0034] 도 4 및 도 5를 함께 참조하면, 플라즈마 원자층 증착법(PEALD)에 의하여 제 2 박막(40)을 증착하는 단계는 기관(10) 상에 전구체(precursor) 가스를 제공하여 제 1 박막 패턴(30a) 상에 상기 전구체 가스의 적어도 일부가 흡착되는 제 1 단계; 기관(10) 상에 제 1 퍼지가스(purge gas)를 제공하는 제 2 단계; 기관(10) 상에 상기 반응가스를 공급하되 다이렉트 플라즈마(direct plasma)를 발생시킴으로써 제 1 박막 패턴(30a) 상에 단위증착막을 형성하는 제 3 단계 및 기관(10) 상에 제 2 퍼지가스(purge gas)를 제공하는 제 4 단계를 포함하는 단위사이클을 적어도 1회 이상 수행함으로써 구현된다. 도 4에서는, 예시적으로, 상기 단위사이클이 2회 수행되는 과정을 도해한다.
- [0035] 다이렉트 플라즈마를 사용하는 경우, 플라즈마의 직진성으로 인하여 단차 구조의 상하부(top/bottom)에 형성되는 제 2 박막(40)에 비하여 단차 구조의 측벽(side)에 형성되는 제 2 박막(40)이 낮은 밀도(density)를 가지는 것으로 확인되었다. 낮은 밀도를 가지는 측벽 상의 제 2 박막(40)은 제 2 박막(40)을 식각하는 과정에서 과식각(over etching)되어 원하는 크기의 제 2 박막 패턴(40a)을 구현하기 어려운 단점을 가진다.
- [0036] 도 6은 본 발명의 일 실시예 및 비교예에 따른 반도체 소자의 패터닝 방법에서 제 2 박막 패턴을 구현하는 과정을 도해하는 단면도이다.
- [0037] 도 6의 (a), (b), (c) 는 본 발명의 비교예에 따른 반도체 소자의 패터닝 방법에서 제 2 박막 패턴을 구현하는 과정을 도해하며, 도 6의 (a), (b), (d) 는 본 발명의 일 실시예에 따른 반도체 소자의 패터닝 방법에서 제 2

박막 패턴을 구현하는 과정을 도해하는 것이다.

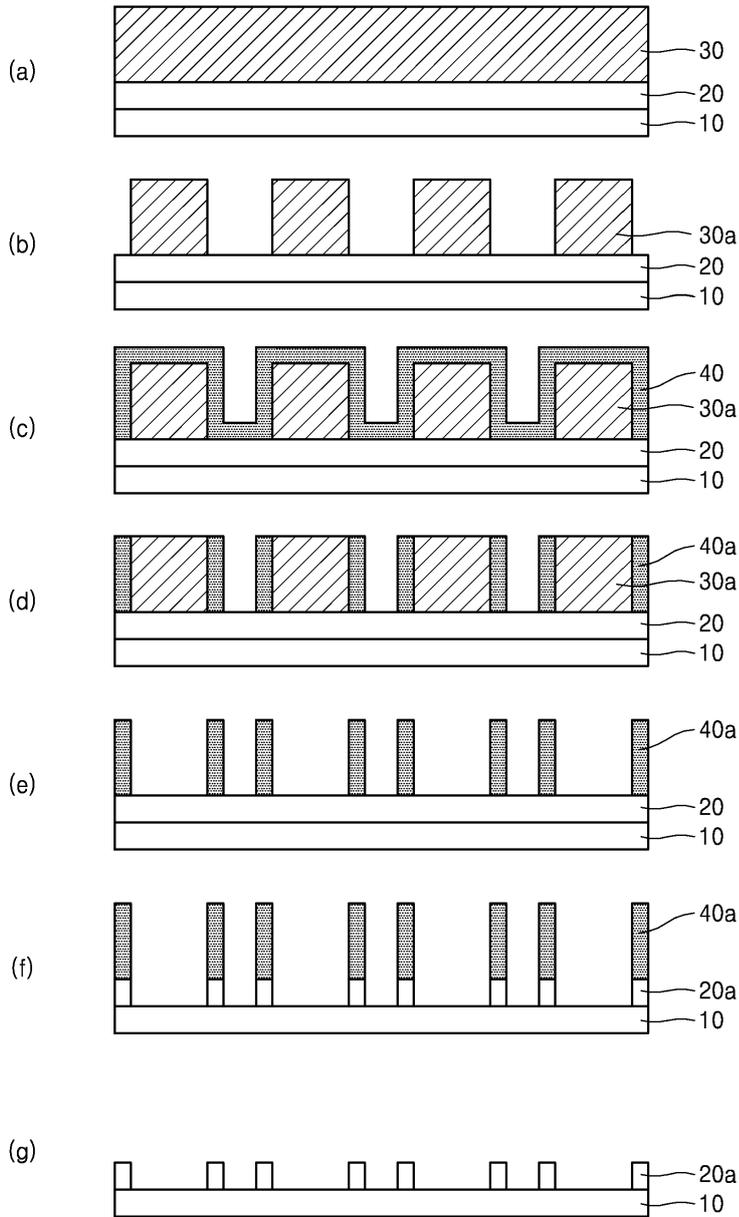
- [0038] 도 6의 (a)를 참조하면, 기판(10) 상에 대상막(20)을 형성한 후, 대상막(20) 상에 제 1 박막 패턴(30a)을 형성한다.
- [0039] 도 6의 (b)를 참조하면, 제 1 박막 패턴(30a) 상에 플라즈마 원자층 증착법(PEALD)에 의하여 제 2 박막(40)을 균일하게 증착한다. 다만, 본 발명의 비교예에 따른 반도체 소자의 패터닝 방법에서는 도 4 및 도 5에 도시된 것처럼 다이렉트 플라즈마(direct plasma)를 발생시켜 단위증착막을 형성하는 플라즈마 원자층 증착법(PEALD)을 사용하는 반면에, 본 발명의 일 실시예에 따른 반도체 소자의 패터닝 방법에서는 도 2 및 도 3에 도시된 것처럼 펄스형 플라즈마(pulsed plasma)를 발생시켜 단위증착막을 형성하는 플라즈마 원자층 증착법(PEALD)을 사용한다.
- [0040] 도 6의 (c)를 참조하면, 본 발명의 비교예에 따른 반도체 소자의 패터닝 방법에서는 제 2 박막(40)에 대하여 전면식각 공정을 수행하여 제 1 박막 패턴(30a)의 상부에 위치하는 제 2 박막(40)과 제 1 박막 패턴(30a) 사이의 제 2 박막(40)을 제거하고, 제 1 박막 패턴(30a)의 측부에 위치하는 제 2 박막(40)만 잔류하게 되어 제 2 박막 패턴(40a)을 형성하게 된다. 이 경우, 다이렉트 플라즈마의 직진성에 기인하여 제 1 박막 패턴(30a)의 측부에 위치하는 제 2 박막(40)의 밀도가 상대적으로 낮아서 상기 전면식각 공정에서 일부가 제거되어 원하는 크기의 제 2 박막 패턴(40a)을 구현할 수 없다는 문제점이 있다.
- [0041] 도 6의 (d)를 참조하면, 본 발명의 일 실시예에 따른 반도체 소자의 패터닝 방법에서는 제 2 박막(40)에 대하여 전면식각 공정을 수행하여 제 1 박막 패턴(30a)의 상부에 위치하는 제 2 박막(40)과 제 1 박막 패턴(30a) 사이의 제 2 박막(40)을 제거하고, 제 1 박막 패턴(30a)의 측부에 위치하는 제 2 박막(40)만 잔류하게 되어 제 2 박막 패턴(40a)을 형성하게 된다. 이 경우, 펄스형 플라즈마는 직진성을 상대적으로 감소시켜 제 1 박막 패턴(30a)의 측부에 위치하는 제 2 박막(40)의 밀도가 상대적으로 높아져서 상기 전면식각 공정에서도 원하는 크기의 제 2 박막 패턴(40a)을 구현할 수 있다.
- [0042] 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

부호의 설명

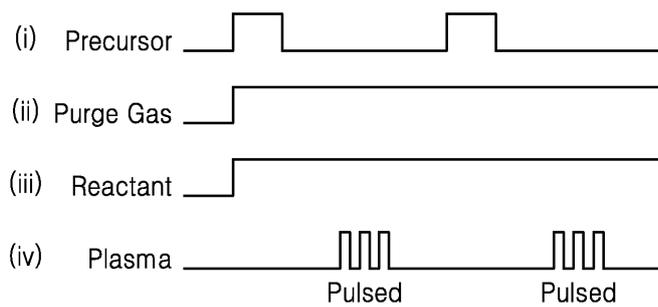
- [0043] 10 : 기판
- 20 : 대상막
- 30a : 제 1 박막 패턴
- 40 : 제 2 박막
- 40a : 제 2 박막 패턴

도면

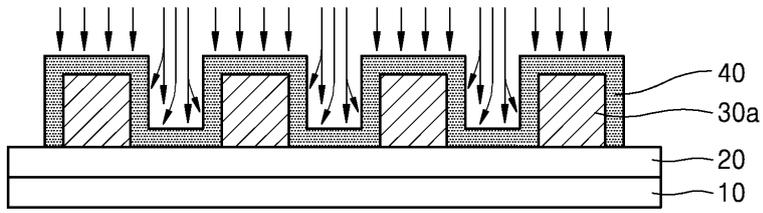
도면1



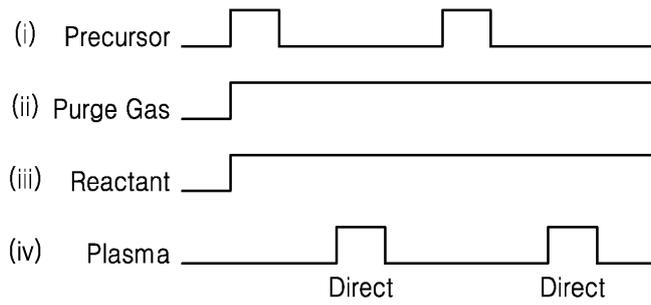
도면2



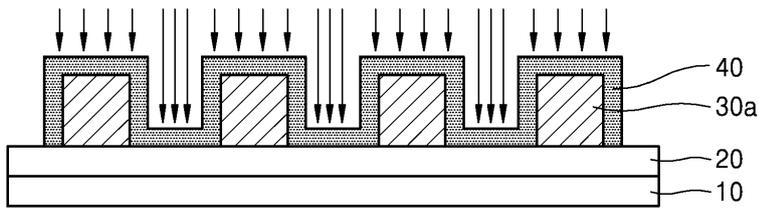
도면3



도면4



도면5



도면6

