

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3697728号
(P3697728)

(45) 発行日 平成17年9月21日(2005.9.21)

(24) 登録日 平成17年7月15日(2005.7.15)

(51) Int. Cl.⁷

F I

G 1 1 B 20/18
G 0 6 F 11/14
G 1 1 B 20/10

G 1 1 B 20/18 5 4 4 A
G 1 1 B 20/18 5 5 0 F
G 1 1 B 20/18 5 7 2 B
G 1 1 B 20/18 5 7 2 G
G 0 6 F 11/14 3 1 0 F

請求項の数 3 (全 15 頁) 最終頁に続く

(21) 出願番号 特願平6-278636
(22) 出願日 平成6年10月19日(1994.10.19)
(65) 公開番号 特開平8-115227
(43) 公開日 平成8年5月7日(1996.5.7)
審査請求日 平成13年10月4日(2001.10.4)

(73) 特許権者 000002185
ソニー株式会社
東京都品川区北品川6丁目7番35号
(74) 代理人 100086841
弁理士 脇 篤夫
(74) 代理人 100102635
弁理士 浅見 保男
(72) 発明者 姫野 卓治
東京都品川区北品川6丁目7番35号 ソ
ニー株式会社内
(72) 発明者 高畑 弘
東京都品川区東品川1-19-5 グリー
ンハイツ東品川205 有限会社アレフ内

審査官 松平 英

最終頁に続く

(54) 【発明の名称】 メモリアクセス方法、メモリコントロール装置及び再生装置

(57) 【特許請求の範囲】

【請求項1】

複数ワードで処理単位となるデータブロックが構成されているとともに、メモリ上の同一アドレスに書き込まれるべきデータブロックが前記メモリに対して複数回転送されてくる可能性がある場合におけるメモリアクセス方法として、

各データブロック単位のアドレスとなる記憶領域について、必要なデータブロックの記憶がされている時点では、そのデータブロック内の少なくとも所定のワードについてのエラーフラグがオフとされた記憶状態とし、

また各データブロック単位のアドレスとなる記憶領域について、記憶されているデータブロックが不要となった時点では、そのデータブロック内の少なくとも所定のワードについて

10

のエラーフラグがオンとされた記憶状態とし、
転送されてきたデータブロックに対するエラー状態を判定したのち、上記判定結果に基づきメモリへの書き込みが可能と判断されたデータブロックのメモリへの書き込みを実行する際には、そのデータブロックを書込むべきアドレスにおいて前記所定のワードについてのエラーフラグを検査し、エラーフラグがオンであれば書込アクセス動作を実行し、エラーフラグがオフであれば書込アクセス動作を実行しないようにしたことを特徴とするメモリアクセス方法。

【請求項2】

複数ワードで処理単位となるデータブロックが構成されているとともに、メモリ上の同一アドレスに書き込まれるべきデータブロックが前記メモリに対して複数回転送されてく

20

る可能性があるデータ転送システムにおけるメモリコントロール装置として、

各データブロック単位のアドレスとなる記憶領域について、必要なデータブロックの記憶がされている時点では、そのデータブロック内の少なくとも所定のワードについてのエラーフラグがオフとされた記憶状態とするとともに、各データブロック単位のアドレスとなる記憶領域について、記憶されているデータブロックが不要となった時点では、そのデータブロック内の少なくとも所定のワードについてのエラーフラグがオンとされた記憶状態とすることができるエラーフラグ設定手段と、

転送されたデータブロックのエラー状態に基づいて上記メモリへの書き込みが可能か否かを判定する判定手段と、

データブロックの転送に応じて、そのデータブロックを書込むべきアドレスにおいて前記所定のワードについてのエラーフラグを検査するエラーフラグ検査手段と、

上記判定手段によってメモリに対する書き込みが可能と判定されると共に、前記エラーフラグ検査手段によって、エラーフラグのオンが検出されたら転送されてきたデータブロックについてのメモリに対する書込アクセス動作を実行し、またエラーフラグのオフが検出されたら、転送されてきたデータブロックについてのメモリに対する書込アクセス動作を禁止するアクセス制御手段と、

を備えたことを特徴とするメモリコントロール装置。

【請求項3】

複数ワードで処理単位となるアドレスを備えたデータブロックが記録された記録媒体であって、上記記録媒体には同一のアドレスを備えるデータブロックが複数記録され、上記記録媒体から上記データブロックを再生する再生装置において、

上記記録媒体からデータブロックを再生する再生手段と、

上記再生されたデータブロックのエラー状態を判別する判別手段と、

上記データブロックが記憶される記憶手段と、

上記記憶手段に記憶されるデータブロック単位のエラーフラグを保持する保持手段と、

上記保持手段に保持された所定のエラーフラグをセットする設定手段と、

上記保持手段に保持されたエラーフラグのセット状態を判定する判定手段と、

上記記憶手段に記憶されたデータブロックを読み出して出力する出力手段と、

上記記憶手段に記憶されたデータブロックが上記出力手段によって出力されて不要になった場合には上記保持手段に保持されたエラーフラグがセットされるように上記設定手段を制御し、上記再生手段にて再生されたデータブロックが上記記憶手段に記憶可能と上記判別手段が判別すると共に上記保持手段に保持されたエラーフラグがセットされていると上記判定手段にて判別された場合には、上記再生されたデータブロックを上記記憶手段に記憶させると共に上記保持手段に保持されたエラーフラグをリセットし、上記再生手段にて再生されたデータブロックが上記記憶手段に記憶可能と上記判別手段にて判別された場合であっても上記保持手段に保持されたエラーフラグがリセットされていると上記判定手段にて判別された場合には、上記再生されたデータブロックの上記記憶手段への記憶を禁止する制御手段と

を備える再生装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

本発明は、例えばデータストリーマと称されるデータ記録再生装置やオーディオデータの記録再生装置などにおいて、メモリに対して同一アドレスに書き込まれるべきデータブロックが複数回転送されてくる可能性があるシステムにおいて好適なメモリアクセス方法、メモリコントロール装置及び再生装置に関するものである。

【0002】

【従来の技術】

S-RAM(スタティックRAM)に比べて大容量化が容易で、またビットあたりのコストも安いD-RAM(ダイナミックRAM)は、各種システムにおいて広く使用されてい

10

20

30

40

50

る。

【0003】

このようなD-RAMとして、例えば1Mワード×1ビットD-RAMの場合、10ビットのアドレス端子が形成され、各アドレス端子には行アドレスと列アドレスがマルチプレクスされた状態で時分割されて入力されるため、 $2^{10} \times 2^{10} = 1048576$ 個(1Mビット)のメモリセルの1つに対して任意にアクセスすることができる。

【0004】

行アドレスは、反転RAS信号の立ち下りによって各アドレス端子から内部の行アドレスバッファにラッチにされ、また列アドレスは、反転CAS信号の立ち下りによって各アドレス端子から内部の列アドレスバッファにラッチにされる。

アクセス動作としては、反転RAS信号で行アドレスを取り込み、その後の反転CAS信号によって1又は複数の列アドレスが順次取り込まれることによって、行アドレス及び列アドレスで指定される所要のメモリセルに対するデータの書込/読出が行なわれる。

【0005】

【発明が解決しようとする課題】

ところで、反転RAS信号により行アドレスのアクセスが行なわれた場合、その1行についての全てのメモリセルに対応してセンスアンプを活性化させて、リフレッシュを実行すると同時に、各メモリセルのデータを出力バッファに取り込む。このため、行アドレスのアクセス時には大きなスパイク電流が流れるという性質がある。

さらに、D-RAMのアクセス時に発生するスパイク電流やIC端子のトランジェントによってシステムノイズが増加するという性質もあった。

このため、D-RAMを用いるシステムでは、不必要なアクセスは極力避けるようにすることが要求される。

【0006】

ここで、回転ヘッド・ヘリカルスキャン方式のデジタルテープレコーダを考える。デジタルテープレコーダでは磁気テープから再生されたデータをエラー訂正処理などのために一旦D-RAMに書き込むようにしている。

このようなデジタルテープレコーダでは、テープパスが、規制された範囲内でメカニズム毎にずれ、テープ上の記録再生位置がずれる場合がある。また、テープ上のトラックに対するスキャンの始まりと終りの部分は、ヘッドとテープのあたりが不安定でデータ読取エラーが生ずる場合があった。

【0007】

そこで、スキャンの最初と最後となる部分に同じデータブロックを2重書きしておき、再生時にD-RAMの同じアドレスに割り当てるようにして、2重書きしたデータブロックのうち読取りセーフとなった側のデータブロックをD-RAMに書き込むようにしている。これによりスキャンの最初と最後となる部分のいずれか一方のデータブロックがテープから読取れない場合が生じて、データの欠落は生じないことになる。

【0008】

ところが、両方のデータブロックがテープから適正に読み込めた場合は、D-RAMに対しては同じデータを2回同じアドレスに書き込むことになる。つまり、最初に読み取れエラーチェックがセーフであったデータブロックをD-RAMに対して或るアドレスに書き込んだ後、ふたたびD-RAMにはそのアドレスに書き込むべきデータブロックが転送されてくることになり、同一内容のデータブロックどうしでD-RAM内容の不必要な書換動作を実行してしまうことになる。このようなD-RAMに対する不要なアクセスは、消費電力やシステムノイズの増大を招くことになってしまう。

【0009】

また、回転ヘッド・ヘリカルスキャン方式のデジタルテープレコーダの一種として、いわゆるノントラッキング方式のものが知られている。これは、再生時にトラッキング制御を行なって記録トラックを正確にトレースする代わりに、再生時には記録時の2倍の密度でスキャンすることによって、例え再生ヘッドが記録トラックに対して斜めにトレースして

10

20

30

40

50

しまっても、すべてのデータブロックを読み取ることができるようにしているものである。

この高密度のノントラックトレースでテープ上で同じデータブロックが読み取れる回数は、再生スキャンの傾き具合によってほぼ1回から2回の間分布している。

【0010】

ここで2回以上、同一のデータブロックが読み取れた場合を考えると、2回目以降のデータブロックについては、D-RAM上では、既に1回目の読み出しで記憶されているデータブロックに対して同一内容のデータで不要な書き換えを行なうことになってしまう。そして、このようなD-RAMに対する不要なアクセスは、消費電力やシステムノイズの増大を招くことになる。

10

【0011】

つまり、このようなデジタルテープレコーダ上のD-RAMなどのように、メモリ上の同一アドレスに書き込まれるべきデータブロックがメモリに対して複数回転送されてくる可能性があるシステムでは、無駄なアクセス動作が実行されることが多く、しかもD-RAMではアクセス時に大きな電流を消費するため、消費電力の増大やシステムノイズの増大を招き、また電池駆動のシステムであれば電池寿命の短命化を招いているという問題があった。

【0012】

【課題を解決するための手段】

本発明はこれらの問題に鑑みて、不要なアクセスによる電力消費、及びシステムノイズを削減することを目的とする。

20

【0013】

このため、複数ワードで処理単位となるデータブロックが構成されているとともに、メモリ上の同一アドレスに書き込まれるべきデータブロックがメモリに対して複数回転送されてくる可能性がある場合におけるメモリアクセス方法として次のように実行する。

各データブロック単位のアドレスとなる記憶領域について、必要なデータブロックの記憶がされている時点では、そのデータブロック内の少なくとも所定のワードについてのエラーフラグがオフとされた記憶状態とし、また各データブロック単位のアドレスとなる記憶領域について、記憶されているデータブロックが不要となった時点では、そのデータブロック内の少なくとも所定のワードについてのエラーフラグがオンとされた記憶状態とするようにする。

30

そして、転送されてきたデータブロックに対するエラー状態を判定したのち、上記判定結果に基づきメモリへの書き込みが可能と判断されたデータブロックのメモリへの書き込みを実行する際には、そのデータブロックを書込むべきアドレスにおいて所定のワードについてのエラーフラグを検査し、エラーフラグがオンであれば書込アクセス動作を実行し、エラーフラグがオフであれば書込アクセス動作を実行しないようにする。

【0014】

また、複数ワードで処理単位となるデータブロックが構成されているとともに、メモリ上の同一アドレスに書き込まれるべきデータブロックがメモリに対して複数回転送されてくる可能性があるデータ転送システムにおいて、上記アクセス方法を実現するメモリコントロール装置として、エラーフラグ設定手段と、判定手段と、エラーフラグ検査手段と、アクセス制御手段とを備えるようにする。

40

エラーフラグ設定手段は、各データブロック単位のアドレスとなる記憶領域について、必要なデータブロックの記憶がされている時点では、そのデータブロック内の少なくとも所定のワードについてのエラーフラグがオフとされた記憶状態とするとともに、各データブロック単位のアドレスとなる記憶領域について、記憶されているデータブロックが不要となった時点では、そのデータブロック内の少なくとも所定のワードについてのエラーフラグがオンとされた記憶状態とすることができるように構成する。

判定手段は、転送されたデータブロックのエラー状態に基づいて上記メモリへの書き込みが可能か否かを判定することができるようにする。

50

エラーフラグ検査手段は、データブロックの転送に応じて、そのデータブロックを書込むべきアドレスにおいて所定のワードについてのエラーフラグを検査することができるようにする。

アクセス制御手段は、上記判定手段によってメモリに対する書き込みが可能と判定されると共に、エラーフラグ検査手段によって、エラーフラグのオンが検出されたら転送されてきたデータブロックについてのメモリに対する書込アクセス動作を実行し、またエラーフラグのオフが検出されたら、転送されてきたデータブロックについてのメモリに対する書込アクセス動作を禁止する。

【 0 0 1 5 】

【作用】

必要なデータブロックが一旦書き込まれたら、そのデータブロックについてエラーフラグをオフとするようにする。そして、或るデータブロックがメモリに転送されてきて書き込みが行なわれる際には、その書き込むべきアドレスに記憶されているデータについてエラーフラグを確認する。このとき、エラーフラグがオフであれば、転送されてきたデータと同一データが既に記憶されていることになり、つまり、そのデータ転送は2回目以降のデータ転送であって、新たに書き込む必要はないと判断することができる。従ってこの場合は書き込みアクセスを実行しないことで不要なアクセス動作を発生させないようにすることができる。

【 0 0 1 6 】

【実施例】

以下、本発明の実施例として、まず磁気テープを記録媒体とし、回転ヘッドによってノントラッキング方式でオーディオデータを記録再生する記録再生装置において搭載されるD-RAMに対するアクセス方法及びメモリコントロール装置について説明する。

この場合、記録/再生やエラー訂正のためにオーディオデータ等をD-RAMに記憶させるものであるが、まず最初にデータフォーマットについて述べておく。

【 0 0 1 7 】

ノントラッキング方式で磁気テープに対する記録/再生を行なうものが知られているが、この場合、図3に示すように磁気テープTにはヘッドのヘリカルスキャン方式により斜め方向にトラックTKが形成されていくことに対し、再生時にはPa, Pbとして示すように記録時より高密度スキャンを行なうことにより、トラックを正確にトレースしなくてもトラックTK上の全データを読み込むことができるようにしている。さらに読み込んだデータはデータとともに記録されているアドレスを用いて並び変えていくことで、正確な再生データストリームを再構成することができるようにしたものである。

【 0 0 1 8 】

図4にノントラッキング方式における磁気テープ上のトラックTKの構成を示す。

図4(a)に示すように、1トラックは108ブロックで構成される。1ブロックは288ビットである。

トラックのうち中央の92ブロックがメインデータ領域とされ、その両側に9ブロックの内側2重記録領域、及び7ブロックの外側2重記録領域が形成されている。

【 0 0 1 9 】

内側2重記録領域では、その位置から外側方向に92ブロック離れたメインデータ領域内のブロックと同一内容のデータが記録され、また外側2重記録領域では、その位置から内側方向に92ブロック離れたメインデータ領域内のブロックと同一内容のデータが記録されている。これらは、テープの揺動でヘッドの当たり位置がずれても、互いに補い合うようにされ、つまりメインデータ領域内に記録されているブロックとしてのデータについて、読取不能のブロック(データ内容)が発生しないようにしている。

【 0 0 2 0 】

メインデータ領域については、中央の2ブロックがサブコード(AUX)、その両側の各1ブロックがIBG(Inter-block Gap)、さらにその両側の各4ブロックが制御コード(CTL)の領域とされる。制御コード(CTL)としては、各種のID情報や曲の頭だし

10

20

30

40

50

信号等が記録される。高速サーチ時などにこの制御コード（CTL）の領域については一部しか読み取れないことに鑑みて、8ブロックの各ブロックの内容は同一のデータとされている。つまり同一内容のデータが異なるアドレスで8回繰り返して記録されている。制御コード（CTL）となる領域の両側において、40ブロックずつのデータ領域が形成される。

【0021】

1ブロック内の信号フォーマットは図9（b）のようになる。

まず先頭11ビットがシンクパターンとされ、続いて13ビットでアドレスADRSが記録される。このアドレスADRSは6ビットのトラックアドレスと7ビットのブロックアドレスにより構成されている。

10

各ブロックにはこのようにトラックアドレスとブロックアドレスが記録されていることにより、再生時にはブロック毎にD-RAM上の所定のアドレスに書き込んでいって、適正なブロック順序でデータストリームを再構成することができる。

【0022】

つまり、ノントラック方式の場合、必ずしもトラックTKが正確にトレースされないため、図3に示したように高密度スキャンを行なうことで各トラックについて全ブロックを読み出すことができるようにしているが、この場合各ブロックの読出順序はランダムなものとなる。読み出されたブロックデータは一旦RAMに蓄えられるが、このとき、RAM上ではトラックアドレスとブロックアドレスを用いて書き込みアドレスを生成し各ブロックデータを書き込んでいく。従って、或るトラックについて全ブロックが読み取れた段階では、RAM上ではそのトラックのデータが並んでいるものとなる。従ってRAMから順番にブロックデータを読み出せば適正なデータストリームが再構成されたことになる。

20

【0023】

アドレスADRSに続いて各12ビットで4ワードのP、Qパリティ（ P_{OD} 、 Q_{OD} 、 P_{EV} 、 Q_{EV} ）が記録される。

そしてパリティワードに続いて各12ビットで16ワードの音声データ（ L_1 、 R_1 、 \dots 、 L_8 、 R_8 ）が記録される。

16ワードの音声データ（ L_1 、 R_1 、 \dots 、 L_8 、 R_8 ）に続いて、各12ビットで2つのCRCワードが記録される。このCRCワードはブロック単位のデータについての誤り検査に用いられる。

30

【0024】

また、このCRCワードには、オーバーライトプロテクトコード（OWPコード）も記録される。OWPコードは同じ2ワードを並べて24ビットのCRCとEX-ORをとってから記録するようにしている。従って再生時には、再生データから生成したCRCとのEX-ORを取ることで、OWPコードを復元することができる。

【0025】

以上のようなフォーマットのトラックデータについての再生系の回路ブロックを図1に示す。

図1において、1は4MビットのD-RAMである。

回転ヘッドのヘリカルスキャンにより回転ヘッドの1回転につき1トラックが記録され、また再生されることになるが、ここで1トラックを『V』と呼ぶこととすると、記録データ又は再生データを記憶するD-RAMには128V分の記憶容量を持つものとする。

40

【0026】

従ってD-RAM上ではまず、図5に模式的に示すように0V～127Vというトラックに対応したアドレスとして、V6～V0の7ビットによるアドレス空間が形成される。

1つのVアドレス内では、128ブロック分の領域があり、ブロックアドレスとしてB0～B6の7ビットで、00h～7Fhのアドレスが形成される。（『h』が付された値は16進表記）

また各ブロックの領域はデータ16ワード及びパリティ4ワードに対応して、W0～W3の4ビットで0Ch～1Fhのワードアドレスが形成される。

50

以上、D - R A M 1 は、トラックアドレス V 0 ~ V 6、ブロックアドレス B 0 ~ B 7、ワードアドレス W 0 ~ W 3 による、18ビットのアドレス空間とされている。

【0027】

このD - R A M 1 は、図1の各部が含まれる信号処理ICに対して外付けされている構成とする。そして、1ワードにつき16ビットが割り当てられるが、D - R A M 1 は4ビット幅とされており、1ワードのアクセスについては、1回の行アクセス内で4回の列アクセスを行なうことで実行するようにする。

D - R A M 1 上の16ビットの1ワードにおいて、最初の4ビットはエラーフラグとし、その後の3回アクセス分の12ビットが、データ、即ち図4に示した1ワードのデータが割り当てられる。

10

エラーフラグとしては、セーフの場合には4ビット内の1ビットを『0』とし、またエラーの場合は、『1』を書き込むこととする。

【0028】

テープから読み出されたブロックデータはD - R A M 1 に記憶されていくことになるが、ブロックデータの書き込みアクセス動作の前に、まず、記憶されたD - R A M 1 に対する処理を先に説明する。

【0029】

図1において18はD - R A M 1 に対するインターフェース回路である。

D - R A M 1 に書き込まれたデータブロックは、まず誤り訂正処理が行なわれることになるが。インターフェース回路18を介してD - R A M 1 から読み出されたデータブロックは、データバス17を介して誤り訂正/PQセット処理回路21に供給される。なお、データバス17は、1ワードにつき12ビットのデータと1ビットエラーフラグについて使用されている。20は訂正処理及びPQセットについての制御を行なう誤り訂正/PQセット制御回路である。

20

【0030】

訂正処理が施されたデータについては、D - R A M 1 上で訂正OKのデータについてはエラーフラグオフ(『0』)とされ、訂正しきれなかったデータについてはエラーフラグオン(『1』)とされる。

訂正処理後は一定周期でD - R A M 1 から読み出されるデータが、D A データラッチ回路22に取り込まれる。19はD A 出力/エラーセットアドレス発生回路であり、D A データラッチ回路22に対してラッチクロックを供給している。

30

【0031】

D A データラッチ回路22には12ビット幅に圧縮されているオーディオデータが供給されることになるが、このデータが伸長回路23で18ビットに伸長される。

またD A データラッチ回路22にラッチされた1ワードのデータにつきエラーフラグがオンとされていた場合、即ち訂正処理で訂正しきれないものであった場合は、補間回路24で補間処理が施される。そして、D/A変換器25においてアナログオーディオ信号とされ、端子26から再生音声信号として出力されることになる。

【0032】

ここで、D - R A M 1 に対して使い終わったメモリエリアについては、次にテープから読み出されてくるブロックデータの書き込みに先だって、エラーフラグを『1』としておく処理が行なわれる。

40

即ち、D/A変換器25側へ出力し終わったデータが記憶されていたのメモリエリアへのエラーフラグセットとして、D A 出力/エラーセットアドレス発生回路19は、D/A変換器25側への周期的なD - R A M 1 からのデータ読み出しアクセススロットの直後のスロットにおいて、同じアドレスにエラーフラグ=1を書き込むようにしている。

【0033】

また、P、Qパリティワードについても同様に、不要となったメモリエリアには次にテープから読み出されてくるブロックデータの書き込みに先だって、エラーフラグを『1』としておく処理が行なわれる。

50

即ち、誤り訂正 / P Q セット制御回路 20 は、訂正処理の終わった P , Q パリティワードに対して D - R A M 1 上で同じアドレスにエラーフラグ = 1 を書き込むようにしている。

【 0 0 3 4 】

以上のように D - R A M 1 では、使い終わったワードデータについては、エラーフラグがセットされていることになる。そしてテープから読み出されたデータについての D - R A M 1 への書き込みアクセス時には、エラーフラグが参照されることになる。以下、この動作について説明する。

【 0 0 3 5 】

図 1 において 2 は回転ヘッド部を示し、A ヘッド、B ヘッドによるヘリカルスキャン再生が行なわれる。A ヘッド、B ヘッドはほぼ 180° 対向して配置されている。A ヘッド、B ヘッドによって読み取られた信号はヘッドアンプ 3 で増幅された後、波形等化器 4 を介して P L L 回路 5 に供給される。P L L 回路 5 では再生データから再生クロックが生成され、復調回路 6 で再生クロックを用いてデータの復調処理が行なわれて、同期信号 (S Y N C) 及び N R Z 復調データが出力される。

10

【 0 0 3 6 】

1 ブロック毎の再生データについて、同期信号 (S Y N C) 及び N R Z 復調データは C R C 処理部 9 に供給され、同期信号 (S Y N C) のタイミングを基準として N R Z 復調データの C R C チェックが行なわれる。そのデータブロックについてチェック O K であった場合は、セーフ信号 (S A F E) が再生制御回路 10 に供給される。再生制御回路 10 は C R C チェックについてセーフとされたデータブロックについて、以降、回路の同期が取られ、D - R A M 1 への書き込み及び誤り訂正、D / A 出力などの処理を実行することになる。

20

【 0 0 3 7 】

7 は遅延回路であり、テープから読み出された 1 ブロックのデータについて C R C チェックがセーフでない場合は D - R A M 1 への書き込みは行なわないものであるため、遅延回路 7 により C R C 処理部 9 において C R C チェックを行なう期間を待機させている。遅延回路 7 はシフトレジスタや、もしくはメモリ及びカウンタによって構成できる。

【 0 0 3 8 】

8 はシリアル / パラレル変換部であり、図 2 (a) のようにシリアル転送されてくる 1 ブロックのワードデータをそれぞれパラレルに変換して出力する。

30

シリアル / パラレル変換部 8 から出力される 1 ブロックのデータについては、データラッチ回路 11 によって図 2 (e) のように各ワード (12 ビット) が順次ラッチされ、データバス 17 に出力されていく。

また、ブロックアドレスは図 2 (c) のようにブロックアドレスラッチ回路 12 にラッチされる。この場合、ラッチされるアドレスは図 4 に示した各ブロックの 13 ビットのアドレス (トラックアドレス 6 ビット + ブロックアドレス 7 ビット) である。

【 0 0 3 9 】

図 5 に示したように D - R A M 1 上ではトラックアドレスは 7 ビットとされているが、その内の 1 つのビット V 0 は、A / B ヘッドのアジマスに対応するビットとされ、ブロックアドレスラッチ回路 12 の出力に付加される。これにより 14 ビットのアドレスとされ、アドレス変換回路 18 に供給される。

40

データラッチ回路 11 及びブロックアドレスラッチ回路 12 には再生制御回路 10 からラッチクロックが供給される (図 2 (b) (d)) 。

【 0 0 4 0 】

また 13 はワードカウンタであり、5 ビットカウンタとされる。そして C R C チェックがセーフとなったタイミング、即ちブロックアドレスラッチ回路 12 のラッチタイミング (図 2 (b)) で、図 2 (f) のように初期値 0 B h がロードされる。以降データラッチ回路 11 へのラッチタイミング毎 (図 2 (d)) にカウントアップされる。図 2 (e) (f) からわかるように、カウンタ値が 0 C h ~ 0 F h のときは、P , Q パリティワードのアドレスとなり、カウンタ値が 1 0 h ~ 1 F h のときは L , R データワードのアドレスとな

50

る。1 F h を越えると 0 0 h となってカウンタ動作が停止される。

1 ワードは 1 2 ビットであるため、再生制御回路 1 0 は 1 2 ビットカウンタを有し、この 1 2 ビットカウンタのカウントアップ毎にデータラッチ回路 1 1 に対する図 2 (d) のラッチクロック (= ワードカウンタのカウントクロック) を供給している。

【 0 0 4 1 】

1 4 はリードワード変換部であり、ブロックの最初のワードを書き込むカウンタ値の 1 つ前の値が、存在する或るワードアドレスに変換されるようにしている。即ち存在するワードアドレスは 0 C h ~ 1 F h であるため、最初のワードを書き込むカウンタ値 (0 C h) の 1 つ前の値 (0 B h) を、0 C h ~ 1 F h の或る値に変換する。この実施例では図 2 (f) (g) に示すように、0 B h を、データ R 6 に相当するワードアドレスである 1 B h 10
に変換するものとする。

【 0 0 4 2 】

図 6 のように、ワードアドレス 0 C h ~ 0 F h については、W 4 ~ W 0 の 5 ビットの各値は、『 0 1 1 * * * 』となる。またワードアドレス 1 0 h ~ 1 F h については、W 4 ~ W 0 の 5 ビットの各値は、『 1 * * * * 』となる。

ここで『 0 B h 』は『 0 1 0 1 1 』であるが、このうち W 4 を『 1 』とすることで『 1 1 0 1 1 』となり、即ち『 1 B h 』となる。

従って、W 2 = 0 という場合には、その W 4 を『 1 』とするという規則で変換すればよい。W 2 = 0 という場合は、ワードアドレス 1 0 h ~ 1 F h 内にも存在するが、この場合は W 4 の値は必ず『 1 』であるため問題ない。 20

即ち、リードワード変換部 1 3 では、W 4 出力について、(W 4) O R (反転 W 2) というロジックの変換処理が行なわれる。

【 0 0 4 3 】

アドレス変換回路 1 5 には、1 4 ビットのブロックアドレス (及びトラックアドレス) と、5 ビットのワードアドレスが供給される。

このアドレス変換回路 1 5 では、ラッチされたテープ上でのブロックアドレスから、トラックの両端の 2 重記録領域におけるブロックを本来のブロックと同じブロックアドレスに変換し、ワードアドレスを元に、インターリーブ系列に従って D - R A M 1 上の実アドレスに変換する。

またインターリーブのかかっていない C T L ブロックについても、8 ブロックとも同じ実 30
アドレスに変換する。

【 0 0 4 4 】

このアドレス変換回路 1 5 により、ワードの実アドレスとしては 4 ビットに変換され、7 ビットのトラックアドレス、7 ビットのブロックアドレスと合わせて 1 8 ビットがアドレスバス 1 6 に出力されることになる。

【 0 0 4 5 】

このアドレスバス 1 6 に出力されたアドレスと、データバス 1 7 に出力されているワードデータがインターフェース回路 1 8 を介して D - R A M 1 に供給され、書き込みアクセスが実行されるわけであり、従来では、図 2 (h) に示すようにワードアドレス 0 C h ~ 1 F h の各タイミングで P₀₀ ~ R 8 までの各ワードが D - R A M 1 に書き込まれていた。つまり、1 ブロックにつき 2 0 回の行アクセスが実行されていた。 40

【 0 0 4 6 】

ところが本実施例では、再生制御回路 1 0 はワードカウンタ 1 3 のカウンタ値を取り込んでおり、カウンタ値が『 0 B h 』とされたタイミングで、図 2 (i) 又は (j) のように D - R A M 1 に対するリード要求を出すようにしている。

このとき、ワードカウンタ 1 3 のカウンタ値『 0 B h 』は上述したように『 1 B h 』に変換されてアドレス変換回路 1 5 に供給される。そしてブロックアドレスはワードアドレス『 1 B h 』に対応するインターリーブを施したブロックアドレスとなる。

【 0 0 4 7 】

即ち、カウンタ値が『 0 B h 』とされたタイミングでの D - R A M 1 に対するリード要求 50

により、今回のデータブロックについて書き込むべきブロックアドレスでのワードアドレス『1Bh』として記憶されているデータの読み込みが行なわれる。つまり、書き込むべきブロックアドレスでのエラーフラグの状態が読み込まれる。

読み込まれたエラーフラグはエラーフラグラッチ回路27にラッチされ、エラーフラグ状態は再生制御回路10に検出される。

【0048】

ここで、エラーフラグ = 『1』であった場合とは、そのブロックアドレスに記憶されていたデータは既にD/A変換出力され、その後、まだそのブロックアドレスには必要なデータブロック(CRCセーフとされたデータブロック)のデータが記憶されていない場合である。

10

そこで、再生制御回路10は引き続きワードカウンタ13の動作を進め、図2(i)のように0C~1Fに対応するワードをD-RAM1に書き込んでいくことになる。このとき、エラーフラグとしては各ワードについて『0』を書き込むようにする。

【0049】

一方、カウント値が『0Bh』とされたタイミングでのD-RAM1に対するリード要求により読み込まれ、エラーフラグラッチ回路27にラッチされたエラーフラグが『0』であった場合とは、すでにそのブロックアドレスにはCRCセーフとなったデータブロックが書き込まれている場合である。

この場合は、今回のデータブロックについてはD-RAM1へ書き込むことは不要であるため、図2(j)のように0C~1Fに対応するワードのD-RAM1に書き込みを禁止する。

20

【0050】

書き込み禁止処理としては、ワードカウンタ13のカウント動作を停止させてもよいし、又はカウント動作を継続させたまま書込要求を発生させないで書き込み禁止を行なってもよい。

なお、エラーフラグラッチ回路27は必ずしも必要ではない。例えば再生制御回路10が直接エラーフラグを取り込んで、そのエラーフラグに応じてワードカウンタ13のカウント動作の継続/停止を決定するような構成としてもよい。

【0051】

以上の処理により、本実施例ではD-RAM1に対するアクセス動作は、必要な場合には図2(i)のように21回となり、不要な場合、つまり既にそのデータブロックの書き込みがなされていた場合には、書き込みアクセスは行なわれないため、図2(j)のようにエラーフラグチェックのための読み込みアクセスのみの1回となる。

30

従来例においては、テープから読み出されたデータブロックについてはかならずD-RAM1に書き込んでおり、従って、読み出されてくる全ブロックに対してそれぞれ図2(h)のように20回のアクセス動作が実行される。

【0052】

ここで、仮にD-RAM1上のブロックアドレス数に対して平均2倍のデータブロック(CRCセーフとなったデータブロック)が転送されてきたとする。つまりセーフとなった同一ブロックが2回D-RAM1に転送されるとする。すると、従来ではそのブロックについて40回のアクセスが実行されることに對し、本実施例の場合は、 $(21 \times 1 + 1 \times 1) = 22$ の、22回のアクセスとなる。つまり、アクセス回数は従来の0.55倍となり、著しく減少されたものとなる。

40

【0053】

従って本実施例では、D-RAM1のアクセス時に要する消費電力を減少させることができ、またD-RAM1と接続する端子や基板パターンの容量を充放電させるための電流を減らすことができる。これによってシステム全体としての省電力化が促進され、例えば電池駆動の場合では電池の長寿命化を実現できる。

さらにアクセス回数が少なくなることからアクセス時のスパイク電流によるシステムノイズを低減することができる。

50

【0054】

ところで、CTLブロックには各種のIDや曲の頭出し信号等が記録されているが、実施例のデジタルオーディオテープレコーダのシステムコントローラは、インターフェース回路18を介して通信を行ない、D-RAM1上のCTL内容の読出/書込を行なうものとなっている。

【0055】

しかし、CTLブロックが記憶されるエリアのエラーフラグがハードウェアによってセットされない場合は、新しいデータの書込みが禁止されてしまうので、システムコントローラからエラーフラグ=1を書込む必要が生じる。

このとき、すべてのワードについてエラーフラグを書込むようにすると、ワード毎のエラーフラグが有効となる反面、ソフトウェアによる通信回数が増えてしまう。そこで、特定のワード、すなわちワードアドレス=1BhとなるR6ワードについてだけエラーフラグを書込むようにする。

すると、新しいデータのD-RAM1への書込みが許可されることになり、また、このワードのエラーフラグによりCTLブロック全体のエラー判定を行なうことが可能となる。

【0056】

なお、他の実施例としてデジタルテープレコーダにおいてエラーレートを改善するためにA・Bアジマスの再生ヘッドを2組設けて、トラックを記録時の4倍の密度で再生させることも考えられる。

この場合、ダブルアジマスのA・Bヘッドともう1組のA'・B'ヘッドを、ドラム上のほぼ180°対向した位置に配置させ、4入力のヘッドアンプで切り換えて2チャンネルとし、図1に示したD-RAM1までの書込み系の回路を2系統設けるようにする。

このような構成とした場合、テープ上の同じデータブロックが読める回数は、ほぼ2回から4回の間分布することとなる。

【0057】

仮に、D-RAM1上のブロックアドレス数に対して平均4倍のデータブロック(CRCセーフとなったデータブロック)が転送されてきたとする。つまりセーフとなった同一ブロックが4回D-RAM1に転送されるとする。すると、従来ではそのブロックについて80回のアクセスが実行されることに對し、本実施例の場合は、 $(21 \times 1 + 1 \times 3) = 24$ の、24回のアクセスとなる。つまり、アクセス回数は従来の80回に比べて0.3倍となり、著しく減少されたものとなる。つまり本発明による消費電力やシステムノイズの削減効果はより大きなものとなる。

【0058】

なお、本発明を実現するための構成は図1以外にも各種考えられる。また本発明はデジタルオーディオテープレコーダに限らず各種機器において採用できるものである。

【0059】

【発明の効果】

以上説明したように本発明は、複数ワードで処理単位となるデータブロックが構成されているとともに、メモリ上の同一アドレスに書き込まれるべきデータブロックがメモリに対して複数回転送されてくる可能性があるシステムにおいて、必要なデータブロックがメモリに一旦書き込まれたら、そのデータブロックについてエラーフラグをオフとするようにし、不要となったデータブロックについてはエラーフラグをオンとするようにしている。そして、或るデータブロックがメモリに転送されてきて書き込みが行なわれる際には、その書き込むべきアドレスに記憶されているデータについてエラーフラグを確認し、エラーフラグがオフであれば、転送されてきたデータと同一データが既に記憶されているとして書き込みアクセスを実行しないようにしている。

これによって不要なアクセス動作をなくことができ、アクセス回数が減少されることとなるため、消費電力の削減、及びシステムノイズの低減という効果を得ることができる。また、電池駆動のシステムの場合は、電池寿命の長寿命化も実現できる。

【図面の簡単な説明】

10

20

30

40

50

【図1】本発明の実施例のブロック図である。

【図2】実施例の動作の説明のための波形図である。

【図3】ノントラック方式の記録/再生動作の説明図である。

【図4】ノントラック方式のトラックデータフォーマットの説明図である。

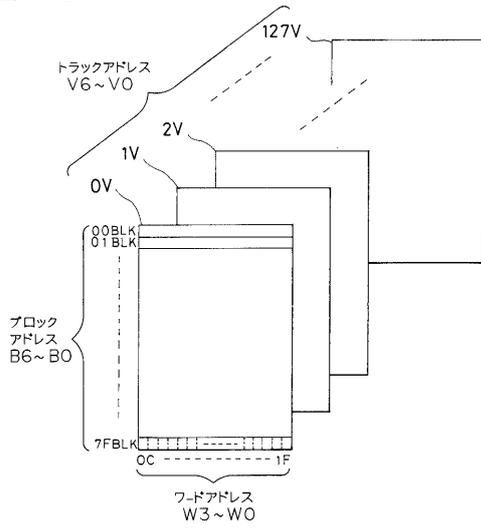
【図5】実施例に搭載されるD-RAMのアドレスの説明図である。

【図6】実施例におけるワードアドレス変換処理の説明図である。

【符号の説明】

1	D-RAM	
2	回転ヘッド部	
6	復調回路	10
7	遅延回路	
8	シリアル/パラレル変換部	
9	CRC処理部	
10	再生制御回路	
11	データラッチ回路	
12	ブロックアドレスラッチ回路	
13	ワードカウンタ	
14	リードワード変換部	
15	アドレス変換回路	
16	アドレスバス	20
17	データバス	
18	インターフェース回路	
19	DA出力/エラーセットアドレス発生回路	
20	誤り訂正/PQセット制御回路	
21	誤り訂正/PQセット処理回路	
22	DAデータラッチ回路	
23	伸長回路	
24	補間回路	
25	D/A変換器	
27	エラーフラグラッチ回路	30

【 図 5 】



【 図 6 】

W4	W3	W2	W1	W0	
0	1	1	*	*	← 0Ch ~ 0Fh
1	*	*	*	*	← 10h ~ 1Fh
0	1	0	1	1	← 0Bh
1	1	0	1	1	← 1Bh

存在するワードアドレス

フロントページの続き

(51) Int.Cl.⁷

F I

G 1 1 B 20/10

A

(56) 参考文献 特開昭 6 3 - 2 1 1 9 2 3 (J P , A)

特開昭 6 3 - 1 7 5 2 7 2 (J P , A)

(58) 調査した分野(Int.Cl.⁷, D B 名)

G11B 20/18

G11B 20/10

G06F 11/14