

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5680709号
(P5680709)

(45) 発行日 平成27年3月4日(2015.3.4)

(24) 登録日 平成27年1月16日(2015.1.16)

(51) Int.Cl. F I
G06F 9/34 (2006.01) G O 6 F 9/34 3 3 0
G06F 9/30 (2006.01) G O 6 F 9/30 3 5 0 A

請求項の数 35 外国語出願 (全 20 頁)

(21) 出願番号	特願2013-125449 (P2013-125449)	(73) 特許権者	595020643
(22) 出願日	平成25年6月14日 (2013.6.14)		クォアルコム・インコーポレイテッド
(62) 分割の表示	特願2013-103471 (P2013-103471) の分割		QUALCOMM INCORPORATED
原出願日	平成19年7月31日 (2007.7.31)		アメリカ合衆国、カリフォルニア州 92
(65) 公開番号	特開2013-242879 (P2013-242879A)		121-1714、サン・ディエゴ、モア
(43) 公開日	平成25年12月5日 (2013.12.5)		ハウス・ドライブ 5775
審査請求日	平成25年7月16日 (2013.7.16)	(74) 代理人	100108855
(31) 優先権主張番号	11/498,627		弁理士 蔵田 昌俊
(32) 優先日	平成18年8月2日 (2006.8.2)	(74) 代理人	100109830
(33) 優先権主張国	米国 (US)		弁理士 福原 淑弘
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100103034
			弁理士 野河 信久

最終頁に続く

(54) 【発明の名称】 マイクロプロセッサ内の複数のレジスタ部を組み合わせる方法およびシステム

(57) 【特許請求の範囲】

【請求項1】

命令を記憶する非一時的なコンピュータ可読有形媒体であって、

前記命令は、プロセッサによって実行されると、前記プロセッサに、

レジスタファイル構造の第1のレジスタ部と、前記レジスタファイル構造の第2のレジスタ部とを識別することであって、前記第1のレジスタ部と前記第2のレジスタ部は、前記レジスタファイル構造の列内で隣接して格納されていないことと、

メモリからの第1のデータを前記識別された第1のレジスタ部に読み込み、前記メモリからの第2のデータを前記識別された第2のレジスタ部に読み込むことと、

結果としてのレジスタ部に、組み合わせられたデータを格納するために、前記読み込まれた第1のレジスタ部のすべてのデータビットを備える前記第1のデータと前記読み込まれた第2のレジスタ部のすべてのデータビットを備える前記第2のデータとを組み合わせることであって、なお、前記結果としてのレジスタ部は、前記第1のレジスタ部よりも大きく、また、前記第2のレジスタ部よりも大きいことと

を実行させる、非一時的なコンピュータ可読有形媒体。

【請求項2】

前記第1のデータは、前記結果としてのレジスタ部の第1の連続する部分において格納され、前記第2のデータは、前記結果としてのレジスタ部の第2の連続する部分において格納される、請求項1に記載の非一時的なコンピュータ可読有形媒体。

【請求項3】

前記第 1 のレジスタ部は、第 1 の 3 2 ビット幅レジスタ部を含み、前記第 2 のレジスタ部は、第 2 の 3 2 ビット幅レジスタ部を含み、前記結果としてのレジスタ部は、6 4 ビット幅レジスタ部を含む、請求項 2 に記載の非一時的なコンピュータ可読有形媒体。

【請求項 4】

前記プロセッサは、前記第 1 のデータおよび前記第 2 のデータを連結することによって前記第 1 および第 2 のデータを組み合わせるためのものである請求項 1 に記載の非一時的なコンピュータ可読有形媒体。

【請求項 5】

前記第 1 のデータおよび前記第 2 のデータを組み合わせるために、前記レジスタファイル構造から、前記読み込まれた第 1 のレジスタ部と、前記読み込まれた第 2 のレジスタ部とを取り出すように前記プロセッサによって実行可能な命令をさらに備える請求項 1 に記載の非一時的なコンピュータ可読有形媒体。

10

【請求項 6】

前記レジスタファイル構造において、前記結果としてのレジスタ部を格納するように前記プロセッサによって実行可能な命令をさらに備える請求項 1 に記載の非一時的なコンピュータ可読有形媒体。

【請求項 7】

レジスタファイル構造の第 1 のレジスタ部および前記レジスタファイル構造の第 2 のレジスタ部からのデータを組み合わせるための命令を受信することと、

前記命令を処理部において実行することと

20

を備え、前記命令を実行することは、

前記第 1 のレジスタ部と、前記第 2 のレジスタ部とを識別することであって、なお、前記第 1 のレジスタ部と前記第 2 のレジスタ部は、前記レジスタファイル構造の列内で隣接して格納されていないことと、

メモリからの第 1 のデータを前記識別された第 1 のレジスタ部に読み込み、前記メモリからの第 2 のデータを前記識別された第 2 のレジスタ部に読み込むことと、

結果としてのレジスタ部に格納される組み合わせられたデータを形成するために、前記読み込まれた第 1 のレジスタ部に含まれたすべてのデータビットを備える前記第 1 のデータと、前記読み込まれた第 2 のレジスタ部に含まれたすべてのデータビットを備える前記第 2 のデータとを組み合わせることであって、なお、前記結果としてのレジスタ部は、前記第 1 のレジスタ部よりも大きいか、または、前記第 2 のレジスタ部よりも大きいこととを備える方法。

30

【請求項 8】

前記第 1 のデータおよび前記第 2 のデータを組み合わせることはさらに、前記結果としてのレジスタ部の第 1 の連続する部分に前記第 1 のデータを含めることと、前記結果としてのレジスタ部の第 2 の連続する部分に前記第 2 のデータを含めることとを備える、請求項 7 に記載の方法。

【請求項 9】

前記第 1 のレジスタ部は、第 1 の 3 2 ビット幅レジスタ部を含み、前記第 2 のレジスタ部は、第 2 の 3 2 ビット幅レジスタ部を含み、前記結果としてのレジスタ部は、6 4 ビット幅レジスタ部を含む、請求項 8 に記載の方法。

40

【請求項 10】

前記第 1 のデータおよび前記第 2 のデータを組み合わせることはさらに、前記レジスタファイル構造から、前記読み込まれた第 1 のレジスタ部と、前記読み込まれた第 2 のレジスタ部とを取り出すことを備える請求項 7 に記載の方法。

【請求項 11】

前記第 1 のデータおよび前記第 2 のデータを組み合わせることは、前記第 1 および第 2 のデータを連結することを備える請求項 7 に記載の方法。

【請求項 12】

前記結果としてのレジスタ部は、単一の命令の実行中に形成される請求項 7 に記載の方

50

法。

【請求項 13】

前記レジスタファイル構造において前記結果としてのレジスタ部を格納することをさらに備える請求項 7 に記載の方法。

【請求項 14】

前記第 1 のレジスタ部および前記第 2 のレジスタ部を識別することは、識別通信を実行部から前記レジスタファイル構造に送ることを備える請求項 7 に記載の方法。

【請求項 15】

前記第 1 のデータおよび前記第 2 のデータは、64 ビットデータバスを介して前記識別された第 1 のレジスタ部および前記識別された第 2 のレジスタ部に同時に読み込まれる請求項 9 に記載の方法。

10

【請求項 16】

各々が 1 または複数の命令を備えるパケットを格納するメモリと、
前記メモリに結合されたプロセッサと
を備えた集積回路であって、

前記プロセッサはさらに処理部と、前記処理部に結合されたレジスタファイル構造とを備え、前記処理部は、前記レジスタファイル構造の第 1 のレジスタ部および前記レジスタファイル構造の第 2 のレジスタ部からのデータを組み合わせるための命令を実行するように動作可能であり、前記命令の実行は、前記処理部に、

前記第 1 のレジスタ部と、前記第 2 のレジスタ部とを識別させ、なお、前記第 1 のレジスタ部と前記第 2 のレジスタ部は、前記レジスタファイル構造の列内で隣接して格納されていない、

20

メモリからの第 1 のデータを前記識別された第 1 のレジスタ部に読み込ませ、前記メモリからの第 2 のデータを前記識別された第 2 のレジスタ部に読み込ませ、

結果としてのレジスタ部に格納される組み合わせられたデータを形成するために、前記読み込まれた第 1 のレジスタ部に格納されたすべてのデータビットを備える前記第 1 のデータと、前記読み込まれた第 2 のレジスタ部に格納されたすべてのデータビットを備える前記第 2 のデータとを組み合わせさせ、なお、前記結果としてのレジスタ部は、前記第 1 のレジスタ部よりも大きいか、または、前記第 2 のレジスタ部よりも大きい

ように動作可能な集積回路。

30

【請求項 17】

前記処理部はさらに、前記第 1 のレジスタ部および第 2 のレジスタ部を識別する前に、前記第 1 および第 2 のレジスタ部を組み合わせるための命令を受信し、前記命令を実行するように動作可能な請求項 16 に記載の集積回路。

【請求項 18】

前記処理部はさらに、前記結果としてのレジスタ部の第 1 の連続する部分に前記第 1 のデータを含め、前記結果としてのレジスタ部の第 2 の連続する部分に前記第 2 のデータを含めるように動作可能な請求項 16 に記載の集積回路。

【請求項 19】

前記第 1 のレジスタ部は、第 1 の 32 ビット幅レジスタ部を含み、前記第 2 のレジスタ部は、第 2 の 32 ビット幅レジスタ部を含み、前記結果としてのレジスタ部は、64 ビット幅レジスタ部を含む、請求項 18 に記載の集積回路。

40

【請求項 20】

前記処理部はさらに、前記第 1 のデータおよび前記第 2 のデータを組み合わせるために、前記レジスタファイル構造から、前記読み込まれた第 1 のレジスタ部と、前記読み込まれた第 2 のレジスタ部とを取り出すように動作可能な請求項 16 に記載の集積回路。

【請求項 21】

前記処理部は、前記第 1 のデータおよび前記第 2 のデータを連結することによって前記第 1 のデータおよび第 2 のデータを組み合わせるように動作可能な請求項 16 に記載の集積回路。

50

【請求項 2 2】

前記処理部はさらに、前記レジスタファイル構造において前記結果としてのレジスタ部を格納するように動作可能な請求項 1 6 に記載の集積回路。

【請求項 2 3】

レジスタファイル構造の第 1 のレジスタ部および前記レジスタファイル構造の第 2 のレジスタ部からのデータを組み合わせるための命令を実行するための手段と、

前記命令を実行することに対応して組み合わせられる前記第 1 のレジスタ部と、前記第 2 のレジスタ部とを識別する手段であって、前記第 1 のレジスタ部と前記第 2 のレジスタ部は、前記レジスタファイル構造の列内で隣接して格納されていない手段と、

前記命令を実行することに対応して、メモリからの第 1 のデータを前記識別された第 1 のレジスタ部に読み込むことと、前記メモリからの第 2 のデータを前記識別された第 2 のレジスタ部に読み込むこととを実行する手段と、

前記命令を実行することに対応して、結果としてのレジスタ部に、格納される組み合わせられたデータを形成するために、前記読み込まれた第 1 のレジスタ部に含まれたすべてのデータビットを備える前記第 1 のデータと前記読み込まれた第 2 のレジスタ部に含まれたすべてのデータビットを備える前記第 2 のデータとを組み合わせる手段であって、前記結果としてのレジスタ部は、前記第 1 のレジスタ部よりも大きいか、または、前記第 2 のレジスタ部よりも大きい手段と

を備える装置。

【請求項 2 4】

前記第 1 のレジスタ部および第 2 のレジスタ部を識別する前に、前記第 1 および第 2 のレジスタ部を組み合わせるための命令を受信する手段

をさらに備える請求項 2 3 に記載の装置。

【請求項 2 5】

前記結果としてのレジスタ部の第 1 の連続する部分に前記第 1 のデータを含めることと、前記結果としてのレジスタ部の第 2 の連続する部分における前記第 2 のデータを含めることとを実行する手段をさらに備える、請求項 2 3 に記載の装置。

【請求項 2 6】

前記第 1 のレジスタ部は、第 1 の 3 2 ビット幅レジスタ部を含み、前記第 2 のレジスタ部は、第 2 の 3 2 ビット幅レジスタ部を含み、前記結果としてのレジスタ部は、6 4 ビット幅レジスタ部を含む、請求項 2 5 に記載の装置。

【請求項 2 7】

前記第 1 のデータおよび前記第 2 のデータを組み合わせる手段はさらに、前記レジスタファイル構造から、前記読み込まれた第 1 のレジスタ部と、前記読み込まれた第 2 のレジスタ部とを取り出す手段を備える請求項 2 3 に記載の装置。

【請求項 2 8】

前記第 1 のデータおよび前記第 2 のデータを組み合わせる手段は、前記第 1 のデータおよび第 2 のデータを連結する手段を備える請求項 2 3 に記載の装置。

【請求項 2 9】

前記レジスタファイル構造において前記結果としてのレジスタ部を格納する手段をさらに備える請求項 2 3 に記載の装置。

【請求項 3 0】

実行部における命令の実行に対応して、汎用レジスタファイル構造の第 1 のレジスタと、前記汎用レジスタファイル構造の第 2 のレジスタとを識別する前記実行部からの通信を受信することであって、前記第 1 のレジスタおよび前記第 2 のレジスタは、前記汎用レジスタファイル構造内で隣接せずに配置されることと、

前記命令の実行に対応して、前記識別された第 1 のレジスタのための第 1 のデータと、前記識別された第 2 のレジスタのための第 2 のデータとをメモリから取り出すことと、

前記命令の実行に対応して、前記取り出された第 1 のデータと前記取り出された第 2 のデータとを、結果としてのレジスタペアへの挿入のために、前記実行部に提供することで

10

20

30

40

50

あって、前記結果としてのレジスタペアは、前記第 1 のレジスタまたは前記第 2 のレジスタよりも大きいことと、

前記命令の実行にตอบสนองして、前記汎用レジスタファイル構造において前記結果としてのレジスタペアを格納することと

を備える方法。

【請求項 3 1】

前記第 1 のデータは前記結果としてのレジスタペアの第 1 の連続する部分内にあり、前記第 2 のデータは前記結果としてのレジスタペアの第 2 の連続する部分内にある請求項 3 0 に記載の方法。

【請求項 3 2】

前記第 1 のレジスタは第 1 の 3 2 ビット幅レジスタを備え、前記第 2 のレジスタは第 2 の 3 2 ビット幅レジスタを備え、前記結果としてのレジスタペアは 6 4 ビット幅レジスタを備える請求項 3 1 に記載の方法。

【請求項 3 3】

レジスタファイル構造の第 1 のレジスタ部および前記レジスタファイル構造の第 2 のレジスタ部からのデータを組み合わせるための命令を受信することと、

前記命令を処理部において実行することと

を備え、前記命令を実行することは、

前記第 1 のレジスタ部と、前記第 2 のレジスタ部とを識別することであって、なお、前記第 1 のレジスタ部と前記第 2 のレジスタ部は、前記レジスタファイル構造の列内で隣接して格納されていないことと、

メモリからの第 1 のデータを前記識別された第 1 のレジスタ部に読み込み、前記メモリからの第 2 のデータを前記識別された第 2 のレジスタ部に読み込むことと、

結果としてのレジスタ部に格納される組み合わせられたデータを形成するために、前記読み込まれた第 1 のレジスタ部に含まれたデータビットの第 1 の部分を備える前記第 1 のデータと、前記読み込まれた第 2 のレジスタ部に含まれたデータビットの第 2 の部分を備える前記第 2 のデータとを組み合わせることと

を備える方法。

【請求項 3 4】

前記第 1 の部分は、前記読み込まれた第 1 のレジスタ部に含まれた前記データビットの第 1 の半分であり、前記第 2 の部分は、前記読み込まれた第 2 のレジスタ部に含まれた前記データビットの第 2 の半分である請求項 3 3 に記載の方法。

【請求項 3 5】

前記結果としてのレジスタ部と、前記第 1 のレジスタ部と、前記第 2 のレジスタ部は、同じサイズである請求項 3 3 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般に、マイクロプロセッサに関し、より具体的には、例えば、デジタル信号プロセッサなどのマイクロプロセッサ内の複数のレジスタ部を組み合わせる方法およびシステムに関する。

【背景技術】

【0002】

通常、コンピュータシステムは、コンピュータシステムのメモリ内に格納された値に対して操作を実行し、コンピュータシステムの全体的な動作を管理するように構成された 1 つまたは複数のマイクロプロセッサ部を含む。また、これらのコンピュータシステムは、例えば、サウンドカードおよび/またはビデオカードなどの、様々なマルチメディア部を含み、各マルチメディア部は、それぞれのマルチメディア部内で複雑な数学計算を実行する、例えば、DSP（デジタル信号プロセッサ）などの 1 つまたは複数のプロセッサをさらに含む。

10

20

30

40

50

【 0 0 0 3 】

D S P (デジタル信号プロセッサ) は、例えば、1つまたは複数の A L U (算術論理演算部)、1つまたは複数の M A C (multiply-and-accumulate unit)、ならびに D S P 内の命令セットによって指定された動作を実行するように構成された他の機能部などの、そのような数学計算を実行するように特に構成されたハードウェア実行部を通常、含む。そのような動作には、例えば、関連する命令セットによってそれぞれが定義された、算術演算、論理演算、およびその他のデータ処理演算が含まれることが可能である。

【 0 0 0 4 】

一般に、D S P 内の実行部は、メモリおよび実行部に結合されたレジスタファイルからデータおよびオペランドを読み取り、命令動作を実行し、結果をレジスタファイルの中に格納する。レジスタファイルは、単一のレジスタとして、または隣接する2つのレジスタ部の整列されたペアとしてそれぞれがアクセス可能である、複数のレジスタ部を含む。しかし、例えば、データを足す動作または引く動作などの、いくつかの特定の動作は、レジスタファイル内の別々のレジスタ部からのデータが、命令の実行のために適切に整列されることを要求する。このため、必要とされているのは、そのようなレジスタ部内に格納されたデータの適切な整列を可能にするために、単一の命令の実行中に、D S P 内の隣接していない複数のレジスタ部を組み合わせる方法およびシステムである。

【 発明の概要 】

【 0 0 0 5 】

例えば、デジタル信号プロセッサなどのマイクロプロセッサ内の複数のレジスタ部を組み合わせる方法およびシステムが、説明される。一実施形態では、第1のレジスタ部、および第2のレジスタ部が、処理部内のレジスタファイル構造から取り出され、第1のレジスタ部と、第2のレジスタ部とは、レジスタファイル構造内で隣接せずに配置されている。第1のレジスタ部と、第2のレジスタ部とは、単一の命令の実行中にさらに組み合わせられて、結果としてレジスタ部を形成する。最後に、結果としてのレジスタ部が、さらなる処理のためにレジスタファイル構造内に格納される。

【 0 0 0 6 】

代替の実施形態において、第1のレジスタ部、および第2のレジスタ部の取り出しに続いて、第1のレジスタ部から、第1のハーフワード (half word) 部が取り出され、第2のレジスタ部から、第2のハーフワード部 (half word unit) が、取り出される。第1のハーフワード部、および第2のハーフワード部は、単一の命令の実行中に、結果としてのレジスタ部の、対応する高い部分および低い部分にさらに入力されて、結果としてのレジスタ部を形成する。最後に、結果としてのレジスタ部が、さらなる処理のためにレジスタファイル構造内に格納される。

【 図面の簡単な説明 】

【 0 0 0 7 】

【 図 1 】 命令セットが内部で実行されることが可能なデジタル信号処理システムを示すブロック図。

【 図 2 】 デジタル信号処理システム内の汎用レジスタ構造の一実施形態を示すブロック図。

【 図 3 】 V L I W (超長命令語) デジタル信号処理システムアーキテクチャの一実施形態を示すブロック図。

【 図 4 】 デジタル信号処理システム内のレジスタ部を組み合わせる方法の一実施形態を示す流れ図。

【 図 5 】 図 4 に関連して説明されるレジスタ部を組み合わせる方法を示すブロック図。

【 図 6 】 デジタル信号処理システム内のレジスタ部を組み合わせる方法の代替の実施形態を示す流れ図。

【 図 7 】 図 6 に関連して説明されるレジスタ部を組み合わせる方法を示すブロック図。

【 発明を実施するための形態 】

【 0 0 0 8 】

例えば、デジタル信号プロセッサなどのマイクロプロセッサ内の複数のレジスタ部を組み合わせる方法およびシステムが、説明される。以下に説明されるシステムは、DSP（デジタル信号プロセッサ）が、レジスタ部を組み合わせることを可能にするものの、本システムは、マイクロプロセッサ部、あるいは単一の命令の実行中に、複数のレジスタ部を組み合わせ、結果としてより大きいレジスタ部（resulting larger register）にすることができる他の任意の処理部を使用して、実施されてもよいことを理解されたい。

【0009】

一般に、DSP内の実行部は、レジスタファイルからデータおよびオペランドを読み取り、命令動作を実行し、結果をレジスタファイルの中に格納する。レジスタファイルは、単一のレジスタとして、または隣接する2つのレジスタ部の整列されたペアとしてそれぞれがアクセス可能である、複数のレジスタ部を含む。しかし、例えば、データを足す動作または引く動作などの、いくつかの特定の動作は、レジスタファイル内の別々のレジスタ部からのデータが、命令の実行のために適切に整列されることを要求する。後段で詳細に説明される実施形態は、その後のベクトル演算に備えて、そのようなレジスタ部内に格納されたデータの適切な整列を可能にするために、単一の命令の実行中にDSP内の隣接していない複数のレジスタ部の組み合わせ/連結を円滑にする。

10

【0010】

一実施形態では、第1のレジスタ部、および第2のレジスタ部が、処理部内のレジスタファイル構造から取り出され、第1のレジスタ部と、第2のレジスタ部とは、レジスタファイル構造内で隣接せずに配置されている。第1のレジスタ部と、第2のレジスタ部とは、単一の命令の実行中にさらに組み合わせられて、結果としてより大きいレジスタ部を形成する。最後に、結果としてのレジスタ部が、さらなる処理のためにレジスタファイル構造内に格納される。

20

【0011】

代替の実施形態において、第1のレジスタ部、および第2のレジスタ部の取り出しに続いて、第1のレジスタ部からの第1のハーフワード部、および第2のレジスタ部からの第2のハーフワード部が、取り出される。第1のハーフワード部、および第2のハーフワード部は、単一の命令の実行中に、結果としてのレジスタ部の、対応する高い部分および低い部分にさらに入力されて、結果としてレジスタ部を形成する。最後に、結果としてのレジスタ部が、さらなる処理のためにレジスタファイル構造内に格納される。

30

【0012】

図1は、命令セットが内部で実行されることが可能なデジタル信号処理システムのブロック図である。図1に示されるとおり、デジタル信号処理システム100は、処理部110と、メモリ150と、処理部110をメモリ150に結合する1つまたは複数のバス160とを含む。

【0013】

メモリ150は、例えば、VLIW（超長命令語）コンパイラによって生成されるVLIWパケットの形態などで、データおよび命令を格納し、各VLIWパケットは、1つまたは複数の命令を備える。パケットの各命令は、通常、所定の幅であり、メモリ150内に或る特定のアドレスを有し、したがって、パケットの中の第1の命令は、通常、このパケットの最後の命令と比べて、より低いメモリアドレスを有する。メモリに関するアドレス指定スキームは、当技術分野でよく知られており、本明細書で詳細に説明することはしない。メモリ150の中の命令は、バス160を介して処理部110に読み込まれる。

40

【0014】

処理部110は、1つまたは複数のパイプライン140を介して1つまたは複数のレジスタファイル構造120に結合された中央処理装置コア130をさらに備える。処理部110は、1つまたは複数のマイクロプロセッサ、デジタル信号プロセッサなどをさらに備える。

【0015】

レジスタファイル120は、汎用の演算をサポートし、図2に関連して、後段でさらに

50

詳細に説明される汎用レジスタ部のセットと、例えば、ハードウェアループ、述語、およびその他の特殊なオペランドなどの専用機能をサポートする制御レジスタ部のセットとをさらに備える。

【0016】

図2は、デジタル信号処理システム内の汎用レジスタ構造の一実施形態を示すブロック図である。図2に示されるとおり、一実施形態では、レジスタファイル120内の汎用レジスタファイル構造200は、例えば、32個の32ビット幅のレジスタ部210などの、複数のレジスタ部を含み、各レジスタ部は、単一のレジスタとして、または隣接する2つのレジスタ部210の整列されたペア220としてそれぞれがアクセス可能である。

【0017】

汎用レジスタ部210は、適切な命令に基づいて、複数の名前でも参照されることが可能である。例えば、レジスタ部210は、 R_0 、 R_1 、 \dots 、 R_{30} 、および R_{31} として個々に参照されることが可能である。さらに、レジスタ部 R_0 と、レジスタ部 R_1 とが、 $R_{1:0}$ として参照される64ビットのレジスタペア220を形成することが可能である。同様に、レジスタ部 R_2 と、レジスタ部 R_3 とが、 $R_{3:2}$ として参照される64ビットのレジスタペア220を形成することが可能であり、レジスタ部 R_{28} と、レジスタ部 R_{29} とが、 $R_{29:28}$ として参照される64ビットのレジスタペア220を形成することが可能であり、さらに、レジスタ部 R_{30} と、レジスタ部 R_{31} とが、 $R_{31:30}$ として参照される64ビットのレジスタペア220を形成することが可能である。

【0018】

一実施形態では、汎用レジスタ部210が、例えば、アドレス生成、スカラー算術、およびベクトル算術などの、汎用計算目的で使用され、読み込み/格納命令のためのアドレス、数値命令のためのデータオペランド、およびベクトル命令のためのベクトルオペランドを含め、命令のためのすべてのオペランドを提供する。

【0019】

図3は、VLIW(超長命令語)デジタル信号処理システムアーキテクチャの一実施形態を示すブロック図である。VLIWシステムアーキテクチャ300は、命令読み込みバス320、データ読み込みバス322、およびデータ読み込み/格納バス324を介してDSP(デジタル信号プロセッサ)330に結合されたメモリ310を含む。

【0020】

一実施形態では、メモリ310は、例えば、1つないし4つの命令を有するVLIWパケットの形態で、データおよび命令を格納する。メモリ310内に格納された命令は、命令読み込みバス320を介してDSP330に読み込まれる。一実施形態では、各命令は、4ワード幅を有する128ビット命令読み込みバス320を介してDSP330に読み込まれる、32ビットワード幅を有する。一実施形態では、メモリ310は、命令とデータの両方を格納する32ビットアドレス空間を有し、リトルエンディアンモードで動作する、統合されたバイトアドレス指定可能なメモリである。

【0021】

一実施形態では、DSP330は、シーケンサ335と、4つの処理部または実行部345のための4つのパイプライン340と、例えば、図2に関連して詳細に説明される汎用レジスタファイル構造200などの汎用レジスタファイル構造350(複数の汎用レジスタ部を備える)と、制御レジスタファイル構造360とを備える。シーケンサ335は、メモリ310から命令のパケットを受信し、この命令内に含まれる情報を使用して、受信された各パケットの各命令に関して、適切なパイプライン340、およびそれぞれの実行部345を決定する。パケットの各命令に関して、この決定を行った後、シーケンサ335は、これらの命令を、適切な実行部345による処理のために、適切なパイプライン340に入力する。

【0022】

一実施形態では、実行部345は、ベクトルシフト部、ベクトルMAC部、読み込み部、および読み込み/格納部をさらに備える。ベクトルシフト部345は、例えば、シフト

10

20

30

40

50

および追加/サブ動作、シフトおよび論理動作、並べ替え動作、述語動作、ビット操作、およびベクトルハーフワード/ワードシフトなどのS型(シフト部)命令、64ビット算術および論理動作などの64型(64ビット算術)命令、32ビット論理動作、並べ替え動作、32ビット算術動作などの32型(32ビット算術)命令、ジャンプ/呼び出しPC関係動作などのJ型(ジャンプ)命令、制御レジスタ転送などのCR型(制御レジスタ)命令、ハードウェアループセットアップを実行する。ベクトルMAC部345は、例えば、単精度命令、倍精度命令、複素命令、およびベクトルバイト/ハーフワード命令などのM型(乗算部)命令、64型命令、32型命令、J型命令、ならびにジャンプ/呼び出しレジスタ動作などのJR型(ジャンプレジスタ)命令を実行する。読み込み部345は、メモリ310から汎用レジスタファイル構造350にデータを読み込み、例えば、読み込み型命令および32型命令を実行する。読み込み/格納部345は、汎用レジスタファイル構造350からメモリ310にデータを再び読み込み、格納し、例えば、読み込み型命令、格納型命令、および32型命令を実行する。

10

【0023】

命令を受け取った各実行部345は、4つの実行部345によって共有される汎用レジスタファイル構造350を使用して命令を実行する。命令によって必要とされるデータは、64ビットデータ読み込みバス322を介して汎用レジスタファイル構造350に読み込まれる。パケットの命令が、実行部345によって実行された後、結果としてのデータが、汎用レジスタファイル構造350に格納され、その後、64ビットデータ読み込み/格納バス324を介してメモリ310に読み込まれ、格納される。通常、パケットの1つ

20

【0024】

一実施形態では、実行部345が、制御レジスタファイル構造360を使用して、対応する命令を実行することも可能である。制御レジスタファイル構造360は、例えば、修飾レジスタ部、ステータスレジスタ部、および述語レジスタ部などの専用レジスタ部のセットを備える。

【0025】

図4は、デジタル信号処理システム100内のレジスタ部を組み合わせる方法の一実施形態を示す流れ図である。図4の実施形態に示されるとおり、処理ブロック410で、デジタル信号処理システム300内のレジスタ部を組み合わせる/連結する命令が、受信される。一実施形態では、DSP330内の実行部345が、後段で説明されるとおり、この命令を受信し、この命令を実行して、汎用レジスタファイル構造350の中に格納された所定のレジスタ部を組み合わせる。一実施形態では、これらの所定のレジスタ部は、汎用レジスタファイル構造内で隣接せずに配置される。

30

【0026】

処理ブロック420で、例えば、第1の32ビット幅レジスタ部および第2の32ビット幅レジスタ部などの、所定のレジスタ部が、識別される。一実施形態では、実行部345が、汎用レジスタファイル構造350と通信し、組み合わせられることが要求されるレジスタ部を識別する。一実施形態では、次に、メモリ310が、命令によって必要とされるデータを、64ビットデータ読み込みバス322を介して汎用レジスタファイル構造350に読み込む。代替として、データは、識別された第1のレジスタ部および第2のレジスタ部の中に既に格納されていてもよい。

40

【0027】

処理ブロック430で、識別されたレジスタ部、および関連するデータが、取り出される。一実施形態では、実行部345が、汎用レジスタファイル構造350から、識別されたレジスタ部、および関連するデータを取り出す。

【0028】

処理ブロック440で、取り出されたレジスタ部が、結果として、より大きいレジスタ

50

ペアの範囲内で組み合わせられる / 連結される。一実施形態では、実行部 345 が、第 1 の 32 ビット幅レジスタ部および第 2 の 32 ビット幅レジスタ部などの、取り出されたレジスタ部、および関連するデータを組み合わせ、結果としての 64 ビット幅レジスタペア部にして、第 1 のレジスタ部、および関連するデータが、結果としてのレジスタ部の高い部分に入力され、第 2 のレジスタ部、および関連するデータが、結果としてのレジスタ部の低い部分に入力されるようにする。

【0029】

最後に、処理ブロック 450 で、結果としてのレジスタペアが、さらなる処理のために格納される。一実施形態では、実行部 345 が、結果としてのレジスタ部を汎用レジスタファイル構造 350 に出力し、結果としてのレジスタ部を、さらなる命令のさらなる処理のために格納する。

10

【0030】

図 5 は、図 4 に関連して説明されるレジスタ部を組み合わせる方法を示すブロック図である。図 5 に示されるとおり、ソースレジスタ部 $R_S 510$ および $R_T 520$ が、識別され、汎用レジスタファイル構造 350 からさらに取り出される。

【0031】

一実施形態では、ソースレジスタ部 $R_S 510$ とソースレジスタ部 $R_T 520$ とを組み合わせ、より大きい宛先レジスタ部 $R_D 530$ にする命令は、以下のとおりである。すなわち、

$$R_D = \text{combine}(R_S, R_T)$$

20

命令の実行時に、レジスタ部 $R_S 510$ とレジスタ部 $R_T 520$ とが組み合わせられ / 連結されて、結果として、より大きい宛先レジスタ部 $R_D 530$ となり、レジスタ部 $R_S 510$ の中に存在するデータが、レジスタ部 $R_D 530$ の高い部分に入力されるようになり、レジスタ部 $R_T 520$ の中に存在するデータが、レジスタ部 $R_D 530$ の低い部分に入力されるようになる。例えば、 $R_S 510$ と $R_T 520$ がともに、32 ビット幅レジスタ部である場合、結果としての宛先レジスタ部 $R_D 530$ は、64 ビット幅レジスタである。

【0032】

図 6 は、デジタル信号処理システム 300 内のレジスタ部を組み合わせる方法の代替の実施形態を示す流れ図である。図 6 の実施形態に示されるとおり、処理ブロック 610 で、デジタル信号処理システム 300 内のレジスタ部を組み合わせる / 連結する命令が、受信される。一実施形態では、DSP 330 内の実行部 345 が、この命令を受信し、この命令を実行して、汎用レジスタファイル構造 350 の中に格納された所定のレジスタ部を組み合わせる。一実施形態では、これらの所定のレジスタ部は、汎用レジスタファイル構造内で隣接せずに配置される。

30

【0033】

処理ブロック 620 で、例えば、第 1 の 32 ビット幅レジスタ部、および第 2 の 32 ビット幅レジスタ部などの所定のレジスタ部が、識別される。一実施形態では、実行部 345 が、汎用レジスタファイル構造 350 と通信し、組み合わせられることが要求されるレジスタ部を識別する。一実施形態では、次に、メモリ 310 が、命令によって必要とされるデータを、64 ビットデータ読み込みバス 322 を介して汎用レジスタファイル構造 350 に読み込む。代替として、データは、識別された第 1 のレジスタ部および第 2 のレジスタ部の中に既に格納されていてもよい。

40

【0034】

処理ブロック 630 で、識別されたレジスタ部、および関連するデータが、取り出される。一実施形態では、実行部 345 が、汎用レジスタファイル構造 350 から、識別されたレジスタ部、および関連するデータを取り出す。

【0035】

処理ブロック 640 で、第 1 のハーフワード部が、第 1 のレジスタ部から取り出され、結果としてのレジスタ部に入力される。一実施形態では、実行部 345 は、第 1 のレジスタ

50

タ部から、一実施形態では、第1のレジスタ部の高いハーフワード部であることが可能であり、あるいは、代替として、第1のレジスタ部の低いハーフワード部であることが可能である、第1の16ビット幅ハーフワード部をさらに取り出し、第1のハーフワード部を、結果としての宛先レジスタ部の高い部分に入力する。

【0036】

処理ブロック650で、第2のハーフワード部が、第2のレジスタ部から取り出され、結果としてのレジスタ部に入力される。一実施形態では、実行部345は、第2のレジスタ部から、一実施形態では、第2のレジスタ部の高いハーフワード部であることが可能であり、あるいは、代替として、第2のレジスタ部の低いハーフワード部であることが可能である、第2の16ビット幅ハーフワード部をさらに取り出し、第2のハーフワード部を、結果としてのレジスタ部の低い部分に入力して、32ビット幅の、結果としてのレジスタ部を獲得する。

10

【0037】

最後に、処理ブロック660で、結果としてのレジスタ部が、さらなる処理のために格納される。一実施形態では、実行部345が、結果としてのレジスタ部を汎用レジスタファイル構造350に出力し、結果としてのレジスタ部を、さらなる命令のさらなる処理のために格納する。

【0038】

図7は、図6に関連して説明されるレジスタ部を組み合わせる方法を示すブロック図である。図7に示されるとおり、ソースレジスタ部 $R_S 540$ および $R_T 550$ が、識別され、汎用レジスタファイル構造200から取り出される。

20

【0039】

一実施形態では、ソースレジスタ部 $R_S 540$ とソースレジスタ部 $R_T 550$ とを組み合わせる/連結して、結果としての宛先レジスタ部 $R_D 560$ にする命令は、以下のとおりである。すなわち、

$$R_D = \text{combine}(R_T[\text{HL}], R_S[\text{HL}])$$

ただし、 $R_T[\text{HL}]$ は、高いハーフワードHと、低いハーフワードLとを有するソースレジスタ部 R_T であり、 R_S は、高いハーフワードHと、低いハーフワードLとを有するソースレジスタ部 R_S である。

【0040】

図7に示されるとおり、命令が実行されると、ソースレジスタ部 $R_T 550$ の高いハーフワード R_{T1} 、または、代替として、ソースレジスタ部 $R_T 550$ の低いハーフワード R_{T2} が、多重化装置555を介してレジスタ部 $R_D 560$ の高い部分に入力され、さらに、ソースレジスタ部 $R_S 540$ の高いハーフワード R_{S1} 、または、代替として、ソースレジスタ部 $R_S 540$ の低いハーフワード R_{S2} が、多重化装置545を介してレジスタ部 $R_D 560$ の低い部分に入力される。例えば、 $R_S 540$ と $R_T 550$ がともに、32ビット幅レジスタ部である場合、一実施形態では、ソースレジスタ部 $R_T 550$ の高いハーフワード R_{T1} は、16ビット幅であり、ソースレジスタ部 $R_S 540$ の低いハーフワード R_{S2} もやはり、16ビット幅であり、このため、結果としての宛先レジスタ部 $R_D 560$ は、32ビット幅レジスタである。

30

40

【0041】

情報および信号は、様々な異なる技術および技法のいずれを使用して表現されることも可能であることが、当業者には理解されよう。例えば、以上の説明の全体で言及されることが可能なデータ、命令、コマンド、情報、信号、ビット、シンボル、およびチップは、電圧、電流、電磁波、磁界または磁気粒子、光の場または粒子、あるいは以上の任意の組み合わせによって表現されることが可能である。

【0042】

本明細書で開示される実施形態に関連して説明される様々な例示的な論理ブロック、モジュール、回路、およびアルゴリズムステップは、電子ハードウェアとして実施されても、コンピュータソフトウェアとして実施されても、あるいはその両方の組み合わせとして

50

実施されてもよいことが、当業者にはさらに理解されよう。ハードウェアとソフトウェアの、この互換性を明確に示すのに、様々な例示的なコンポーネント、ブロック、モジュール、回路、およびステップが、概ね機能の点で以上に説明されてきた。そのような機能が、ハードウェアとして実施されるか、ソフトウェアとして実施されるかは、全体的なシステムに課される特定の応用上の制約、および設計上の制約に依存する。当業者は、説明される機能を、それぞれの特定の応用例に関して、様々な仕方では実施することができるが、そのような実施上の決定が、本発明の範囲からの逸脱を生じさせるものと解釈されてはならない。

【0043】

本明細書で開示される実施形態に関連して説明される様々な例示的な論理ブロック図、モジュール、および回路は、汎用プロセッサ、DSP（デジタル信号プロセッサ）、ASIC（特定用途向け集積回路）、FPGA（フィールドプログラマブルゲートアレイ）もしくは他のプログラミング可能なロジックデバイス、ディスクリートのゲートもしくはトランジスタロジック、ディスクリートのハードウェアコンポーネント、あるいは本明細書で説明される機能を実行するように設計された以上の任意の組み合わせを使用して、実施される、または実行されることが可能である。汎用プロセッサは、マイクロプロセッサであることが可能であるが、代替として、プロセッサは、任意の従来のプロセッサ、コントローラ、マイクロコントローラ、または状態マシンであってもよい。また、プロセッサは、コンピューティングデバイスの組み合わせとして、例えば、DSPとマイクロプロセッサの組み合わせ、複数のマイクロプロセッサ、DSPコアと連携する1つまたは複数のマイクロプロセッサ、または他の任意のそのような構成として実施されることも可能である。

【0044】

本明細書で開示される実施形態に関連して説明される方法またはアルゴリズムのステップは、ハードウェアにおいて直接に、プロセッサによって実行されるソフトウェアにおいて、またはこの2つの組み合わせで実施されることが可能である。これらの実施形態は、何らかの形態のプロセッサ上、もしくはプロセッサコア（コンピュータのCPUなどの）上で実行される、またはそれ以外で、マシン可読媒体上、もしくはコンピュータ可読媒体上、またはマシン可読媒体内部、もしくはコンピュータ可読媒体内部で実施される、または実現されるソフトウェアプログラムとして、またはそのようなソフトウェアプログラムをサポートするように使用されることが可能であることを理解されたい。マシン可読媒体には、マシン（例えば、コンピュータ）によって読み取られることが可能な形態で情報を格納する、または伝送するための任意の機構が含まれる。例えば、マシン可読媒体には、RAMメモリ、フラッシュメモリ、ROMメモリ、EPROMメモリ、EEPROMメモリ、レジスタ、ハードディスク、リムーバブルなディスク、CD-ROM、または当技術分野で知られている他の任意の記憶媒体が含まれる。例示的な記憶媒体は、プロセッサが、その記憶媒体から情報を読み取ること、およびその記憶媒体に情報を書き込むことができるように、プロセッサに結合される。代替として、記憶媒体は、プロセッサと一体化していてもよい。プロセッサと記憶媒体は、ASICの中に存在することが可能である。このASICは、端末装置内に存在することが可能である。代替として、プロセッサと記憶媒体は、端末装置内のディスクリートのコンポーネントとして存在してもよい。

【0045】

開示される実施形態の以上の説明は、任意の当業者が、本発明を作成する、または使用することができるようにするように提供される。これらの実施形態に対する様々な変形が、当業者には直ちに明白となり、本明細書において規定される一般的な原理は、本発明の趣旨または範囲を逸脱することなく、他の実施形態に適用されることが可能である。このため、本発明は、本明細書において示される実施形態に限定されることを意図しておらず、本明細書において開示される原理および新奇な特徴と合致する最も広い範囲を与えられるべきである。

以下に、本願出願の当初の特許請求の範囲に記載された発明を付記する。

10

20

30

40

50

[C 1]

コンピュータ可読媒体であって、

処理システムにおいて実行されると、前記処理システムに、結果としてレジスタ部を形成するように、レジスタファイル構造から第1のレジスタ部および第2のレジスタ部を選択的に組み合わせるようにし、前記第1のレジスタ部と前記第2のレジスタ部は、前記レジスタファイル構造内で隣接せずに配置されている、前記媒体に含まれる複数の実行可能命令に関する命令を含む、コンピュータ可読媒体。

[C 2]

前記第1のレジスタ部内に存在するデータおよび前記第2のレジスタ部内に存在するデータは前記結果としてのレジスタ部の対応する部分の中に格納される、C1に記載のコンピュータ可読媒体。

10

[C 3]

前記第1のレジスタ部および前記第2のレジスタ部は32ビット幅レジスタ部であり、前記結果としてのレジスタ部は64ビット幅レジスタ部である、C2に記載のコンピュータ可読媒体。

[C 4]

前記第1のレジスタ部の第1のハーフワード部および前記第2のレジスタ部の第2のハーフワード部は前記結果としてのレジスタ部の対応する部分の中に格納される、C1に記載のコンピュータ可読媒体。

[C 5]

前記第1のハーフワード部および前記第2のハーフワード部は16ビット幅部であり、前記結果としてのレジスタ部は32ビット幅レジスタ部である、C4に記載のコンピュータ可読媒体。

20

[C 6]

方法であって、

実行可能命令を受信し、および

結果としてレジスタ部を形成するためレジスタファイル構造から第1のレジスタ部と第2のレジスタ部とを選択的に組み合わせるために前記命令を実行することを含み、前記第1のレジスタ部と前記第2のレジスタ部は前記レジスタファイル構造内で隣接せずに配置されている方法。

30

[C 7]

前記実行することは、前記第1のレジスタ部内に存在するデータおよび前記第2のレジスタ部内に存在するデータを前記結果としてのレジスタ部内の同一の幅の対応する部分の中に格納することをさらに含む、C6に記載の方法。

[C 8]

前記第1のレジスタ部および前記第2のレジスタ部は32ビット幅レジスタ部であり、前記結果としてのレジスタ部は64ビット幅レジスタ部である、C7に記載の方法。

[C 9]

前記実行することは、前記第1のレジスタ部の第1のハーフワード部、および前記第2のレジスタ部の第2のハーフワード部を前記結果としてのレジスタ部内の同一の幅の対応する部分の中に格納することをさらに含む、C6に記載の方法。

40

[C 10]

前記第1のハーフワード部および前記第2のハーフワード部は16ビット幅部であり、前記結果としてのレジスタ部は32ビット幅レジスタ部であるC9に記載の方法。

[C 11]

前記実行することは、

前記第1のレジスタ部および前記第2のレジスタ部に関連するデータをメモリから取り出すこと、

前記データを、前記第1のレジスタ部内および前記第2のレジスタ部内にそれぞれ格納すること、および

50

前記結果としてのレジスタ部に前記データを選択的に組み合わせることをさらに含む、
C 6 に記載の方法。

[C 1 2]

方法であって、

処理部内のレジスタファイル構造から第 1 のレジスタ部および第 2 のレジスタ部を取り出し、前記第 1 のレジスタ部および前記第 2 のレジスタ部は前記レジスタファイル構造内で隣接せずに配置されており、

結果としてのレジスタ部を形成するために、単一の命令の実行中に前記第 1 のレジスタ部と前記第 2 のレジスタ部とを選択的に組み合わせ、および

さらなる処理のために、前記結果としてのレジスタ部を前記レジスタファイル構造内に格納することを含む方法。

10

[C 1 3]

前記組み合わせることは、

前記第 1 のレジスタ部と前記第 2 のレジスタ部とを組み合わせる前記命令を受信すること、および

前記処理部内で前記命令を実行することをさらに含む、C 1 2 に記載の方法。

[C 1 4]

前記組み合わせることは、前記第 1 のレジスタ部内に存在するデータおよび前記第 2 のレジスタ部内に存在するデータを前記結果としてのレジスタ部内の同一の幅の対応する部分の中に格納することをさらに含む、C 1 2 に記載の方法。

20

[C 1 5]

前記第 1 のレジスタ部および前記第 2 のレジスタ部は、3 2 ビット幅レジスタ部であり、前記結果としてのレジスタ部は 6 4 ビット幅レジスタ部である、C 1 4 に記載の方法。

[C 1 6]

前記組み合わせることは、前記第 1 のレジスタ部の第 1 のハーフワード部および前記第 2 のレジスタ部の第 2 のハーフワード部を前記結果としてのレジスタ部内の同一の幅の対応する部分の中に格納することをさらに含む、C 1 2 に記載の方法。

[C 1 7]

前記第 1 のハーフワード部および前記第 2 のハーフワード部は 1 6 ビット幅部であり、前記結果としてのレジスタ部は 3 2 ビット幅レジスタ部である、C 1 6 に記載の方法。

30

[C 1 8]

前記第 1 のレジスタ部および前記第 2 のレジスタ部に関連するデータをメモリから取り出すこと、

前記データを前記第 1 のレジスタ部内および前記第 2 のレジスタ部内にそれぞれ格納すること、および

前記結果としてのレジスタ部に前記データを選択的に組み合わせることをさらに含む、C 1 2 に記載の方法。

[C 1 9]

実行可能命令を含むコンピュータ可読媒体であって、

処理システムにおいて実行されると、前記処理システムに、

処理部内のレジスタファイル構造から第 1 のレジスタ部および第 2 のレジスタ部を取り出し、前記第 1 のレジスタ部および前記第 2 のレジスタ部は前記レジスタファイル構造内で隣接せずに配置されおり、

40

単一の命令の実行中に結果としてのレジスタ部を形成するため、前記第 1 のレジスタ部と前記第 2 のレジスタ部とを選択的に組み合わせ、および

前記結果としてのレジスタ部をさらなる処理のために前記レジスタファイル構造内に格納する

ことを含む方法を実行させるようにするコンピュータ可読媒体。

[C 2 0]

前記組み合わせることは、

50

前記第 1 のレジスタ部と前記第 2 のレジスタ部とを組み合わせる前記命令を受信すること、および

前記処理部内で前記命令を実行することをさらに含む、
C 1 9 に記載のコンピュータ可読媒体。

[C 2 1]

前記組み合わせることは、

前記第 1 のレジスタ部内に存在するデータおよび前記第 2 のレジスタ部内に存在するデータを前記結果としてのレジスタ部内の同一の幅の対応する部分の中に格納することをさらに含む、
C 1 9 に記載のコンピュータ可読媒体。

[C 2 2]

前記第 1 のレジスタ部および前記第 2 のレジスタ部は 3 2 ビット幅レジスタ部であり、前記結果としてのレジスタ部は 6 4 ビット幅レジスタ部である、
C 2 1 に記載のコンピュータ可読媒体。

[C 2 3]

前記組み合わせることは、前記第 1 のレジスタ部の第 1 のハーフワード部および前記第 2 のレジスタ部の第 2 のハーフワード部を前記結果としてのレジスタ部内の同一の幅の対応する部分の中に格納することをさらに含む、
C 1 9 に記載のコンピュータ可読媒体。

[C 2 4]

前記第 1 のハーフワード部および前記第 2 のハーフワード部は 1 6 ビット幅部であり、前記結果としてのレジスタ部は 3 2 ビット幅レジスタ部である、
C 2 3 に記載のコンピュータ可読媒体。

[C 2 5]

前記方法は、

前記第 1 のレジスタ部および前記第 2 のレジスタ部に関連するデータをメモリから取り出すこと、

前記データを前記第 1 のレジスタ部内および前記第 2 のレジスタ部内にそれぞれ格納すること、および

前記結果としてのレジスタ部に前記データを選択的に組み合わせる、
ことをさらに含む、
C 1 9 に記載のコンピュータ可読媒体。

[C 2 6]

集積回路であって、

1 つまたは複数の命令を含むパケットを格納するメモリと、および

前記メモリに結合されたプロセッサとを含み、前記プロセッサは処理部および前記処理部に結合されたレジスタファイル構造とをさらに含み、

前記処理部は、第 1 のレジスタ部と第 2 のレジスタ部とを前記レジスタファイル構造から取り出し、第 1 のレジスタ部と第 2 のレジスタ部は、前記第 1 のレジスタ部と前記第 2 のレジスタ部とを選択的に組み合わせ、単一の命令の実行中に結果としてのレジスタ部を形成し、そして前記結果としてのレジスタ部をさらなる処理のために前記レジスタファイル構造内に格納するため、前記レジスタファイル構造内で隣接せずに配置されている、
集積回路。

[C 2 7]

前記処理部は前記第 1 のレジスタ部と前記第 2 のレジスタ部とを組み合わせる前記命令を前記メモリからさらに受信しそして前記命令を実行する、
C 2 6 に記載の回路。

[C 2 8]

前記処理部は、前記第 1 のレジスタ部内に存在するデータおよび前記第 2 のレジスタ部内に存在するデータを前記結果としてのレジスタ部内の同一の幅の対応する部分の中にさらに格納する、
C 2 6 に記載の回路。

[C 2 9]

前記第 1 のレジスタ部および前記第 2 のレジスタ部は 3 2 ビット幅レジスタ部であり、前記結果としてのレジスタ部は 6 4 ビット幅レジスタ部である、
C 2 8 に記載の回路。

10

20

30

40

50

[C 3 0]

前記処理部は、前記第1のレジスタ部の第1のハーフワード部および前記第2のレジスタ部の第2のハーフワード部を前記結果としてのレジスタ部内の同一の幅の対応する部分の中にさらに格納する、C 2 6に記載の回路。

[C 3 1]

前記第1のハーフワード部および前記第2のハーフワード部は16ビット幅部であり、前記結果としてのレジスタ部は32ビット幅レジスタ部である、C 3 0に記載の回路。

[C 3 2]

前記メモリは前記第1のレジスタ部および前記第2のレジスタ部に関連するデータをさらに格納し、前記レジスタファイル構造は前記データをさらに取り出し前記データを前記第1のレジスタ部内および前記第2のレジスタ部内にそれぞれ格納し、前記処理部は前記データを前記結果としてのレジスタ部内に選択的にさらに組み合わせる、C 2 6に記載の回路。

10

[C 3 3]

装置であって、

処理部内のレジスタファイル構造から、前記レジスタファイル構造内で隣接せずに配置されている第1のレジスタ部と第2のレジスタ部とを取り出すための手段と、

単一の命令の実行中に、結果としてレジスタ部を形成するために、前記第1のレジスタ部と前記第2のレジスタ部とを選択的に組み合わせる手段と、および

前記結果としてのレジスタ部をさらなる処理のために前記レジスタファイル構造内に格納するための手段と

20

を含む装置。

[C 3 4]

前記第1のレジスタ部と前記第2のレジスタ部とを組み合わせる前記命令を受信するための手段と、

前記処理部内で前記命令を実行するための手段とをさらに含む、C 3 3に記載の装置。

[C 3 5]

前記第1のレジスタ部内に存在するデータおよび前記第2のレジスタ部内に存在するデータを前記結果としてのレジスタ部内の同一の幅の対応する部分の中に格納するための手段をさらに含む、C 3 3に記載の装置。

30

[C 3 6]

前記第1のレジスタ部および前記第2のレジスタ部は32ビット幅レジスタ部であり、前記結果としてのレジスタ部は、4ビット幅レジスタ部である、C 3 5に記載の装置。

[C 3 7]

前記第1のレジスタ部の第1のハーフワード部、および前記第2のレジスタ部の第2のハーフワード部を、前記結果としてのレジスタ部内の同一の幅の対応する部分の中に格納するための手段をさらに含む、C 3 3に記載の装置。

[C 3 8]

前記第1のハーフワード部および前記第2のハーフワード部は16ビット幅部であり、前記結果としてのレジスタ部は32ビット幅レジスタ部である、C 3 7に記載の装置。

40

[C 3 9]

前記第1のレジスタ部および前記第2のレジスタ部に関連するデータをメモリから取り出すための手段と、

前記データを、前記第1のレジスタ部内、および前記第2のレジスタ部内にそれぞれ格納するための手段と、

前記結果としてのレジスタ部内に前記データを選択的に組み合わせるための手段とをさらに含む、C 3 3に記載の装置。

【図1】

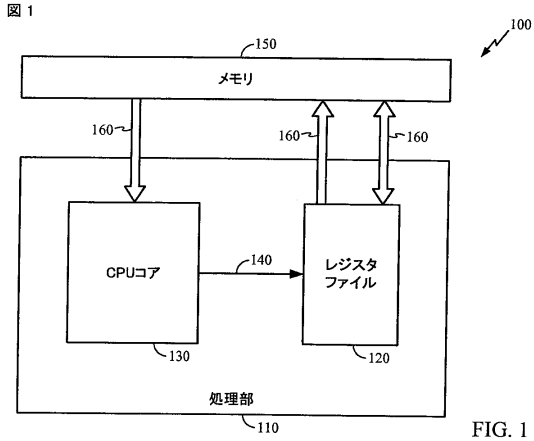


FIG. 1

【図2】

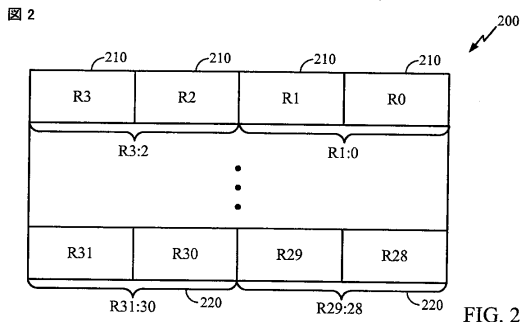


FIG. 2

【図3】

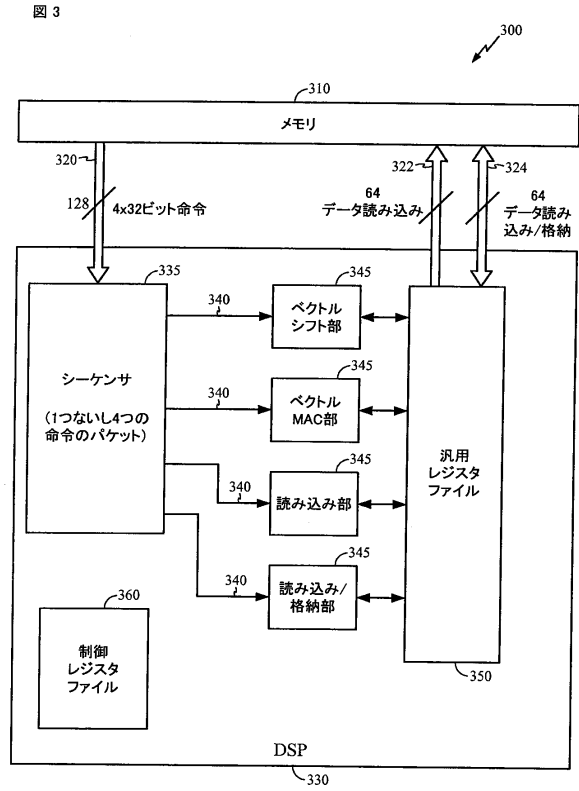


FIG. 3

【図4】

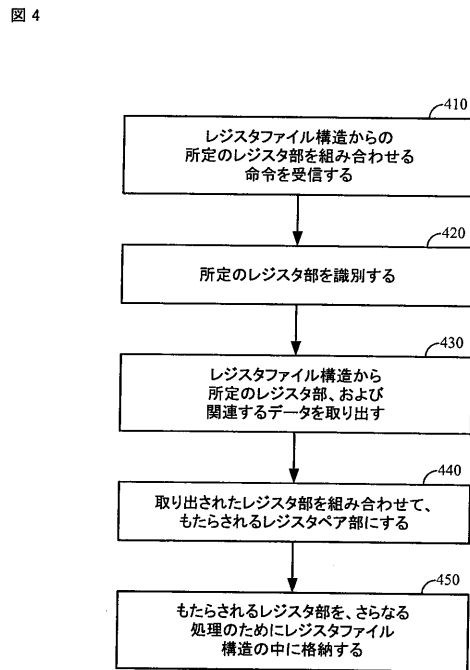


FIG. 4

【図5】

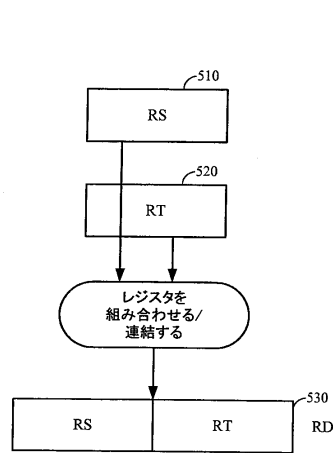


FIG. 5

【 図 6 】

図 6

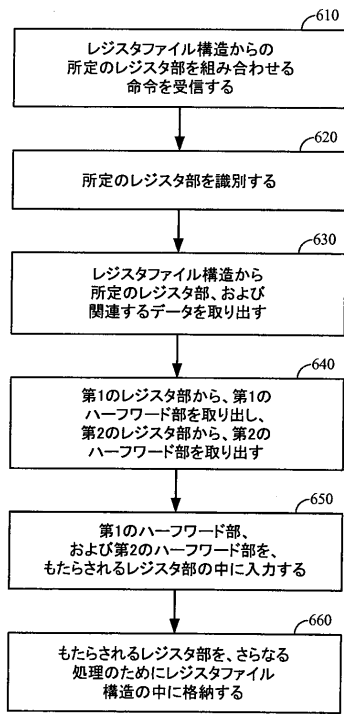


FIG. 6

【 図 7 】

図 7

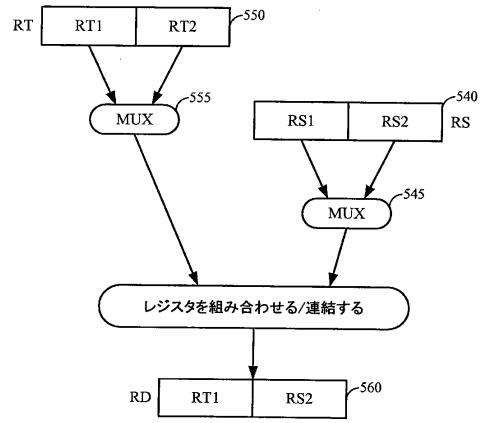


FIG. 7

フロントページの続き

- (74)代理人 100095441
弁理士 白根 俊郎
- (74)代理人 100075672
弁理士 峰 隆司
- (74)代理人 100119976
弁理士 幸長 保次郎
- (74)代理人 100153051
弁理士 河野 直樹
- (74)代理人 100140176
弁理士 砂川 克
- (74)代理人 100158805
弁理士 井関 守三
- (74)代理人 100172580
弁理士 赤穂 隆雄
- (74)代理人 100179062
弁理士 井上 正
- (74)代理人 100124394
弁理士 佐藤 立志
- (74)代理人 100112807
弁理士 岡田 貴志
- (74)代理人 100111073
弁理士 堀内 美保子
- (74)代理人 100134290
弁理士 竹内 将訓
- (72)発明者 ルシアン・コドレスキュ
アメリカ合衆国、テキサス州 78726、オースティン、グラシアー・パーク・コーブ 12505
- (72)発明者 エリック・ブロンドケ
アメリカ合衆国、テキサス州 78727、オースティン、カメル・パーク・レーン 12012
- (72)発明者 マオ・ジェング
アメリカ合衆国、テキサス州 78759、オースティン、テイラー・ドレイパー・レーン 11250、アパートメント・ナンバー 1022

審査官 青木 重徳

- (56)参考文献 特許第3739403(JP, B2)
特開平08-314717(JP, A)
特開2005-182659(JP, A)
特開2005-174293(JP, A)
特開2002-229777(JP, A)
特開2001-312405(JP, A)
特表2005-535966(JP, A)
特表2009-536774(JP, A)
欧州特許出願公開第00743592(EP, A1)
米国特許第06463525(US, B1)
米国特許第07237096(US, B1)
米国特許出願公開第2002/0027552(US, A1)

米国特許出願公開第2004/0064677 (US, A1)

米国特許出願公開第2002/0129224 (US, A1)

米国特許出願公開第2005/0198054 (US, A1)

米国特許出願公開第2007/0276646 (US, A1)

Selliah Rathnam, Gert Slavenburg, "An Architectural Overview of the Programmable Multimedia Processor, TM-1", Proceedings of COMPCOM'96 'Technologies for the Information Superhighway' Digest of Papers, 1996年 2月, p.319-326

Ruby B. Lee, "SUBWORD PARALLELISM WITH MAX-2", IEEE Micro, 1996年 8月, Volume 16, Issue 4, p.51-59

(58)調査した分野(Int.Cl., DB名)

G06F 9/34

G06F 9/30