



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0119162
(43) 공개일자 2016년10월12일

- (51) 국제특허분류(Int. Cl.)
H01L 33/20 (2010.01) *H01L 33/02* (2010.01)
H01L 33/22 (2010.01) *H01L 33/58* (2010.01)
- (52) CPC특허분류
H01L 33/20 (2013.01)
H01L 33/02 (2013.01)
- (21) 출원번호 10-2016-7024459
- (22) 출원일자(국제) 2015년01월16일
 심사청구일자 없음
- (85) 번역문제출일자 2016년09월05일
- (86) 국제출원번호 PCT/IB2015/050323
- (87) 국제공개번호 WO 2015/118419
 국제공개일자 2015년08월13일
- (30) 우선권주장
 61/936,362 2014년02월06일 미국(US)

- (71) 출원인
 코닌클리케 필립스 엔.브이.
 네덜란드, 아인트호벤 5656 에이이, 하이 테크 캠퍼스 5
- (72) 발명자
 로페즈, 토니
 네덜란드 엔엘-5656 에이이 아인트호벤 빌딩 5 하이 테크 캠퍼스 내
- (74) 대리인
 양영준, 백만기

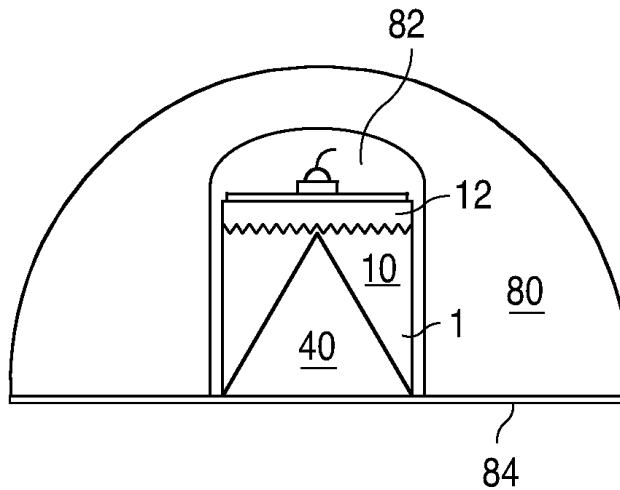
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 구조화된 기판을 갖는 발광 다이오드

(57) 요약

본 발명의 실시예들은 반도체 발광 디바이스를 포함한다. 디바이스는 제1 표면 및 제1 표면의 맞은 편의 제2 표면을 갖는 기판을 포함한다. 디바이스는 기판의 제1 표면 상에 배치된 반도체 구조체를 더 포함한다. 캐비티가 기판 내에 배치된다. 캐비티는 기판의 제2 표면으로부터 연장한다. 캐비티는 경사진 측벽을 갖는다.

대표도 - 도7



(52) CPC특허분류

H01L 33/22 (2013.01)

H01L 33/58 (2013.01)

H01L 2924/12041 (2013.01)

명세서

청구범위

청구항 1

반도체 발광 디바이스로서,

제1 표면 및 상기 제1 표면의 맞은 편에 제2 표면을 갖는 기관;

상기 기관의 상기 제1 표면 상에 배치된 반도체 구조체; 및

상기 기관 내에 배치되고, 상기 기관의 상기 제2 표면으로부터 연장하고, 경사진 측벽을 갖는 캐비티(cavity)를 포함하는 반도체 발광 디바이스.

청구항 2

제1항에 있어서,

상기 기관은 상기 제1 및 제2 표면들에 수직인 제1 방향에서의 두께를 갖고;

상기 제1 방향에서 측정된 상기 캐비티의 가장 깊은 부분이 상기 제1 방향에서의 상기 기관의 두께의 적어도 70%인 반도체 발광 디바이스.

청구항 3

제1항에 있어서, 상기 캐비티는 제1 축을 따라 삼각형 단면을 갖는 반도체 발광 디바이스.

청구항 4

제3항에 있어서, 상기 캐비티는 상기 제1 축에 수직인 제2 축을 따라 삼각형 단면을 갖는 반도체 발광 디바이스.

청구항 5

제4항에 있어서, 상기 반도체 발광 디바이스는 정사각형인 반도체 발광 디바이스.

청구항 6

제1항에 있어서, 상기 캐비티는 상기 캐비티의 체적 플러스 상기 기관의 체적을 포함하는 체적의 적어도 50%를 포함하는 반도체 발광 디바이스.

청구항 7

제1항에 있어서,

상기 반도체 발광 디바이스는 직사각형이고;

상기 기관의 가장 두꺼운 지점에서의 상기 기관의 두께는 상기 직사각형 반도체 발광 디바이스의 짧은 변(short side)의 길이의 적어도 90%인 반도체 발광 디바이스.

청구항 8

제1항에 있어서, 상기 캐비티의 상기 경사진 측벽과 상기 제1 표면에 수직인 평면 사이의 각도는 30° 이하인 반도체 발광 디바이스.

청구항 9

제1항에 있어서, 상기 제1 표면은 텍스처화되는(textured) 반도체 발광 디바이스.

청구항 10

제1항에 있어서,

상기 제1 표면의 맞은 편의 상기 반도체 구조체의 표면 위에 배치된 투명한 전도성 재료; 및

상기 투명한 전도성 재료 위에 배치되고, 적어도 1.5의 굴절률을 갖는 높은 굴절률 재료를 더 포함하는 반도체 발광 디바이스.

청구항 11

제10항에 있어서, 상기 투명한 전도성 재료의 맞은 편의 상기 높은 굴절률 재료의 표면은 텍스처화되는 반도체 발광 디바이스.

청구항 12

제11항에 있어서, 상기 높은 굴절률 재료의 상기 텍스처화된 표면은 격자로 배열된 복수의 3면 피라미드(3-sided pyramid)를 포함하는 반도체 발광 디바이스.

청구항 13

제1항에 있어서, 상기 반도체 구조체 및 상기 기관 위에 배치된 렌즈를 더 포함하는 반도체 발광 디바이스.

청구항 14

제13항에 있어서, 상기 반도체 구조체와 상기 렌즈 사이에 배치된 갭을 더 포함하는 반도체 발광 디바이스.

발명의 설명

기술 분야

[0001] 본 발명은 기관 내에 형성된 중공을 갖는 발광 다이오드와 같은 발광 디바이스에 관한 것이다.

배경 기술

[0002] 발광 다이오드들(light emitting diodes)(LED들), 공진 캐비티 발광 다이오드들(resonant cavity light emitting diodes)(RCLED들), 수직 캐비티 레이저 다이오드들(vertical cavity laser diodes)(VCSEL들), 및 에지 방출 레이저들(edge emitting lasers)을 포함하는 반도체 발광 디바이스들은 현재 가장 효율적인 광원들 중 하나이다. 가시 스펙트럼에 걸쳐 동작할 수 있는 고 휘도 발광 디바이스들의 제조에서 현재 관심 있는 재료들은 III-V족 반도체들, 특히 III-질화물 재료들이라고도 하는, 갈륨, 알루미늄, 인듐, 및 질소의 2원, 3원, 및 4원 합금들을 포함한다. 전형적으로, III-질화물 발광 디바이스들은 금속 유기 화학 증착(MOCVD), 분자 빔 에피택시(MBE), 또는 다른 에피택셜 기술들에 의해 사파이어, 실리콘 탄화물, 실리콘, III-질화물, 또는 다른 적합한 기관 상에 상이한 조성들 및 도펀트 농도들의 반도체 층들의 스택을 에피택셜 성장함으로써 제조된다. 스택은 보통 예를 들어, 기관 위에 형성된 Si로 도핑된 하나 이상의 n형 층, n형 층 또는 층들 위에 형성된 활성 영역 내의 하나 이상의 발광 층, 및 예를 들어, 활성 영역 위에 형성된 Mg로 도핑된 하나 이상의 p형 층을 포함한다. 전기 접점들이 n형 및 p형 영역들 상에 형성된다.

[0003] 도 1은 미국 2012/0012856에 보다 상세히 설명된 종래 기술의 디바이스를 도시한다. 미국 2012/0012856은 III-질화물 발광 다이오드의 사파이어 기관을 형성화하는 것을 설명한다. 미국 2012/0012856은 문단 45에서 도 1의 디바이스를 설명한다. 도 1의 디바이스는 "사파이어 기관(404) 및 에피택셜 층(402)을 포함하는 GaN 발광 다이오드[401]이다. 경사들(405) 및 오목부들(4042)이 둘 다 기관 내에" 형성된다. "사파이어 기관(404)의 하부 부분은 분산 브래그 반사기(407)에 엔벨롭된다. 은 접착 층(408)은 분산 브래그 반사기(407) 아래에 그리고 사파이어 기관의 경사들(405)로부터 광을 반사하는 사파이어 기관(404)의 경사들(405) 상에 도포된다. 우리가 예상할 수 있는 바와 같이, ... [도 1의 디바이스]는 측면 광 빔들의 증가로 인해 양호한 광 추출 효율을 갖는다."

발명의 내용

[0004] 본 발명의 목적은 기관 내에 형성된 중공, 또는 캐비티를 갖는 디바이스를 제공하는 것이다. 이러한 디바이스는 디바이스의 측면들을 통해 광을 효율적으로 추출할 수 있다. 캐비티는 임의의 적합한 기하학적 형상, 예를 들어, 각기둥, 유사 각기둥 또는 다면체의 챔버의 형태를 취할 수 있다.

[0005] 본 발명의 실시예들은 반도체 발광 디바이스를 포함한다. 디바이스는 제1 표면 및 제1 표면의 맞은 편의 제2 표면을 갖는 기관을 포함한다. 디바이스는 기관의 제1 표면 상에 배치된 반도체 구조체를 더 포함한다. 캐비티가 기관 내에 배치된다. 캐비티는 기관의 제2 표면으로부터 연장한다. 캐비티는 경사진 측벽을 갖는다.

도면의 간단한 설명

- [0006] 도 1은 형상화된 사파이어 기관을 갖는 종래 기술의 디바이스를 도시한다.
- 도 2는 본 발명의 실시예들에 따른 III-질화물 디바이스 구조의 단면도이다.
- 도 3은 도 2에 도시된 디바이스의 평면도이다.
- 도 4는 도 3에 도시한 축(28)을 따라 취해진, 형상화된 기관을 포함하는 디바이스의 단면도이다.
- 도 5a는 도 3에 도시한 축(29)을 따라 취해진, 형상화된 기관을 포함하는 디바이스의 단면도이다.
- 도 5b는 정사각형 디바이스의 상부도이다.
- 도 6은 높은 굴절률 코팅 및 열 전도성 재료를 포함하는 디바이스를 도시한다.
- 도 7은 디바이스와 인캡슐런트 사이에 배치된 갭을 갖는 캡슐화된 디바이스를 도시한다.

발명을 실시하기 위한 구체적인 내용

- [0007] 본 발명의 실시예들은 광을 디바이스의 측면들로부터 주로 추출하는 LED들과 같은 발광 디바이스들에 관한 것이다.
- [0008] 아래의 예들에서 반도체 발광 디바이스는 청색 또는 UV 광을 방출하는 III-질화물 LED들이지만, 레이저 다이오드들과 같은 LED들 이외의 반도체 발광 디바이스들 및 다른 III-V 재료들, III-인화물, III-비소화물, II-VI 재료들, ZnO, 또는 Si-기반 재료들과 같은 다른 재료들 계들로부터 이루어진 반도체 발광 디바이스들이 사용될 수 있다.
- [0009] 도 2는 본 발명의 실시예들에서 사용될 수 있는 III-질화물 LED의 디바이스 구조를 도시한다. 임의의 적합한 반도체 발광 디바이스 구조가 사용될 수 있고 본 발명의 실시예들은 도 2에 도시된 배열로 제한되지 않는다. 도 2의 디바이스는 본 기술 분야에 공지된 바와 같이 성장 기관(10) 상에 III-질화물 반도체 구조체(12)를 성장함으로써 형성된다. 성장 기관은 보통 사파이어이지만 예를 들어, 비(non)-III-질화물 재료, 사파이어, SiC, Si, GaN, 또는 복합 사파이어와 같은 임의의 적합한 기관일 수 있다. 그 위에 III-질화물 반도체 구조체(12)가 성장하는 성장 기관의 표면(13)은 성장 전에 패터닝되거나, 거칠어지거나, 또는 텍스처화될 수 있어서, 기관 내로의 광 추출을 개선시킨다.
- [0010] 반도체 구조체(12)는 n형 영역과 p형 영역(16과 20) 사이에 샌드위치된 발광 또는 활성 영역(18)을 포함한다. n형 영역(16)은 먼저 성장할 수 있고 예를 들어, n형 또는 의도적으로 도핑되지 않을 수 있는 버퍼 층들 또는 핵형성 층들과 같은 준비 층들, 및 광을 효율적으로 방출하기 위해 발광 영역을 위해 바람직한 특정한 광학, 재료, 또는 전기적 특성들을 위해 설계된 n형 또는 심지어 p형 디바이스 층들을 포함하는, 상이한 조성들 및 도펀트 농도의 다중 층들을 포함할 수 있다.
- [0011] 발광 또는 활성 영역(18)은 n형 영역 위에 성장한다. 적합한 발광 영역들의 예들은 단일의 두껍거나 얇은 발광 층, 또는 장벽 층들에 의해 분리된 다중의 얇거나 두꺼운 발광 층들을 포함하는 다중의 양자 웰 발광 영역을 포함한다.
- [0012] p형 영역(20)은 발광 영역 위에 성장할 수 있다. n형 영역과 마찬가지로, p형 영역은 의도적으로 도핑되지 않은 층들, 또는 n형 층들을 포함하는, 상이한 조성, 두께, 및 도펀트 농도의 다중 층들을 포함할 수 있다.
- [0013] p형 영역(20) 및 활성 영역(18)의 부분은 n-접점(22)이 그 위에 형성되는 n형 영역(16)의 부분을 노출하도록 제거된다.
- [0014] 전류 차단 층(23)은 p-접점이 형성되는 p형 영역(20) 상에 형성될 수 있다. 전류 차단 층(23)은 이 영역에서 발생된 광의 양을 방지 또는 감소시키는, p-접점 바로 아래의 활성 영역에 전류가 주입되는 것을 방지한다. p-접점 바로 아래에 발생된 광은 p-접점(21)에 의해 흡수되어 손실될 수 있다. 전류 차단 층(23)은 예를 들어, 실리콘의 산화물들, SiO₂, 및 실리콘의 질화물과 같은 유전체 재료들을 포함하는 임의의 적합한 재료로부터 형성

될 수 있다.

- [0015] 투명 전도성 층(24)은 전류 차단 층 및 p형 영역(20)의 나머지 표면 위에 형성될 수 있다. 투명 전도성 층(24)은 p형 영역(20) 내에 분산하는 전류를 제공할 수 있다. 적합한 재료들의 예들은 인듐 주석 산화물(ITO)과 같은 투명 전도성 산화물들을 포함한다
- [0016] p-접점(21)은 선택적인 전류 차단 층(23) 위에 형성된다. n- 및 p-접점들(22 및 21)은 알루미늄, 금, 또는 은과 같은 임의의 적합한 재료일 수 있다. n- 및 p-접점들(22 및 21)은 동일한 재료일 필요는 없다. n- 및 p-접점들(22 및 21)은 실리콘의 산화물 또는 임의의 다른 적합한 재료와 같은 유전체로 채워질 수 있는 갭(25)에 의해 서로 전기적으로 분리된다.
- [0017] 도 3은 도 2에 도시된 n- 및 p-접점들의 평면도이다. n-접점은 n-접촉 패드(22) 및 n 접촉 패드(22)보다 좁고 n-접촉 패드(22)로부터 연장하는 n-접촉 암(22A)을 포함한다. p-접점은 p-접촉 패드(21) 및 p 접촉 패드(21)보다 좁고 p-접촉 패드(21)로부터 연장하는 2개의 p-접촉 암들(21A 및 21B)을 포함한다. n-접촉 암(22A)은 도 3에 도시된 배열에서 p-접촉 암들(21A 및 21B) 사이에 있게 된다. 갭(25)은 디바이스의 p형 영역으로부터 n-접촉 패드(22) 및 n-접촉 암(22A)을 전기적으로 분리시킨다. 접점들의 임의의 적합한 배열이 사용될 수 있다. 본 발명은 도 3에 도시된 배열로 제한되지 않는다.
- [0018] 광은 투명 전도성 층(24)을 통해 디바이스의 상부 표면을 통해 추출될 수 있다.
- [0019] LED 웨이퍼들은 보통 정사각형 LED들 내로 다이스된다. 일부 실시예들에서, 디바이스는 정사각형 이외의 형상이다. 예를 들어, 도 3에 도시된 디바이스는 직사각형이다. 디바이스는 다각형, 원형, 및 6각형을 포함하지만 이들로 제한되지 않는 임의의 적합한 형상일 수 있다. 도 3에 도시된 직사각형 디바이스에서, 디바이스의 짧은 변은 예를 들어, 일부 실시예들에서 500 μ m 폭, 일부 실시예들에서 적어도 350 μ m 폭, 및 일부 실시예들에서 650 μ m 이하 폭일 수 있다. 도 3에 도시된 직사각형 디바이스의 긴 변은 예를 들어, 일부 실시예들에서 적어도 650 μ m 폭, 일부 실시예들에서 700 μ m 이하 폭, 일부 실시예들에서 적어도 550 μ m 폭, 및 일부 실시예들에서 800 μ m 이하 폭일 수 있다.
- [0020] 본 발명의 실시예들에서, 기관(10)은 디바이스의 측면들로부터의 광 추출을 개선시키도록 형상화된다. 일부 실시예들에서, 여기서 중공이라고도 하는, 캐비티가 기관(10) 내에 형성된다. 캐비티는 임의의 적합한 기하학적 형상, 예를 들어, 각기둥, 유사 각기둥 또는 다면체의 챔버의 형태를 취할 수 있다. 도 4 및 5a는 캐비티의 한 예를 도시한 단면도들이다. 도 4는 도 3에 도시된 축(28)을 따라 취해진 부분 단면도이다. 도 5a는 도 3에 도시된 축(29)을 따라 취해진 부분 단면도이다. 도 4 및 도 5a는 성장 기관(10)의 형상을 도시한다. 반도체 구조체(12)는 참조를 위해 간소화된 형태로 포함된다. 접점들(21 및 22), 전류 차단 층(23), 및 투명 전도성 층(24)은 분명히 하기 위해 생략된다.
- [0021] 도 4 및 5a에 도시된 바와 같이, 기관(10)은 반도체 구조체를 향해 반도체 구조체(12)의 맞은 편의 기관의 표면으로부터 연장하는 중공(40)을 형성하도록 형상화된다. 중공(40)은 도 4에 도시된 단면 내에 삼각형 단면을 갖는다. 기관의 외부 측벽들은 종래의 디바이스에서와 같이, 실질적으로 수직이다. 외부 측벽들은 보통 디바이스가 종래의 디바이스에서와 같이, 디바이스들의 웨이퍼로부터 다이스될 때 형성된다.
- [0022] 도 4에 도시된 직사각형 디바이스의 짧은 변을 따라 취해진 단면에서, 중공(40)의 경사진 측벽들(42 및 44)은 각각 반도체 구조체의 성장 방향에 수직이고(즉, 반도체 구조체(12)의 주 평면에 평행이고) 그 위에 반도체 구조체가 성장하는 기관(10)의 표면에 평행한 평면(30)과 예각(32 및 34)을 형성한다. 각도들(32 및 34)은 반드시 그럴 필요는 없지만 동일한 각도일 수 있다. 경사진 측벽들(42 및 44)은 각각 반도체 구조체의 성장 방향에 평행하고 그 위에 반도체 구조체가 성장하는 기관(10)의 표면에 수직인 평면(58 및 58A)과 예각(60 및 62)을 형성한다. 각도들(60 및 62)은 반드시 그럴 필요는 없지만 동일한 각도일 수 있다. 일부 실시예들에서, 각도들(60 및 62)은 30° 이하이다. 일부 실시예들에서, 도 4에 도시된 단면에서, 측벽들(42 및 44)에 부가하여, 중공(40)은 평면(30)에 평행한 벽을 갖는다(바꾸어 말하면, 단면은 도 4에 도시된 삼각형이라기보다, 잘려진 삼각형이다). 성장 기관은 측벽들(42 및 44) 각각에 인접한 표면들(50 및 52)을 가질 수 있다. 표면들(50 및 52)은 평면(30)에 평행할 수 있다. 대안적으로, 측벽들(42 및 44)은 표면들(50 및 52)을 제거하는, 기관(10)의 외부 예지들로 연장할 수 있다.
- [0023] 도 5a에 도시된 디바이스의 예지 근처의 직사각형 디바이스의 긴 변을 따라 취해진 단면에서, 삼각형 중공(40)의 상부(35)는 파선으로서 도시된다. 파선 표시한 상부(35)를 따르는 모든 지점에서, 도 5a의 평면의 외부로 연장하는 단면은 도 4에 도시된 단면이다. 도 5a에 도시된 단면이 그를 따라 취해진, 축(29)의 위치는 도 4에

도시된다.

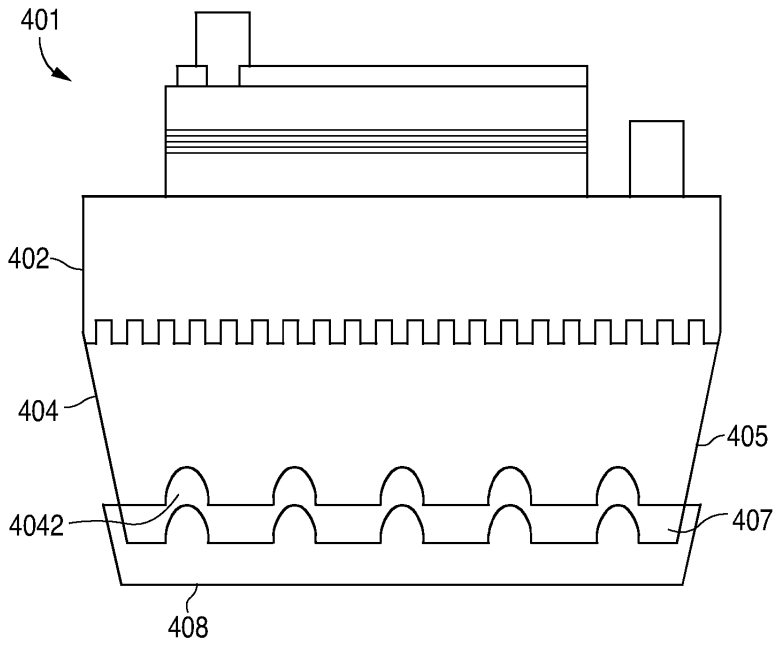
- [0024] 도 4에 광선(45)에 의해 도시된 바와 같이, 기관(10)을 향해 반도체 구조체(12)의 발광 영역에 의해 방출된 광은 중공(40)의 측벽들에 입사하고 나서, 디바이스의 측면들에서 나오도록 반사될 수 있다.
- [0025] 도 3에 도시된 평면도에서, 디바이스는 직사각형이라서, 도 5a에 도시된 단면은 도 4에 도시된 단면보다 실질적으로 길다. 도 5b에 도시된 바와 같이, 디바이스가 정사각형 또는 거의 정사각형인 실시예들에서, 측들(28 및 31)을 따라 취해진 단면들은 길이가 유사하다. 일부 이러한 실시예들에서, 양 측들(28 및 31)을 따라 취해진 단면들은 도 4에 도시된 단면일 수 있다.
- [0026] 형상화된 기관은 예를 들어, 중공(40)을 형성하기 위해 기관 재료를 제거함으로써, 또는 중공(40)을 형성하기 위해 기관을 선택적으로 성장함으로써 형성될 수 있다. 임의의 적합한 제거 기술이 에칭 또는 레이저 브래스팅과 같이, 사용될 수 있다. 레이저 블래스팅 중의 입사각은 도 4에 도시된 단면에 도시된 형상을 형성하도록 선택될 수 있다.
- [0027] 중공은 기관(10)의 체적의 상당한 부분을 포함한다. 예를 들어, 중공(40)은 일부 실시예들에서 기관(10)의 총 체적의 적어도 50%(즉, 기관(10)의 총 체적은 중공(40)의 체적 플러스 기관(10)의 나머지 부분의 체적임), 및 일부 실시예들에서 기관(10)의 총 체적의 적어도 60%일 수 있다.
- [0028] 기관(10)은 도 4에 도시된 두께(41)를 갖고, 두께(41)는 반도체 구조체(12)가 그 위에 형성되는 제1(상부) 및 중공(40)이 연장하는 제2(하부) 표면 둘 다에 수직인 방향에서 측정된다. 기관(10)의 두께(41)는 일부 실시예들에서 적어도 400 μm 두께, 일부 실시예들에서 적어도 500 μm 두께, 및 일부 실시예들에서 1000 μm 이하 두께일 수 있다. 디바이스가 직사각형인 일부 실시예들에서, 기관(10)의 두께(41)는 직사각형의 짧은 변의 길이의 적어도 90%이다.
- [0029] 기관 두께(41)와 동일한 방향에서 측정된, 도 4에 도시된 중공(40)의 가장 깊은 부분(43)은 일부 실시예들에서 기관(10)의 두께의 적어도 70%, 일부 실시예들에서 기관(10)의 두께의 적어도 80%, 일부 실시예들에서 기관(10)의 두께의 적어도 90%, 일부 실시예들에서 적어도 200 μm 깊이, 일부 실시예들에서 적어도 300 μm 깊이, 및 일부 실시예들에서 500 μm 이하 깊이일 수 있다.
- [0030] 일부 실시예들에서, 중공(40)의 경사진 측벽들은 도 4에 도시된 바와 같이, 반사 재료(64)로 코팅된다. 임의의 적합한 기술에 의해 형성된 임의의 적합한 반사 재료는 예를 들어, 은과 같은 반사 금속들, 백색 반사 페인트와 같은 반사 코팅들, 또는 분산 브래그 반사기들(DBR들)과 같은 다층 구조들을 포함하여 사용될 수 있다. 반사 재료(64)는 전기적으로 전도성, 또는 전기적으로 절연성일 수 있다.
- [0031] 도 6은 높은 굴절률 코팅 및 열 전도성 재료를 포함하는 디바이스를 도시한다.
- [0032] 일부 실시예들에서, 중공(40)의 전부 또는 일부는 도 6에 도시된 바와 같이, 열 전도성 재료(66)로 채워진다. 임의의 적합한 재료가 예를 들어, 구리와 같은 금속을 포함하여 사용될 수 있다. 열 전도성 재료는 히트 싱크 또는 다른 적합한 외부 구조에 열적으로 접촉될 수 있다.
- [0033] 일부 실시예들에서, 높은 굴절률 코팅(68)이 도 6에 도시된 바와 같이, 그 위에 n- 및 p-점점들이 형성되는 디바이스의 표면 상에 형성된다. 높은 굴절률 코팅(68)은 디바이스의 상부로부터 추출된 광의 양을 감소시키는, 디바이스의 상부 표면에서 내부 전반사를 증가시킴으로써 디바이스의 측면들로부터의 광 추출을 개선시킬 수 있다. 높은 굴절률 코팅(68)은 일부 실시예들에서 적어도 1.5, 일부 실시예들에서 적어도 1.6, 일부 실시예들에서 적어도 1.8, 및 일부 실시예들에서 적어도 2의 굴절률을 가질 수 있다. 높은 굴절률 코팅(68)은 임의의 적합한 기술에 의해 형성된 임의의 적합한 재료일 수 있다. 예들은 SiO_x , SiO_2 , SiN , 및 증착에 의해 형성된 유전체 재료들을 포함한다. 높은 굴절률 코팅(68)은 일부 실시예들에서 다층 구조일 수 있다.
- [0034] 일부 실시예들에서, 높은 굴절률 코팅(68)의 상부 표면(70)은 광 추출을 개선시키기 위해 거칠어지거나, 패터닝되거나, 또는 텍스처화된다. 거칠어지거나, 패터닝되거나, 또는 텍스처화된 표면은 광을 회절시키고 디바이스의 측면들 밖으로 방사되는 광의 양을 증가시킬 수 있다. 측면 방출을 위해 최적화된 광 결정 구조 또는 격자 구조는 높은 굴절률 코팅(68)의 상부 표면(70) 상에 형성될 수 있다. 예를 들어, 높은 굴절률 코팅(68)의 상부 표면(70)은 예를 들어, 삼각형 격자, 벌집 격자, 또는 기타 적합한 주기적 배열과 같은, 주기적 배열에서 3면 피라미드들(72) 내로 형성될 수 있다. 피라미드들(72)은 예를 들어, 일부 실시예들에서 적어도 0.5 μm 높이, 일부 실시예들에서 2 μm 이하의 높이, 및 일부 실시예들에서 1 μm 높이일 수 있다. 피라미드들(72)의 기부들은 예를 들어, 일부 실시예들에서 적어도 0.5 μm 폭, 일부 실시예들에서 2 μm 이하 폭, 일부 실시예들에서 1 μm 폭일 수

있다.

- [0035] 도 7은 캡슐화된 디바이스를 도시한다. 인캡슐런트(80)는 예를 들어, 에폭시, 수지, 글래스, 또는 실리콘과 같은 임의의 적합한 재료일 수 있다. 인캡슐런트(80)는 예를 들어, 몰딩 또는 졸-겔 공정을 포함하는 임의의 적합한 기술에 의해 형성될 수 있다. 일부 실시예들에서, 인캡슐런트는 별도로 형성되고 나서, 예를 들어, 디바이스(1)에 직접 접촉하거나 디바이스가 그 위에 배치되는 마운트(84)에 접촉함으로써 디바이스(1) 위에 배치된다. 일부 실시예들에서, 디바이스는 마운트(84) 상에 배치되고 인캡슐런트(80) 및 마운트(84)는 디바이스에 들어오는 오염들을 방지하기 위해 디바이스를 완전히 둘러싼다.
- [0036] 일부 실시예들에서, 인캡슐런트(80)는 렌즈 또는 다른 적합한 광학 요소 내로 형상화된다. 예를 들어, 인캡슐런트(80)는 도 7에 도시된 돔 렌즈, 프레스넬 렌즈, 또는 임의의 다른 적합한 형상으로 형상화될 수 있다. 도 7에 도시된 바와 같이, 인캡슐런트(80)는 디바이스(1)의 측면들 위에 연장할 수 있다. 인캡슐런트(80)는 디바이스(1)보다 구조의 하부를 따라 폭이 더 넓을 수 있다.
- [0037] 일부 실시예들에서, 인캡슐런트(80)는 디바이스(1)와 직접 접촉하여 있다. 일부 실시예들에서, 도 7에 도시된 바와 같이, 갭(82)은 디바이스(1)와 인캡슐런트(80)를 분리시킨다. 갭(82)은 보통 공기로 채워지지만 임의의 적합한 재료로 채워질 수 있다. 일부 실시예들에서, 인캡슐런트(80)는 높은 굴절률을 갖는다. 예를 들어, 인캡슐런트(80)의 굴절률은 일부 실시예들에서 1보다 크고, 일부 실시예들에서 적어도 1.5, 일부 실시예들에서 적어도 1.8일 수 있다. 갭(82)이 포함되는 경우, 재료 충전 갭(82)은 낮은 흡수의 낮은 굴절률 재료일 수 있다. 예를 들어, 재료 충전 갭(82)인 경우 굴절률은 일부 실시예들에서 1 이하일 수 있다.
- [0038] 본 발명의 실시예들은 광이 측면들로부터 주로 추출되는 다른 가용한 디바이스들보다 장점들을 가질 수 있다. 여기에 설명된 실시예들은 현재 가용한 측면-방출 디바이스들에 비해, 개선된 추출 균일성 및 감소된 얼룩을 가질 수 있다. 여기에 설명된 실시예들은 디바이스의 측면들로부터 광의 높은 추출 효율을 가질 수 있다. 여기에 설명된 실시예들은 꽤 소형이고 비용 효과적이는데, 왜냐하면 그들은 복잡하고 크고 비싼 보조 광학계들 없이, 도시된 바와 같이 사용될 수 있기 때문이다.
- [0039] 본 발명을 상세히 설명하였지만, 본 기술 분야의 통상의 기술자는 본 개시 내용이 주어지는 경우, 여기에 설명된 발명 개념의 취지에서 벗어나지 않고서 수정들이 이루어질 수 있다는 것을 알 것이다. 위에 설명된 특징들의 임의의 조합은 본 발명의 범위 내에 있다. 예를 들어, 위에 도시된 특징들은 다른 실시예들에서는 포함될 수 있거나, 다른 실시예들로부터 생략될 수 있다. 그러므로, 본 발명의 범위는 도시되고 설명된 특정한 실시예들로 제한되는 것으로 의도되지 않는다.

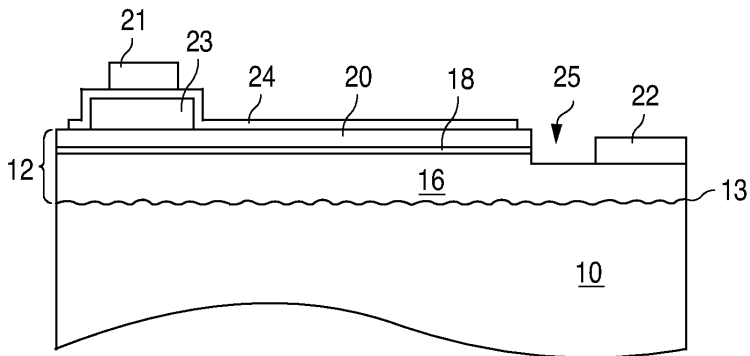
도면

도면1

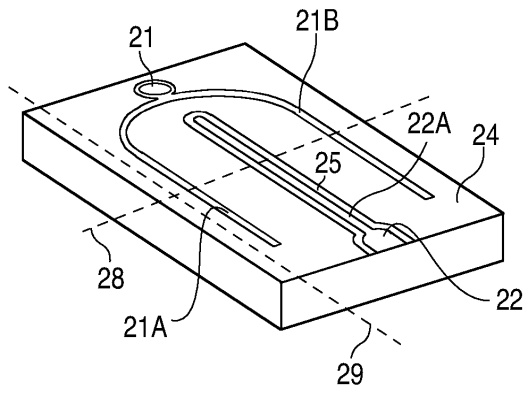


(종래 기술)

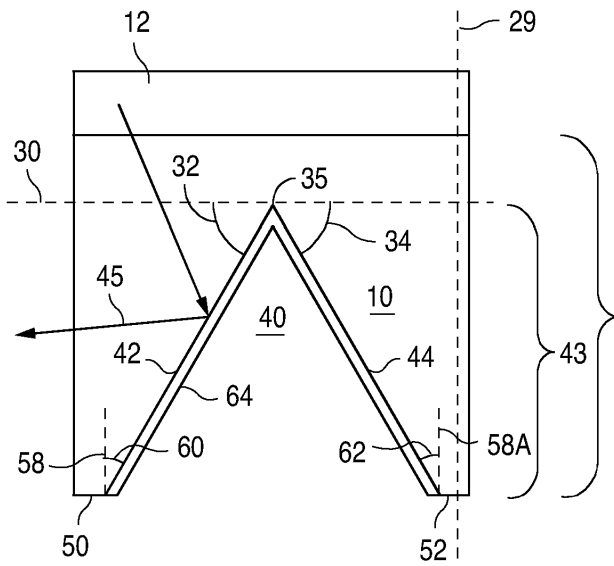
도면2



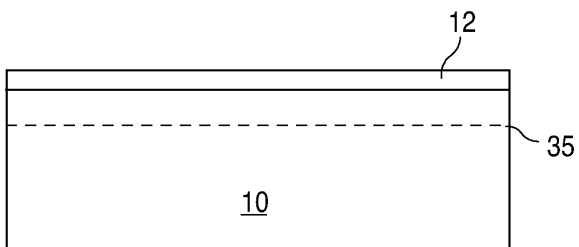
도면3



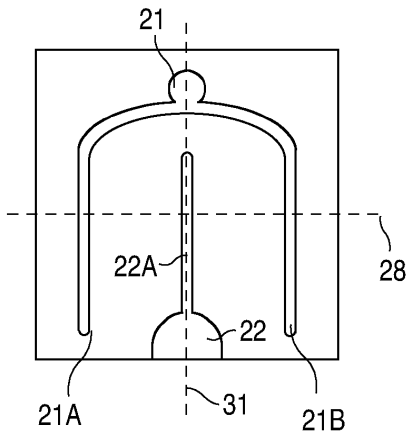
도면4



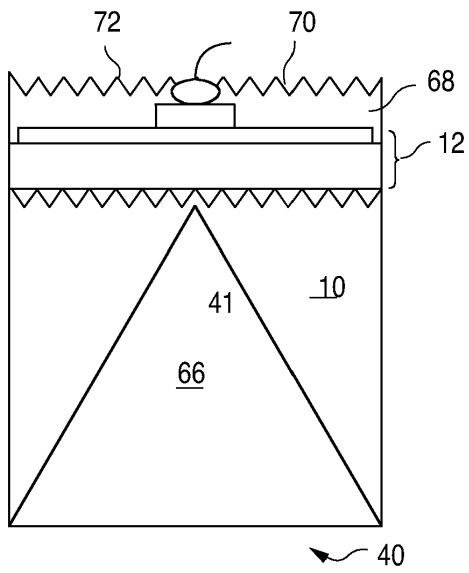
도면5a



도면5b



도면6



도면7

