



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년01월28일
 (11) 등록번호 10-0798159
 (24) 등록일자 2008년01월18일

(51) Int. Cl.
H01L 27/108 (2006.01)
 (21) 출원번호 10-2002-7015763
 (22) 출원일자 2002년11월22일
 심사청구일자 2006년05월15일
 번역문제출일자 2002년11월22일
 (65) 공개번호 10-2003-0003755
 (43) 공개일자 2003년01월10일
 (86) 국제출원번호 PCT/US2001/015757
 국제출원일자 2001년05월15일
 (87) 국제공개번호 WO 2001/91180
 국제공개일자 2001년11월29일
 (30) 우선권주장
 09/576,465 2000년05월23일 미국(US)
 (56) 선행기술조사문헌
 JP07130871 A
 JP08024166 B
 전체 청구항 수 : 총 26 항

(73) 특허권자
인피니언 테크놀로지스 노쓰 아메리카 코포레이션
 미국 캘리포니아 95035, 밀피타스, 엔.맥카씨 블러바드 640
 (72) 발명자
투스헬뮤트호스트
 미국12603뉴욕주퍼킵시밀뱅크로드26
리브라이언에스
 대만신추우렁로드175-9홀랜드빌리지빌딩#씨3019
 층19에프-2
 (뒷면에 계속)
 (74) 대리인
김원준, 김창세, 장성구

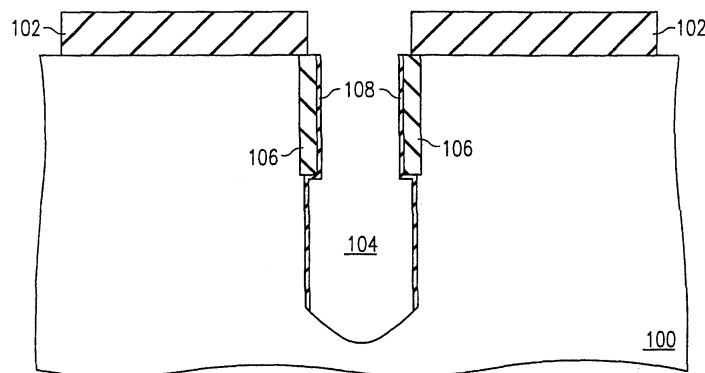
심사관 : 이우식

(54) 트렌치 캐패시터의 내부 플레이트로의 전기적 연결부 형성 방법, 트렌치 캐패시터의 내부 플레이트와 수직 트렌치 트랜지스터의 터미널 사이의 전기적 연결부 형성 방법 및 DRAM 집적 회로 형성 방법

(57) 요약

낮은 경사각 도펀트 주입(114) 방법을 이용하여 트렌치 위로 자기 정렬 마스크를 형성하여 집적 회로 내의 딥 트렌치(104)의 내부에 전기적 연결을 형성하는 방법 및 시스템이다. 전기적 연결은 바람직하게는 트렌치 캐패시터의 내부 플레이트(110)와 수직 트렌치 트랜지스터의 터미널 사이를 연결한다. 낮은 중횡비를 갖는 마스크 구조와 결합하여 낮은 경사각 주입 공정은 일반적으로 트렌치 내 또는 위의 물질의 일부분만을 도핑시킨다. 이후 물질은 산화와 같은 후속 공정에 도핑된 영역과 도핑되지 않은 영역 사이의 선택도를 가지며 제공된다. 에칭 공정과 같은 다른 공정 단계에서 트렌치 내 또는 윗부분 물질(120)의 일부분은 제거되고, 트렌치의 일부분을 덮고 있는 자기 정렬 마스크(122)를 남겨지며, 트렌치의 남겨진 부분은 다음 공정을 위하여 노출시킨다. 이와 달리, 에칭 공정은 단독으로 도핑된 영역과 도핑되지 않은 영역 사이의 선택도를 갖고 수행되어 마스크를 생성하는데 이용된다. 자기 정렬 마스크를 트렌치 내의 물질의 일부분을 선택적으로 제거하는데 이용하여 수직 트렌치 캐패시터와 매립형 스트랩을 트렌치의 한쪽 면에만 형성할 수 있다.

대표도



(72) 발명자

미카엘리스알렉산더

독일41541도르마겐골슈타인슈트라쎄16

슈뢰더우베

독일01109드레스덴괴테슈트라쎄22

쿠텔카스티븐

미국12524뉴욕주피쉬킬반워레이크로드463

(81) 지정국

국내특허 : 일본, 대한민국

EP 유럽특허 : 오스트리아, 벨기에, 스위스, 독일, 덴마크, 스페인, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투갈, 스웨덴, 핀란드, 사이프러스, 터키

특허청구의 범위

청구항 1

반도체 기판 위의 딥 트렌치 내에 위치하는 트렌치 캐패시터의 내부 플레이트로의 전기적 연결부를 형성하는 방법에 있어서,

상기 반도체 기판 상의 마스크 층의 노출된 영역에 도펀트를 80° 이하의 경사각으로 주입하는 단계- 상기 마스크 층은 상기 딥 트렌치 상의 4:1 이하의 낮은 종횡비의 웰을 포함하며, 상기 딥 트렌치 위의 상기 마스크 층의 차폐된 영역은 상기 웰의 측벽에 의해 상기 주입으로부터 차폐되어 도핑되지 않고 남아 있음 -와,

상기 마스크의 상기 도핑되고 노출된 영역 또는 도핑되지 않고 차폐된 영역 중 하나를 도펀트 레벨 선택적 반도체 공정을 이용하여 제거하여, 상기 딥 트렌치의 제 1 영역을 노출하되, 상기 딥 트렌치의 제 2 영역은 마스크된 채로 남겨두는 단계와,

상기 딥 트렌치의 상기 제 1 영역 내에 매립형 스트랩을 형성하는 단계- 상기 매립형 스트랩은 상기 딥 트렌치의 기판 측벽의 상부의 일부분과 상기 내부 플레이트를 전기적으로 연결함 -를 포함하는

트렌치 캐패시터의 내부 플레이트로의 전기적 연결부 형성 방법.

청구항 2

삭제

청구항 3

제 1 항에 있어서,

상기 낮은 종횡비는 3:1 이하인

트렌치 캐패시터의 내부 플레이트로의 전기적 연결부 형성 방법.

청구항 4

제 1 항에 있어서,

상기 도펀트 레벨 선택적 반도체 공정은 선택적 산화 공정이며, 이 공정 다음에는 산화물 에칭이 수행되는 트렌치 캐패시터의 내부 플레이트로의 전기적 연결부 형성 방법.

청구항 5

제 1 항에 있어서,

상기 도펀트 레벨 선택적 반도체 공정은 선택적 에칭 공정인

트렌치 캐패시터의 내부 플레이트로의 전기적 연결부 형성 방법.

청구항 6

제 5 항에 있어서,

상기 마스크 층은 상기 선택적 에칭 공정 후 산화되는

트렌치 캐패시터의 내부 플레이트로의 전기적 연결부를 형성 방법.

청구항 7

제 1 항에 있어서,

상기 마스크 층은 폴리실리콘인

트렌치 캐패시터의 내부 플레이트로의 전기적 연결부 형성 방법.

청구항 8

제 1 항에 있어서,
 상기 마스크 층의 도핑되고 노출된 영역이 제거되는
 트랜치 캐패시터의 내부 플레이트로의 전기적 연결부 형성 방법.

청구항 9

제 1 항에 있어서,
 상기 주입되는 도펀트는 붕소, 비소, 인 그리고 이들의 화합물로 이루어진 그룹에서 선택되는
 트랜치 캐패시터의 내부 플레이트로의 전기적 연결부 형성 방법.

청구항 10

트랜치 캐패시터의 내부 플레이트와 수직 트랜치 트랜지스터의 터미널 사이에 전기적 연결부를 형성하는 방법-
 상기 캐패시터와 상기 트랜지스터는 반도체 기판 상의 딥 트랜치 내에 위치함 -에 있어서 ,

상기 기판 상에 도핑되지 않은 마스크 층을 형성하는 단계- 상기 마스크 층은 상기 딥 트랜치 상의 측벽을 갖는
 웰을 형성하고, 상기 웰은 4:1 이하의 낮은 종횡비를 가짐 -와,

상기 마스크 층에 도펀트를 80° 이하의 경사각으로 주입하는 단계- 상기 딥 트랜치 상의 상기 마스크 층의 노출
 된 영역이 도핑되고 상기 딥 트랜치 위의 상기 마스크 층의 차폐된 영역은 상기 웰의 측벽 중 하나에 의해 상기
 주입으로부터 차폐되어 도핑되지 않고 남아 있음 -와,

상기 마스크의 상기 도핑되고 노출된 영역 또는 도핑되지 않고 차폐된 영역 중 하나를 도펀트 레벨 선택적 반도체
 공정용 이용하여 제거하여 상기 딥 트랜치의 제 1 영역을 노출하되, 상기 딥 트랜치의 제 2 영역은 마스크
 된 채로 남겨두는 단계와,

상기 딥 트랜치의 상기 제 1 영역으로부터 물질을 제거하여 상기 딥 트랜치의 기판 측벽의 상부를 노출시키는
 단계와,

상기 내부 플레이트를 상기 기판 측벽의 상부의 일부분과 전기적으로 연결시키는 매립형 스트랩을 형성하기 위
 하여 전도성 층을 증착하는 단계와,

상기 딥 트랜치의 상기 제 1 영역 내의 상기 기판 측벽 상부에 상기 트랜지스터를 형성하는 단계- 상기 트랜지
 스텐터의 상기 터미널이 상기 매립형 스트랩과 전기적으로 연결됨 -를 포함하는

트랜치 캐패시터의 내부 플레이트와 수직 트랜치 트랜지스터의 터미널 사이의 전기적 연결부 형성 방법.

청구항 11

제 10 항에 있어서,
 상기 낮은 종횡비는 3:1 이하인
 트랜치 캐패시터의 내부 플레이트와 수직 트랜치 트랜지스터의 터미널 사이의 전기적 연결부 형성 방법.

청구항 12

제 10 항에 있어서,
 상기 도펀트 레벨 선택적 반도체 공정은 선택적 산화 공정이며, 이 공정 다음에는 산화물 에칭이 수행되는
 트랜치 캐패시터의 내부 플레이트와 수직 트랜치 트랜지스터의 터미널 사이의 전기적 연결부 형성 방법.

청구항 13

제 10 항에 있어서,
 상기 도펀트 레벨 선택적 반도체 공정은 선택적 에칭 공정인

트렌치 캐패시터의 내부 플레이트와 수직 트렌치 트랜지스터의 터미널 사이의 전기적 연결부 형성 방법.

청구항 14

제 13 항에 있어서,

상기 마스크 층은 상기 선택적 에칭 공정 후 산화되는

트렌치 캐패시터의 내부 플레이트와 수직 트렌치 트랜지스터의 터미널 사이의 전기적 연결부 형성 방법.

청구항 15

제 10 항에 있어서,

상기 마스크 층은 폴리실리콘인

트렌치 캐패시터의 내부 플레이트와 수직 트렌치 트랜지스터의 터미널 사이의 전기적 연결부 형성 방법.

청구항 16

제 10 항에 있어서,

상기 마스크 층의 상기 도핑되고 노출된 영역이 제거되는

트렌치 캐패시터의 내부 플레이트와 수직 트렌치 트랜지스터의 터미널 사이의 전기적 연결부 형성 방법.

청구항 17

제 10 항에 있어서,

상기 주입된 도펀트는 붕소, 비소, 인 및 이들의 화합물로 이루어진 그룹에서 선택되는

트렌치 캐패시터의 내부 플레이트와 수직 트렌치 트랜지스터의 터미널 사이의 전기적 연결부 형성 방법.

청구항 18

다이나믹 랜덤 액세스 메모리(DRAM) 집적 회로를 형성하는 방법에 있어서,

반도체 기판 내의 딥 트렌치 내에 저장 캐패시터를 형성하는 단계- 상기 캐패시터는 상기 딥 트렌치 내에 위치하는 내부 플레이트를 가짐 -와,

상기 기판 상에 도핑되지 않은 마스크 층을 형성하는 단계- 상기 마스크 층은 상기 딥 트렌치 위로 측벽을 갖는 웰을 형성하고, 상기 웰은 4:1 이하의 낮은 종횡비를 가짐 -와,

상기 마스크 층에 도펀트를 80° 이하의 경사각으로 주입하는 단계- 상기 딥 트렌치 상의 상기 마스크 층의 노출된 영역이 도핑되고 상기 딥 트렌치 위의 상기 마스크 층의 차폐된 영역은 상기 웰의 측벽 중 하나에 의해 상기 주입으로부터 차폐되어 도핑되지 않고 남아 있음 -와,

도펀트 레벨 선택적 반도체 공정을 이용하여 상기 마스크의 상기 도핑되고 노출된 영역 또는 도핑되지 않고 차폐된 영역 중 하나를 제거하여 상기 딥 트렌치의 제 1 영역을 제거하되, 상기 딥 트렌치의 제 2 영역은 마스크된 채로 남겨두는 단계와,

상기 딥 트렌치의 상기 제 1 영역으로부터 물질을 제거하여 상기 딥 트렌치의 기판 측벽의 상부를 노출시키는 단계와,

상기 내부 플레이트를 상기 기판 측벽의 상부의 일부분과 전기적으로 연결시키는 매립형 스트랩을 형성하기 위하여 전도성 층을 증착하는 단계와,

상기 기판 측벽의 상부에 수직 트랜지스터를 형성하는 단계 - 상기 트랜지스터의 터미널이 상기 매립형 스트랩과 전기적으로 연결됨 -를 포함하는

DRAM 집적 회로 형성 방법.

청구항 19

제 18 항에 있어서,

상기 저장 캐패시터를 형성하는 단계는

상기 기판 내에 딥 트렌치를 형성하는 단계와,

상기 딥 트렌치의 내부 표면의 상부 위에 산화물 고리를 형성하고 상기 딥 트렌치의 하부는 상기 산화물 고리에 덮이지 않도록 남겨두는 단계와,

상기 딥 트렌치와 인접한 상기 기판 내에 제 1 플레이트를 형성하는 단계와,

상기 딥 트렌치의 내부 표면 위에 노드 유전체를 형성하여 상기 산화물 고리를 덮는 단계와,

상기 노드 유전체의 내부 표면 위에 내부 플레이트를 형성하고 상기 딥 트렌치의 내부의 적어도 일부분을 채우는 단계를 포함하는

DRAM 집적 회로 형성 방법.

청구항 20

제 18 항에 있어서,

상기 수직 트랜지스터를 형성하는 단계는

상기 매립형 스트랩과 전기적으로 연결되는 상기 터미널로서 상기 기판 측벽의 하부에 인접한 상기 기판 내에 드레인을 형성하는 단계와,

상기 기판 측벽의 상부 위의 상기 트렌치 내에 수직 게이트 절연물을 형성하는 단계와,

상기 게이트 절연물과 인접한 상기 트렌치 내에 게이트를 형성하는 단계와,

상기 기판 측벽의 상부의 위쪽에 인접한 상기 기판 내에 소스 터미널을 형성하는 단계를 포함하는

DRAM 집적 회로 형성 방법.

청구항 21

제 18 항에 있어서,

상기 낮은 종횡비는 3:1 이하인

DRAM 집적 회로 형성 방법.

청구항 22

제 18 항에 있어서,

상기 도펀트 레벨 선택적 반도체 공정은 선택적 산화 공정이며, 이 공정 이후에 산화물 에칭이 수행되는

DRAM 집적 회로 형성 방법.

청구항 23

제 18 항에 있어서,

상기 도펀트 레벨 선택적 반도체 공정은 선택적 에칭 공정인

DRAM 집적 회로 형성 방법.

청구항 24

제 23 항에 있어서,

상기 마스크 층은 선택적 에칭 공정 후 산화되는

DRAM 집적 회로 형성 방법.

청구항 25

제 18 항에 있어서,
 상기 마스크 층은 폴리실리콘인
 DRAM 집적 회로 형성 방법.

청구항 26

제 18 항에 있어서,
 상기 마스크 층의 상기 도핑되고 노출된 영역이 제거되는
 DRAM 집적 회로 형성 방법.

청구항 27

제 18 항에 있어서,
 상기 주입되는 도펀트는 붕소, 비소, 인 및 이들의 화합물로 이루어진 그룹에서 선택되는
 DRAM 집적 회로 형성 방법.

명세서

기술분야

<1> 본 발명은 일반적으로 집적 회로("IC")를 제조하는 시스템 및 방법에 관한 것으로, 특히, 집적 회로에서 수직적으로 배향된 장치층을 형성하는 시스템 및 방법에 관한 것이다.

배경기술

- <2> 반도체 산업계는 집적 회로 상에 위치하는 반도체 소자들의 크기를 줄이기 위해 계속적으로 노력하고 있다. 일반적으로 현재의 반도체 제품에 필요한 증가된 회로의 집적도를 수용하기 위하여 축소화가 요구된다. 예를 들어, 단일 반도체 제품 상에 수백만개의 반도체 소자가 장착되는 것은 통상적인 것이다.
- <3> 일반적으로 축소화의 초점은 반도체 소자의 이차원 수평면에 맞춰지고 있으며, 소자는 그 크기가 천만 분의 일 이하로 작아지고 있다. 그러나 수평적으로 배향된 반도체 소자가 축소되는 정도에는 한계가 있고, 소자가 작아진다고 하더라도 그 소자의 수평면을 더욱 축소시키는 데는 보다 큰 어려움이 따른다. 뿐만 아니라, 일반적으로 반도체 소자의 수평면이 축소될수록 반도체 소자의 동작 특성상 여러 가지 문제점이 야기된다.
- <4> 데이터를 저장하기 위해 전자 시스템에 널리 사용되는 반도체 제품으로는 반도체 메모리가 있고, 일반적인 유형의 반도체 메모리로는 다이내믹 랜덤 액세스 메모리(DRAM)가 있다. DRAM은 수백만개 또는 수십억개의 개별 DRAM 셀(cell)을 포함하며, 각각의 셀은 1 비트의 데이터를 저장한다. 하나의 DRAM 메모리 셀은 일반적으로 하나의 액세스 전계 효과 트랜지스터(FET)와 하나의 저장 캐패시터로 구성된다. 액세스 FET는 판독 및 기록 동작 중 데이터 전하를 저장 캐패시터와 주고 받는다. 뿐만 아니라, 저장 캐패시터에 저장되는 데이터 전하는 갱신 동작 중 주기적으로 갱신된다.
- <5> 반도체 메모리의 집적도는 일반적으로 제조 과정에 사용되는 리소그래픽 공정에 의해 정해지는 최소의 리소그래픽 피쳐 크기(lithographic feature size)에 의해 결정된다. 당업계에서는 데이터 저장 능력을 증가시키고 제조 비용을 줄이기 위해 더욱 높은 집적도를 갖는 메모리가 계속적으로 요구되고 있다.
- <6> 반도체 메모리의 데이터 저장 능력을 증가시키기 위한 하나의 방법에는 각각의 메모리 셀이 차지하는 집적 회로 수평면의 면적의 크기를 줄이는 방법이 있다. 수평적으로 배향된 소자에 있어서, 이것은 액세스 FET 또는 저장 캐패시터, 또는 둘 모두의 크기를 줄임으로써 가능하다. 그러나 이러한 방법은 현재의 제조 기술에서 제조 가능한 구조의 최소한의 크기, 그리고 작은 크기의 소자와 관련된 문제, 즉 핫 캐리어(hot carrier), 펀치 스로우(punch through), 그리고 과잉 누설(excess leakage)등과 같은 문제로 인하여 한계를 갖는다.
- <7> 평면의 면적을 줄이는 다른 방법으로는 액세스 FET와 저장 캐패시터의 3차원적 배열을 이용하는 방법이 있다. 이것은 딥 트렌치(deep trench) 캐패시터 옆에 평면 FET를 배열하는 방법이다. 트렌치 캐패시터는 집적 회로의

기판 표면에 수평으로 위치하는 것이 아니라 트렌치의 벽을 따라 수직적으로 위치한 플레이트를 갖는다. 이로써 기판 평면의 단위 면적당 캐패시턴스를 크게 할 수 있으며, 동시에 소자를 동작에 적합한 크기로 조절할 수 있다.

- <8> 또한 각각의 셀에 차지하는 평면적을 줄이기 위하여 메모리 셀 내에 수직 트렌치 캐패시터와 함께 수직 트렌치 트랜지스터를 사용하는 방법이 고안되었다. 일반적인 설계에서 수직 캐패시터는 기판 내에 형성된 하나의 전도성 플레이트와 트렌치의 측벽에 형성된 유전체, 그리고 트렌치의 내부에 형성된 다른 하나의 전도성 플레이트를 구비하여 트렌치 내에 만들어진다. 수직 트렌치 트랜지스터는 기판 내에 만들어진 소스와 드레인, 그리고 트렌치 내에 만들어진 수직적으로 배향된 게이트를 구비하며 트렌치의 상단에 인접하여 형성된다.
- <9> 그러나 이러한 DRAM 셀 내에 수직 트랜지스터를 제조하는 선행 기술에는 몇 가지 문제점이 있다. 제조 과정상 어려운 문제점 중 하나는 기본적인 메모리 셀 회로를 구성하기 위하여 수직 트랜지스터의 소스와 드레인 중 하나가 반드시 트렌치의 내부 플레이트와 전기적으로 연결되어야 한다는 점이다. 일반적으로 이 문제는 트렌치 캐패시터의 한쪽 면에 비대칭 매립형 스트랩(buried strap) 연결을 형성하여 해결한다. 매립형 스트랩은 캐패시터의 내부 플레이트와 수직 캐패시터의 소스 또는 드레인을 전기적으로 연결한다. 선행 기술에서 좁은 트렌치 내에 일정 거리를 두고 비대칭 구조물을 만드는 것은 어려운 과제였다.
- <10> 매립형 스트랩을 만드는 선행 기술 중 하나의 접근 방법에는 비대칭 매립형 스트랩을 형성하는데 DUV(deep ultraviolet) 마스크 공정을 이용하는 방법이 있다. DUV 마스크는 트렌치의 어느 한 부분이 트렌치의 다른 부분과 다르게 처리되도록 하여 트렌치 내에 비대칭 구조를 형성할 수 있도록 한다. 그러나 DUV 마스크는 고비용이므로 제조 공정 중 그 사용을 최소한으로 제한되어야 한다.
- <11> 매립형 스트랩을 만들기 위한 다른 방법으로 높은 경사각 주입(high-aspect angled implantation) 공정을 사용하는 방법이 제안되었다. 이 방법에서는 트렌치의 어느 한 부분이 트렌치의 다른 한 부분과 다르게 처리된다. 이 경우에는 동일 물질 중 주입된 부분과 주입되지 않은 부분의 차이 때문에 각각 매우 다른 처리 특성을 갖게 된다. 이러한 차이를 이용하여 트렌치 내에 비대칭 구조를 형성할 수 있게 된다. 그러나 이 방법에서는 도펀트(dopant)가 트렌치 내에 충분한 깊이에 도달하기 위하여 매우 정교하게 제어된 주입 경사각(예를 들어, 기판에 대하여 85도 이상의 경사각, 그러나 90도 보다 낮은 경사각)에 의해 주입되어야 하는 공정상의 어려움이 있다. 뿐만 아니라, 이 구조가 마스크 역할을 하기 위해서는 높은 종횡비(high-aspect ratio)(예를 들어, 마스크 벽면의 높이와 트렌치의 폭이 10:1 이상의 종횡비)를 가져야 하므로 주입 공정에 의해 트렌치의 일부분(예를 들어, 한쪽 면의 상부)에만 도펀트가 주입된다. 이러한 방법은 공정의 변화에 매우 민감하며 제조 환경에 충분히 강인하지 못하였다.
- <12> 따라서, 이러한 기술적 환경에서 특히 DRAM 메모리 셀에 사용될 수 있으며, 매립형 스트랩 연결을 통하여 트렌치 캐패시터와 수직형 트렌치 트랜지스터의 연결을 형성하는 복잡하지 않고 경제적인 방법이 요구된다.

발명의 상세한 설명

- <13> 이러한 문제점은 집적 회로에서 낮은 경사각의 도펀트 주입 방법을 이용하여 트렌치 상의 자기 정렬(self-aligned) 마스크를 형성하여 딥 트렌치의 내부와 전기적인 연결을 형성하는 본 발명에서의 일 실시예에 의해 일반적으로 해결되거나 우회되며, 일반적으로 기술상 효과를 얻을 수 있다. 보다 바람직하게는 전기적 연결, 즉 매립형 스트랩은 트렌치 캐패시터의 내부 플레이트와 수직 트렌치 트랜지스터의 터미널을 연결한다.
- <14> 일반적으로 낮은 종횡비를 갖는 마스크 구조를 이용하여 낮은 경사각 주입 공정으로 트렌치의 내부 또는 상부의 물질 중 일부만을 도핑할 수 있다. 주입 공정에 관하여 본 명세서에서 사용된 "낮은 경사각"은 약 80도 이하의 경사각을 의미하며, 바람직하게는 75도 이하의 경사각을, 더욱 바람직하게는 약 60도 이하의 경사각을, 가장 바람직하게는 약 30도와 약 60도 사이의 경사각을 의미한다. 주입 마스크의 높이와 너비의 비율에 관하여 본 명세서에서 사용된 "낮은 종횡비"는 약 4:1 이하의 비율을 의미하며, 바람직하게는 약 3:1 이하의 비율을, 더욱 바람직하게는 약 2:1 이하의 비율을 의미한다. 이후 물질은 도핑된 영역과 도핑되지 않은 영역으로 구분되어 산화와 같은 공정 단계에 제공된다. 다음으로 에칭 공정과 같은 또 다른 공정 단계에서 트렌치의 일부분을 덮고 있는 자기 정렬 마스크를 남겨두고, 트렌치의 내부 또는 상부에 있는 물질의 일부분이 제거되며 이후 공정을 위하여 트렌치의 남은 부분이 노출된다. 이와 달리, 도핑된 영역과 도핑되지 않은 영역 사이를 선택적으로 에칭 처리하여 마스크를 만들 수도 있다.
- <15> 자기 정렬 마스크는 트렌치 내의 물질 중 선택된 부분을 제거하는데 이용되며 이로써 수직 트렌치 트랜지스터와 매립형 스트랩은 트렌치의 어느 한쪽에만 형성될 수 있다. 트렌치 내의 남아있는 물질은 트랜지스터와 매립형

스트랩을 형성하는 과정에서 트렌치의 다른 부분을 차폐한다.

- <16> 본 발명의 바람직한 일 실시예에서 반도체 기판 위의 딥 트렌치 내에 위치하는 트렌치 캐패시터의 내부 플레이트와 전기적 연결을 형성하는 방법은 반도체 기판 상의 마스크 층의 노출된 부분에 도펀트를 낮은 경사각으로 주입하는 단계 - 여기에서, 마스크 층은 딥 트렌치 위의 낮은 중형비의 웰(well)을 포함하며, 딥 트렌치 위의 마스크 층에 의해 차폐된 영역은 웰의 측벽에 의해 주입으로부터 차폐되어 도핑되지 않고 남아 있다 -; 도펀트 레벨 선택적 반도체 공정(dopant level selective semiconductor process)을 이용하여 마스크의 도핑되고 노출된 영역 또는 도핑되지 않고 차폐된 영역 중 하나를 제거하여 딥 트렌치의 제 1 영역을 노출시키고 딥 트렌치의 제 2 영역은 마스크된 채로 남겨두는 단계; 딥 트렌치의 제 1 영역 내에 매립형 스트랩을 형성하는 단계 - 여기에서, 매립형 스트랩이 딥 트렌치의 기판 측벽 상부의 일부분과 내부 플레이트가 전기적으로 연결된다 -를 포함한다.
- <17> 본 발명의 다른 일 실시예에서 트렌치 캐패시터의 내부 플레이트와 수직 트렌치 트랜지스터의 터미널 사이에 전기적 연결을 형성하는 방법에 있어서, 캐패시터와 트랜지스터는 반도체 기판 상의 딥 트렌치 내에 존재하고, 기판 상에 도핑되지 않은 마스크 층을 형성하는 단계 - 여기에서, 마스크 층은 딥 트렌치 상의 측벽을 갖는 웰을 형성하며, 웰은 낮은 중형비를 갖는다 -; 마스크 층에 도펀트를 낮은 경사각으로 주입하는 단계 - 여기에서, 딥 트렌치 상의 마스크 층의 노출된 영역이 도핑되고, 딥 트렌치 위의 마스크 층에 의해 차폐된 영역은 웰의 측벽 중 하나에 의해 주입으로부터 차폐되어 도핑되지 않고 남아 있다 -; 도펀트 레벨 선택적 반도체 공정을 이용하여 마스크의 도핑되고 노출된 영역 또는 도핑되지 않고 차폐된 영역 중 하나를 제거하여 딥 트렌치의 제 1 영역을 노출시키고, 딥 트렌치의 제 2 영역은 마스크된 채로 남겨 두는 단계; 딥 트렌치의 제 1 영역으로부터 물질을 제거하여 딥 트렌치의 기판 측벽의 상부를 노출시키는 단계; 내부 플레이트를 기판 측벽의 상부의 일부분과 전기적으로 연결시키는 매립형 스트랩을 형성하기 위하여 전도성 층을 증착하는 단계; 딥 트렌치의 제 1 영역 내의 상부 기판 측벽 상부에 트랜지스터를 형성하는 단계 - 여기에서, 트랜지스터의 터미널이 매립형 스트랩과 전기적으로 연결된다 -를 포함한다.
- <18> 본 발명의 또 다른 일 실시예에서 DRAM 집적 회로를 형성하는 방법은 반도체 기판 내의 딥 트렌치 내에 저장 캐패시터를 형성하는 단계 - 여기에서, 캐패시터는 딥 트렌치 내에 위치하는 내부 플레이트를 갖는다 -; 기판 상에 도핑되지 않은 마스크 층을 형성하는 단계 - 여기에서, 마스크 층은 딥 트렌치 상의 측벽을 갖는 웰을 형성하며, 웰은 낮은 중형비를 갖는다 -; 마스크 층에 도펀트를 낮은 경사각으로 주입하는 단계 - 여기에서, 딥 트렌치 상의 마스크 층의 노출된 영역이 도핑되고, 딥 트렌치 위의 마스크 층에 의해 차폐된 영역은 웰의 측벽 중 하나에 의해 주입으로부터 차폐되어 도핑되지 않고 남아 있다 -; 도펀트 레벨 선택적 반도체 공정을 이용하여 마스크의 도핑되고 노출된 영역 또는 도핑되지 않고 차폐된 영역 중 하나를 제거하여 딥 트렌치의 제 1 영역을 노출시키고, 딥 트렌치의 제 2 영역은 마스크된 채로 남겨 두는 단계; 딥 트렌치의 제 1 영역으로부터 물질을 제거하여 딥 트렌치의 기판 측벽의 상부를 노출시키는 단계; 내부 플레이트를 기판 측벽의 상부의 일부분과 전기적으로 연결시키는 매립형 스트랩을 형성하기 위하여 전도성 층을 증착하는 단계; 기판 측벽의 상부에 수직 트랜지스터를 형성하는 단계 - 트랜지스터의 터미널이 매립형 스트랩과 전기적으로 연결된다 -를 포함한다.
- <19> 트렌치 캐패시터를 형성하는 방법은 패터닝 된 마스크를 이용하여 기판 내에 딥 트렌치를 형성하는 단계; 딥 트렌치의 내부 표면의 상부에 산화물 고리를 형성하고 딥 트렌치의 하부는 산화물 고리에 덮이지 않도록 남겨두는 단계; 딥 트렌치와 인접한 기판 내에 제 1 플레이트를 형성하는 단계; 딥 트렌치의 내부 표면 위에 노드 유전체를 형성하여 산화물 고리를 덮는 단계; 그리고 노드 유전체의 내부 표면 위에 내부 플레이트를 형성하고 딥 트렌치의 내부의 적어도 일부분을 채우는 단계를 포함할 수 있다.
- <20> 수직 트랜지스터를 형성하는 방법은 기판 측벽의 상부의 아래쪽에 인접한 기판 내에 드레인을 형성하고 터미널을 매립형 스트랩과 전기적으로 연결하는 단계; 기판 측벽의 상부 위의 트렌치 내에 수직 게이트 절연물을 형성하는 단계; 수직 게이트 절연물과 인접한 트렌치 내에 게이트를 형성하는 단계; 기판 측벽의 상부의 위쪽에 인접한 기판 내에 소스 터미널을 형성하는 단계를 포함할 수 있다.
- <21> 본 발명의 바람직한 일 실시예의 이점은 DRAM 메모리 셀이 트렌치 캐패시터와 수직 트랜지스터를 갖도록 제작되며 따라서 소자가 최소의 수평면의 면적을 차지하도록 크기를 조절할 수 있게 된다는 점이다.
- <22> 본 발명의 바람직한 일 실시예의 또 다른 이점은 매립형 스트랩과 수직 트렌치 트랜지스터가 고비용의 DUV 마스크 공정을 사용하지 않고 제조된다는 점이다.
- <23> 본 발명의 바람직한 일 실시예의 또 다른 이점은 매립형 스트랩과 수직 트랜지스터가 경사각이 높은 주입과 중

횡비가 높은 구조를 이용하는 것보다 더욱 강인한 공정으로 제조된다는 점이다.

- <24> 본 발명의 바람직한 일 실시예의 또 다른 이점은 트렌치의 선택적인 공정에 사용되도록 만들어진 마스크 트렌치에 대하여 자기 정렬되어 있다는 점이다.
- <25> 전술한 내용은 본 발명의 특징과 기술적 이점을 다소 넓게 기술하였으나 후술하는 본 발명의 상세한 설명에서는 더욱 잘 이해될 수 있을 것이다. 본 발명의 부가적인 특징과 이점은 본 발명의 청구 범위를 나타내며 이후 기술될 것이다. 당업자에게 있어서 본 발명에 기재된 개념과 특정 실시예는 다른 구조 또는 본 발명의 목적과 동일한 목적을 수행하기 위한 공정을 설계하거나 수정하는데 기초로 이용될 수 있는 것으로 이해되어야 한다. 또한 당업자에게 있어서 이러한 구조는 후술하는 청구항에서 설명된 본 발명의 정신과 범위를 벗어나지 않는 것으로 이해되어야 한다.

실시예

- <29> 제시된 바람직한 실시예를 제조하고 사용하는 방법이 이후 자세하게 기술될 것이다. 그러나 본 발명은 매우 다양한 특정 문장으로 구체화될 수 있는 적용 가능한 많은 창조적 개념을 제공하고 있다는 것으로 인식되어야 한다. 기술된 특정 실시예는 단지 본 발명을 만들거나 사용하는 특정 방법에 대한 예시에 불과하며 본 발명의 범위를 제한하지 않는다. 도면은 바람직한 실시예의 관련된 일면을 분명하게 설명하기 위하여 도시되었으며 척도에 따라 도시되지는 않았다.
- <30> 본 발명은 랜덤 액세스 메모리(RAM), DRAM, 동기 DRAM(SDRAM), 병합된 DRAM 로직 회로(embedded DRAM), 또는 그 밖의 다른 회로와 같은 메모리 집적회로를 포함하는 집적 회로와 관련되어 있다. 또한 본 발명은 수직 캐패시터, 수직 트랜지스터, 트렌치 캐패시터 그리고 트렌치 트랜지스터, 반도체 소자 사이의 연결을 포함하는 반도체 공정 및 구조 또는 다른 공정 및 구조와 관련되어 있다.
- <31> 본 발명의 바람직한 실시예는 몇몇의 집적 회로 공정의 특징을 이용하며 특히 주어진 물질의 도펀트 레벨에 따른 공정의 선택성을 이용한다. 바람직한 실시예에서는 도핑되거나 도핑되지 않은 다결정체 실리콘(폴리실리콘 또는 폴리)과 같은 특정 물질, 그리고 물질의 도핑 정도에 따라 선택적으로 행하는 산화와 에칭과 같은 특정 공정에 대하여 기술될 것이다. 그러나 본 발명은 반도체 공정에서 사용되는 다른 도핑되거나 도핑되지 않은 물질에도 적용된다. 뿐만 아니라, 본 발명은 주어진 물질의 도핑 정도에 따라 선택적으로 수행되는 다른 반도체 공정에도 적용된다.
- <32> 특정 예로서 폴리실리콘의 산화 정도는 폴리실리콘의 도핑 정도에 따라 달라진다. 특히 높이 도핑된 폴리실리콘의 산화 정도는 낮게 도핑되거나 도핑되지 않은 폴리실리콘의 산화 정도보다 월등히 높다. 또 다른 예로, 도핑되지 않거나 낮게 도핑된 폴리실리콘의 에칭 비율이 높게 도핑된 폴리실리콘의 에칭 비율 보다 월등히 높다.
- <33> 도 1 에는 몇 가지 초기 공정이 이미 수행된 기판(100)이 도시되어 있다. 기판(100)은 갈륨 비소(gallium arsenide)와 같은 다른 반도체 물질로 이루어 질 수도 있지만 바람직하게는 실리콘으로 구성되어 있다. 당업계에 잘 알려진 바와 같이 트렌치 캐패시터를 형성하기 위해서 n-기판이 이용될 수도 있으나 설명을 용이하도록 하기 위해 기판(100)은 일률적으로 p-기판인 것으로 가정한다. 이후 공정에서 기판의 표면을 차폐하기 위하여 질화물 패드(102)가 기판(100)의 표면에 형성된다. 질화물 패드(102)는 N_xO_y 로 이루어진 층을 나타내며, 예를 들어 150 내지 250 nm의 두께를 가질 수 있으나, 다른 두께를 갖는 적당한 다른 차폐 물질이 이용될 수도 있다. 실리카와 같은 하드 마스크(hard mask) 층이 질화물 패드 층(102) 위에 형성되고, 이후 딥 트렌치를 위한 마스크를 형성하기 위해 포토리소그래픽 기술을 이용하여 패터닝 된다. 트렌치(104)는 적당한 에칭 공정, 바람직하게는 건식 에칭 공정, 더욱 바람직하게는 반응성 이온 에칭(RIE, reactive ion etching)을 이용하여 기판(100) 내에 형성된다. 이후 하드 마스크 층이 제거된다. 딥 트렌치(104)는 특정 용도에 따라 다른 크기를 가질 수도 있으나 바람직하게는 깊이가 5 내지 10 μm 이고, 약 150 nm 정도 이하의 폭을 갖는다.
- <34> 산화물 고리(collar oxide, 106)는 트렌치(104) 내에서 트렌치 측벽의 윗부분 표면에 트렌치 내로 약 1.5 μm 정도까지 형성되며 기생 성분이 형성되는 것을 막거나 분리시킨다. 산화물 고리(106)로는 실리콘 질화물과 같은 다른 적당한 절연 물질이 사용될 수도 있으나 실리카로 이루어지는 것이 바람직하다. 산화물 고리(106)는 실리콘 부분 산화 공정(LOCOS, local oxidation of silicon), 테트라에틸오르토실리케이트 분해 공정(TEOS, tetraethylorthosilicate decomposition), 또는 다른 적당한 산화물 형성 공정에 의해 형성될 수 있다. 트렌치 캐패시터의 제 1 플레이트 역할을 하는 삽입된 플레이트는 산화물 고리(106) 아래쪽 트렌치 벽에 형성된다. 제조 방법으로는, 예를 들어 기상 도핑, 화학 기상 증착, 플라즈마 기상 증착, 스퍼터링 또는 다른 적당한 증착

기술이 있다. 이후 노드 유전체(108)가 트렌치의 측벽과 산화물 고리(106)의 노출된 벽 상에 형성된다. 노드 유전체(108)는 캐패시터의 유전체 기능을 하며 바람직하게는 실리콘 질화물로 형성되나, ZrO_2 , HfO_2 , Al_2O_3 와 같은 높은 유전 상수를 갖는 물질로 형성될 수도 있다.

- <35> 도 2에서는 트렌치(104)가 트렌치 캐패시터의 내부 플레이트를 형성하게 될 높은 농도로 도핑된 폴리실리콘(110)과 같은 물질로 채워진다. 폴리실리콘(110)은 트렌치(104)를 채우면서 기판 전체에 증착되고 이후 화학 물리 연마(CMP, chemical mechanical polishing)에 의해 질화물 패드 층(102) 아래의 대략 기판 높이까지 평탄화/리세싱(recessing)된다. 또한 평탄화 및/또는 리세싱은 예를 들어 연마, 에칭, 리세스 에칭 또는 다른 적당한 리세싱 기술에 의해 이루어진다.
- <36> 도 3에서는 질화물 패드 층(102)이 산화물 고리(106)의 윗부분에서 에칭되어 트렌치 위쪽의 입구가 확장된다. 이후 진성 폴리실리콘 층(112)이 화학 기상 증착에 의하여 바람직하게는 약 20 내지 40 nm의 두께로 구조물 위에 평탄하게 증착된다. 이로써 낮은 비율, 예를 들어 2:1 이하의 비율을 갖는 웰 구조가 트렌치 위로 형성되어 이후 계속되는 공정 단계에서 마스크의 기능을 하게 된다.
- <37> 도 4에서는 이후 낮은 경사각 도펀트 주입(114)이 폴리실리콘 층(112) 위에 수행된다. 도펀트는 붕소(B), 비소(As), 또는 인(P), 또는 그 밖의 다른 집적 회로용 도펀트 물질과 같은 n-형 또는 p-형 도펀트일 수 있다. 도 4에 도시된 바와 같이, 낮은 경사각으로 도펀트가 주입되므로 폴리실리콘 층(112)의 측벽에 의해 차폐된 부분(116)에는 도펀트가 주입되지 않는다. 이후 공정 단계에서 도핑되지 않거나 보다 약하게 도핑된 영역에 대하여 충분한 선택도가 제공될 수 있다면, 다른 주입량이 사용될 수도 있으나, 바람직한 주입량은 약 10^{13} 내지 10^{14} 이온/cm³이다. 주입량의 수준은 바람직하게는 이후 공정에서 주입된 마스크를 용이하게 제거할 수 있는 정도로 정해진다.
- <38> 도 5는 도핑된 폴리실리콘과 도핑되지 않은 폴리실리콘 사이에 높은 선택도를 갖는 반도체 공정의 결과를 도시하고 있다. 폴리실리콘 층(112)은 도핑된 폴리실리콘을 도핑되지 않은 폴리실리콘보다 빨리 산화시키는 열 산화 공정을 거친다. 도 5에서는 도핑된 폴리실리콘 영역이 실리카(118)로 완전히 산화되었다. 반대로 도핑되지 않은 폴리실리콘을 함유한 차폐된 영역(116)은 부분적으로만 산화되어 도핑되지 않은 폴리실리콘 층(120)이 트렌치의 일부분 위에 덮여 있게 된다. 도 6에서는 이후 부분적인 산화물 에칭이 수행되어 실리카 층(122) 사이에 도핑되지 않은 폴리실리콘 층(120)을 필요한 만큼 노출시킨다. 도핑된 폴리실리콘과 도핑되지 않은 폴리실리콘 사이를 선택적으로 산화시킴으로써 아래쪽에 위치한 트렌치의 다른 영역의 윤곽을 구분하는 마스크를 만드는 자기 정렬 방법이 제공된다. 도 7에서 도시된 바와 같이 폴리실리콘 층(120)이 에칭에 의해 제거되어 아래쪽에 위치한 폴리실리콘 층(110), 노드 유전체(108) 그리고 산화물 고리(106)의 일부분이 드러난다. 이후 트렌치 내에 리세스 영역(124)을 생성하는 리세싱 공정이 수행되어 노드 유전체(108)와 산화물 고리(106)의 일부분은 노출되고 노드 유전체(108)와 산화물 고리(106)의 남은 부분은 폴리실리콘 층에 의해 차폐된다.
- <39> 도 8에서는 노드 유전체(108)와 산화물 고리(106)의 노출된 부분이 제거된다. 먼저, 리세스 영역(124) 내의 노드 유전체(108)가 에칭된다. 이후 산화물 에칭에 의해 리세스 영역(124)에서 산화물 고리(106)가 제거되고 이후 디버트(divot, 126) 깊이까지 제거된다. 역시 폴리실리콘 층(110)이 산화물 고리(106) 내의 노드 유전체(108)의 남아있는 영역을 차폐한다. 마지막으로 디버트(126) 내의 노드 유전체(108)의 남아있는 부분이 산화물 고리(106)의 깊이까지 에칭된다. 실리콘 기판(100)은 트렌치의 한쪽 면에 노출되어 트렌치 캐패시터와 연결된 매립형 스트랩과 함께 일면 트렌치 트랜지스터를 형성할 수 있게 된다.
- <40> 도 9에서는 폴리실리콘 층(110)의 노출된 표면과 실리콘 기판(100)의 노출된 표면이 질화되어 질화된 표면(128)을 형성한다. 이후 디버트를 진성 폴리실리콘 층(130)으로 채우기 위하여 진성 폴리실리콘이 트렌치 내에 증착된다. 디버트 영역 내의 폴리실리콘은 트렌치 캐패시터의 내부 플레이트와 수직 트렌치 트랜지스터의 터미널을 연결시키는 매립형 스트랩을 형성하는데 이용될 것이다.
- <41> 도 10에 도시된 바와 같이, 폴리실리콘의 남은 부분은 습식 선택적 폴리실리콘 에칭을 통하여 트렌치로부터 제거된다. 바람직하게는 약 300 Å의 폴리실리콘이 트렌치 내의 노출된 영역에서 제거되고 에칭된 산화물 고리(106) 위로 디버트 영역 내에 적당량의 폴리실리콘이 남게된다. 다음으로, 산화물 고리(106)와 노드 유전체(108) 남아있는 영역을 차폐하고 있는 높게 도핑된 폴리실리콘 층을 제거하기 위하여 희생적인 산화(sacrificial oxidation)가 수행된다. 이 공정 또한 높게 도핑된 폴리실리콘 층이 실리콘 기판(100)의 약하게 도핑된 질화된 수직 표면보다 빠르게 산화되므로 선택적으로 수행된다. 산화된 폴리실리콘 층(132)의 결과가 도 10에 도시되어 있다. 도 10에 도시된 바와 같이, 높은 농도로 도핑된 폴리실리콘의 두꺼운 층이 있는 영역이

낮은 농도로 도핑된 실리콘을 덮고 있는 높은 농도로 도핑된 폴리실리콘의 얇은 층이 있는 영역보다 산화물이 두께가 두꺼워 진다.

- <42> 이후 희생적인 산화물 에칭에 의해 실리카 층(122)을 따라 산화된 층(132)이 제거되고 결과적으로 도 11 에 도시된 구조를 보이게 된다. 트렌치 캐패시터는 폴리실리콘 층(110)의 내부 플레이트, 노드 유전체(108), 그리고 노드 유전체(108)를 둘러싸고 있는 실리콘 기판(100) 내에 도핑된 실리콘의 외부 플레이트를 포함한다. 폴리실리콘 층(110)은 노출된 표면(134)과, 에칭된 산화물 고리(106)와 노드 유전체(108)의 바로 위를 지나 실리콘 기판(100)을 연결하는 매립형 스트랩을 포함하며 트렌치 캐패시터의 내부 플레이트로부터 트렌치의 바깥쪽 실리콘 기판으로의 전도선으로 제공된다. 매립형 스트랩은 약 200 Å 의 두께를 갖는 것이 바람직하다.
- <43> 이와는 달리, 트렌치의 좌측 상부의 노드 유전체(108)와 산화물 고리(106) 위의 산화된 폴리실리콘 층을 남겨둠으로써 부분 산화물 선이 사용될 수도 있다. 예를 들어 높은 전압이 회로에 사용될 경우 추가적인 절연이 필요하다.
- <44> 도 12에서는 트렌치의 하부에 있는 트렌치 캐패시터와 매립형 스트랩(142)을 상부와 분리시키기 위하여 트렌치 상부에 산화물(136)이 폴리실리콘 층(110) 위에 증착된다. 트렌치 상부 산화물은 실리카로 이루어지는 것이 바람직하나 실리콘 질화물이나 다른 적당한 절연 물질을 사용할 수도 있다. 이후, 수직 트렌치 캐패시터는 실리콘 기판(100) 내에 위치한 활성 영역(144)을 갖는 트렌치의 오른쪽 상부 영역에 형성된다. 드레인은 활성 영역(144)의 하부에 형성되며(현재 공정에서 또는 이전 공정에서), 매립형 스트랩(142)과 연결되어 있고, 따라서 트렌치 캐패시터의 내부 플레이트(110)와 연결되어 있다.
- <45> 이후 게이트 절연체(138)가 활성 영역(144)을 따라 트렌치 벽 상에 수직적으로 형성된다. 게이트 절연층(138)은 트렌치의 한쪽 면에만 형성된다. 게이트 절연층(138)은 예를 들어 건식 에칭 또는 열 산화 기술 또는 다른 적당한 증착 기술에 의해 형성된다. 게이트 절연층(138)은 실리카로 이루어지는 것이 바람직하나 실리콘 질화물이나 다른 적당한 절연 물질로 구성될 수도 있다.
- <46> 이후 폴리실리콘 충전물(fill)이 게이트(140)를 형성하기 위하여 트렌치의 상부에 채워진다. 게이트(140)는 평탄화되거나 리세스될 수 있다. 마지막으로, 활성 영역(144)의 상부에 트랜지스터의 소스를 형성하기 위하여 주입이 수행된다. 이와 달리, 수직 트랜지스터의 소스와 드레인은 서로 바뀔 수 있다.
- <47> 워드 라인과 비트 라인간의 연결을 포함하는 DRAM 셀의 나머지는 통상의 DRAM 공정 기술을 이용하여 완성될 수 있다. 생산된 DRAM은 컴퓨터를 포함한 다양한 상업적 및 소비자의 전자 기기에 사용될 수 있다.
- <48> 또 다른 공정 설계에서는 도핑된 폴리실리콘과 도핑되지 않은 폴리실리콘의 에칭 비율이 상당히 다르다는 성질을 이용하여 에칭 공정에서 선택적인 공정을 사용한다는 점을 제외하고는 비슷한 방법이 사용된다.
- <49> 도 13에서는 도 2에서 도시된 것과 유사한 구조가 도시되어 있다. 본 실시예에서는 이전 실시예에서 사용된 것과 유사한 공정과 유사한 물질이 사용되므로 이에 대해서는 간략히 설명되어 있다. 질화물 패드(202)의 상부에 형성된 하드 마스크를 이용하여 트렌치가 실리콘 기판(200) 내에 형성된다. 산화물 고리(204)가 트렌치의 위와 상부에 형성되고 노드 유전체(206)가 트렌치의 측벽 면과 산화물 고리(204) 상에 형성된다. 이후 트렌치는 낮은 저항의 폴리실리콘 층(208)으로 채워진다. CMP와 리세스 공정을 사용하여 폴리실리콘 층(208)을 트렌치 내부로 에칭하되, 기판의 나머지 영역은 질화물 패드(202)에 의해 차폐된다.
- <50> 도 14에서는 트렌치 폴리실리콘(208)이 산화되어 트렌치 폴리실리콘(208)의 표면 위에 얇은 산화물 층(209)을 형성한다. 이후 얇은 질화물 층(210)이 구조물의 표면 위에 평탄하게 형성된다. 이후, 충전(filler) 물질(212)이 CMP 공정에 의해 기판 위에 증착되고 트렌치의 상부 가까운 높이까지 충전 물질(212)을 에칭하기 위하여 리세스 공정이 수행된다. 충전 물질(212)은 폴리실리콘인 것이 바람직하나, 단순히 마스크 물질로 사용되므로, 다른 적절한 반도체 공정 물질이 될 수도 있다.
- <51> 도 15에서는 기판의 표면 위에 얇은 질화물 층(213)이 평탄하게 형성되어 이후 공정에 선택도를 제공하고 있다. 이후, 이전 실시예와 비슷하게 폴리실리콘 층이 증착되고, 층에 대하여 경사각 주입이 수행된다. 진성 폴리실리콘 층(214)이 기판의 표면에 평탄하게 증착되고 트렌치 위로 낮은 종횡비의 구조물을 생성한다. 다음으로, 도 16에 도시된 바와 같이 폴리실리콘 층(214) 위에 낮은 경사각 주입(216)이 수행된다. 차폐된 영역(218)이 수직 폴리실리콘 측벽에 의해 도펀트 주입 공정으로부터 차폐되어 도 16에 도시된 바와 같이 도핑되지 않은 영역으로 남게 된다. 도핑된 폴리실리콘과 도핑되지 않은 폴리실리콘 물질 영역의 에칭 특성이 매우 다르므로, 기판 상 하나의 영역이 남게 되는 반면 다른 하나의 영역은 선택적으로 제거된다.

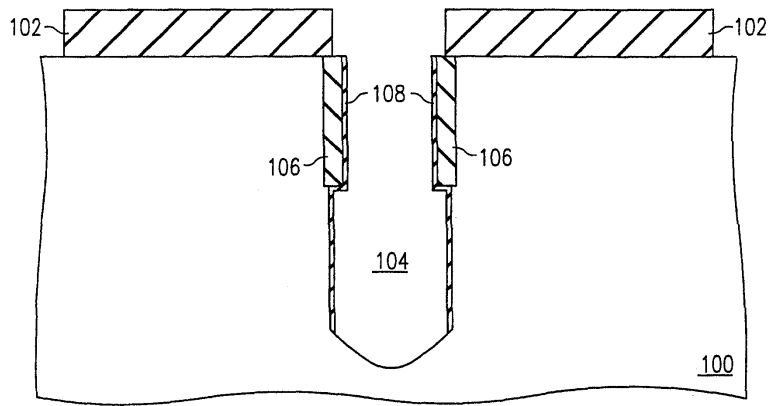
- <52> 도 17에서는 도핑되지 않은 폴리실리콘 영역(218)이 제거되고 얇은 질화물 층(213)의 영역이 노출되는 선택적 에칭 공정이 수행된다. 도핑된 폴리실리콘 영역(220)은 기판 위에 남아 있어 얇은 질화물 층(213)의 아래쪽 영역을 마스크링 한다. 도 18에서는 도핑된 실리콘 층(220)이 산화되어 후속 되는 건식 에칭 공정을 위한 산화물 하드 마스크(221)를 생성한다. 이후 얇은 실리콘 질화물 층(213)은 에칭되어 아래쪽 층진 물질(212)의 표면(222)을 노출시킨다. 도핑된 실리콘 층(220)과 실리콘 질화물 층(213)의 남아 있는 영역 아래쪽의 층진 물질(212) 영역은 이 층에 의해 여전히 마스크링 되어 있다. 에칭 공정이 선택적으로 이루어지므로 일반적으로 등방성 또는 비등방성 또는 습식 또는 건식 에칭과 같은 여러 종류의 에칭 방법이 이용될 수 있다.
- <53> 도 19에서는 비등방성 반응성 이온 에칭 방법이 트렌치로부터 층진 물질(212)의 노출된 영역을 질화물 층(210)까지 제거하는데 사용된다. 도 20에서는 트렌치의 어느 한쪽 위에 있는 노드 유전체(206) 부분을 따라 실리콘 질화물 층(210)이 에칭되어 트렌치의 그쪽 상에 있는 산화물 고리(204)가 노출된다.
- <54> 도 21에서는 남아 있는 폴리실리콘 층진 물질(212)을 제거하기 위하여 습식 폴리실리콘 에칭이 사용된다. 도 22에서는 산화물 에칭에 의하여 산화물 고리(204)의 노출된 부분이 트렌치의 오른쪽 벽에서 제거되고 노드 유전체(206)와 실리콘 기판(200) 사이에 디버트(226)를 생성하기 위하여 다시 에칭된다. 또한 산화물 에칭에 의하여 폴리실리콘 층(208) 상의 산화물 층(209)이 제거되고, 산화물 하드 마스크(221)가 제거된다. 도 23에서는 디버트를 완성하기 위하여 질화물 에칭에 의하여 디버트 내의 영역(226)에서 노드 유전체(206)가 제거된다. 이는 또한 얇은 질화물 층(213)을 제거하며, 또한 실리콘 질화물 층(210)과 노드 유전체(206)를 제거하는 효과가 있다.
- <55> 도 24에서는 이전 실시예와 같이 노출된 실리콘 표면이 질화되어 질화물 표면(228)이 형성된다. 남아 있는 단계는 도 9 - 12에서 설명된 바와 같이 이전 실시예에서 사용된 그것과 유사하다. 마지막으로 워드 라인과 비트 라인을 연결시키는 것을 포함하는 DRAM 셀의 나머지 부분은 통상적인 DRAM을 제조하는 기술을 사용하여 완성된다. 생산된 DRAM은 컴퓨터를 포함한 여러 가지 상업적 용도 및 소비자의 전자 기기에 사용될 수 있다.
- <56> 당업계의 통상의 지식을 가진 자에게 있어서 전술한 실시예에 기술된 것을 대신하여 다른 물질과 공정이 있을 수 있으며 이러한 것들은 모두 본 발명의 범위에 포함된다. 예를 들어, 다른 종횡비 및 경사각을 갖는 다양한 다른 낮은 종횡비의 마스크 구조물 및 낮은 경사각 주입 공정 등이 본 발명에 따라 이용될 수 있을 것이다. 또 다른 예로, 실시예에서는 마스크 층의 주입 영역은 제거되었으나, 이와 달리 트렌치를 위한 마스크로서 기판 상에서 주입된 영역은 남겨두고 주입되지 않은 영역이 제거될 수도 있다. 또 다른 예로, p-타입 물질 또는 도핑이 n-타입 물질 또는 도핑으로 대체될 수 있으며 그 역으로도 가능하다. 뿐만 아니라 당업계의 통상의 지식을 가진 자에 의해 공정 단계의 순서가 재배열될 수 있으며 이 또한 본 발명의 범위에 속한다. 지금까지 사용된 바와 같이, 예를 들어 기기, 층, 물질 및 기타의 것들이 트렌치의 "내" 또는 트렌치 측벽 표면 "상" 과 같이 기술될 수 있으며 이와 같은 모든 기술은 일반적으로 이러한 기기, 층, 물질이 트렌치 또는 측벽 표면에서 적당한 위치까지 대략적으로 연장될 수 있다는 것을 포함하게 하려는 의도에 의한 것이다.
- <57> 본 발명과 이의 효과가 자세하게 기술되었으나 다양한 변화, 대체, 변경 등이 첨부된 청구 범위에서 정의된 본 발명의 범위 및 정신을 벗어나지 않는 범위 내에서 가능할 것이다. 뿐만 아니라, 본원의 범위는 상세한 설명에 기재된 공정, 기계, 제조, 물질의 조성, 수단, 방법, 단계의 특정 실시예에 제한되지 않는다. 당업계의 통상의 지식을 가진 자는 본 발명의 공개를 높이 평가할 것이므로, 여기에서 기술된 실시예의 결과와 본질적으로 동일한 결과를 얻거나 동일한 기능을 수행하는 현재 존재하거나 이후 개발될 공정, 기계, 제조, 물질의 조성, 수단, 방법, 단계는 본 발명에 따라 이용될 것이다. 따라서 첨부된 청구 범위는 이러한 공정, 기계, 제조, 물질의 조성, 수단, 방법, 그리고 단계의 범위에 포함하기 위한 것이다.

도면의 간단한 설명

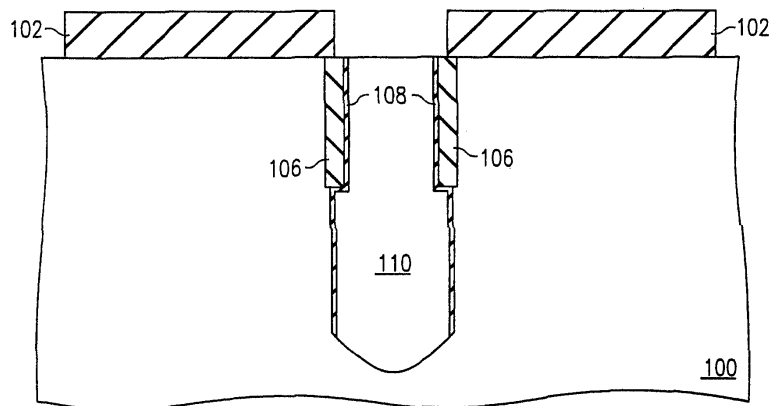
- <26> 본 발명과 본 발명의 효과를 후술하는 상세한 설명과 첨부된 도면을 함께 참조하여 완전하게 이해할 수 있다.
- <27> 도 1 내지 12는 본 발명의 바람직한 일 실시예에 따른 다양한 제작 단계에서의 집적 회로 구조의 단면을 도시한 단면도이다.
- <28> 도 13 내지 24는 본 발명의 또 다른 바람직한 일 실시예에 따른 다양한 제작 단계에서의 집적 회로 구조의 단면을 도시한 단면도이다.

도면

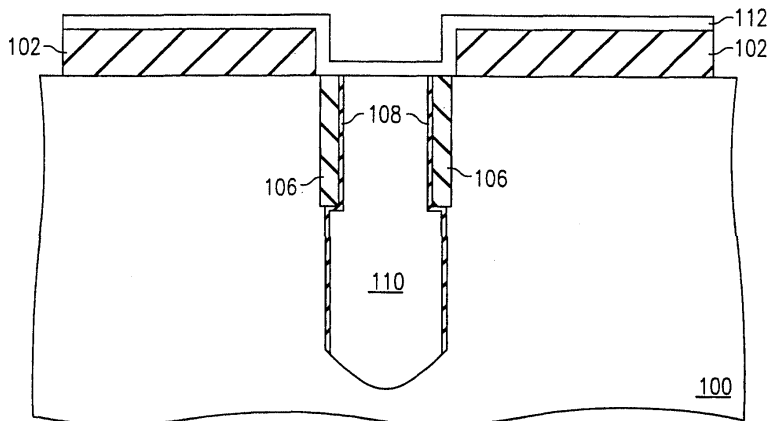
도면1



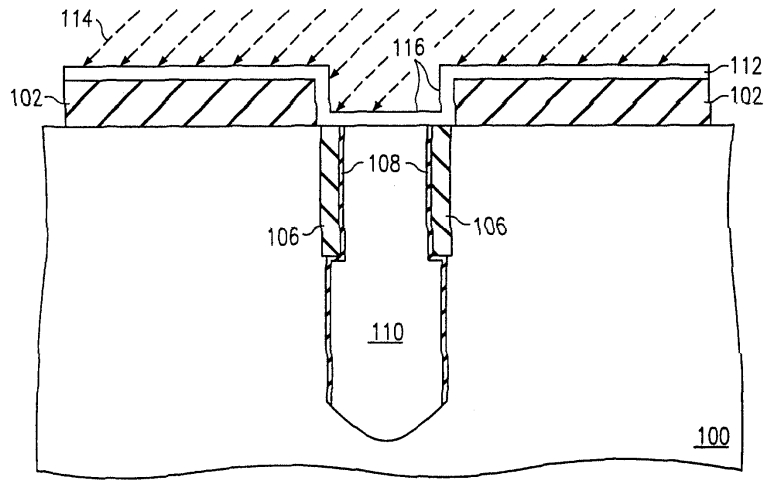
도면2



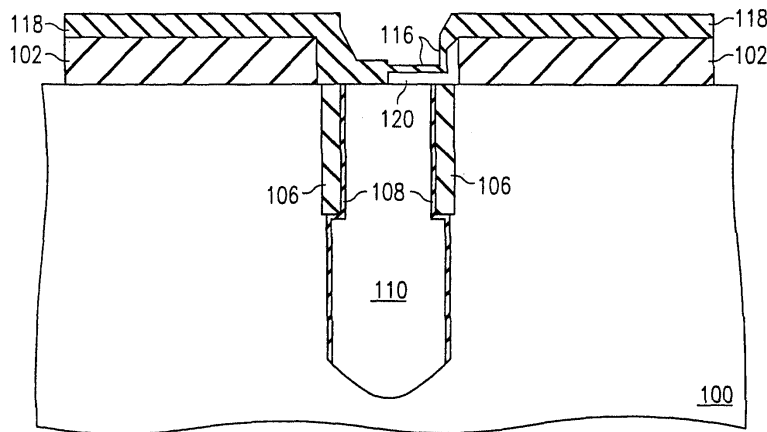
도면3



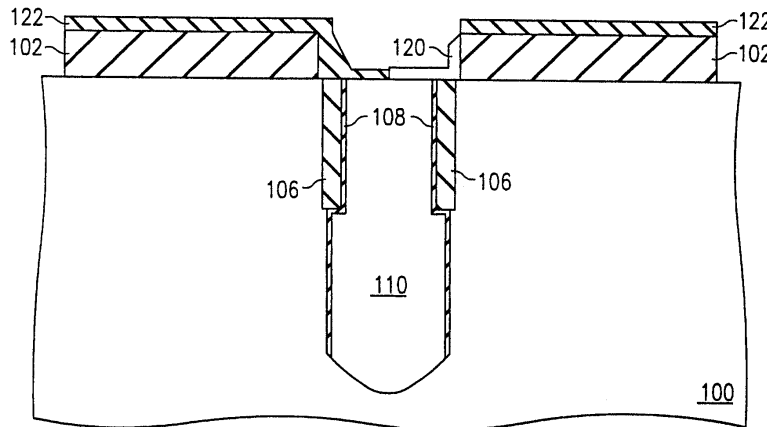
도면4



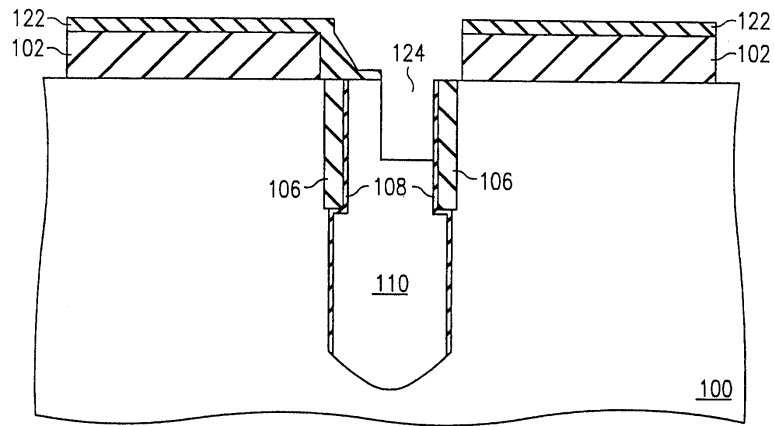
도면5



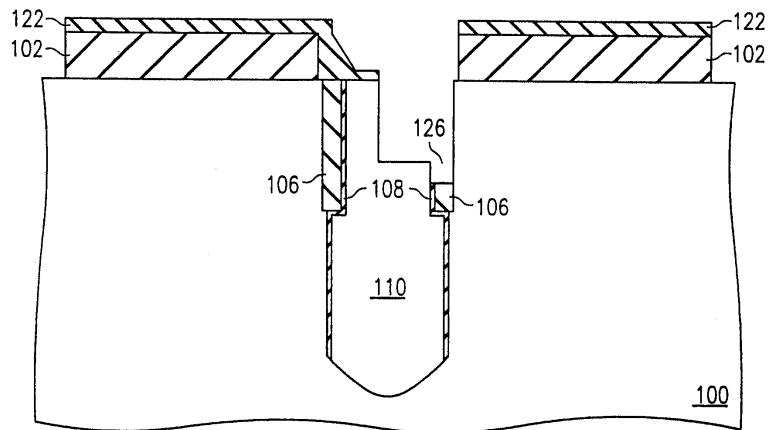
도면6



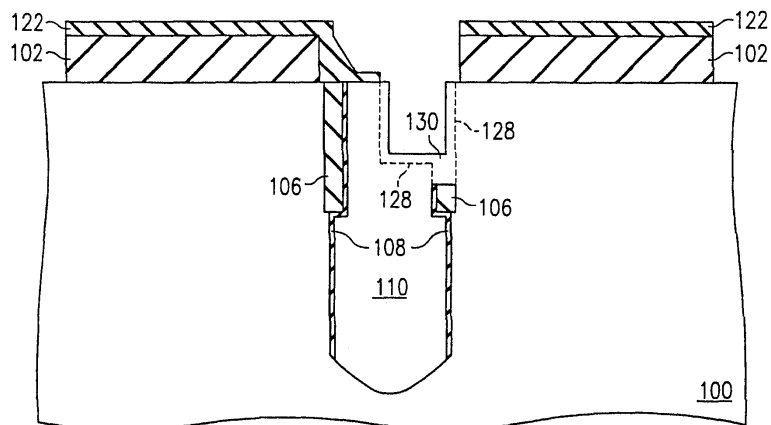
도면7



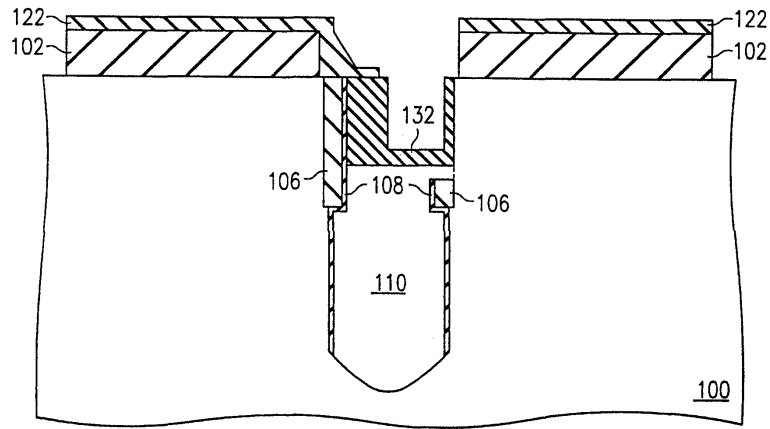
도면8



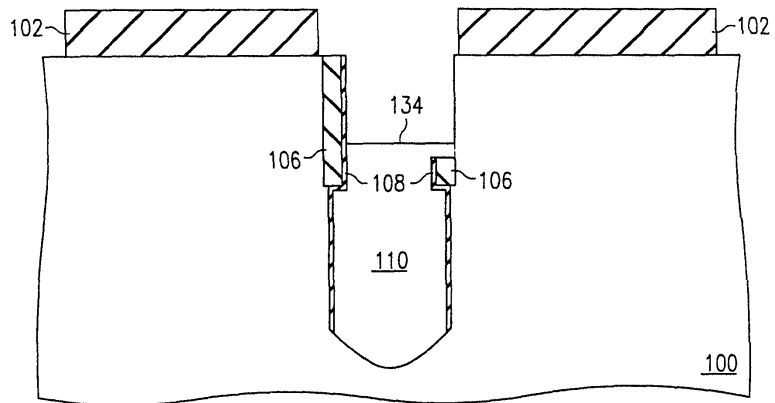
도면9



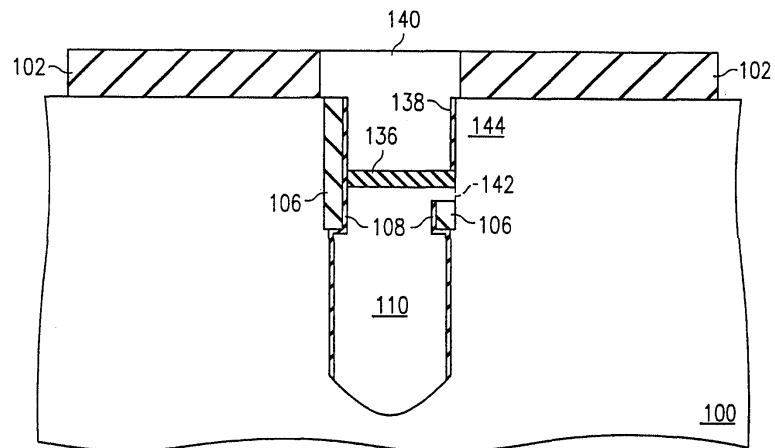
도면10



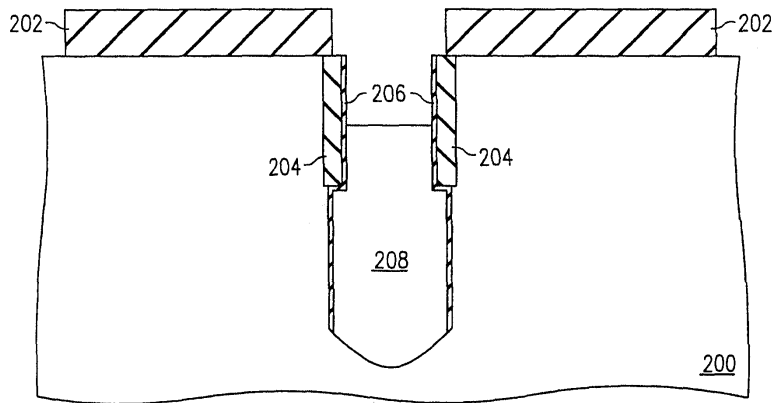
도면11



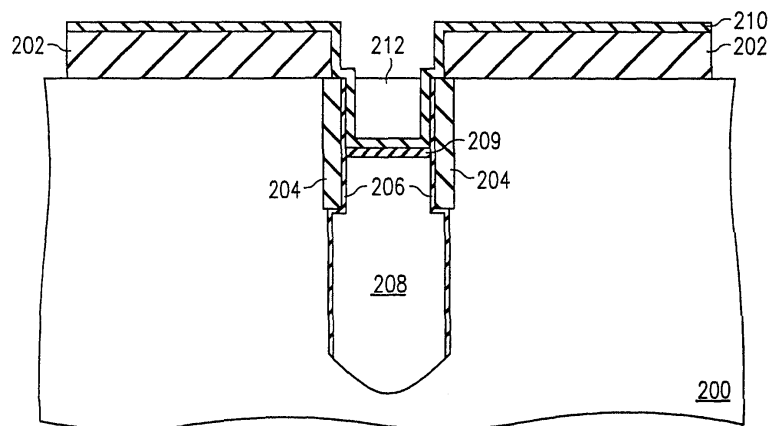
도면12



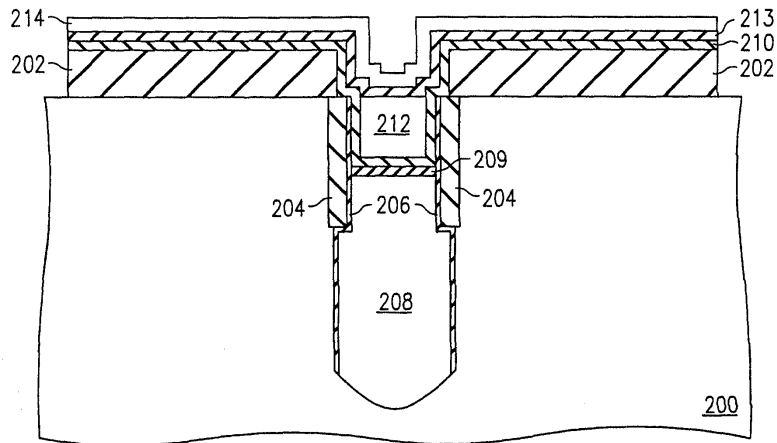
도면13



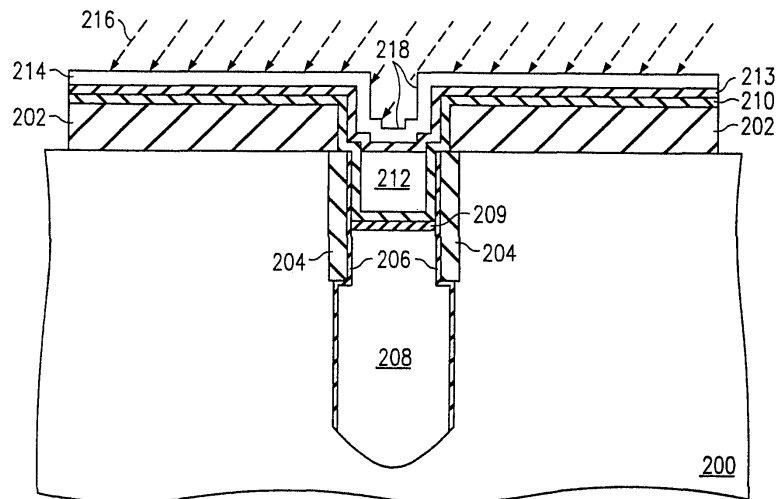
도면14



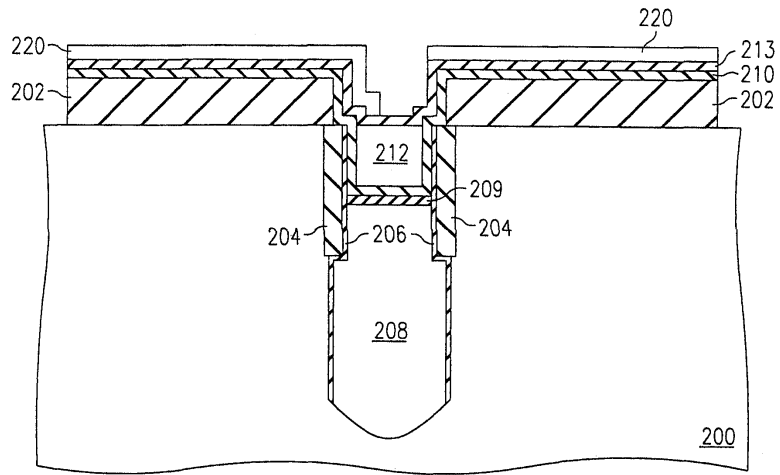
도면15



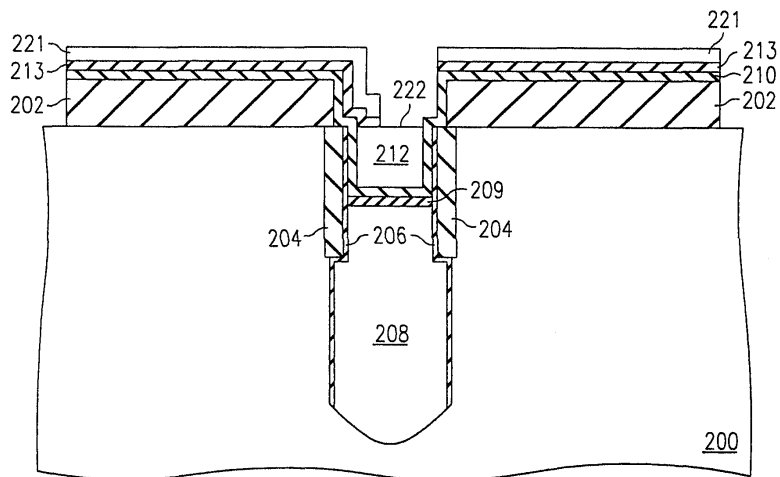
도면16



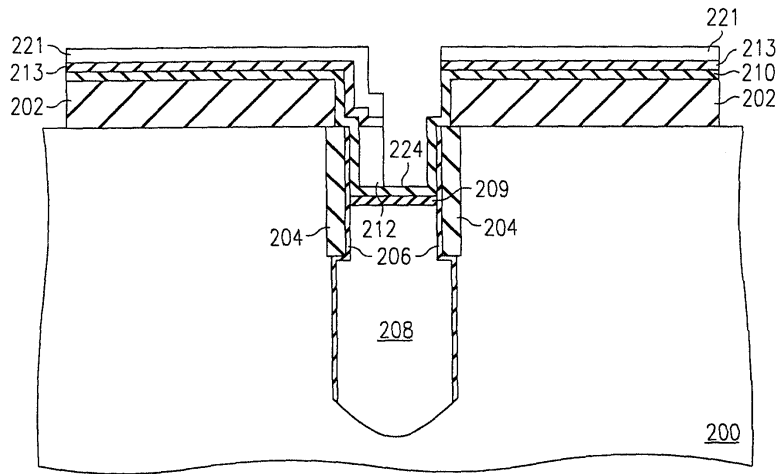
도면17



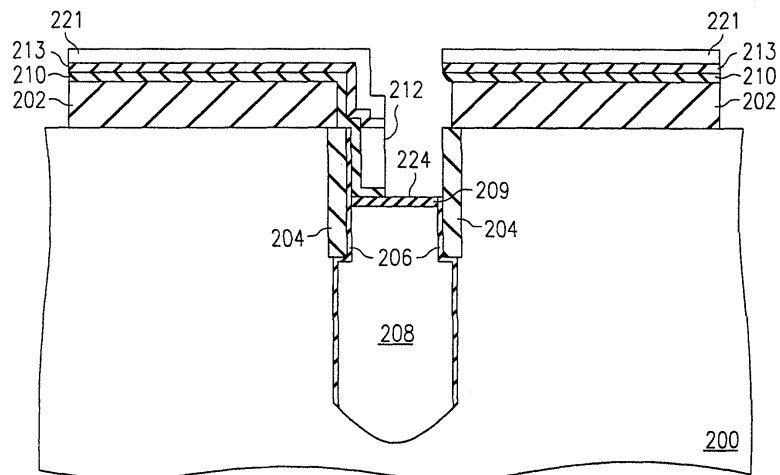
도면18



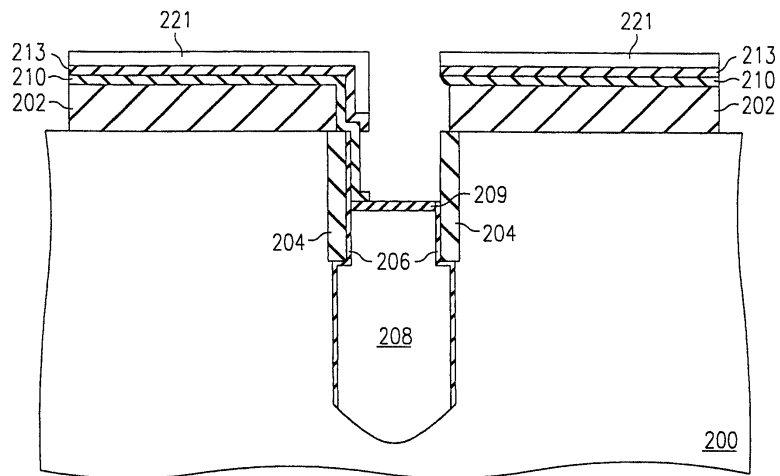
도면19



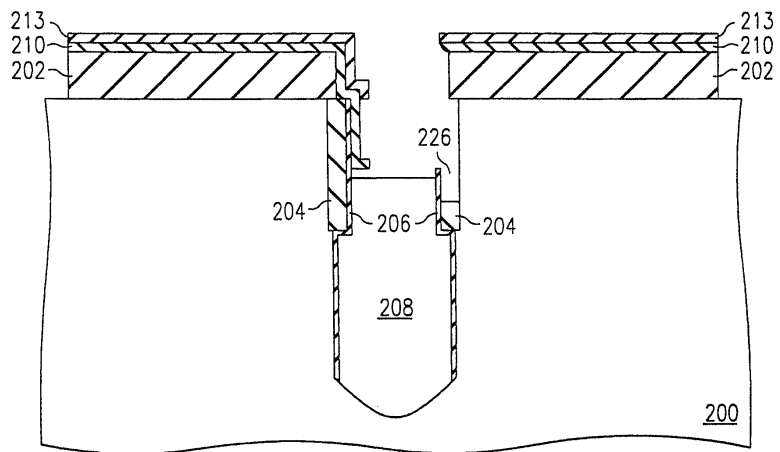
도면20



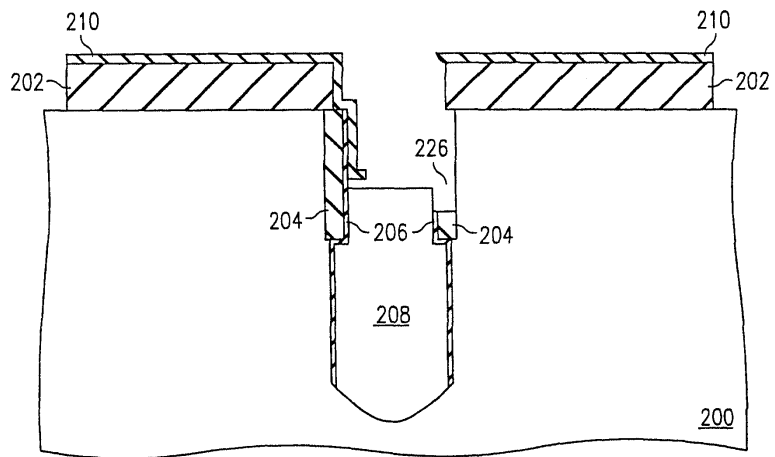
도면21



도면22



도면23



도면24

