



(12) 发明专利申请

(10) 申请公布号 CN 113098453 A

(43) 申请公布日 2021. 07. 09

(21) 申请号 202110366687.0

(22) 申请日 2021.04.06

(71) 申请人 无锡中微亿芯有限公司

地址 214000 江苏省无锡市建筑西路777号
B1幢2层

申请人 中国电子科技集团公司第五十八研
究所

(72) 发明人 马锡昆 谢宜政

(74) 专利代理机构 无锡华源专利商标事务所
(普通合伙) 32228

代理人 过顾佳 聂启新

(51) Int. Cl.

H03K 5/13 (2014.01)

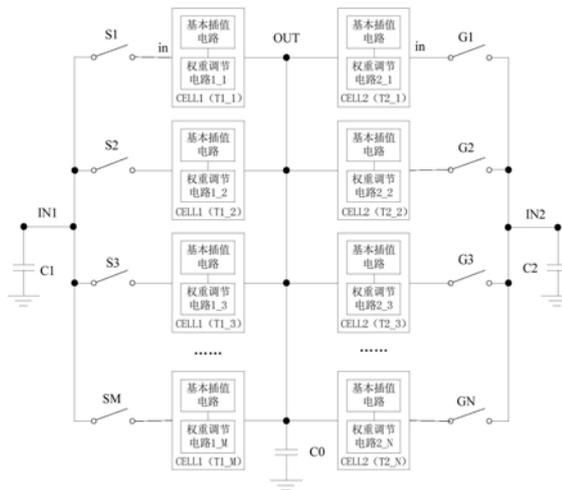
权利要求书2页 说明书6页 附图5页

(54) 发明名称

一种高线性度的相位插值电路

(57) 摘要

本发明公开了一种高线性度的相位插值电路,涉及相位插值电路领域,该相位插值电路中各个相位插值单元的对应于各自的目标输出权重,各个相位插值单元的目标输出权重通过迭代确定且使得该相位插值电路的所有输出时钟信号之间的相位差异度最小;该相位插值电路通过各个相位插值单元的电路参数来人为加入非线性,以补偿MOS管本身存在的非线性,可以有效提升相位插值电路的线性度,实现方式简单,避免了复杂补偿技术的实现难度,不需要增加相位插值长度,不牺牲面积和功耗。



1. 一种高线性度的相位插值电路,其特征在于,所述相位插值电路包括:

M个相位插值单元组成的第一并联电路以及N个相位插值单元组成的第二并联电路,所述第一并联电路的输入端连接第一时钟输入端并通过第一电容接地,所述第一并联电路的输出端连接时钟输出端,所述第二并联电路的输入端连接第二时钟输入端并通过第二电容接地,所述第二并联电路的输出端连接所述时钟输出端,所述时钟输出端还通过第零电容接地;

通过控制所述第一并联电路和所述第二并联电路中各个相位插值单元所在支路的通断使得所述时钟输出端输出若干个相位不同的输出时钟信号;

每个相位插值单元的电路参数对应于各自的目标输出权重,各个相位插值单元的目标输出权重通过迭代确定且使得所述相位插值电路的输出延时差异度最小,所述输出延时差异度表示所述相位插值电路通过所述时钟输出端输出的所有相位不同的输出时钟信号之间的相位差异度。

2. 根据权利要求1所述的相位插值电路,其特征在于,

使得所述相位插值电路的输出延时差异度最小的各个相位插值单元的目标输出权重构成所述相位插值电路的一个目标权重组合,所述相位插值电路对应至少两种不同的目标权重组合。

3. 根据权利要求1所述的相位插值电路,其特征在于,

初始化各个相位插值单元的输出权重相等并确定对应的输出延时差异度,在保持其余的M+N-1个相位插值单元的输出权重不变的情况下、在预定范围内依次调节第i个相位插值单元的输出权重完成对第i个相位插值单元的遍历调节,并确定每次调节对应的输出延时差异度;依次完成对每个相位插值单元的遍历调节,将对应的输出延时差异度最小时的各个相位插值单元的输出权重作为各个相位插值单元的目标输出权重。

4. 根据权利要求1所述的相位插值电路,其特征在于,

每个相位插值单元所在支路上均串联有控制开关,或者,部分相位插值单元所在支路上串联有控制开关;各个控制开关分别通过独立的控制信号控制,或者存在至少两个控制开关由同一个控制信号控制。

5. 根据权利要求4所述的相位插值电路,其特征在于,

M=N且每个相位插值单元分别与一个控制开关串联,所述第一并联电路中的每条支路与所述第二并联电路中的每条支路分别一一对应,且存在对应关系的两条支路上的两个控制开关通过同一个控制信号的信号本身及其反相信号同时控制、状态相反。

6. 根据权利要求1-5任一所述的相位插值电路,其特征在于,

每个相位插值单元分别包括基本插值电路和权重调节电路,所有相位插值单元中的基本插值电路均相同,不同的相位插值单元中的权重调节电路的电路参数对应于所述相位插值单元的目标输出权重。

7. 根据权利要求6所述的相位插值电路,其特征在于,

所述基本插值电路包括第一PMOS管、第二PMOS管、第一NMOS管和第二NMOS管,所述第一PMOS管的源极连接电源端、漏极连接至所述第二PMOS管的源极,所述第二PMOS管的漏极连接所述第二NMOS管的漏极并作为所述相位插值单元的输出端,所述第二NMOS管的源极连接至所述第一NMOS管的漏极,所述第一NMOS管的源极连接接地端,所述第一PMOS管的栅极以

及所述第一NMOS管的栅极均连接所述相位插值单元的输入端,所述第二NMOS管的栅极连接第一开关信号,所述第二PMOS管的栅极连接第二开关信号,所述第一开关信号和所述第二开关信号是一对极性相反的信号;所述权重调节电路连接至所述第二PMOS管的源极以及所述第二NMOS管的源极。

8. 根据权利要求7所述的相位插值电路,其特征在于,在所述基本插值电路中,所述第一PMOS管的漏极直接连接所述第二PMOS管的源极,所述第二NMOS管的源极直接连接所述第一NMOS管的漏极;

则所述权重调节电路包括第三PMOS管和第三NMOS管,所述第三PMOS管的源极连接所述电源端、漏极连接所述第一PMOS管和第二PMOS管的公共端,所述第三NMOS管的源极接地、漏极连接所述第一NMOS管和第二NMOS管的公共端,所述第三PMOS管的栅极和所述第三NMOS管的栅极均连接所述相位插值单元的输入端。

9. 根据权利要求7所述的相位插值电路,其特征在于,所述权重调节电路包括第四PMOS管和第四NMOS管,在所述基本插值电路中,所述第一PMOS管的漏极通过所述第四PMOS管连接所述第二PMOS管的源极,所述第二NMOS管的源极通过所述第四NMOS管连接所述第一NMOS管的漏极;所述第四PMOS管的源极连接所述第一PMOS管的漏极、漏极连接所述第二PMOS管的源极、栅极连接所述接地端,所述第四NMOS管的源极连接所述第一NMOS管的漏极、漏极连接所述第二NMOS管的源极、栅极连接所述电源端。

10. 根据权利要求6所述的相位插值电路,其特征在于,

所述相位插值单元采用差分传输方式,则所述相位插值单元的输入端包括第一差分输入端和第二差分输入端,所述相位插值单元的输出端包括第一差分输出端和第二差分输出端;

所述基本插值电路包括第五NMOS管、第六NMOS管和第七NMOS管,所述第五NMOS管的源极连接接地端、漏极连接所述第六NMOS管的源极以及所述第七NMOS管的源极,所述第五NMOS管的栅极连接偏置电压,所述第六NMOS管的漏极以及所述第七NMOS管的漏极通过负载电路连接电源端,所述第六NMOS管的栅极连接第一差分输入端,所述第七NMOS管的栅极连接第二差分输入端,所述第七NMOS管的漏极作为所述第一差分输出端,所述第六NMOS管的漏极作为所述第二差分输出端;

则所述权重调节电路包括第八NMOS管和第九NMOS管,所述第八NMOS管的源极连接所述第二NMOS管的源极、漏极连接所述第二NMOS管的漏极、栅极连接所述第一差分输入端,所述第九NMOS管的源极连接所述第七NMOS管的源极、漏极连接所述第七NMOS管的漏极、栅极连接所述第二差分输入端。

一种高线性度的相位插值电路

技术领域

[0001] 本发明涉及相位插值电路领域,尤其是一种高线性度的相位插值电路。

背景技术

[0002] 在高速接口芯片中,当数据输入后,需要一个处于数据中心位置的时钟对其进行采样,从而进行后续的数据处理。而随着工作条件的不同,数据中心位置也在变化,这就要求采样时钟的相位可以有对应的调节范围,或者说时钟需要实现精细的相位调节,从而为系统获得更多的时序余量(timing margin)。

[0003] 相位插值(PI,Phase Interpolation)是实现精细相位调节的常用技术,应用于并行接口如DDR时,它往往与DLL配合,对DLL生成的相临相位时钟进行相位插值,得到更为精细的多相位时钟输出。应用于串行接口时,它可以作为时钟数据恢复模块(CDR)的一部分,对PLL生成的相临相位时钟进行相位插值,得到更为精细的多相位时钟输出。DLL/PLL往往完成相位的粗调,比如输出 0° 、 45° 、 90° 、 135° 、 180° 、 225° 、 270° 、 315° 相位时钟,而PI则完成相位细调,比如PI根据输入的 225° 与 270° 时钟生成额外的位于 225° 与 270° 之间的5相位时钟,从而提高相位的调节精度。最后,当数据需要进行相位调节时,也可以采用相位插值的原理实现。

[0004] 目前常用的相位插值电路如图1所示,IN1和IN2是输入的两相位时钟,PI_CELL是基本插值电路,图中一共有 $2N$ 个完全相同的基本插值电路, N 为相位插值的长度,其决定了输出的相位数量。 $S_1 \sim S_N$ 以及 $G_1 \sim G_N$ 均为开关,控制IN1与IN2的权重,从而决定输出OUT的相位是靠近IN1还是IN2,电容 $C_0/C_1/C_2$ 用来调节输入信号的摆率,使IN1/IN2为交叠时钟的关系,这样才能平滑地输出。

[0005] 线性度是相位插值的重要指标,其决定了最小调节精度,由于MOS管行为的非线性,图1所示相位插值电路的输出相位并不能呈现出均匀分布,如图2所示, D_1 、 D_2 、 D_3 、 D_4 并不能完全相等。为了提高调节精度,目前常用的做法是增加相位插值的长度 N 来补偿线性度的不足,但这种做法会牺牲芯片面积和功耗。

发明内容

[0006] 本发明人针对上述问题及技术需求,提出了一种高线性度的相位插值电路,本发明的技术方案如下:

[0007] 一种高线性度的相位插值电路,该相位插值电路包括:

[0008] M 个相位插值单元组成的第一并联电路以及 N 个相位插值单元组成的第二并联电路,第一并联电路的输入端连接第一时钟输入端并通过第一电容接地,第一并联电路的输出端连接时钟输出端,第二并联电路的输入端连接第二时钟输入端并通过第二电容接地,第二并联电路的输出端连接时钟输出端,时钟输出端还通过第零电容接地;

[0009] 通过控制第一并联电路和第二并联电路中各个相位插值单元所在支路的通断使得时钟输出端输出若干个相位不同的输出时钟信号;

[0010] 每个相位插值单元的电路参数对应于各自的目标输出权重,各个相位插值单元的目标输出权重通过迭代确定且使得相位插值电路的输出延时差异度最小,输出延时差异度表示相位插值电路通过时钟输出端输出的所有相位不同的输出时钟信号之间的相位差异度。

[0011] 其进一步的技术方案为,使得相位插值电路的输出延时差异度最小的各个相位插值单元的目标输出权重构成相位插值电路的一个目标权重组合,相位插值电路对应至少两种不同的目标权重组合。

[0012] 其进一步的技术方案为,初始化各个相位插值单元的输出权重相等并确定对应的输出延时差异度,在保持其余的 $M+N-1$ 个相位插值单元的输出权重不变的情况下、在预定范围内依次调节第 i 个相位插值单元的输出权重完成对第 i 个相位插值单元的遍历调节,并确定每次调节对应的输出延时差异度;依次完成对每个相位插值单元的遍历调节,将对应的输出延时差异度最小时的各个相位插值单元的输出权重作为各个相位插值单元的目标输出权重。

[0013] 其进一步的技术方案为,输出延时差异度通过输出时钟信号之间的相位延时的方差、标准差和典型值差值中的至少一种方式确定,典型值差值是两个典型值之间的差值,典型值是相位延时中的极值、平均值和中位值中的任意一种。

[0014] 其进一步的技术方案为,每个相位插值单元所在支路上均串联有控制开关,或者,部分相位插值单元所在支路上串联有控制开关;各个控制开关分别通过独立的控制信号控制,或者存在至少两个控制开关由同一个控制信号控制。

[0015] 其进一步的技术方案为, $M=N$ 且每个相位插值单元分别与一个控制开关串联,第一并联电路中的每条支路与第二并联电路中的每条支路分别一一对应,且存在对应关系的两条支路上的两个控制开关通过同一个控制信号的信号本身及其反相信号同时控制、状态相反。

[0016] 其进一步的技术方案为,每个相位插值单元分别包括基本插值电路和权重调节电路,所有相位插值单元中的基本插值电路均相同,不同的相位插值单元中的权重调节电路的电路参数对应于相位插值单元的目标输出权重。

[0017] 其进一步的技术方案为,基本插值电路包括第一PMOS管、第二PMOS管、第一NMOS管和第二NMOS管,第一PMOS管的源极连接电源端、漏极连接至第二PMOS管的源极,第二PMOS管的漏极连接第二NMOS管的漏极并作为相位插值单元的输出端,第二NMOS管的源极连接至第一NMOS管的漏极,第一NMOS管的源极连接接地端,第一PMOS管的栅极以及第一NMOS管的栅极均连接相位插值单元的输入端,第二NMOS管的栅极连接第一开关信号,第二PMOS管的栅极连接第二开关信号,第一开关信号和第二开关信号是一对极性相反的信号;权重调节电路连接至第二PMOS管的源极以及第二NMOS管的源极。

[0018] 其进一步的技术方案为,在基本插值电路中,第一PMOS管的漏极直接连接第二PMOS管的源极,第二NMOS管的源极直接连接第一NMOS管的漏极;

[0019] 则权重调节电路包括第三PMOS管和第三NMOS管,第三PMOS管的源极连接电源端、漏极连接第一PMOS管和第二PMOS管的公共端,第三NMOS管的源极接地、漏极连接第一NMOS管和第二NMOS管的公共端,第三PMOS管的栅极和第三NMOS管的栅极均连接相位插值单元的输入端。

[0020] 其进一步的技术方案为,权重调节电路包括第四PMOS管和第四NMOS管,在基本插值电路中,第一PMOS管的漏极通过第四PMOS管连接第二PMOS管的源极,第二NMOS管的源极通过第四NMOS管连接第一NMOS管的漏极:第四PMOS管的源极连接第一PMOS管的漏极、漏极连接第二PMOS管的源极、栅极连接接地端,第四NMOS管的源极连接第一NMOS管的漏极、漏极连接第二NMOS管的源极、栅极连接电源端。

[0021] 其进一步的技术方案为,相位插值单元采用差分传输方式,则相位插值单元的输入端包括第一差分输入端和第二差分输入端,相位插值单元的输出端包括第一差分输出端和第二差分输出端;

[0022] 基本插值电路包括第五NMOS管、第六NMOS管和第七NMOS管,第五NMOS管的源极连接接地端、漏极连接第六NMOS管的源极以及第七NMOS管的源极,第五NMOS管的栅极连接偏置电压,第六NMOS管的漏极以及第七NMOS管的漏极通过负载电路连接电源端,第六NMOS管的栅极连接第一差分输入端,第七NMOS管的栅极连接第二差分输入端,第七NMOS管的漏极作为第一差分输出端,第六NMOS管的漏极作为第二差分输出端;

[0023] 则权重调节电路包括第八NMOS管和第九NMOS管,第八NMOS管的源极连接第二NMOS管的源极、漏极连接第二NMOS管的漏极、栅极连接第一差分输入端,第九NMOS管的源极连接第七NMOS管的源极、漏极连接第七NMOS管的漏极、栅极连接第二差分输入端。

[0024] 本发明的有益技术效果是:

[0025] 本申请公开了一种高线性度的相位插值电路,该相位插值电路通过各个相位插值支路上的相位插值单元的电路参数来加入非线性,以补偿MOS管本身存在的非线性,通过设计各个相位插值支路的目标输出权重可以有效提升相位插值电路的线性度,实现方式简单,避免了复杂补偿技术的实现难度,不需要增加相位插值长度,不牺牲面积和功耗。且权重调节电路可以内嵌在现有的基本插值电路中构成本申请的相位插值单元,有利于版图实现。

附图说明

[0026] 图1是现有的相位插值电路的电路结构图。

[0027] 图2是图1的相位插值电路的输出时钟信号示意图。

[0028] 图3是本申请的相位插值电路的电路结构图。

[0029] 图4是本申请中的相位插值单元的一种实现电路图。

[0030] 图5是本申请中的相位插值单元的另一种实现电路图。

[0031] 图6是本申请中的相位插值单元的另一种实现电路图。

具体实施方式

[0032] 下面结合附图对本发明的具体实施方式做进一步说明。

[0033] 本申请公开了一种高线性度的相位插值电路,该相位插值电路包括M个相位插值单元组成的第一并联电路以及N个相位插值单元组成的第二并联电路,每个相位插值单元的输入端in连接至所在并联电路的输入端、输出端连接至所在并联电路的输出端。如图1所示,第一并联电路的输入端连接第一时钟输入端IN1并通过第一电容C1接地,第一并联电路的输出端连接时钟输出端OUT。第二并联电路的输入端连接第二时钟输入端IN2并通过第二

电容C2接地,第二并联电路的输出端连接时钟输出端OUT,时钟输出端OUT还通过第零电容C0接地,电容C0/C1/C2用来调节输入信号的摆率。

[0034] 通过控制第一并联电路和第二并联电路中各个相位插值单元所在支路的通断可以使得时钟输出端OUT输出若干个相位不同的输出时钟信号。较为常规的,通过控制与相位插值单元串联的控制开关的通断来控制所在支路的通断,可选的,每个相位插值单元所在支路上均串联有控制开关、从而使得每个相位插值单元所在支路都可以单独控制通断,或者,部分相位插值单元所在支路上串联有控制开关、从而使得有控制开关的支路可以控制通断、其余支路默认导通。而在控制通断时,各个控制开关分别通过独立的控制信号控制,或者存在至少两个控制开关由同一个控制信号控制,包括直接利用同一个控制信号控制多个控制开关或者利用同一个控制信号及其反相信号控制多个控制开关。

[0035] 考虑到便于电路调控和版图设计,更为常用的结构是: $M=N$ 且每个相位插值单元分别与一个控制开关串联,也即形成如图3这种对称式结构。。基于这种对称式结构,各个控制开关可以通过各自的控制信号独立控制,但更为常用的,第一并联电路中的每条支路与第二并联电路中的每条支路分别一一对应,且存在对应关系的两条支路上的两个控制开关通过同一个控制信号的信号本身及其反相信号同时控制、状态相反。比如在图3中,存在对应关系的两条支路上的S1和G1通断状态相反,存在对应关系的两条支路上的S2和G2通断状态相反,存在对应关系的两条支路上的S3和G3通断状态相反,其余类似,从而形成一种结构对称且控制对称的电路。

[0036] 不管是否采用对称式结构,也不管是否采用对称式控制方式,本申请的主体设计是相同的:本申请对相位插值电路中的各个相位插值单元进行了调整与重新设计,在本申请的相位插值电路中,各个相位插值单元的电路参数对应于各自的目标输出权重。在图3中,相位插值单元CELL1对应的目标输出权重均为 $T1_1$,则图上对相位插值单元表示为CELL1($T1_1$),相位插值单元CELL2对应的目标输出权重均为 $T2_1$,则图上对相位插值单元表示为CELL2($T2_1$),其他以此类推。

[0037] 相位插值单元的不同电路参数可以通过内部器件的不同尺寸来实现,不同相位插值单元对应的目标输出权重相同或者不同。较为特殊的,若采用对称式的结构和控制方式,则可以将同一链路上的两个相位插值单元设置为相同的目标输出权重,比如 $T1_1$ 与 $T2_1$ 相等。

[0038] 各个相位插值单元的目标输出权重通过迭代确定且使得输出延时差异度最小,输出延时差异度表示相位插值电路通过时钟输出端OUT所输出的所有相位不同的输出时钟信号之间的相位差异度。假设所输出的5个输出时钟信号如图2所示,则输出延时差异度表示D1、D2、D3和D4之间的差异度。输出延时差异度越小,则相位插值电路的线性度越好。

[0039] 现有常规的相位插值电路中所有基本插值电路PI_CELL都是相同的,也即可以认为图1所示的常规电路中所有PI_CELL具有相同的输出权重,由于MOS管的非线性,由图2可以看出D1和D4较小,而D2和D3较大,导致相位插值电路的线性度较低。本申请做如下考虑:

[0040] 以1和0表示S1~S4的状态,1表示开关闭合、0表示开关断开,1111表示S4~S1均闭合,1110表示S4~S2均闭合、S1断开,其他以此类推,而G4~G1与S4~S1对应位置反相。在图1中,在假设同一链路上的两个PI_CELL的权重相等的基础上,定义IN1(1111)表示有4个权重分别为 $T1/T2/T3/T4$ 的基本插值电路使得输出时钟信号趋向于IN1,IN2(0000)表示没有

任何权重分别为T1/T2/T3/T4的基本插值电路使得输出时钟信号趋向于IN2,于是,图2中最左侧趋向于IN1的输出时钟信号可以表示为IN1 (1111)+IN2 (0000),下一个输出时钟信号可以表示为IN1 (1110)+IN2 (0001),以此类推,图1中T1=T2=T3=T4,由于IN1 (1110)+IN2 (0001)中IN2 (0001)太弱,因此导致D1较小,因此可以考虑增大T1以使D1增加。同理,对于D2过大,可以通过减小T2即减弱IN2 (0011)。但是改变一个参数比如T1时,不仅会使D1增加,同时也会影响D2、D3和D4,因此本申请通过迭代确定各个目标输出权重。

[0041] 确定各个相位插值单元对应的目标输出权重的过程如下:

[0042] 初始化各个相位插值单元的输出权重相等并确定对应的输出延时差异度,在保持其余的M+N-1个相位插值单元的输出权重不变的情况下、在预定范围内依次调节第i个相位插值单元的输出权重完成对第i个相位插值单元的遍历调节,并确定每次调节对应的输出延时差异度。通过这种方式,依次完成对每个相位插值单元的遍历调节,将对应的输出延时差异度最小时的各个相位插值单元的输出权重作为各个相位插值单元的目标输出权重。

[0043] 其中,相位插值单元的输出权重在调节时的预定范围通常由电路结构可实现的电路参数的范围决定,可以认为是一个预先确定的范围。在上述过程,每次可以选定任意一个相位插值单元的输出权重进行调节,当选定调节的顺序不同时,可能导致最终而定的各个相位插值单元的目标输出权重不同。因此在本申请中,若定义使得输出延时差异度最小的各个相位插值单元的目标输出权重构成相位插值电路的一个目标权重组合,该相位插值单元对应至少两种不同的目标权重组合。实际可以选择其中最优的一个目标权重组合进行应用,最优的一个目标权重组合可以是其中一项电路性能最优,比如对应的所有相位插值单元的总的电路参数最小。

[0044] 本申请中的输出延时差异度可以通过多种方式衡量,本申请中的输出延时差异度通过输出时钟信号之间的所有相位延时的方差、标准差和典型值差值中的至少一种方式确定,典型值差值是两个典型值之间的差值,典型值是所有相位延时中的极值、平均值和中位值中的任意一种。

[0045] 较为典型的,本申请中的输出延时差异度通过所有相位延时中的极值和平均值AVE所确定的典型值差值确定,极值包括所有相位延时中的最大值MAX以及N个相位延时中的最小值MIN,则输出延时差异度为:

[0046] $TARGET = \max((MAX - AVE), (AVE - MIN))$;

[0047] 也即输出延时差异度为最大值与平均值的差值以及最小值与平均值的差值之间的最大值。

[0048] 在本申请中,每个相位插值单元分别包括基本插值电路和权重调节电路,所有相位插值单元中的基本插值电路均相同,不同的相位插值单元中的权重调节电路的电路参数对应于所在相位插值单元的输出权重。基本插值电路可以采用图1中的现有的基本插值电路PI_CELL的电路结构,也即可以认为本申请中的相位插值单元是在现有的PI_CELL的基础上增加权重调节电路改进得到,因此可以直接使用现有常规的PI_CELL电路,而且各个相位插值单元都可以使用相同的PI_CELL电路,只需结合不同电路参数的权重调节电路即可,这种做法可以减少电路设计难度。

[0049] 本申请中的相位插值单元具有多种不同的电路实现方式,主要可以分为两大类:

[0050] 第一类,相位插值单元采用单端传输方式,如图4和5所示,基本插值电路包括第一

PMOS管P1、第二PMOS管P2、第一NMOS管N1和第二NMOS管N2,第一PMOS管P1的源极连接电源端VCC、漏极连接至第二PMOS管P2的源极,第二PMOS管P2的漏极连接第二NMOS管N2的漏极并作为相位插值单元的输出端也即时钟输出端OUT。第二NMOS管N2的源极连接至第一NMOS管N1的漏极,第一NMOS管N1的源极连接接地端VSS,第一PMOS管P1的栅极以及第一NMOS管N1的栅极均连接相位插值单元的输入端in,第二NMOS管N2的栅极连接第一开关信号,第二PMOS管P2的栅极连接第二开关信号,第一开关信号和第二开关信号是一对极性相反的信号。权重调节电路连接至第二PMOS管P2的源极以及第二NMOS管N2的源极。

[0051] 基于这种架构,具体的可以有如下两种电路结构:

[0052] (1)、如图4所示,在基本插值电路中,第一PMOS管P1的漏极直接连接第二PMOS管P2的源极,第二NMOS管N2的源极直接连接第一NMOS管N1的漏极。

[0053] 则权重调节电路包括第三PMOS管P3和第三NMOS管N3,第三PMOS管P3的源极连接电源端VCC、漏极连接第一PMOS管P1和第二PMOS管P2的公共端,第三NMOS管N3的源极接地、漏极连接第一NMOS管N1和第二NMOS管N2的公共端,第三PMOS管P3的栅极和第三NMOS管N3的栅极均连接相位插值单元的输入端in。则P3和N3的尺寸对应于所在相位插值单元的目标输出权重。

[0054] (2)、如图5所示,权重调节电路包括第四PMOS管P4和第四NMOS管N4。在基本插值电路中,第一PMOS管P1的漏极通过第四PMOS管P4连接第二PMOS管P2的源极,第二NMOS管N2的源极通过第四NMOS管N4连接第一NMOS管N1的漏极:第四PMOS管P4的源极连接第一PMOS管P1的漏极、漏极连接第二PMOS管P2的源极、栅极连接接地端VSS,第四NMOS管N4的源极连接第一NMOS管N1的漏极、漏极连接第二NMOS管N2的源极、栅极连接电源端VCC。则P4和N4的尺寸对应于所在相位插值单元的目标输出权重。

[0055] 第二类,相位插值单元采用差分传输方式,如图6所示,相位插值单元的输入端包括第一差分输入端VIN和第二差分输入端VIP,相位插值单元的输出端包括第一差分输出端VON和第二差分输出端VOP。

[0056] 基本插值电路包括第五NMOS管N5、第六NMOS管N6和第七NMOS管N7,第五NMOS管N5的源极连接接地端VSS、漏极连接第六NMOS管N6的源极以及第七NMOS管N7的源极,第五NMOS管N5的栅极连接偏置电压VB,第六NMOS管N6的漏极以及第七NMOS管N7的漏极通过负载电路连接电源端VCC,负载电路根据需要设置,比如可以如图6所示,通过连接N6和N7的电阻R1和R2实现。第六NMOS管N6的栅极连接第一差分输入端VIN,第七NMOS管N7的栅极连接第二差分输入端VIP,第七NMOS管N7的漏极作为第一差分输出端VON,第六NMOS管N6的漏极作为第二差分输出端VOP。

[0057] 则权重调节电路包括第八NMOS管N8和第九NMOS管N9,第八NMOS管N8的源极连接第二NMOS管N2的源极、漏极连接第二NMOS管N2的漏极、栅极连接第一差分输入端VIN,第九NMOS管N9的源极连接第七NMOS管N7的源极、漏极连接第七NMOS管N7的漏极、栅极连接第二差分输入端VIP。则N8和N9的尺寸对应于所在相位插值单元的目标输出权重。

[0058] 以上所述的仅是本申请的优选实施方式,本发明不限于以上实施例。可以理解,本领域技术人员在不脱离本发明的精神和构思的前提下直接导出或联想到的其他改进和变化,均应认为包含在本发明的保护范围之内。

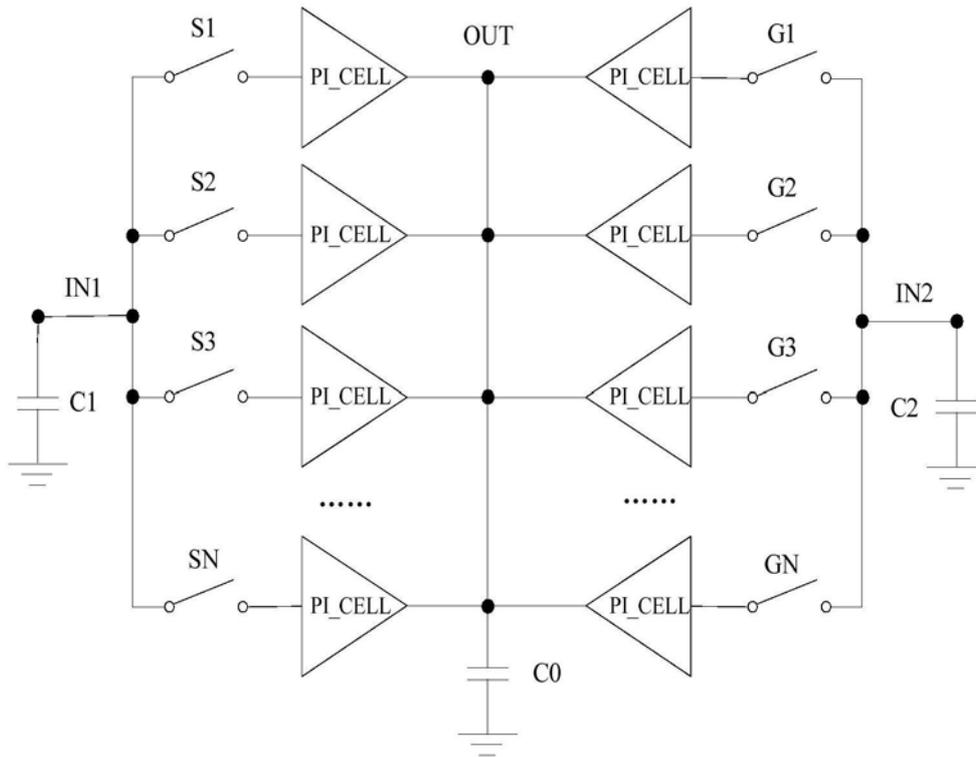


图1

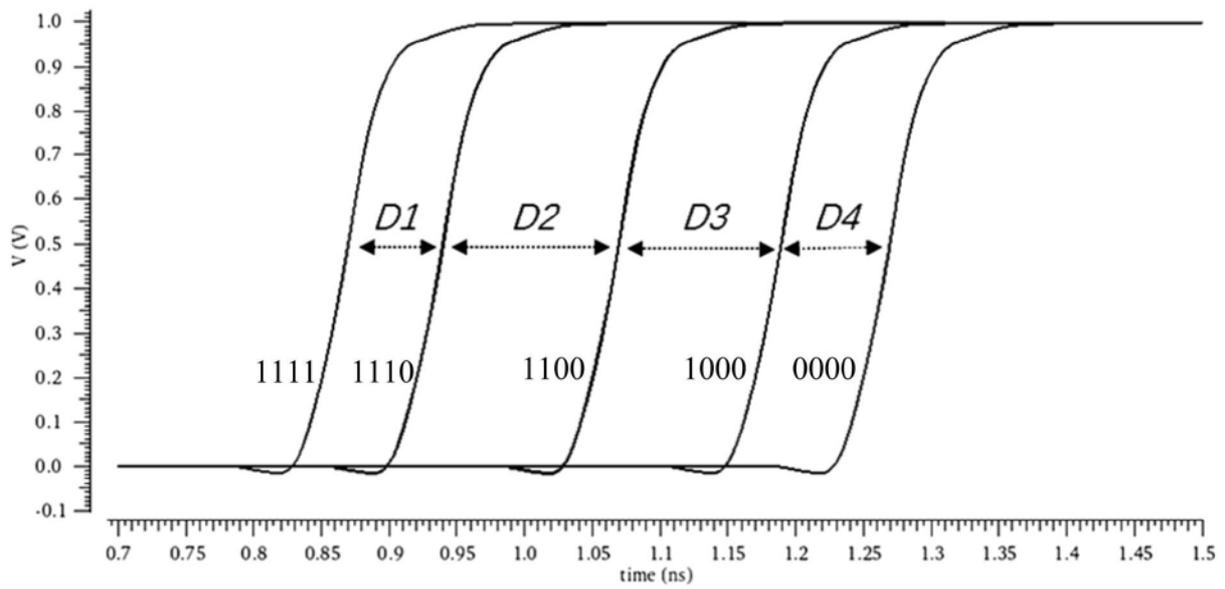


图2

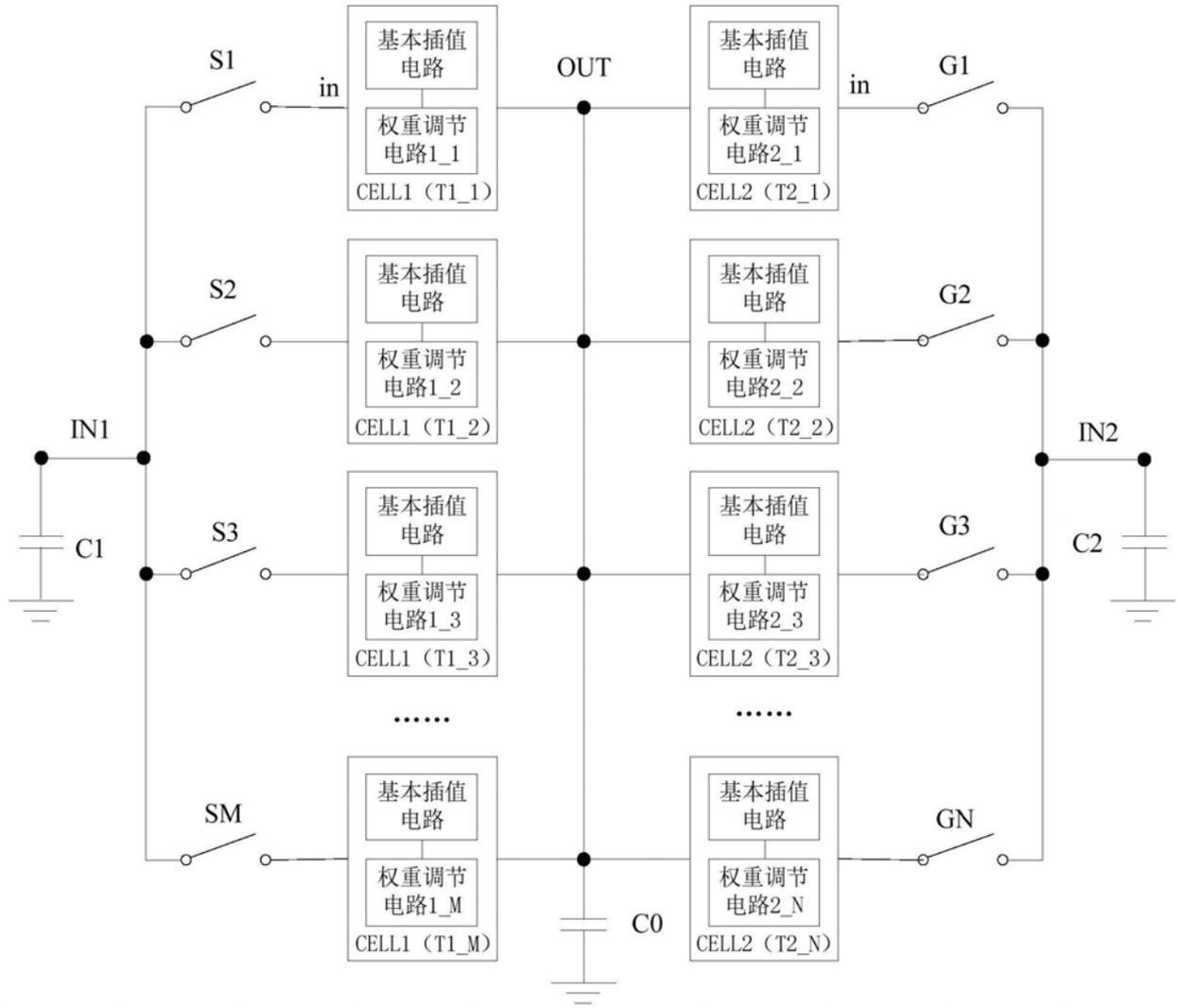


图3

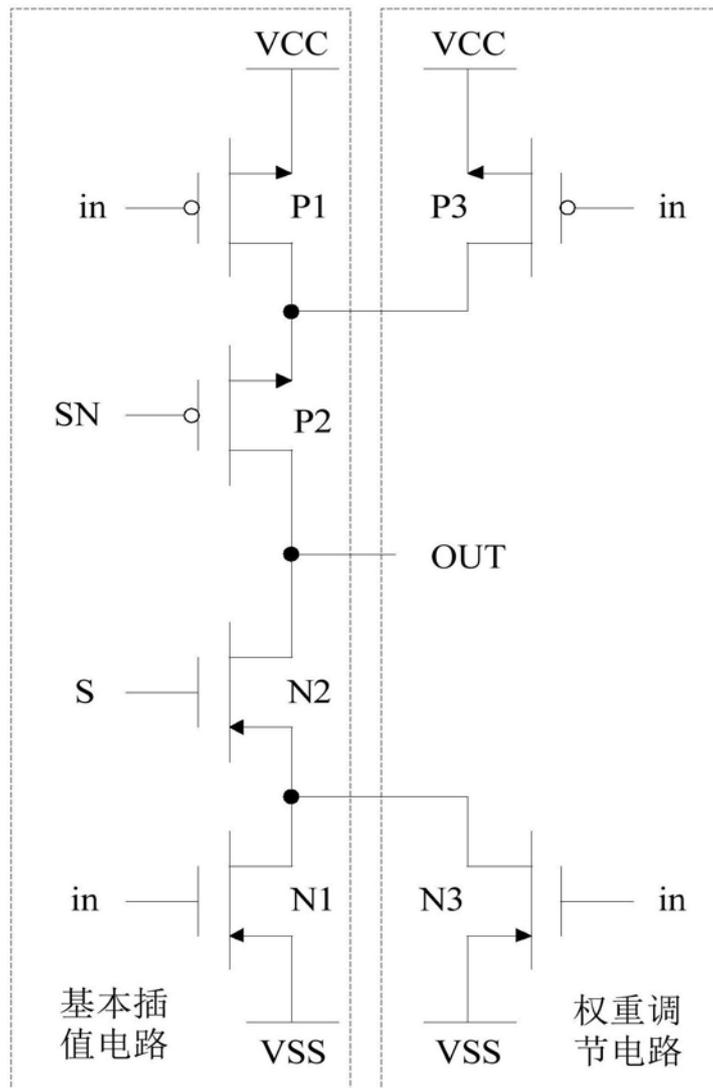


图4

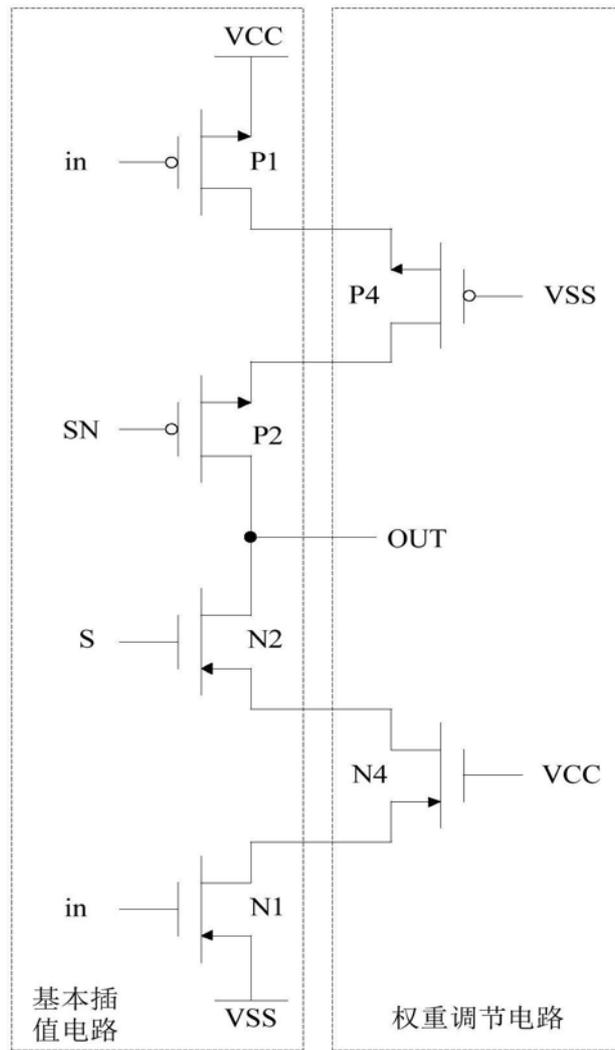


图5

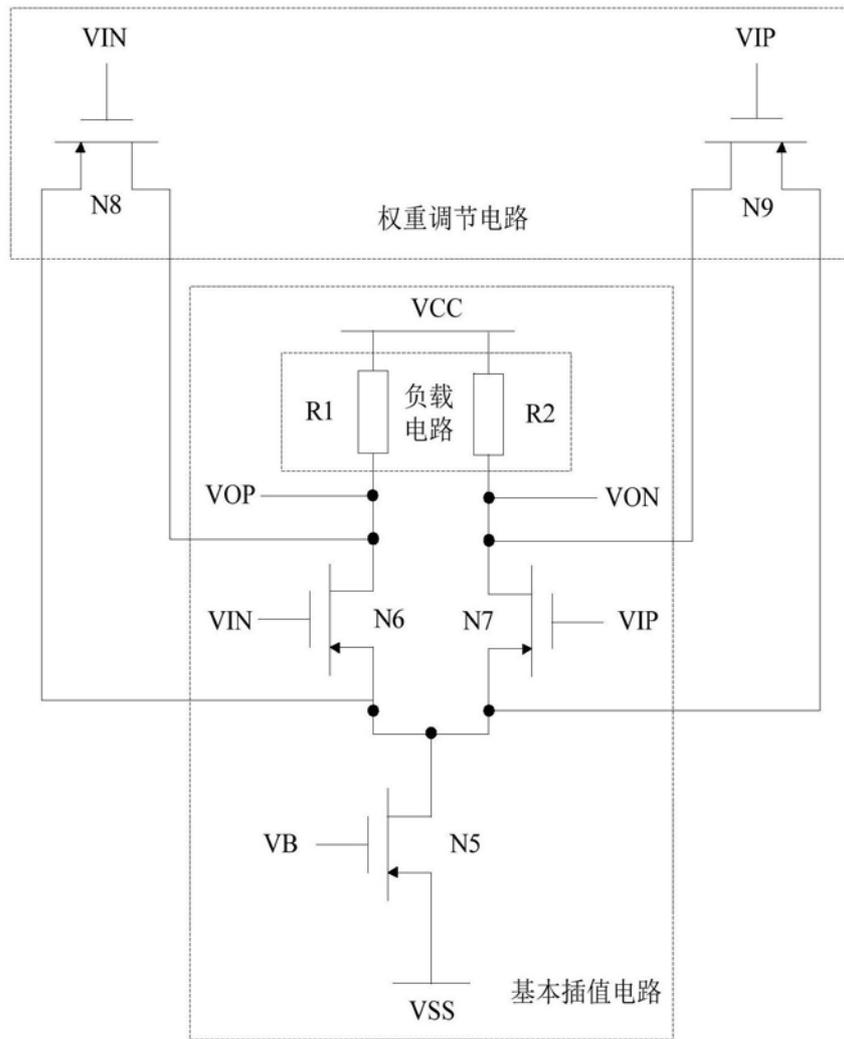


图6