

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5014856号
(P5014856)

(45) 発行日 平成24年8月29日(2012.8.29)

(24) 登録日 平成24年6月15日(2012.6.15)

(51) Int.Cl.	F I				
HO3H 7/01	(2006.01)	HO3H	7/01	Z	
HO1C 7/10	(2006.01)	HO3H	7/01	A	
HO1C 13/00	(2006.01)	HO1C	7/10		
HO1F 27/00	(2006.01)	HO1C	13/00	T	
HO1F 17/00	(2006.01)	HO1F	15/00	D	
請求項の数 2 (全 23 頁) 最終頁に続く					

(21) 出願番号 特願2007-82232(P2007-82232)
 (22) 出願日 平成19年3月27日(2007.3.27)
 (65) 公開番号 特開2008-244824(P2008-244824A)
 (43) 公開日 平成20年10月9日(2008.10.9)
 審査請求日 平成19年10月24日(2007.10.24)
 審判番号 不服2010-8897(P2010-8897/J1)
 審判請求日 平成22年4月26日(2010.4.26)

(73) 特許権者 000003067
 TDK株式会社
 東京都中央区日本橋一丁目13番1号
 (74) 代理人 100088155
 弁理士 長谷川 芳樹
 (74) 代理人 100113435
 弁理士 黒木 義樹
 (74) 代理人 100124062
 弁理士 三上 敬史
 (74) 代理人 100145012
 弁理士 石坂 泰紀
 (72) 発明者 佐藤 高弘
 東京都中央区日本橋一丁目13番1号 TDK株式会社内

最終頁に続く

(54) 【発明の名称】 積層型フィルタ

(57) 【特許請求の範囲】

【請求項1】

インダクタ層内にインダクタ導体部が形成されたインダクタ部と、バリスタ層内にバリスタ導体部が形成されたバリスタ部とが界面を形成するように配置されている積層型フィルタであって、

前記バリスタ層は、ZnOを主成分とし、添加物として、Pr及びBiからなる群より選ばれる少なくとも一種の元素、Co並びにAlを含有しており、

前記インダクタ層は、ZnOを主成分とし、Co及びAlを実質的に含有しておらず、

前記インダクタ層における前記界面側に形成される拡散層は、前記バリスタ層及び前記インダクタ層を積層した積層体を1100~1200で焼成した後であって当該積層体に電極を形成するための熱処理の前に、当該積層体の表面にLi化合物を付着させてからLiの拡散のための熱処理を行うことによって当該積層体の表面から前記インダクタ層の拡散層へ拡散された前記Liを含有しており、

前記インダクタ導体部における該表面への引き出し導体部の厚さは3µm以上であり、

前記インダクタ導体部は、前記界面から21µm以上離れた位置に配置されており、

前記インダクタ導体部と前記界面との離間距離は、86µm以下であり、

前記バリスタ導体部は、前記界面から40µm以上離れた位置に配置されている、積層型フィルタ。

【請求項2】

前記バリスタ導体部は、前記インダクタ導体部に接続されたホット電極と一对のグラン

ド電極とを有しており、

前記ホット電極は、前記インダクタ部及び前記バリスタ部の積層方向に前記一对のグラウンド電極と対向して、前記一对のグラウンド電極の間に配置されている、
請求項 1 に記載の積層型フィルタ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、積層型フィルタに関するものである。

【背景技術】

【0002】

近年、電子機器では、高速動作のための伝送信号の高周波化や、省電力化のための低電圧化等が進められている。このような状況下、電子機器においては、優れた信頼性を確保する観点から、ノイズやサージ等を除去する技術がますます重要になってきている。そこで、ノイズ及びサージの両方を一つのチップで除去し得る素子として、バリスタ部及びインダクタ部が積層されてなる積層型フィルタが注目を集めている。

【0003】

このような積層型フィルタとしては、半導体磁器と磁性材料磁器とを接合し、これを一体焼結して得られた複合機能素子が知られている（例えば、特許文献 1 参照）。

【特許文献 1】特開平 7 - 220906 号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかしながら、上述した従来の積層型フィルタでは、バリスタ部とインダクタ部とで積層体を構成している材料が異なっているため、焼結時における両者の体積変化の程度が大きく異なり、このため、一体焼結の際に両者の境に応力が発生し易い傾向にあった。そして、これに起因して、バリスタ部とインダクタ部とが剥離し易いという問題があった。

【0005】

そこで、本発明者らは、まず、積層型フィルタにおいて、バリスタ部とインダクタ部との剥離を低減するために、インダクタ部を、バリスタ部を構成している積層体と同じ材料により形成することを試みた。その結果、一体焼結を行った場合であっても、バリスタ部とインダクタ部との剥離が極めて生じ難くなることが判明した。

【0006】

ところが、通常バリスタ部の積層体を構成している材料は、極めて低抵抗であるという特性を有していることからインダクタの材料としては適しておらず、このような積層型フィルタは、高周波用途への適用が困難なものであった。

【0007】

本発明者らは、このような知見に基づいて更に研究を進めた結果、インダクタ部をバリスタ部の構成材料と同じ積層体から構成するとともに、両構成材料の添加物を異ならせることによって、インダクタ部の積層体の高抵抗化が図れることを見出した。しかしながら、実際にこのような積層型フィルタを試作したところ、高周波特性が低下してしまう場合があることが判明した。

【0008】

そこで、本発明は、インダクタ部とバリスタ部との剥離を低減し、且つ高周波特性の低下を抑制することが可能な積層型フィルタを提供することを目的とする。

【課題を解決するための手段】

【0009】

本発明の積層型フィルタは、インダクタ層内にインダクタ導体部が形成されたインダクタ部と、バリスタ層内にバリスタ導体部が形成されたバリスタ部とが界面を形成するように配置されている積層型フィルタであって、(a) バリスタ層は、ZnO を主成分とし、添加物として、Pr 及び Bi からなる群より選ばれる少なくとも一種の元素、Co 並びに

10

20

30

40

50

Alを含有しており、(b)インダクタ層は、ZnOを主成分とし、Co及びAlを実質的に含有しておらず、(c)インダクタ層における界面側に形成される拡散層は、Liを含有しており、(d)インダクタ導体部は、界面から20 μ m以上離れた位置に配置されており、(e)バリスタ導体部は、界面から40 μ m以上離れた位置に配置されている。

【0010】

この積層型フィルタによれば、インダクタ層及びバリスタ層が同じ材料(ZnO)を主成分としているので、これらの層を一体焼結する際に、両層の間に積層体の体積変化率の相違に基づく応力等が発生し難い。したがって、インダクタ部とバリスタ部との剥離を大幅に低減することができる。

【0011】

インダクタ層を構成している材料、すなわち、主成分としてZnOを含み、Co及びAlを実質的に含有していない材料は、ZnO単体や、上記バリスタ層の構成材料(ZnOにPr又はBi、Co及びAlを添加したもの)と比較して、極めて高抵抗率であり、低誘電率であるという特性を有している。したがって、この積層型フィルタによれば、インダクタ部が優れたインダクタ特性を有することとなる。

【0012】

インダクタ部とバリスタ部とを一体焼結する際、バリスタ層に含有されたCo及びAlがインダクタ層へ拡散されると、Coは誘電率を高くするように作用し、Alは抵抗率を低くするように作用するので、インダクタ層におけるバリスタ層との界面側の拡散層では、誘電率(換言すれば、静電容量)が増加し、抵抗率が低下してしまう。その結果、インダクタ部のインダクタ特性が低下してしまい、積層型フィルタの高周波特性が低下してしまう。この場合、インダクタ部のインダクタ特性の低下を抑制するためには、インダクタ導体部を界面から100 μ m以上離さなければならないことが、本発明者らの研究より分かっている。

【0013】

しかしながら、この積層型フィルタによれば、インダクタ層における拡散層にLiが含有されているので、拡散層の誘電率の増加を抑制することができる。その結果、インダクタ導体部を界面から20 μ mまで近づけても、Co及びAlの拡散に起因するインダクタ部のインダクタ特性の低下を抑制することができる。したがって、この積層型フィルタによれば、高周波特性の低下を抑制することができ、且つ小型化を実現することができる。

【0014】

一方、バリスタ層におけるインダクタ層との界面側の拡散層では、インダクタ部とバリスタ部とを一体焼結する際にCo及びAlが減少するので、誘電率(換言すれば、静電容量)が低下し、バリスタ機能を実質的に発現できない。この積層型フィルタによれば、バリスタ導体部を界面から40 μ m以上離しているため、バリスタ層における拡散層を避けてバリスタ導体部を配置することができる。したがって、バリスタ部のバリスタ特性の低下を抑制することができ、積層型フィルタの高周波特性の低下を抑制することができる。

【0015】

上記した積層型フィルタでは、表面からインダクタ導体部の拡散層へ前記Liを拡散させるために、インダクタ導体部における該表面への引き出し導体部の厚さは3 μ m以上であることが好ましい。

【0016】

この構成によれば、インダクタ導体部の引き出し導体部の厚さが3 μ m以上と厚いので、インダクタ導体部の周囲の隙間を通して、表面からインダクタ導体部の拡散層へLiを適切に拡散させることができる。

【0017】

上記した積層型フィルタでは、インダクタ導体部と界面との離間距離は、100 μ m以下であることが好ましい。

【0018】

インダクタ導体部とバリスタ導体部の間では電界結合が生じている。そのために、複

10

20

30

40

50

数のフィルタ素子が並列に設けられるアレイ状の積層型フィルタでは、外側のフィルタ素子に比べて内側のフィルタ素子ほど、電界分布の分布幅が大きい傾向がある。その結果、寄生する静電容量の素子ばらつき（チャンネル間ばらつき）が増大し、高周波特性の素子ばらつき（チャンネル間ばらつき）が増大してしまう。

【0019】

しかしながら、この構成によれば、インダクタ導体部と界面との離間距離が $100\mu\text{m}$ 以下と短いので、すなわち、インダクタ導体部とバリスタ導体部との離間距離が小さいので、特に内側のフィルタ素子における電界分布の分布幅の増加を低減することができる。したがって、寄生する静電容量値の素子ばらつきが低減され、高周波特性の素子ばらつきが低減される。

10

【0020】

上記したバリスタ導体部は、インダクタ導体部の両端にそれぞれ接続された一对のホット電極とグランド電極とを有しており、一对のホット電極は、バリスタ層内の同一平面上に $100\mu\text{m}$ 以上離間して配置されていることが好ましい。

【0021】

この構成によれば、型の積層型フィルタにおけるバリスタ部的一对のホット電極がバリスタ層内の同一平面上に配置されているので、バリスタ部の層数を削減することができる。したがって、積層型フィルタの更なる小型化を実現することができる。

【0022】

また、一对のホット電極は $100\mu\text{m}$ 以上離間しているので、型の積層型フィルタの入出力間に寄生する静電容量の増加を低減することができる。したがって、積層型フィルタの高周波特性の低下をより抑制することができる。

20

【0023】

上記したバリスタ導体部は、インダクタ導体部に接続されたホット電極と一对のグランド電極とを有しており、ホット電極は、インダクタ部及びバリスタ部の積層方向に一对のグランド電極と対向して、一对のグランド電極の間に配置されていることが好ましい。

【0024】

この構成によれば、バリスタ部のホット電極が一对のグランド電極の間に配置されているので、バリスタ部のホット電極側に寄生する静電容量の増加を低減することができる。その結果、積層型フィルタの高周波特性の低下をより抑制することができる。

30

【発明の効果】

【0025】

本発明によれば、インダクタ部とバリスタ部との剥離を低減し、且つ高周波特性の低下を抑制することが可能な積層型フィルタが得られる。

【発明を実施するための最良の形態】

【0026】

以下、図面を参照して本発明の好適な実施形態について詳細に説明する。なお、各図面において同一又は相当の部分に対しては同一の符号を附すこととする。

[第1の実施形態]

【0027】

図1は、第1の実施形態に係る積層型フィルタを示す斜視図であり、図2は、第1の実施形態に係る積層型フィルタの積層体を分解して示す分解斜視図である。また、図3は、第1の実施形態に係る積層型フィルタの中央断面を示す断面図であり、図4は、第1の実施形態に係る積層型フィルタの回路図である。なお、図3における断面は、積層体2の長手方向及び積層方向と平行な面である。

40

【0028】

図1に示されるように、積層型フィルタ1は、直方体状の積層体2を備えている。積層体2において、その長手方向における両端部には、入力端子電極3及び出力端子電極4が形成されており、その長手方向と直交する方向における両端面には、一对のグランド端子電極5が形成されている。

50

【0029】

図2及び図3に示されるように、積層体2は、複数のインダクタ層 $6_1 \sim 6_9$ が積層されてなるインダクタ積層部(インダクタ部)7と、複数のバリスタ層 $8_1 \sim 8_4$ が積層されてなるバリスタ積層部(バリスタ部)9とを含む。インダクタ積層部7とバリスタ積層部9とは、界面Pを形成するように配置されている。積層体2において、インダクタ層 6_9 とバリスタ層 8_1 との間に界面Pが形成されている。

【0030】

インダクタ層 $6_1 \sim 6_9$ は、電氣的絶縁性を有する材料により長方形薄板状に形成されており、入力端子電極3が形成される縁部から時計回りに縁部 $6a, 6b, 6c, 6d$ を有している。インダクタ層 $6_1 \sim 6_9$ は、ZnOを主成分とするセラミック材料から構成されている。

10

【0031】

インダクタ層 $6_1 \sim 6_9$ を構成するセラミック材料は、ZnOのほか、添加物としてPr、K、Na、Cs、Rb等の金属元素を含有していてもよい。なかでも、Prを添加すると特に好ましい。Prの添加により、インダクタ層 $6_1 \sim 6_9$ とバリスタ層 $8_1 \sim 8_4$ との体積変化率の差を容易に低減することができる。また、インダクタ層 $6_1 \sim 6_9$ には、バリスタ積層部9との接合性の向上を目的として、Cr、CaやSiが更に含まれていてもよい。

【0032】

インダクタ層 $6_1 \sim 6_9$ 中に含まれるこれらの金属元素は、金属単体や酸化物等の種々の形態で存在することができる。インダクタ層 $6_1 \sim 6_9$ に含まれる添加物の好適な含有量は、当該インダクタ層に含まれるZnOの総量中、 $0.02\text{mol}\%$ 以上 $2\text{mol}\%$ 以下であると好ましい。これらの金属元素の含有量は、例えば、誘導結合高周波プラズマ発光分析装置(ICP)を用いて測定することができる。

20

【0033】

また、インダクタ層 $6_1 \sim 6_9$ は、後述するバリスタ層 $8_1 \sim 8_4$ に含まれるCo及びAlを実質的に含有していないものである。ここで、「実質的に含有していない」状態とは、これらの元素を、インダクタ層 $6_1 \sim 6_9$ を形成する際に原料として意図的に含有させなかった場合の状態をいうものとする。例えば、バリスタ積層部9からインダクタ積層部7への拡散等によって意図せずこれらの元素が含まれる場合は、「実質的に含有していない」状態に該当する。なお、インダクタ層 $6_1 \sim 6_9$ は、上述した条件を満たす限り、更なる特性の向上等を目的として、その他の金属元素等を更に含んでいてもよい。

30

【0034】

バリスタ層 $8_1 \sim 8_4$ は、長方形薄板状に形成されており、入力端子電極3が形成される縁部から時計回りに縁部 $8a, 8b, 8c, 8d$ を有している。バリスタ層 $8_1 \sim 8_4$ は、ZnOを主成分とするセラミック材料から構成されている。

【0035】

このセラミック材料中には、添加物として、Pr及びBiからなる群より選ばれる少なくとも一種の元素、Co並びにAlが更に含まれている。ここで、バリスタ層 $8_1 \sim 8_4$ は、Prに加えてCoを含むことから、優れた電圧非直線特性、高い誘電率()を有するものとなる。また、Alを更に含むことから、低抵抗となる。

40

【0036】

バリスタ層 $8_1 \sim 8_4$ の添加物としての金属元素は、バリスタ層 $8_1 \sim 8_4$ において、金属単体や酸化物等の形態で存在することができる。なお、バリスタ層 $8_1 \sim 8_4$ は、更なる特性の向上を目的として、添加物として上述したもの以外の金属元素等(例えば、Cr、Ca、Si、K等)を更に含有していてもよい。

【0037】

このように、インダクタ層 $6_1 \sim 6_9$ とバリスタ層 $8_1 \sim 8_4$ との構成材料と同じ構成とすることにより、インダクタ積層部7とバリスタ積層部9との間の剥離を防止することができる。引き続き、より詳細にインダクタ層 $6_1 \sim 6_9$ とバリスタ層 $8_1 \sim 8_4$ につ

50

いて説明する。

【0038】

インダクタ層 $6_1 \sim 6_8$ は、Co及びAlを添加せず、Co及びAlを含有しないように形成される。よって、インダクタ層 $6_1 \sim 6_8$ は、誘電率が小さく、しかも抵抗率が高いため、インダクタ層の構成材料として極めて好適な特性を有している。

【0039】

インダクタ層 6_9 は、インダクタ層 $6_1 \sim 6_8$ と同様に、Co及びAlを添加せず、Co及びAlを含有しない材料から形成される。しかし、製造工程において、インダクタ層 6_9 となるインダクタグリーンシートには、バリスタ層 8_1 となるバリスタグリーンシートに含まれるCo及びAlが拡散する。すなわち、インダクタ層 6_9 は、界面Pに沿ってCo及びAlを含有するインダクタ拡散層6Dを有する。

10

【0040】

インダクタ拡散層6Dは、更にLiを含有している。ただし、このLiは、原料としてこれらの層に添加されたものではなく、後述するような製造方法において、インダクタ積層部7及びバリスタ積層部9を備える積層体2を形成した後に、この積層体2の表面にLiを含む原料を付着させ、これが拡散することによって添加されたものである。

【0041】

インダクタ拡散層6Dでは、Co及びAlを含有することによって、誘電率がインダクタ層 $6_1 \sim 6_8$ における誘電率よりも高く、インダクタ機能が阻害されうることとなるが、更にLiを含有することによって、誘電率の増加が抑制され、インダクタ機能の阻害が抑制されることとなる。

20

【0042】

なお、Liは、インダクタ積層部7におけるインダクタ層 $6_1 \sim 6_9$ 全体に拡散されていてもよい。これによって、インダクタ積層部7におけるインダクタ特性が向上することとなる。

【0043】

一方、バリスタ層 8_1 は、バリスタ層 $8_2 \sim 8_4$ と同様な材料から作成される。しかし、製造工程において、バリスタ層 8_1 となるバリスタグリーンシートでは、含有するCo及びAlがインダクタ層 6_9 となるインダクタグリーンシートへ拡散する。すなわち、バリスタ層 8_1 は、界面Pに沿ってCo及びAlの含有率がバリスタ層 $8_2 \sim 8_4$ の含有率よりも低下したバリスタ拡散層8Dを有する。

30

【0044】

バリスタ拡散層8Dでは、Co及びAlの含有率が低下することによって、誘電率がバリスタ層 $8_2 \sim 8_4$ の誘電率よりも低く、バリスタ機能が低下することとなる。

【0045】

なお、バリスタ積層部9においては、ホット電極16及びグランド電極17に挟まれたバリスタ層 8_2 の領域にはLiはできるだけ含まれないことが望ましい。そして、本実施形態においては、上述のように積層体2の表面からLiを拡散させていることから、バリスタ層 8_2 の上記領域までLiが拡散されることが極めて少なく、当該領域にはLiが実質的に含まれない状態となっている。

40

【0046】

インダクタ積層部7において、インダクタ層 $6_3, 6_7$ 上のそれぞれには、縁部6b、縁部6c及び縁部6dに沿って延在するインダクタ導体部 $12_1, 12_2$ が形成されており、インダクタ層 6_5 上には、縁部6d、縁部6a及び縁部6bに沿って延在するインダクタ導体部 12_3 が形成されている。また、インダクタ層 $6_4, 6_8$ 上のそれぞれには、縁部6a、縁部6b及び縁部6cに沿って延在するインダクタ導体部 $12_4, 12_5$ が形成されており、インダクタ層 6_6 上には、縁部6c、縁部6d及び縁部6aに沿って延在するインダクタ導体部 12_6 が形成されている。更に、インダクタ層 6_2 上には、入力端子電極3と接続されたインダクタ導体部 12_7 が形成されており、インダクタ層 6_9 上には、出力端子電極4と接続されたインダクタ導体部 12_8 が形成されている。

50

【0047】

そして、インダクタ導体部12₁の縁部6d側且つ縁部6a側の端部とインダクタ導体部12₄の縁部6d側且つ縁部6a側の端部とは、インダクタ層6₃に形成されたスルーホールを介して電氣的に接続されている。また、インダクタ導体部12₄の縁部6c側且つ縁部6d側の端部とインダクタ導体部12₃の縁部6c側且つ縁部6d側の端部とは、インダクタ層6₄に形成されたスルーホールを介して電氣的に接続されており、インダクタ導体部12₃の縁部6b側且つ縁部6c側の端部とインダクタ導体部12₆の縁部6b側且つ縁部6c側の端部とは、インダクタ層6₅に形成されたスルーホールを介して電氣的に接続されている。更に、インダクタ導体部12₆の縁部6a側且つ縁部6b側の端部とインダクタ導体部12₂の縁部6a側且つ縁部6b側の端部とは、インダクタ層6₆に形成されたスルーホールを介して電氣的に接続されており、インダクタ導体部12₂の縁部6d側且つ縁部6a側の端部とインダクタ導体部12₅の縁部6d側且つ縁部6a側の端部とは、インダクタ層6₇に形成されたスルーホールを介して電氣的に接続されている。

10

【0048】

また、インダクタ導体部12₇とインダクタ導体部12₁の縁部6a側且つ縁部6b側の端部とは、インダクタ層6₂に形成されたスルーホールを介して電氣的に接続されており、インダクタ導体部12₈とインダクタ導体部12₅の縁部6c側且つ縁部6d側の端部とは、インダクタ層6₈に形成されたスルーホールを介して電氣的に接続されている。

【0049】

以上により、積層型フィルタ1は、インダクタ積層部7内に形成された複数のインダクタ導体部12₁～12₈が電氣的に接続されることにより構成されたコイルを含むインダクタ10を備える。一連のインダクタ導体部12₁～12₈は、一端が入力端子電極3と電氣的に接続されると共に、他端が出力端子電極4と電氣的に接続されることになる。なお、インダクタ導体部12₁～12₈は、Ag及びPdを含む材料により形成されている。

20

【0050】

バリスタ積層部9において、バリスタ層8₃上には、その中央部を縁部8bに沿って延在し、一端が縁部8cに到達して出力端子電極4と電氣的に接続されたホット電極(バリスタ導体部)16が形成されている。また、バリスタ層8₂上には、その中央部を縁部8aに沿って延在し、両端が縁部8b及び縁部8dに到達してグランド端子電極5と電氣的に接続されたグランド電極(バリスタ導体部)17が形成されている。

30

【0051】

これにより、積層型フィルタ1は、出力端子電極4と電氣的に接続されたホット電極16、及びグランド端子電極5と電氣的に接続されたグランド電極17がバリスタ層8₂を挟んでバリスタ部内に形成されることにより構成された1対のバリスタ電極を含むバリスタ20を備えることになる。なお、ホット電極16及びグランド電極17は、Ag及びPdを含む材料により形成されている。

【0052】

インダクタ導体部12₁～12₈は、インダクタ層6₂～6₉に形成され、インダクタ積層部7とバリスタ積層部9との間の界面Pから20μm以上離れた位置に形成されている。すなわち、インダクタ導体部12₈とバリスタ積層部9との間に位置するインダクタ層6₉の厚さ寸法D1は、20μm以上である。

40

【0053】

ホット電極16及びグランド電極17は、バリスタ層8₂を挟んで形成され、インダクタ積層部7とバリスタ積層部9との間の界面Pから40μm以上離れた位置に形成されている。すなわち、グランド電極17とインダクタ積層部7との間に位置するバリスタ層8₁の厚さ寸法D2は、40μm以上である。

【0054】

また、インダクタ導体部12₇とインダクタ導体部12₈とは、インダクタ導体部12

50

$1 \sim 12_8$ において積層体2の表面への引き出し配線部として機能しており、インダクタ導体部 12_8 の積層方向の厚さ $D3$ が $3 \mu\text{m}$ 以上である。これによって、インダクタ導体部 12_8 の周囲の隙間を通過して、積層体2の表面からインダクタ拡散層 $6D$ へ Li が拡散し易くなる。なお、インダクタ導体部 12_7 の積層方向の厚さも $3 \mu\text{m}$ 以上であってもよい。これによって、インダクタ導体部 12_7 の周囲の隙間を通過して、積層体2の表面からインダクタ層 $6_2 \sim 6_9$ へ Li が拡散し易くなる。

【0055】

次に、上述した積層型フィルタ1の製造方法について説明する。

【0056】

まず、インダクタ層 $6_1 \sim 6_9$ となるインダクタグリーンシートを用意する。このインダクタグリーンシートは、例えば、 ZnO 、 Pr_6O_{11} 、 Cr_2O_3 、 $CaCO_3$ 、 SiO_2 及び K_2CO_3 の混合粉を原料としたスラリーをドクターブレード法によりフィルム上に塗布することで形成される。

10

【0057】

インダクタ層 $6_1 \sim 6_8$ となるインダクタグリーンシートは、例えば、厚さが $20 \mu\text{m}$ 程度となるように塗布することで形成される。インダクタ層 6_9 となるインダクタグリーンシートは、焼成後の厚さ寸法 $D1$ が $20 \mu\text{m}$ 以上となるように、厚さ $20 \mu\text{m}$ 程度に塗布して形成したインダクタグリーンシートを適宜重ねて形成される。

【0058】

また、バリスタ層 $8_1 \sim 8_4$ となるバリスタグリーンシートを用意する。このバリスタグリーンシートは、例えば、 ZnO 、 Pr_6O_{11} 、 CoO 、 Cr_2O_3 、 $CaCO_3$ 、 SiO_2 、 K_2CO_3 及び Al_2O_3 の混合粉を原料としたスラリーをドクターブレード法によりフィルム上に塗布することで形成される。

20

【0059】

バリスタ層 $8_2 \sim 8_4$ となるバリスタグリーンシートは、例えば、厚さが $30 \mu\text{m}$ 程度となるように塗布することで形成される。バリスタ層 8_1 となるバリスタグリーンシートは、焼成後の厚さ寸法 $D2$ が $40 \mu\text{m}$ 以上となるように、厚さ $30 \mu\text{m}$ 程度に塗布して形成したバリスタグリーンシートを適宜重ねて形成される。

【0060】

続いて、インダクタ層 $6_2 \sim 6_8$ となるインダクタグリーンシートの所定の位置(すなわち、インダクタ導体部 $12_1 \sim 12_7$ に対してスルーホールを形成すべき位置)に、レーザー加工等によってスルーホールを形成する。

30

【0061】

続いて、インダクタ層 $6_2 \sim 6_9$ となるインダクタグリーンシート上に、インダクタ導体部 $12_1 \sim 12_8$ に対応する導体パターンを形成する。この導体パターンは、 Ag 及び Pd を主成分とする導体ペーストをインダクタグリーンシート上にスクリーン印刷することで形成される。引き出し配線として機能するインダクタ導体部 12_1 、 12_8 は、焼成後の厚さが $3 \mu\text{m}$ 以上となるように形成される。その他のインダクタ導体部 $12_2 \sim 12_7$ は、例えば、焼成後の厚さが $8 \mu\text{m}$ 程度となるように形成される。なお、インダクタ層 $6_2 \sim 6_8$ となるインダクタグリーンシートに形成されたスルーホール内には、インダクタグリーンシート上への導体ペーストのスクリーン印刷によって、導体ペーストが充填される。

40

【0062】

また、バリスタ層 8_2 、 8_3 となるバリスタグリーンシート上に、ホット電極16及びグランド電極17に対応する導体パターンを形成する。この導体パターンは、 Ag 及び Pd を主成分とする導体ペーストをバリスタグリーンシート上にスクリーン印刷することで、例えば、焼成後の厚さが $1.5 \mu\text{m}$ 程度となるように形成される。

【0063】

続いて、インダクタ層 $6_1 \sim 6_9$ となるインダクタグリーンシートと、バリスタ層 $8_1 \sim 8_4$ となるバリスタグリーンシートとを所定の順序で積層して圧着し、チップ単位に切

50

断する。その後、所定の温度（例えば、1100～1200 程度の温度）で焼成して、積層体2を得る。

【0064】

その際に、インダクタグリーンシートと隣り合って積層されたバリスタグリーンシートからインダクタグリーンシートへCo及びAlが拡散して、インダクタグリーンシート及びバリスタグリーンシートの界面P付近にそれぞれ拡散層が形成される。すなわち、Co及びAlを含有するインダクタ拡散層6Dと、Co及びAlを含有率が低下したバリスタ拡散層とが形成されることとなる。

【0065】

続いて、得られた積層体2の表面からインダクタ層 $6_1 \sim 6_9$ に、インダクタ導体部 $12_1, 12_8$ の周囲の隙間を通してLiを拡散させる。特に、積層体2の表面からインダクタ拡散層6Dに、インダクタ導体 12_8 の周囲の隙間を通してLiを拡散させる。ここでは、得られた積層体2の表面にLi化合物を付着させた後、熱処理等を行う。Li化合物の付着には、密閉回転ポットを用いることができる。Li化合物としては、特に限定されないが、熱処理することによりLiが積層体2の表面からその内部に拡散できる化合物であり、例えば、Liの酸化物、水酸化物、塩化物、硝酸塩、ホウ酸塩、炭酸塩及びシュウ酸塩等が挙げられる。

【0066】

このようにして、インダクタ拡散層6Dは、Co及びAlに加えてLiを含有することとなる。また、インダクタ導体部 $12_1 \sim 12_8$ は、界面Pから $20 \mu\text{m}$ 以上離れた位置に配置され、ホット電極16及びグランド電極17は、界面Pから $40 \mu\text{m}$ 以上離れた位置に配置されることとなる。

【0067】

続いて、積層体2の外表面に、入力端子電極3、出力端子電極4及びグランド端子電極5を形成して、積層型フィルタ1を完成させる。各端子電極3～5は、積層体2の外表面に、Agを主成分とする導体ペーストを転写して所定の温度（例えば、700～800の温度）で焼付けを行い、更に、Ni/Sn、Cu/Ni/Sn、Ni/Au、Ni/Pd/Au、Ni/Pd/Ag、又はNi/Agを用いた電気めっきを施すことで、形成される。積層型フィルタ1の完成寸法は、長さ1.0mm、幅0.5mm、厚さ0.5mmである。

【0068】

以上説明したように、積層型フィルタ1は、図4に示されるように、インダクタ10及びバリスタ20によってL型の回路を構成し、インダクタ10は、4～100の直流抵抗を有することになる。これにより、バリスタ電圧を越える高い電圧のノイズが入力に印加された際に、バリスタ効果によって急激に流れた電流がノイズとなって通過するのを阻止することができる。

【0069】

このように、第1の実施形態の積層型フィルタ1によれば、隣り合うインダクタ積層部7とバリスタ積層部9とが互いに同じ成分ZnOを主成分として含有するので、インダクタ積層部7とバリスタ積層部9との間に生じる剥離を防止することができる。

【0070】

積層体2を一体焼結する際、バリスタ拡散層8Dに含有されたCo及びAlがインダクタ拡散層6Dへ拡散されると、Coは誘電率を高くするように作用し、Alは抵抗率を低くするように作用するので、インダクタ拡散層6Dでは、誘電率（換言すれば、静電容量）が増加し、抵抗率が低下してしまう。その結果、インダクタ積層部7のインダクタ特性が低下してしまい、積層型フィルタ1の高周波特性が低下してしまう。この場合、インダクタ積層部7のインダクタ特性の低下を抑制するためには、インダクタ導体部 $12_1 \sim 12_8$ を界面Pから $100 \mu\text{m}$ 以上離さなければならないことが、本発明者らの研究より分かっている。

【0071】

10

20

30

40

50

しかしながら、第1の実施形態の積層型フィルタ1によれば、インダクタ拡散層6DにLiが含まれているので、インダクタ拡散層6Dの誘電率の増加を抑制することができる。その結果、インダクタ導体部12₁~12₈を界面Pから20μmまで近づけても、Co及びAlの拡散に起因するインダクタ積層部7のインダクタ特性の低下を抑制することができる。したがって、この積層型フィルタ1によれば、高周波特性の低下を抑制することができる、且つ小型化を実現することができる。

【0072】

一方、バリスタ拡散層8Dでは、インダクタ積層部7とバリスタ積層部9とを一体焼結する際にCo及びAlが減少するので、誘電率（換言すれば、静電容量）が低下し、バリスタ機能を実質的に発現できない。第1の実施形態の積層型フィルタ1によれば、バリスタ導体部16, 17を界面から40μm以上離しているため、バリスタ拡散層8Dを避けてバリスタ導体部16, 17を配置することができる。したがって、バリスタ積層部9のバリスタ特性の低下を抑制することができ、積層型フィルタ1の高周波特性の低下を抑制することができる。

10

【0073】

また、第1の実施形態の積層型フィルタ1によれば、引き出し導体として機能するインダクタ導体部12₈の厚さが3μm以上と厚いので、インダクタ導体部12₈の周囲の隙間を通して、積層体2の表面からインダクタ拡散層6DへLiを適切に拡散させることができる。また、インダクタ導体部12₈の幅は変更しないので、インダクタ導体部12₈に寄生する静電容量、すなわちインダクタ導体部12₁~12₈に寄生する静電容量が増加することがない。その結果、インダクタ積層部7のインダクタ特性を阻害することなく、積層型フィルタ1の高周波特性を阻害することがない。

20

【0074】

上記実施形態では、積層型フィルタ1の外形寸法が長さ1.0mm、幅0.5mm、厚さ0.5mmであるとしたが、この寸法に限られない。外形寸法が長さ3.2mm、幅1.6mm、厚さ0.85mmの大きさより小さい小型の積層型フィルタにおいて上記効果が有効である。

[第2の実施形態]

【0075】

図5は、第2の実施形態に係る積層型フィルタの積層体を分解して示す分解斜視図であり、図6は、第2の実施形態に係る積層型フィルタの回路図である。第2の実施形態に係る積層型フィルタ1は、バリスタ20の構成において第1の実施形態に係る積層型フィルタ1と相違している。

30

【0076】

すなわち、図5に示されるように、バリスタ積層部9は、バリスタ層8₁とバリスタ層8₄との間に複数のバリスタ層8₃、8₂、8₅が順に積層されて構成されている。バリスタ層8₃上には、その中央部を縁部8bに沿って延在し、一端が縁部8cに到達して出力端子電極4と電氣的に接続されたホット電極16₁が形成されており、バリスタ層8₅上には、その中央部を縁部8bに沿って延在し、一端が縁部8aに到達して入力端子電極3と電氣的に接続されたホット電極16₂が形成されている。また、バリスタ層8₂上には、その中央部を縁部8aに沿って延在し、両端が縁部8b及び縁部8dに到達してグラウンド端子電極5と電氣的に接続されたグラウンド電極17が形成されている。

40

【0077】

これにより、積層型フィルタ1は、出力端子電極4と電氣的に接続されたホット電極16₁、及びグラウンド端子電極5と電氣的に接続されたグラウンド電極17がバリスタ層8₃を挟んでバリスタ積層部9内に形成されることにより構成されたバリスタ20₁と、入力端子電極3と電氣的に接続されたホット電極16₂、及びグラウンド端子電極5と電氣的に接続されたグラウンド電極17がバリスタ層8₂を挟んでバリスタ積層部9内に形成されることにより構成されたバリスタ20₂とを備えることになる。

【0078】

50

また、インダクタ層 6₉には、界面 P に沿ってインダクタ拡散層 6 D が形成されており、インダクタ拡散層 6 D は L i を含有している。また、バリスタ層 8₁には、界面 P に沿ってバリスタ拡散層 8 D が形成されている。

【 0 0 7 9 】

インダクタ導体部 1 2₁ ~ 1 2₈は、第 1 実施形態と同様に、インダクタ層 6₂ ~ 6₉に形成され、インダクタ積層部 7 とバリスタ積層部 9 との間の界面 P から 2 0 μ m 以上離れた位置に形成されている。すなわち、インダクタ層 6₉の厚さ寸法 D 1 は、2 0 μ m 以上である。また、インダクタ導体部 1 2₈の厚さは、積層体 2 の表面からインダクタ拡散層 6 D へ L i が拡散し易いように 3 μ m 以上である。

【 0 0 8 0 】

ホット電極 1 6₁ , 1 6₂ 及びグランド電極 1 7 は、バリスタ層 8₃、8₅、8₂に形成され、インダクタ積層部 7 とバリスタ積層部 9 との間の界面 P から 4 0 μ m 以上離れた位置に形成されている。すなわち、バリスタ層 8₁の厚さ寸法 D 2 は、4 0 μ m 以上である。

【 0 0 8 1 】

以上のように構成された積層型フィルタ 1 は、図 6 に示されるように、インダクタ 1 0 及びバリスタ 2 0₁ , 2 0₂ によって 型の回路を構成する。これにより、バリスタ電圧を越える高い電圧のノイズが入力に印加された際に、バリスタ効果によって急激に流れた電流がノイズとなって通過するのを阻止することができる。

【 0 0 8 2 】

この第 2 の実施形態の積層型フィルタ 1 でも、第 1 の実施形態の積層型フィルタ 1 と同様の利点を得ることができる。

[第 3 の実施形態]

【 0 0 8 3 】

図 7 は、第 3 の実施形態に係る積層型フィルタを示す斜視図であり、図 8 は、第 3 の実施形態に係る積層型フィルタの積層体を分解して示す分解斜視図である。また、図 9 は、第 3 の実施形態に係る積層型フィルタの回路図である。第 3 の実施形態に係る積層型フィルタ 1 は、アレイ状に構成されている点で第 1 の実施形態に係る積層型フィルタ 1 と相違している。

【 0 0 8 4 】

すなわち、図 7 に示されるように、積層体 2 において、その長手方向と直交する方向における両端面には、4 つの一对の入出力端子電極 3 , 4 が並設されている。そして、図 8 に示されるように、インダクタ積層部 7 内には、4 組のインダクタ導体部 1 2₁ ~ 1 2₈ が並設されており、バリスタ積層部 9 内には、4 つのホット電極 1 6 と一对のグランド電極 1 7₁ , 1 7₂ とが配置されている。

【 0 0 8 5 】

バリスタ積層部 9 は、バリスタ層 8₁ とバリスタ層 8₄ との間に複数のバリスタ層 8₂、8₃、8₅ が順に積層されて構成されている。バリスタ層 8₃ 上には、4 つのホット電極 1 6 が並設されている。バリスタ層 8₂ , 8₅ 上には、それぞれ、平面状のグランド電極 1 7₁ , 1 7₂ が形成されている。すなわち、ホット電極 1 6 は、積層体 2 の積層方向に一对のグランド電極 1 7₁ , 1 7₂ と対向して、一对のグランド電極 1 7₁ , 1 7₂ の間に挟みこまれている。

【 0 0 8 6 】

これより、4 つのバリスタ 2 0 は、それぞれ、出力端子電極 4 と電氣的に接続されたホット電極 1 6 と、グランド端子電極 5 と電氣的に接続されたグランド電極 1 7₁ , 1 7₂ と、これらの電極に挟まれたバリスタ層 8₂、8₃ とによって形成されることとなる。

【 0 0 8 7 】

また、インダクタ層 6₉には、界面 P に沿ってインダクタ拡散層 6 D が形成されており、インダクタ拡散層 6 D は L i を含有している。また、バリスタ層 8₁には、界面 P に沿ってバリスタ拡散層 8 D が形成されている。

10

20

30

40

50

【0088】

インダクタ導体部 $12_1 \sim 12_8$ は、第1実施形態と同様に、インダクタ層 $6_2 \sim 6_9$ に形成され、インダクタ積層部7とバリスタ積層部9との間の界面Pから $20 \mu\text{m}$ 以上 $100 \mu\text{m}$ 以下離れた位置に形成されている。すなわち、インダクタ層 6_9 の厚さ寸法D1は、 $20 \mu\text{m}$ 以上 $100 \mu\text{m}$ 以下である。また、インダクタ導体部 12_8 の厚さは、積層体2の表面からインダクタ拡散層6DへLiが拡散し易いように $3 \mu\text{m}$ 以上である。

【0089】

ホット電極16及びグランド電極 $17_1, 17_2$ は、バリスタ層 $8_2, 8_3, 8_5$ に形成され、インダクタ積層部7とバリスタ積層部9との間の界面Pから $40 \mu\text{m}$ 以上離れた位置に形成されている。すなわち、バリスタ層 8_1 の厚さ寸法D2は、 $40 \mu\text{m}$ 以上である。

10

【0090】

以上のように構成された積層型フィルタ1は、図9に示されるように、インダクタ10及びバリスタ20によって4組のL型の回路を構成することになる。このようにアレイ状に構成された積層型フィルタ1によっても、ダンピング効果が奏される。

【0091】

この第3の実施形態の積層型フィルタ1でも、第1の実施形態の積層型フィルタ1と同様の利点を得ることができる。

【0092】

ここで、複数のフィルタ素子が並列に設けられるアレイ状の積層型フィルタでは、外側のフィルタ素子に比べて内側のフィルタ素子ほど、電界分布の分布幅が大きい傾向がある。その結果、寄生する静電容量の素子ばらつき(チャンネル間ばらつき)が増大し、高周波特性の素子ばらつき(チャンネル間ばらつき)が増大してしまう。

20

【0093】

しかしながら、第3の実施形態の積層型フィルタ1によれば、インダクタ導体部 $12_1 \sim 12_8$ と界面Pとの離間距離が $100 \mu\text{m}$ 以下と短いので、すなわち、インダクタ導体部 $12_1 \sim 12_8$ とバリスタ導体部 17_1 との離間距離が小さいので、特に内側のフィルタ素子における電界分布の分布幅の増加を低減することができる。したがって、寄生する静電容量値の素子ばらつきが低減され、高周波特性の素子ばらつきが低減される。

【0094】

また、第3の実施形態の積層型フィルタ1によれば、バリスタ積層部9のホット電極16が一对のグランド電極 $17_1, 17_2$ の間に配置されているので、バリスタ積層部9のホット電極16側に寄生する静電容量の増加を低減することができる。その結果、積層型フィルタ1の高周波特性の低下をより抑制することができる。

30

[第4の実施形態]

【0095】

図10は、第4の実施形態に係る積層型フィルタの積層体を分解して示す分解斜視図であり、図11は、第4の実施形態に係る積層型フィルタの回路図である。第4の実施形態に係る積層型フィルタ1は、バリスタ20の構成において第3の実施形態に係る積層型フィルタ1と相違している。

40

【0096】

すなわち、図10に示されるように、バリスタ積層部9は、バリスタ層 8_1 とバリスタ層 8_4 との間に複数のバリスタ層 $8_2, 8_3, 8_5$ が順に積層されて構成されている。バリスタ層 8_3 上には、4つの一对のホット電極 $16_1, 16_2$ が形成されている。ホット電極 16_1 は、バリスタ層 8_3 上における長手方向に交差する方向の中央部から縁部8bに沿って延在し、一端が縁部8cに到達して出力端子電極4と電氣的に接続されており、ホット電極 16_2 は、バリスタ層 8_3 上における長手方向に交差する方向の中央部から縁部8bに沿って延在し、一端が縁部8aに到達して入力端子電極3と電氣的に接続されている。ホット電極 16_1 とホット電極 16_2 とは、長手方向に交差する方向に $100 \mu\text{m}$ 以上離間して配置されている。一对のホット電極 $16_1, 16_2$ は、長手方向に4つ並設

50

されている。

【0097】

4つの一対のホット電極 16_1 、 16_2 は、グランド電極 17_1 、 17_2 に挟みこまれている。これにより、出力端子電極4と電氣的に接続されたホット電極 16_1 、及びグランド端子電極5と電氣的に接続されたグランド電極 17_1 、 17_2 がバリスタ層 8_2 、 8_3 を挟んで形成されることにより構成されたバリスタ 20_1 が4つ形成され、入力端子電極3と電氣的に接続されたホット電極 16_2 、及びグランド端子電極5と電氣的に接続されたグランド電極 17_1 、 17_2 がバリスタ層 8_2 、 8_3 を挟んで形成されることにより構成されたバリスタ 20_2 が4つ形成されることとなる。

【0098】

また、インダクタ層 6_9 には、界面Pに沿ってインダクタ拡散層6Dが形成されており、インダクタ拡散層6DはLiを含有している。また、バリスタ層 8_1 には、界面Pに沿ってバリスタ拡散層8Dが形成されている。

【0099】

インダクタ導体部 $12_1 \sim 12_8$ は、第1実施形態と同様に、インダクタ層 $6_2 \sim 6_9$ に形成され、インダクタ積層部7とバリスタ積層部9との間の界面Pから $20 \mu\text{m}$ 以上 $100 \mu\text{m}$ 以下離れた位置に形成されている。すなわち、インダクタ層 6_9 の厚さ寸法D1は、 $20 \mu\text{m}$ 以上 $100 \mu\text{m}$ 以下である。また、インダクタ導体部 12_8 の厚さは、積層体2の表面からインダクタ拡散層6DへLiが拡散し易いように $3 \mu\text{m}$ 以上である。

【0100】

ホット電極 16_1 、 16_2 及びグランド電極 17_1 、 17_2 は、バリスタ層 8_3 、 8_2 、 8_5 に形成され、インダクタ積層部7とバリスタ積層部9との間の界面Pから $40 \mu\text{m}$ 以上離れた位置に形成されている。すなわち、バリスタ層 8_1 の厚さ寸法D2は、 $40 \mu\text{m}$ 以上である。

【0101】

以上のように構成された積層型フィルタ1は、図11に示されるように、インダクタ10及びバリスタ 20_1 、 20_2 によって4組の型の回路を構成することになる。このようにアレイ状に構成された積層型フィルタ1によっても、ダンピング効果が奏される。

【0102】

第4の実施形態の積層型フィルタ1でも、第3の実施形態の積層型フィルタ1と同様な利点を得ることができる。

【0103】

第4の実施形態の積層型フィルタ1によれば、型の積層型フィルタにおけるバリスタ積層部9の一対のホット電極 16_1 、 16_2 がバリスタ層 8_3 上の同一平面上に配置されているので、バリスタ積層部9の層数を削減することができる。したがって、積層型フィルタ1の更なる小型化を実現することができる。

【0104】

また、一対のホット電極 16_1 、 16_2 は $100 \mu\text{m}$ 以上離間しているので、型の積層型フィルタの入出力端子電極3、4間に寄生する静電容量の増加を低減することができる。したがって、積層型フィルタ1の高周波特性の低下をより抑制することができる。

[第5の実施形態]

【0105】

図12は、第5の実施形態に係る積層型フィルタの積層体を分解して示す分解斜視図である。第5の実施形態に係る積層型フィルタ1は、バリスタ20の構成において第4の実施形態に係る積層型フィルタ1と相違している。換言すれば、第5の実施形態に係る積層型フィルタ1は、アレイ状に構成されている点で第2の実施形態に係る積層型フィルタ1と相違している。

【0106】

すなわち、図12に示されるように、バリスタ積層部9は、バリスタ層 8_1 とバリスタ層 8_4 との間に複数のバリスタ層 8_3 、 8_2 、 8_6 が順に積層されて構成されている。バ

10

20

30

40

50

リスタ層 8₃ 上には、4つのホット電極 16₁ が並設されており、バリスタ層 8₆ 上には、4つのホット電極 16₂ が並設されている。バリスタ層 8₂ 上には、平面状のグランド電極 17 が形成されている。

【0107】

これにより、出力端子電極 4 と電氣的に接続されたホット電極 16₁、及びグランド端子電極 5 と電氣的に接続されたグランド電極 17 がバリスタ層 8₃ を挟んで形成されることにより構成されたバリスタ 20₁ が4つ形成され、入力端子電極 3 と電氣的に接続されたホット電極 16₂、及びグランド端子電極 5 と電氣的に接続されたグランド電極 17 がバリスタ層 8₂ を挟んで形成されることにより構成されたバリスタ 20₂ が4つ形成されることとなる。

10

【0108】

また、インダクタ層 6₉ には、界面 P に沿ってインダクタ拡散層 6D が形成されており、インダクタ拡散層 6D は Li を含有している。また、バリスタ層 8₁ には、界面 P に沿ってバリスタ拡散層 8D が形成されている。

【0109】

インダクタ導体部 12₁ ~ 12₈ は、第1実施形態と同様に、インダクタ層 6₂ ~ 6₉ に形成され、インダクタ積層部 7 とバリスタ積層部 9 との間の界面 P から 20 μm 以上 100 μm 以下離れた位置に形成されている。すなわち、インダクタ層 6₉ の厚さ寸法 D1 は、20 μm 以上 100 μm 以下である。また、インダクタ導体部 12₈ の厚さは、積層体 2 の表面からインダクタ拡散層 6D へ Li が拡散し易いように 3 μm 以上である。

20

【0110】

ホット電極 16₁、16₂ 及びグランド電極 17₁、17₂ は、バリスタ層 8₃、8₂、8₅ に形成され、インダクタ積層部 7 とバリスタ積層部 9 との間の界面 P から 40 μm 以上離れた位置に形成されている。すなわち、バリスタ層 8₁ の厚さ寸法 D2 は、40 μm 以上である。

【0111】

以上のように構成された積層型フィルタ 1 は、図 11 に示されるように、インダクタ 10 及びバリスタ 20₁、20₂ によって4組の型の回路を構成することになる。このようにアレイ状に構成された積層型フィルタ 1 によっても、ダンピング効果が奏される。

【0112】

第5の実施形態の積層型フィルタ 1 でも、第4の実施形態の積層型フィルタ 1 と同様な利点を得ることができる。

30

【0113】

なお、本発明は上記した本実施形態に限定されることなく種々の変形が可能である。

【実施例 1】

【0114】

以下、本発明を実施例により更に詳細に説明するが、本発明は本実施例に限定されるものではない。

[実施例 1]

(積層型フィルタの作製)

40

【0115】

まず、上述した積層型フィルタ 1 の製造方法に従い、積層型フィルタの各サンプルを製造した。まず、ZnO に Pr₆O₁₁、CoO、Cr₂O₃、CaCO₃、SiO₂、K₂CO₃ 及び Al₂O₃ を添加したバリスタ層形成用ペーストを準備するとともに、ZnO に Pr₆O₁₁、Cr₂O₃、CaCO₃、SiO₂ 及び K₂CO₃ を添加したインダクタ層形成用のペーストを準備した。

【0116】

続いて、これらのペーストを用いて、バリスタグリーンシート及びインダクタグリーンシートを製造した。その後、各シート上に、それぞれ図 2 に示すようなパターンとなるように、スクリーン印刷法によりホット電極及びグランド電極(バリスタ導体部)又はイン

50

ダクタ導体（インダクタ導体部）形成用の導体ペーストを塗布した。なお、ホット電極、グランド電極、及びインダクタ導体形成用のペーストとしては、Pdを主成分として含むものを用いた。

【0117】

次に、導体ペーストが塗布された各シート（バリスタグリーンシート及びインダクタグリーンシート）を、図2に示す順序で積層し、圧着して、焼成することにより積層体を形成させた。その後、この積層体の表面にLi化合物を付着させ、熱処理を行うことにより、積層体の表面からインダクタ拡散層に、インダクタ導体における引き出し導体の周囲の隙間を通してLiを拡散させた。そして、この積層体に、Agペーストを焼き付けることにより入出力電極及びグランド電極を形成して、図1、2及び3に示す構造を有する積層型フィルタのサンプルを得た。

10

【0118】

なお、この実施例1においては、インダクタ積層部7及びバリスタ積層部9における誘電率の特性評価を行うために、評価用の積層型フィルタS1を作成した。すなわち、各種積層型フィルタにおけるインダクタ積層部7及びバリスタ積層部9中に、積層方向において平行に配置された一対の内部電極をそれぞれ設けて積層型フィルタS1を作成した。図13は、インダクタ積層部及びバリスタ積層部に2対の内部電極が設けられた状態の積層型フィルタS1の断面構造を模式的に示す図である。なお、図13においては、インダクタ導体部及びバリスタ電極対を省略している。

20

【0119】

インダクタ積層部7中には、1対の内部電極31, 32が形成されている。内部電極32が、バリスタ積層部9側に形成されている。内部電極31は、入力端子電極3が形成された積層体2の面に露出するように設けられて、内部電極31と入力端子電極3とは電氣的に接続されている。内部電極32は、出力端子電極4が形成された積層体2の面に露出するように設けられて、内部電極32と出力端子電極4とは電氣的に接続されている。内部電極31, 32は、インダクタ導体部とは接しないように設けられている。

【0120】

バリスタ積層部9中には、1対の内部電極33, 34が形成されている。内部電極33が、インダクタ積層部7側に形成されている。内部電極33は、入力端子電極3が形成された積層体2の面に露出するように設けられて、内部電極33と入力端子電極3とは電氣的に接続されている。内部電極34は、出力端子電極4が形成された積層体2の面に露出するように設けられて、内部電極34と出力端子電極4とは電氣的に接続されている。内部電極33, 34は、バリスタ電極対とは接しないように設けられている。

30

【0121】

インダクタ積層部7中のバリスタ積層部9側に形成された内部電極32と界面Pとの間の距離DS1、及び内部電極32の厚さを変化させた積層型フィルタS1を複数作成した。また、バリスタ積層部9中のインダクタ積層部7側の内部電極33と界面Pとの間の距離DS2を変化させた積層型フィルタS1を複数作成した。各積層型フィルタS1における、内部電極31と内部電極32との間の距離、及び重なる面積と、内部電極33と内部電極34との間の距離、及び重なる面積とが、同じになるように形成されている。（インダクタ積層部及びバリスタ積層部の誘電率の評価）

40

【0122】

各積層型フィルタS1に形成された内部電極による静電容量を測定した。インピーダンスアナライザ（4284A、ヒューレットパッカード社製）を用いて、1MHz、入力信号レベル（測定電圧）1Vrmsの条件において静電容量を測定した。各1対の内部電極間における比誘電率は、 $\epsilon' = C d / \epsilon_0 S$ の式より静電容量Cの値から評価できる。なお、式中、 ϵ_0 は真空の誘電率、dは1対の内部電極間の距離、Sは1対の内部電極間の重なり面積である。

【0123】

上記の測定の結果を図14、図15に示す。図14は、インダクタ積層部7における内

50

部電極 3 2 と界面 P との間の距離 $D S 1$ と、内部電極 3 2 と内部電極 3 1 との間のインダクタ層の比誘電率に依存する静電容量との関係を、内部電極 3 2 の厚さ $D S 3$ をパラメータとして示す図である。図 1 5 は、バリスタ積層部 9 における内部電極 3 3 と界面 P との間の距離 $D S 2$ と、内部電極 3 3 と内部電極 3 4 との間のインダクタ層の比誘電率に依存する静電容量との関係を示す図である。

【 0 1 2 4 】

図 1 4 に示すように、内部電極 3 2 の厚さ $D S 3$ が $1.1 \mu\text{m}$ と薄い場合、静電容量が比較的高く、距離 $D S 1$ の値に対して誘電率の変化が大きい。これより、インダクタ積層部 7 において、積層体 2 の表面からインダクタ拡散層 6 D への $L i$ の拡散が少なく、インダクタ拡散層 6 D における $L i$ の含有量が少ないので、インダクタ層の機能が実質的に阻害されていると予想される。この場合、静電容量の値を比較的低く、距離 $D S 1$ の値に対して安定させるためには、距離 $D S 1$ を $88 \mu\text{m}$ 、より好ましくは、 $97 \mu\text{m}$ まで大きくする必要がある。すなわち、インダクタ積層部 7 において、界面 P からの距離を $100 \mu\text{m}$ 以上とする必要がある。

10

【 0 1 2 5 】

一方、内部電極 3 2 の厚さ $D S 3$ が $1.9 \mu\text{m}$ 、 $2.8 \mu\text{m}$ 、 $4.4 \mu\text{m}$ と厚くなると、静電容量が比較的低くなり、距離 $D S 1$ の値に対して誘電率の変化が小さくなる。厚さ $D S 3 = 2.8 \mu\text{m}$ では、距離 $D S 1$ を $20 \mu\text{m}$ まで小さくしても静電容量が比較的低く、距離 $D S 1$ の値に対して安定する。これより、インダクタ積層部 7 において、積層体 2 の表面からインダクタ拡散層 6 D への $L i$ の拡散が適切に行われ、インダクタ拡散層 6 D における $L i$ の含有量が適切となるので、インダクタ層の機能の低下が抑制されていると予想される。すなわち、インダクタ積層部 7 において、インダクタ導体部 $1 2_1 \sim 1 2_8$ における引き出し導体部 $1 2_8$ の厚さが $3 \mu\text{m}$ 以上であり、且つ界面 P からの距離が $20 \mu\text{m}$ 以上のインダクタ層は、比誘電率の値が低く、界面 P からの距離に対して安定している。

20

【 0 1 2 6 】

図 1 5 に示すように、距離 $D S 2$ が $0 \sim 27 \mu\text{m}$ の範囲では、静電容量が比較的低く、バリスタ層の機能を実質的に発現できない。また、距離 $D S 2$ の値に対して誘電率の変化が大きい。距離 $D S 2$ が $40 \mu\text{m}$ 以上において、静電容量の値が比較的高く、距離 $D S 2$ の値に対して安定する。すなわち、バリスタ積層部 9 において、界面 P からの距離が約 $40 \mu\text{m}$ 以上のバリスタ層は、比誘電率の値が高く、界面 P からの距離に対して安定している。

30

(インダクタ積層部とバリスタ積層部との間の剥離の評価)

【 0 1 2 7 】

各積層型フィルタ S 1 を観察したところ、いずれもインダクタ積層部 7 とバリスタ積層部 9 との間における剥離は認められなかった。

【 0 1 2 8 】

よって、 ZnO を主成分とし、添加物として Pr 、 Co 及び Al を含むバリスタ層と、 ZnO を主成分とし、 Co 及び Al を実質的に含有していないインダクタ層を有する積層型フィルタにおいては、バリスタ部とインダクタ部との剥離が極めて生じ難いことが確認された。また、この積層型フィルタにおいてインダクタ導体部が形成されたインダクタ層は、比誘電率が 50 を下回り、また、抵抗率が $1 M$ を超えることから、インダクタとして十分に実用可能であることが確認された。

40

[実施例 2]

(積層型フィルタの作製)

【 0 1 2 9 】

上述した積層型フィルタ 1 の製造方法に従い、実施例 1 と同様に、図 7、8 に示すアレイ状の構造を有する積層型フィルタのサンプルを作成した。なお、この実施例 2 においても、インダクタ積層部 7 及びバリスタ積層部 9 における誘電率の特性評価を行うために、評価用の積層型フィルタ S 2 を作成した。すなわち、図 1 3 に示すように、インダクタ積

50

層部 7 及びバリスタ積層部 9 中に、2 対の内部電極 3 1 ~ 3 4 を 4 つ並設したアレイ状の積層型フィルタ S 2 を作成した。この積層型フィルタ S 2 の寸法は、長さ 2 . 0 mm × 幅 1 . 0 mm × 厚さ 0 . 8 mm とした。また、積層型フィルタ S 2 における各ホット電極の寸法は 0 . 6 3 mm × 0 . 2 3 5 mm とした。

【 0 1 3 0 】

インダクタ積層部 7 中のバリスタ積層部 9 側に形成された内部電極 3 2 と界面 P との間の距離 D S 1 を変化させた積層型フィルタ S 2 を複数作成した。

(インダクタ積層部及びバリスタ積層部の誘電率の評価)

【 0 1 3 1 】

実施例 1 と同様に、各積層型フィルタ S 2 に形成された内部電極による静電容量を測定した。この測定の結果を図 1 6 に示す。図 1 6 は、インダクタ積層部 7 におけるインダクタ導体部 1 2 ₁ ~ 1 2 ₈ と界面 P との間の距離 D S 1 と、インダクタ導体部 1 2 ₁ ~ 1 2 ₈ とバリスタ導体部 1 6 , 1 7 との間のインダクタ層の比誘電率に依存する静電容量との関係をチャンネル (アレイ状のフィルタ素子) ごとに示す図である。

【 0 1 3 2 】

図 1 6 に示すように、距離 D S 1 が 1 0 7 μm より大きい場合には、静電容量のチャンネル間ばらつき (素子ばらつき) が比較的大さい。また、距離 D S 1 が 1 0 7 μm 以下、より好ましくは、8 6 μm 以下において、静電容量のチャンネル間ばらつき (素子ばらつき) が比較的小さい。すなわち、インダクタ積層部 7 において、インダクタ導体部 1 2 ₁ ~ 1 2 ₈ と界面 P との離間距離を 1 0 0 μm 以下とすることによって、静電容量のチャンネル間ばらつき (素子ばらつき) が比較的小さくなっている。

【 0 1 3 3 】

第 1 の実施形態、第 2 の実施形態、第 5 の実施形態ではバリスタ部のグランド電極は 1 層であったが、2 層でも良い。また、第 3 の実施形態、第 4 の実施形態ではバリスタ部のグランド電極は 2 層であったが、1 層でも良い。

【 図面の簡単な説明 】

【 0 1 3 4 】

【 図 1 】 第 1 の実施形態に係る積層型フィルタを示す斜視図である。

【 図 2 】 第 1 の実施形態に係る積層型フィルタの積層体を分解して示す分解斜視図である。

【 図 3 】 第 1 の実施形態に係る積層型フィルタの中央断面を示す断面図である。

【 図 4 】 第 1 の実施形態に係る積層型フィルタの回路図である。

【 図 5 】 第 2 の実施形態に係る積層型フィルタの積層体を分解して示す分解斜視図である。

【 図 6 】 第 2 の実施形態に係る積層型フィルタの回路図である。

【 図 7 】 第 3 の実施形態に係る積層型フィルタを示す斜視図である。

【 図 8 】 第 3 の実施形態に係る積層型フィルタの積層体を分解して示す分解斜視図である。

【 図 9 】 第 3 の実施形態に係る積層型フィルタの回路図である。

【 図 1 0 】 第 4 の実施形態に係る積層型フィルタの積層体を分解して示す分解斜視図である。

【 図 1 1 】 第 4 の実施形態に係る積層型フィルタの回路図である。

【 図 1 2 】 第 5 の実施形態に係る積層型フィルタの積層体を分解して示す分解斜視図である。

【 図 1 3 】 インダクタ積層部及びバリスタ積層部に評価用の 2 対の内部電極が設けられた状態の実施例 1 に係る積層型フィルタの断面構造を模式的に示す図である。

【 図 1 4 】 実施例 1 の積層型フィルタの静電容量の評価結果を示す図である。

【 図 1 5 】 実施例 1 の積層型フィルタの静電容量の評価結果を示す図である。

【 図 1 6 】 実施例 2 の積層型フィルタの静電容量の評価結果を示す図である。

【 符号の説明 】

10

20

30

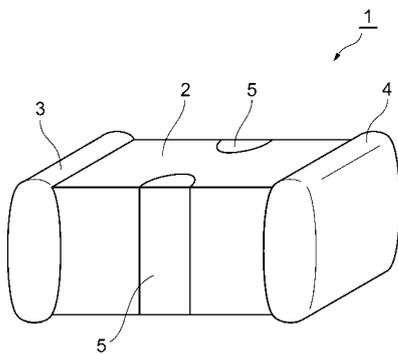
40

50

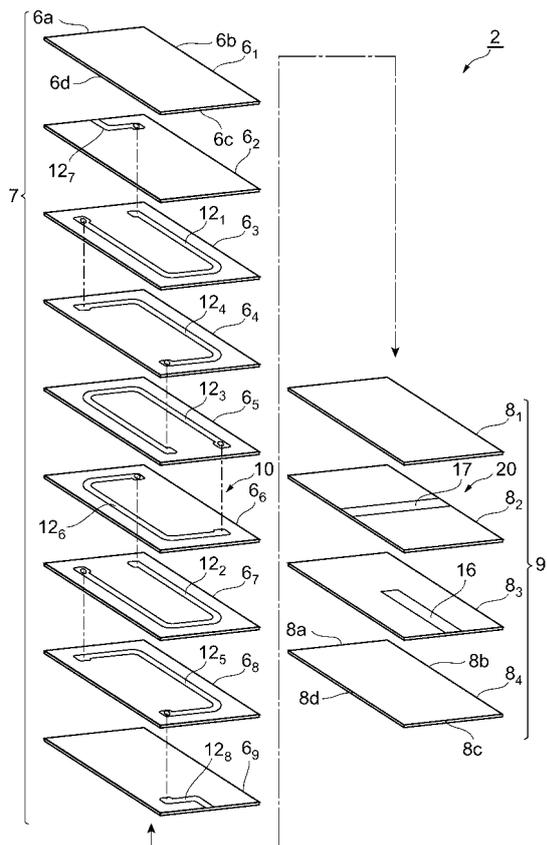
【 0 1 3 5 】

1 ... 積層型フィルタ、2 ... 積層体、3 ... 入力端子電極、4 ... 出力端子電極、5 ... グランド端子電極、6₁ ~ 6₉ ... インダクタ層、6D ... インダクタ拡散層、7 ... インダクタ積層部 (インダクタ部)、8₁ ~ 8₄ ... バリスタ層、8D ... バリスタ拡散層、9 ... バリスタ積層部、10 ... インダクタ、12₁ ~ 12₈ ... インダクタ導体部、16, 16₁, 16₂ ... ホット電極 (バリスタ導体部)、17, 17₁, 17₂ ... グランド電極 (バリスタ導体部)、20, 20₁, 20₂ ... バリスタ、P ... 界面。

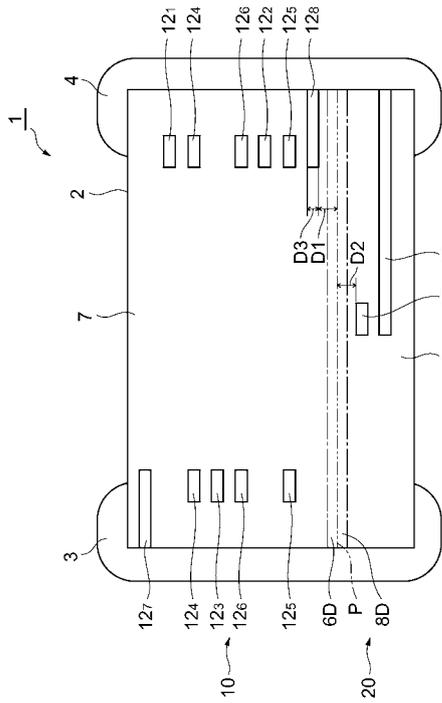
【 図 1 】



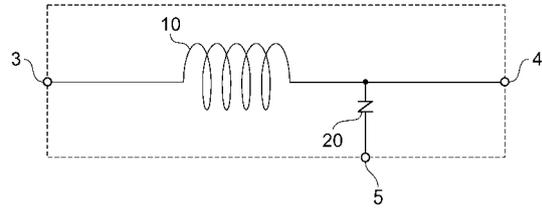
【 図 2 】



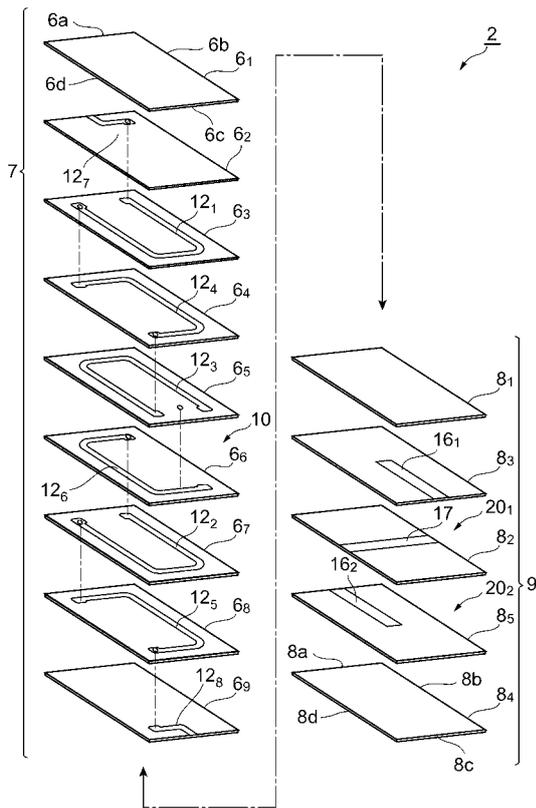
【 図 3 】



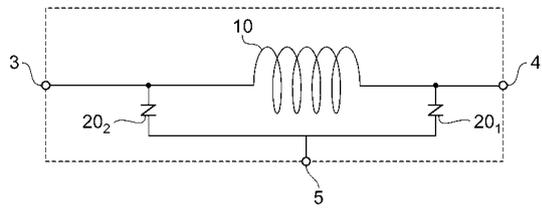
【 図 4 】



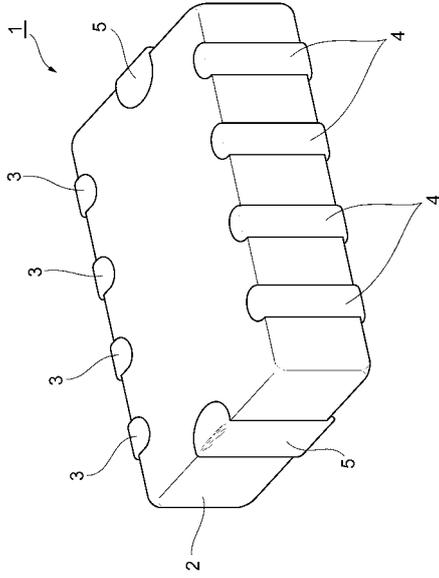
【 図 5 】



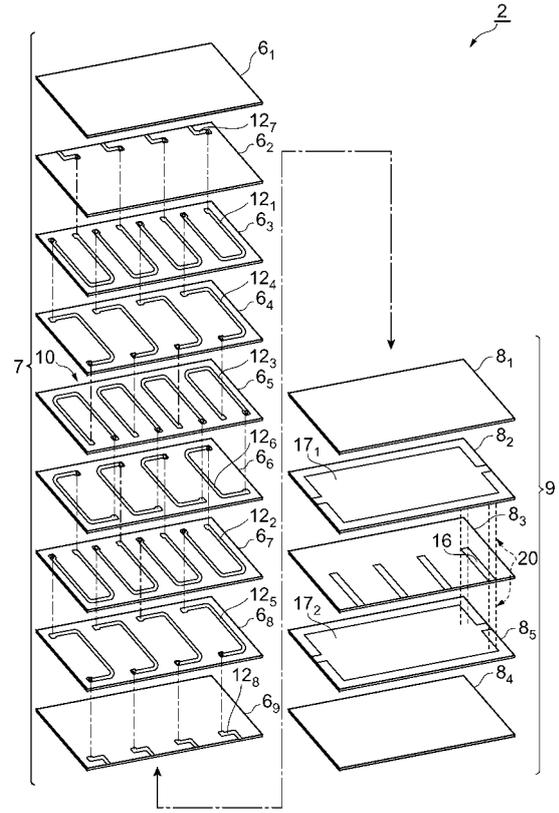
【 図 6 】



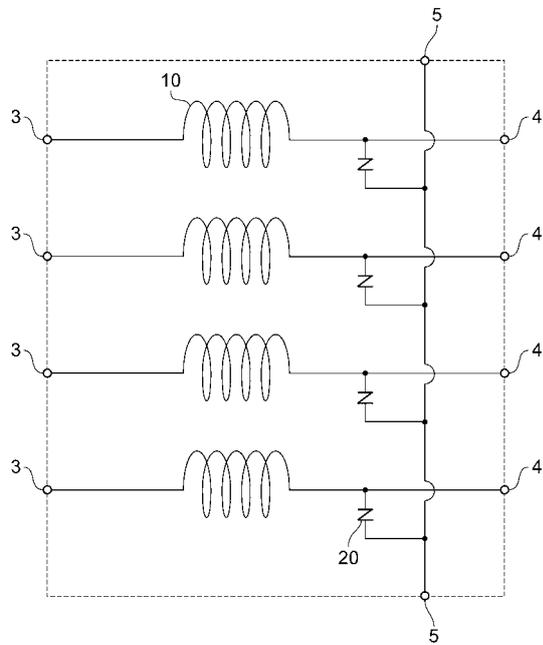
【図7】



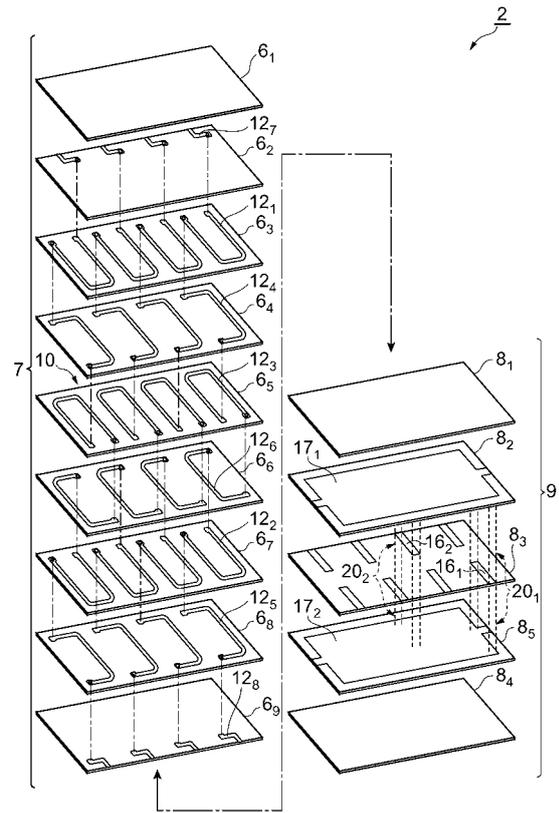
【図8】



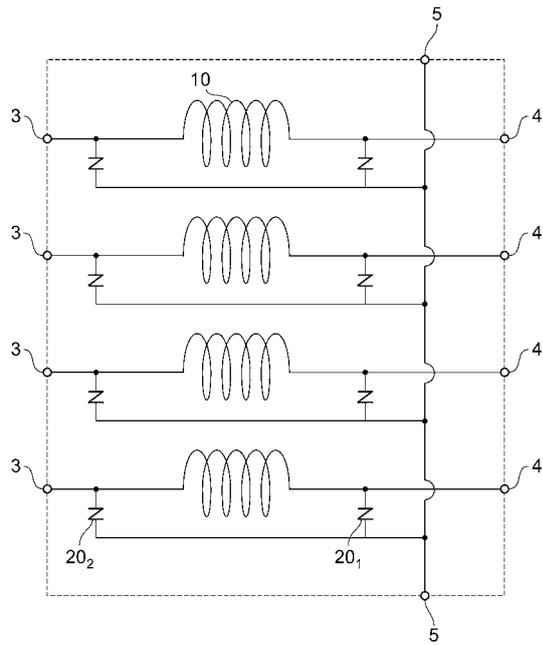
【図9】



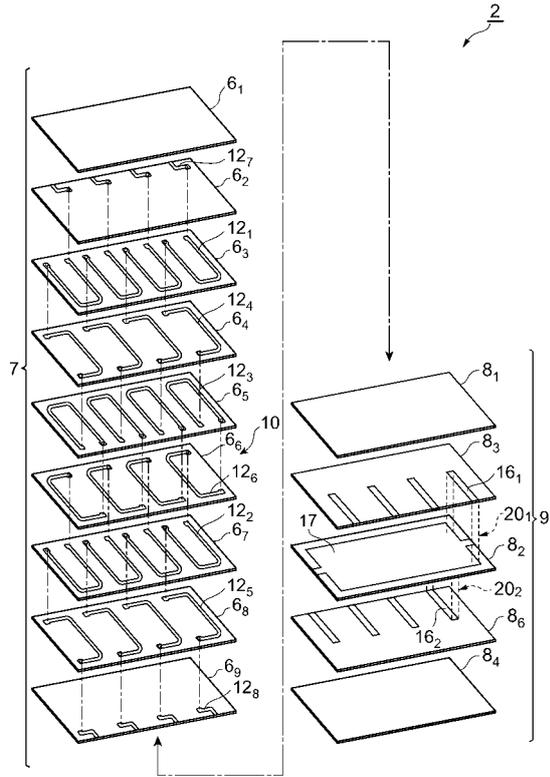
【図10】



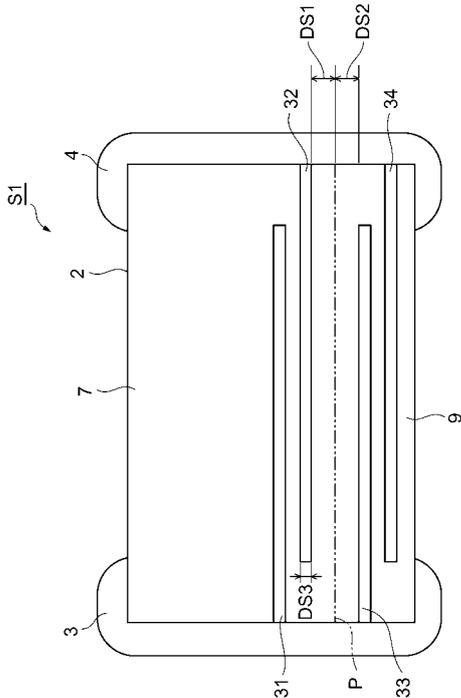
【図11】



【図12】



【図13】



【図14】

(a) 引き出し導体部の厚さ DS3=1.1[μ m]

接合界面からの距離 DS1 [μ m]	静電容量 [pF]
0	1.61
17	1.58
40	1.21
88	0.55
97	0.42

(b) 引き出し導体部の厚さ DS3=1.9[μ m]

接合界面からの距離 DS1 [μ m]	静電容量 [pF]
0	2.38
16	1.36
42	0.48
95	0.46
103	0.42

(c) 引き出し導体部の厚さ DS3=2.8[μ m]

接合界面からの距離 DS1 [μ m]	静電容量 [pF]
0	1.99
21	0.51
36	0.43
96	0.47
106	0.42

(d) 引き出し導体部の厚さ DS3=4.4[μ m]

接合界面からの距離 DS1 [μ m]	静電容量 [pF]
0	0.98
18	0.39
36	0.42
92	0.42
105	0.43

【図 15】

接合界面からの距離 DS2 [μm]	静電容量 [pF]
0	5.1
13	8.6
27	9.5
40	11.3
80	11.9
100	12.0
160	12.2
200	12.4
240	12.2

【図 16】

(a) 接合界面からの距離
DS1=32 [μm]

チャンネル	静電容量 [pF]
1	14.55
2	14.67
3	14.76
4	14.61

(b) 接合界面からの距離
DS1=86 [μm]

チャンネル	静電容量 [pF]
1	14.85
2	15.02
3	14.99
4	14.77

(c) 接合界面からの距離
DS1=107 [μm]

チャンネル	静電容量 [pF]
1	14.67
2	15.86
3	15.79
4	14.86

(d) 接合界面からの距離
DS1=121 [μm]

チャンネル	静電容量 [pF]
1	14.89
2	16.32
3	16.48
4	15.01

フロントページの続き

(51)Int.Cl. F I
H 0 1 P 1/20 (2006.01) H 0 1 F 17/00 D
H 0 1 P 1/20 Z

合議体

審判長 小 曳 満 昭

審判官 飯 田 清 司

審判官 吉 村 博 之

(56)参考文献 特開2007-43216(JP,A)
特開2006-310712(JP,A)
特開平3-151605(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03H7/00-7/13

H01C7/10-7/12

H01F17/00-17/08