



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년08월10일
(11) 등록번호 10-1172527
(24) 등록일자 2012년08월02일

(51) 국제특허분류(Int. Cl.)
H01L 23/538 (2006.01) H01L 23/12 (2006.01)
(21) 출원번호 10-2007-7025326
(22) 출원일자(국제) 2006년03월31일
심사청구일자 2011년03월31일
(85) 번역문제출일자 2007년10월31일
(65) 공개번호 10-2008-0069512
(43) 공개일자 2008년07월28일
(86) 국제출원번호 PCT/US2006/012394
(87) 국제공개번호 WO 2006/105514
국제공개일자 2006년10월05일
(30) 우선권주장
11/306,628 2006년01월04일 미국(US)
(뒷면에 계속)
(56) 선행기술조사문헌
JP2001320013 A
WO2004034433 A2*
US06861288 B2*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
스태츠 칩팩, 엘티디.
싱가포르, 569059, 테크포인트 #05-17/20, 65 양
모 키오 스트리트 10
(72) 발명자
카르네조스 마르코스
미국 캘리포니아 94301 팔로 알토 리튼 애비뉴
535
심일권
싱가포르 737938 로즈우드 콘도 로즈우드 드라이
브 9 #17-20
(뒷면에 계속)
(74) 대리인
박장원

전체 청구항 수 : 총 22 항

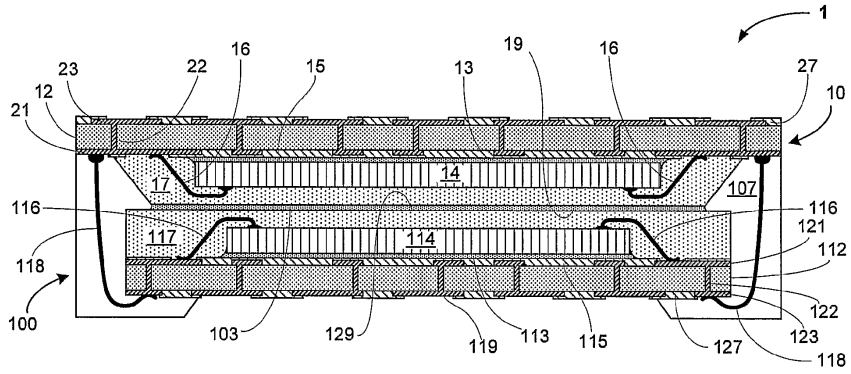
심사관 : 이성준

(54) 발명의 명칭 상부면 및 하부면에서 노출된 기판 표면들을 갖는 반도체적층 패키지 어셈블리

(57) 요약

적층된 패키지 어셈블리들은 제 1 및 제 2 적층 패키지들을 포함하며, 이들 각각은, 패키지 기판의 다이 접착면에 부착되며 패키지 기판의 다이 접착면과 전기적으로 연결된 적어도 하나의 다이를 포함한다. 하나의 패키지는 다른 하나의 패키지에 대하여 반전되어 있다. 즉, 패키지 기판들의 다이 접착면들은 서로 마주보고 있으며, 각 기판의 "랜드" 면들은 서로 마주보고 있지 않다. 패키지들간의 z-상호연결은, 제 1 및 제 2 패키지 기판들을 연결하는 와이어 본드들에 의해서 만들어진다. 상기 어셈블리는, 제 2 패키지 기판(어셈블리의 일측면에서) 및 제 1 패키지 기판의 일부(어셈블리의 타측면에서)가 노출되도록 캡슐화되는바, 따라서, 제 2 레벨 상호연결 및 추가 구성요소들과의 상호연결이 만들어질 수도 있다. 몇몇 실시예들에서 제 1 패키지는 칩 스케일 패키지(CSP)이며, 제 2 패키지는 랜드 그리드 어레이(Land Grid Array : LGA) 패키지이다. 또한, 이와같이 적층된 패키지 어셈블리를 만드는 방법이 제공되며, 상기 방법은 다음의 단계를 포함하여 이루어진다. 즉, 바람직하게는 "양호"한 것으로 테스트된, 캐비티 몰딩된 LGA 패키지를 제공하는 단계; LGA 패키지의 몰드캡의 표면에 접착제를 도포하는 단계; 단일화(singulated) CSP를 제공하는 단계; 상기 CSP를 반전시키고, 상기 반전된 CSP를 상기 LGA 몰드캡 상의 접착제 위에 위치시키는 단계; 접착제를 큐어링하는 단계; 플라즈마 세정을 수행하는 단계; 상기 LGA의 다이 접착면과 상기 CSP의 랜드 면 사이에서 z-상호연결을 형성하도록 와이어 본딩하는 단계; 플라즈마 세정을 수행하는 단계; LGA의 다이 접착면, z-상호연결하는 와이어 본드들 및 와이어 루프들, CSP의 에지들, 상기 CSP의 랜드 면 상의 가장자리 영역을 둘러싸고, LGA 기판의 랜드 면을 노출된 채로 남기고 가장자리 영역내에 위치한 CSP 기판의 랜드 면의 일 영역을 노출된 채로 남기도록 몰딩을 수행하는 단계; CSP 기판의 상기 노출된 영역 상의 사이트들에 제 2 레벨 상호연결 솔더 볼들을 접착하는 단계; 및 (LGA 패키지가 스트립 또는 어레이로 제공되는 경우) 유닛 어셈블리를 완수하도록 단일화 소우(sawing)을 수행하는 단계를 포함한다. 몇몇 실시예들에서는, LGA 기판의 노출된 랜드 면 위로 하나 이상의 추가 구성요소들이 적층된다.

대표도 - 도1



(72) 발명자

한병준

싱가포르 229544 더 클레이모어 비엘케이 비 클레
이모어 로드 27#08-03

라마크리슈나 캄브함파티

미국 애리조나 85225 찬들러 이스트 폴리 플레이스
1400

초우 생 관

싱가포르 760131 #07-243 이션 스트리트 11 비엘케이
이 131

(30) 우선권주장

60/667,277 2005년03월31일 미국(US)

60/692,182 2005년06월20일 미국(US)

특허청구의 범위

청구항 1

적층 패키지 어셈블리에 있어서,
 적층된 제 1 및 제 2 패키지들을 포함하여 이루어지며,
 상기 각각의 패키지는 다이 접착면(die attach side)과 랜드 면(land side)을 갖는 기판을 포함하고,
 상기 각각의 패키지는, 상기 기판의 상기 다이 접착면에 부착되고 상기 기판의 상기 다이 접착면과 전기적으로 상호연결되는 적어도 하나의 다이를 포함하며,
 상기 제 2 패키지의 상기 기판의 상기 다이 접착면과 상기 제 1 패키지의 상기 기판의 상기 다이 접착면은 서로 마주보고 있으며 상기 제 2 패키지의 상기 기판의 상기 랜드 면과 상기 제 1 패키지의 상기 기판의 상기 랜드 면은 서로 마주보고 있지 않도록, 상기 제 1 및 제 2 패키지 중 하나의 패키지는 다른 하나의 패키지에 대하여 반전되어 있으며,
 상기 제 1 및 제 2 패키지 사이의 주변부 상호연결(peripheral interconnection)은 상기 제 1 패키지의 상기 기판과 상기 제 2 패키지의 상기 기판을 연결하는 와이어 본드들에 의해 이루어지며,
 상기 어셈블리는, 상기 어셈블리의 일측에서 상기 제 2 패키지의 상기 기판의 랜드 면이 노출되고 상기 어셈블리의 타측에서 상기 제 1 패키지의 상기 기판의 랜드 면의 일부가 노출되도록 캡슐화되어(encapsulated), 추가의 상호연결 및 추가의 구성요소들과의 상호연결이 만들어지며,
 와이어 본딩된 다이(1100)가 상기 어셈블리 위에 마운트되며 그리고 상기 와이어 본딩된 다이(1100)는 캡슐화 수지를 주사 투여함(syringe dispensing)에 의해 형성되는 글롭 탑(glop top) 캡슐에 의해 커버되는 것을 특징으로 하는 적층 패키지 어셈블리.

청구항 2

제1항에 있어서,
 상기 추가의 상호연결은 상기 제 2 패키지의 상기 기판의 노출된 랜드 면에 연결되는 것을 특징으로 하는 적층 패키지 어셈블리.

청구항 3

제1항에 있어서,
 상기 추가의 상호연결은 상기 제 1 패키지의 상기 기판의 랜드 면의 노출된 부분에 연결되는 것을 특징으로 하는 적층 패키지 어셈블리.

청구항 4

제1항에 있어서,
 상기 제 2 패키지는 랜드 그리드 어레이 패키지(land grid array package)인 것을 특징으로 하는 적층 패키지 어셈블리.

청구항 5

제1항에 있어서,
 상기 제 1 패키지는 매트릭스 몰딩 및 쏘우 단일화된 칩 스케일 패키지(matrix molded and saw singulated chip scale package)인 것을 특징으로 하는 적층 패키지 어셈블리.

청구항 6

제1항에 있어서,
 상기 제 2 패키지는 캐비티 몰딩된 랜드 그리드 어레이 패키지(cavity molded land grid array package)인 것

을 특징으로 하는 적층 패키지 어셈블리.

청구항 7

제 1 항에 있어서,

상기 제 2 패키지의 상기 기판 상의 다이 위에는 별도의 몰딩이 없는 것을 특징으로 하는 적층 패키지 어셈블리.

청구항 8

제 1 항에 있어서,

상기 제 1 패키지, 상기 제 2 패키지 및 상기 주변부 상호연결 상의 어셈블리 밀봉재(assembly encapsulation)를 더 포함하여 이루어진 것을 특징으로 하는 적층 패키지 어셈블리.

청구항 9

제 1 항에 있어서,

상기 제 1 패키지는 적층 다이 칩 스케일 패키지(stacked die chip scale package)인 것을 특징으로 하는 적층 패키지 어셈블리.

청구항 10

제1항에 있어서,

상기 제 2 패키지는 적층 다이 랜드 그리드 어레이 패키지(stacked die land grid array package)인 것을 특징으로 하는 적층 패키지 어셈블리.

청구항 11

제 1 항에 있어서,

상기 제 1 패키지 내의 상기 다이는, 와이어 본딩에 의하여 상기 제 1 패키지의 상기 기판과 상호연결되는 것을 특징으로 하는 적층 패키지 어셈블리.

청구항 12

제 1 항에 있어서,

상기 제 1 패키지 내의 상기 다이는, 플립 칩 상호연결에 의해서 상기 제 1 패키지의 상기 기판과 상호연결되는 것을 특징으로 하는 적층 패키지 어셈블리.

청구항 13

제 1 항에 있어서,

상기 제 2 패키지 내의 상기 다이는, 와이어 본딩에 의하여 상기 제 2 패키지의 상기 기판과 상호연결되는 것을 특징으로 하는 적층 패키지 어셈블리.

청구항 14

제 1 항에 있어서,

상기 제 2 패키지 내의 상기 다이는, 플립 칩 상호연결에 의해서 상기 제 2 패키지의 상기 기판과 상호연결되는 것을 특징으로 하는 적층 패키지 어셈블리.

청구항 15

적층 패키지 어셈블리에 있어서,

상기 어셈블리의 일측에서 그 중심부가 노출된 랜드 그리드 어레이 패키지 기판과 상기 어셈블리의 타측에서 일부가 노출된 칩 스케일 패키지 기판을 포함하고,

상기 노출된 칩 스케일 패키지 기판의 일부에서 상호연결을 더 포함하고,

상기 노출된 랜드 그리드 어레이 패키지 기판에 마운트된 추가의 구성요소를 구비하며, 그리고

상기 추가의 구성요소는 와이어 본딩된 다이(1100)이며 그리고 상기 와이어 본딩된 다이(1100)는 캡슐화 수지를 주사 투여함(syringe dispensing)에 의해 형성되는 글롭 탑(glop top) 캡슐에 의해 커버되는 것을 특징으로 하는 적층 패키지 어셈블리.

청구항 16

삭제

청구항 17

적층 패키지 어셈블리에 있어서,

상기 어셈블리의 일측에서 그 중심부가 노출된 랜드 그리드 어레이 패키지 기판과 상기 어셈블리의 타측에서 일부가 노출된 칩 스케일 패키지 기판을 포함하고,

상기 노출된 랜드 그리드 어레이 패키지 기판에서 상호연결을 더 포함하며,

상기 노출된 칩 스케일 패키지 기판의 일부에 마운트된 추가의 구성요소를 구비하며, 그리고

상기 추가의 구성요소는 와이어 본딩된 다이(1100)이며 그리고 상기 와이어 본딩된 다이(1100)는 캡슐화 수지를 주사 투여함(syringe dispensing)에 의해 형성되는 글롭 탑(glop top) 캡슐에 의해 커버되는 것을 특징으로 하는 적층 패키지 어셈블리.

청구항 18

삭제

청구항 19

적층 패키지 어셈블리 제작방법에 있어서,

몰딩된 LGA 패키지를 제공하는 단계, 상기 LGA 패키지는 다이 접착면과 랜드면을 갖는 기판을 포함하며, 상기 LGA 패키지는 상기 다이 접착면에 부착되고 그리고 전기적으로 상호연결되는 적어도 하나의 다이를 포함하며;

상기 LGA 패키지의 몰드캡의 표면에 접착제를 도포하는 단계;

단일화된(singulated) CSP를 제공하는 단계, 상기 CSP는 다이 접착면과 랜드면을 갖는 기판을 포함하며, 상기 CSP는 상기 CSP의 상기 기판의 다이 접착면에 부착되고 그리고 전기적으로 상호연결되는 적어도 하나의 다이를 포함하며;

상기 CSP의 상기 기판의 다이 접착면과 상기 LGA 패키지의 상기 기판의 다이 접착면이 서로 마주보고 그리고 상기 CSP의 상기 기판의 랜드면과 상기 LGA 패키지의 상기 기판의 랜드면이 서로 마주보지 않도록, 상기 CSP를 반전시키고, 상기 반전된 CSP를 상기 LGA 몰드캡 상의 상기 접착제 위에 위치시키는 단계;

상기 접착제를 경화시키는 단계;

상기 접착제를 경화시킨 후에 플라즈마 세정을 수행하는 단계;

상기 LGA 패키지의 상기 기판의 다이 접착면과 상기 CSP의 상기 기판의 랜드면 사이에서 주변부 상호연결(peripheral interconnection)을 형성하도록 와이어 본딩하는 단계;

상기 와이어 본딩 후에 플라즈마 세정을 수행하는 단계;

상기 LGA 패키지의 상기 기판의 다이 접착면, 상기 주변부 상호연결 와이어 본드들 및 와이어 루프들, 상기 CSP의 에지들, 및 상기 CSP의 상기 기판의 랜드면의 가장자리 영역을 둘러싸되, 상기 LGA 패키지의 상기 기판의 랜드면이 노출된 채로 그리고 상기 가장자리 영역의 안쪽에 위치한 상기 CSP의 상기 기판의 랜드면의 소정 영역이 노출된 채로, 몰딩을 수행하는 단계;

상기 CSP의 상기 기판의 랜드면의 상기 노출된 소정 영역의 사이트들(sites)에 추가의 상호연결 솔더 볼들을 접

착하는 단계; 및

와이어 본딩된 다이(1100)를 상기 적층 패키지 어셈블리 위에 마운트 시키고 그리고 캡슐화 수지를 주사 투여함 (syringe dispensing)에 의해 형성되는 글롭 탑(glop top) 캡슐에 의해서 상기 와이어 본딩된 다이(1100)를 커버하는 단계

를 포함하는 것을 특징으로 하는 적층 패키지 어셈블리 제작방법.

청구항 20

적층 패키지 어셈블리 제작방법에 있어서,

몰딩된 LGA 패키지를 제공하는 단계, 상기 LGA 패키지는 다이 접착면과 랜드면을 갖는 기판을 포함하며, 상기 LGA 패키지는 상기 다이 접착면에 부착되고 그리고 전기적으로 상호연결되는 적어도 하나의 다이를 포함하며;

상기 LGA 패키지의 몰드캡의 표면에 접착제를 도포하는 단계;

단일화된(singulated) CSP를 제공하는 단계, 상기 CSP는 다이 접착면과 랜드면을 갖는 기판을 포함하며, 상기 CSP는 상기 CSP의 상기 기판의 다이 접착면에 부착되고 그리고 전기적으로 상호연결되는 적어도 하나의 다이를 포함하며;

상기 CSP의 상기 기판의 다이 접착면과 상기 LGA 패키지의 상기 기판의 다이 접착면이 서로 마주보고 그리고 상기 CSP의 상기 기판의 랜드면과 상기 LGA 패키지의 상기 기판의 랜드면이 서로 마주보지 않도록, 상기 CSP를 반전시키고, 상기 반전된 CSP를 상기 LGA 몰드캡 상의 상기 접착제 위에 위치시키는 단계;

상기 접착제를 경화시키는 단계;

상기 접착제를 경화시킨 후에 플라즈마 세정을 수행하는 단계;

상기 LGA 패키지의 상기 기판의 다이 접착면과 상기 CSP의 상기 기판의 랜드면 사이에서 주변부 상호연결을 형성하도록 와이어 본딩하는 단계;

상기 와이어 본딩 후에 플라즈마 세정을 수행하는 단계;

상기 LGA 패키지의 상기 기판의 다이 접착면, 상기 주변부 상호연결 와이어 본드들 및 와이어 루프들, 상기 CSP의 예지들, 및 상기 CSP의 상기 기판의 랜드면의 가장자리 영역을 둘러싸되, 상기 LGA 패키지의 상기 기판의 랜드면이 노출된 채로 그리고 상기 가장자리 영역의 안쪽에 위치한 상기 CSP의 상기 기판의 랜드면의 소정 영역이 노출된 채로, 몰딩을 수행하는 단계;

상기 LGA 패키지의 상기 기판의 상기 노출된 랜드면의 사이트들에 추가의 상호연결 솔더 볼들을 접착하는 단계; 및

와이어 본딩된 다이(1100)를 상기 적층 패키지 어셈블리 위에 마운트 시키고 그리고 캡슐화 수지를 주사 투여함 (syringe dispensing)에 의해 형성되는 글롭 탑(glop top) 캡슐에 의해서 상기 와이어 본딩된 다이(1100)를 커버하는 단계

를 포함하는 것을 특징으로 하는 적층 패키지 어셈블리 제작방법.

청구항 21

제19항에 있어서,

상기 LGA 패키지의 상기 기판의 상기 노출된 랜드면에 추가의 구성요소를 부착하고 전기적으로 연결하는 단계를 더 포함하여 이루어진 것을 특징으로 하는 적층 패키지 어셈블리 제작방법.

청구항 22

제20항에 있어서,

상기 CSP의 상기 기판의 랜드면의 노출된 소정 영역에 추가의 구성요소를 부착하고 전기적으로 연결하는 단계를 더 포함하여 이루어진 것을 특징으로 하는 적층 패키지 어셈블리 제작방법.

청구항 23

적층 패키지 어셈블리 제작방법에 있어서,

LGA의 기판을 제공하는 단계, 상기 LGA의 상기 기판은 다이 접착면과 랜드면을 가지며;

상기 LGA의 상기 기판의 다이 접착면에 다이를 마운트하고 전기적으로 연결시키는 단계;

상기 LGA의 상기 기판 상의 상기 다이 위에 접착제를 도포하는 단계;

단일화된 CSP를 제공하는 단계, 상기 CSP는 다이 접착면과 랜드면을 갖는 기판을 포함하며;

상기 CSP의 상기 기판의 다이 접착면과 상기 LGA의 상기 기판의 다이 접착면이 서로 마주보고 그리고 상기 CSP의 상기 기판의 랜드면과 상기 LGA의 상기 기판의 랜드면이 서로 마주보지 않도록, 상기 CSP를 반전시키고, 상기 반전된 CSP를 상기 LGA의 기판 상의 상기 다이 위의 접착제 위에 위치시키는 단계;

상기 접착제를 경화시키는 단계;

상기 접착제를 경화시킨 후에 플라즈마 세정을 수행하는 단계;

상기 LGA의 상기 기판의 다이 접착면과 상기 CSP의 상기 기판의 랜드면 사이에서 주변부 상호연결을 형성하도록 와이어 본딩하는 단계;

상기 와이어 본딩 다음에 플라즈마 세정을 수행하는 단계;

상기 LGA의 상기 기판의 다이 접착면, 상기 주변부 상호연결 와이어 본드들 및 와이어 루프들, 상기 CSP의 에지들, 및 상기 CSP의 상기 기판의 랜드면의 가장자리 영역을 둘러싸되, 상기 LGA의 상기 기판의 랜드면이 노출된 채로 그리고 상기 가장자리 영역의 안쪽에 위치한 상기 CSP의 상기 기판의 랜드면의 소정 영역이 노출된 채로, 몰딩을 수행하는 단계;

상기 LGA의 상기 기판의 노출된 랜드면의 사이트들에 추가의 상호연결 솔더 볼들을 접착하는 단계; 및

와이어 본딩된 다이(1100)를 상기 적층 패키지 어셈블리 위에 마운트 시키고 그리고 캡슐화 수지를 주사 투여함(syringe dispensing)에 의해 형성되는 글롭 탑(glop top) 캡슐에 의해서 상기 와이어 본딩된 다이(1100)를 커버하는 단계

를 포함하는 것을 특징으로 하는 적층 패키지 어셈블리 제작방법.

청구항 24

제23항에 있어서,

상기 CSP의 상기 기판의 상기 노출된 소정 영역에 추가의 구성요소를 부착하고 전기적으로 연결하는 단계를 더 포함하여 이루어진 것을 특징으로 하는 적층 패키지 어셈블리 제작방법.

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

명세서

기술분야

[0001] 관련 출원들에 대한 상호참조

[0002] 본 출원은 2006년 1월 4일자로 출원된 미국특허출원 11/306,628의 일부계속출원(Continuous-in-Part)이며, 상기 미국특허출원은 2005년 3월 31일자로 출원된 미국 가출원(가출원번호 60/667,277)의 우선권을 주장한다. 이들 2개의 출원은 모두 "Encapsulant cavity integrated circuit package system" 라는 명칭으로 출원되었으며,

이들 모두는 STATS ChipPAC Ltd. 에 양도되었다. 또한, 본 출원은 2005년 6월 20일에 "Semiconductor stacked package assembly having exposed substrate surfaces on upper and lower sides" 라는 명칭으로 출원된 미국 가출원(가출원번호 60/692,182)의 우선권을 주장한다.

[0003] 본 출원은 2006년 1월4일자로 출원된 미국특허출원들(출원번호 11/306,627, 11/326,211, 11/326,206)과 관련된 내용을 포함하고 있으며, 이들 미국출원들은 모두 STATS ChipPAC Ltd. 에 양도되었다.

[0004] 본 출원은, Marcos Karnezos 등등에 의해 "Semiconductor assembly chip scale package and second substrate and having exposed substrate surfaces on upper and lower sides" 라는 명칭으로 2006년 3월 31일자로 출원된 미국특허출원(출원번호 11/397,027) 및 Marcos Karnezos 등등에 의해 "Semiconductor package including second substrate and having exposed substrate on upper and lower sides" 라는 명칭으로 2006년 3월 31일자로 출원된 미국특허출원(출원번호 11/394,635)과 관련되며, 이들 2개의 미국출원들은 모두 STATS ChipPAC Ltd. 에 양도되었다.

[0005] 본 발명은 반도체 패키징에 관한 것이다.

배경 기술

[0006] 이동전화, 이동 계산기, 및 다양한 소비자 제품들과 같은 휴대 가능한 전자 제품들은, 최저의 생산원가 및 한정된 공간(footprint)하에서 더 좋은 기능들 및 성능을 요구하고 있으며 최소한의 두께 및 최소한의 무게를 요구하고 있다. 여러 제품들 중에서 가령, 호출기(pager), 휴대가능한 전화, 개인 컴퓨터와 같은 디바이스들에서는, 마운팅(mounting) 공간이 제한되거나 또는 마운팅 공간에 대한 수요가 많을 수도 있으며, 매우 큰 패키지 풋프린트(footprint)(x-y 차원)는 바람직하지 않다. 이러한 점으로 인해, 해당 산업에서는 개별 반도체 칩의 집적도를 향상시키고자 하며 또한, 집적도를 z-축으로 구현하고자 하는바, 즉, 칩들을 적층하거나 또는 다이 패키지들(die packages)을 적층하여 적층 패키지 어셈블리(stacked package assembly)(적층된 다중 패키지 모듈)를 형성하고자 한다.

[0007] 이러한 적층 패키지 어셈블리들은, 최소한의 풋프린트와 두께를 갖는 어셈블리 내에서 매우 높은 정도의 통합된 기능이 제공될 필요가 있는 어플리케이션들에 적용되고 있다. 셀룰러 폰과 같은 휴대가능한 통신 디바이스들이, 이러한 어플리케이션의 일례가 될 수 있으며, 특히 이러한 통신 디바이스들은 이미지, 오디오 또는 비디오를 캡처하여 디스플레이하거나 또는 재생할 수 있는 능력들을 갖고 있다.

[0008] 디바이스들에 통합되는 것이 바람직한 기능들의 일례들은 다음의 것들을 위한 디바이스들을 포함한다. 디지털 신호처리(DSP), ASIC, 그래픽(GPU)를 포함하는 다양한 프로세서들; 낸드 플래시, 노어 플래시, SRAM, DRAM, MRAM을 포함하는 다양한 메모리들; 메모리를 구비한 광학 센서를 포함하는 이미지 및 비디오 캡처; 프로세서 및 메모리를 구비한 미소-전자-기계-시스템(micro-electro-mechanical-systems : MEMS).

[0009] 적층 패키지 어셈블리에서 패키지들 간의 z-상호연결은, 생산 가능성, 디자인 유연성 및 생산 원가의 측면에서 봤을 때, 매우 중대한(critical) 기술이다. 적층 패키지 어셈블리는, 칩들 및 패키지들을 적층하고, 와이어 본드(wire bonds), 솔더 볼(solder balls), 또는 플립 칩(flip chip) 상호연결을 이용하여 이들을 z 축 방향으로 전기적으로 상호연결함으로써, 칩들 및 패키지들을 집적할 수 있다.

[0010] 적층된 패키지들은 많은 장점을 갖는다. 특히, 칩 유형 및 구성에 대해서 가장 효율적인 제 1 레벨 상호연결 기술(가령, 와이어 본딩 또는 플립 칩)을 사용하여, 각각의 다이 또는 둘 이상의 다이가 스택의 각 패키지 내에서 패키징될 수 있기 때문에, 성능을 극대화하고 비용을 최소화할 수 있다.

[0011] 적층된 구성요소들(다이 또는 패키지들)을 전기적으로 테스트할 수 있는 것이 바람직한바, 따라서 구성요소가 만족할 만한 성능을 보여주지 않는다면, 패키지들이 적층되기 전에 상기 구성요소를 제거할 수 있다. 이러한 점은 최종 적층 패키지 어셈블리의 수율을 최대화할 수 있다. 이러한 장점을 실제로 구현하기 위해서는, 상기 패키지들이 기존의 테스트 설비를 이용하여 테스트 가능하도록 구성되어야만 한다. 일반적으로, 패키징된 다이를 테스트하는 것은 개별 다이를 테스트하는 것보다 바람직한데, 이는 개별 다이를 테스트하는 경우에 다이 상의 패선 패드에 손상을 가할 수도 있기 때문이다.

[0012] 어셈블리가 들어맞아야할 공간의 치수를, 제품의 제조자들이(특히, 휴대폰과 같은 이동통신 디바이스의 경우) 결정하는 경우가 종종 있다. 즉, 제품 제조자들은, 어셈블리가 특정한 기능들을 갖되, 소정의 사양(specification) 내에서 전체 풋프린트(길이 및 폭) 및 두께를 가져야만 함을 요구한다. 이러한 제한 사항들 하에서, 설계자들은 기능들을 위한 요구사항들을 만족시킬 수 있는 패키지들, 적층 디자인, 및 프로세스를 선택할

수 있어야만 하는바, 한정된 생산비용, 두께 및 풋프린트 한도하에서 선택할 수 있어야만 한다.

- [0013] 따라서, 기능을 설계하는 설계자에게 디자인 유연성을 제공할 수 있는 다중-패키지 적층 구조 및 적층 프로세스를 선택하는 것이 바람직하다. 특히나, 설계자는 구조 또는 프로세스를 재설계하지 않고도 다음의 사항들이 가능한 유연성을 가져야만 하는바, 예를 들면, 이용가능한 다양한 임의의 벤더들로부터 패키지들 또는 칩들을 선택 가능해야 하며, 구성요소의 가격을 최소화할 수 있어야 하며, 어셈블리 내에서 칩 또는 패키지 유형을 변경할 수 있어야 하며, 변경된 어셈블리에 대한 품질을 재평가해야만 하는 것을 회피할 수 있어야 하며, 서피스 마운트 어셈블리 플로어(surface mount assembly floor) 상의 최종 제품 단계에서 어셈블리 적층 프로세스를 완료할 수 있어야 하며, 제품의 구성이 가장 빠른 시간내에 시장의 요구에 부응할 수 있어야만 한다.
- [0014] 빠르게 변화하는 시장의 요구를 만족시킨다는 것은 쉽지 않은 일이다. 예를 들면, 휴대폰과 같은 소비자 제품을 설계하는데 일반적으로 소요되는 시간은, 시장이 변화하는데 소요되는 시간보다 더 긴 것이 전형적이다. 특정한 기능(예를 들면, 휴대폰에서의 웹 브라우징 기능)이 소비자 제품에 구비되는 것이 바람직하다는 인식이 해당 산업에서 생길 수도 있으며, 설계자는 그 기능을 어셈블리 안에 만들 수도 있다. 이후, 비교적 짧은 시간 후에 시장에서의 상기 요구가 처음에 인식했던 것 만큼은 아니라는 것이 명백해질 수도 있으며, 상기 기능을 제거하거나 또는 상기 기능을 선택 사양으로 해서 시장에 출시하는 것이 바람직할 수도 있다. 따라서, 변화에 기민하게 대응할 수 있도록 디바이스를 구성하는 것이 바람직하다. 즉, 전체 어셈블리를 재설계하지 않고도, 기능들을 추가 또는 제거가능하게 디바이스를 구성하는 것이 바람직하다.
- [0015] 또한, 바람직하게는, 이동 통신 디바이스들(가령, 휴대폰) 또는 컴퓨터들과 같은 제품들을 조립하기 위해서 해당 산업에서 채용된 서피스 마운트 어셈블리 방법(표면 실장 조립 방법)(surface mount assembly method)을 이용하여, 예를 들면, 메모리(플래시, SRAM, DRAM)와 같은 규격화된(off-the-shelf) 패키지 칩들을, 어셈블리 내의 다른 패키지들 위에 적층하는 것이 가능해야 한다. 제품에 대한 메모리의 유형은, 상이한 기능들에 대하여 달라질 수도 있다. 예를 들어, 휴대폰에서 이미지 캡처 기능이 요구되는 경우에는, 빠른 메모리(DRAM)를 필요로 할 수도 있다.
- [0016] 적층된 패키지 어셈블리들에 채용된 패키지들 및 제조 프로세스들은, 선택된 구조에 대해 선택된 프로세스를 사용하여, 패키지들의 물리적인 적층이 가능할 뿐만 아니라 이들 사이의 전기적 상호연결이 가능하도록 구성되어야만 한다.
- [0017] 적층된 다중 패키지 어셈블리들은 일반적으로 2개의 범주(category)에 속하는바, 하나는 패키지-온-패키지(Package on Package : PoP) 어셈블리 라고 지칭되며, 다른 하나는 패키지-인-패키지(Package in Package : PiP) 어셈블리 라고 지칭된다.
- [0018] 예를 들어, 2-스택 PoP 다중 패키지 모듈들에 관한 일례들은, 본 출원과 함께 출원 중인 미국출원(출원번호 10/681,572, 2003년 10월8일자로 출원)에 개시되어 있다. 일례에서, 제 1 패키지("바닥(bottom)" 패키지 라고 지칭됨)는 표준 BGA와 유사한바, 이는 BGA 기판(substrate)의 다이 접착면(die attach side)[상부면(upper side)]에 부착되어 있고 다이 접착면에 전기적으로 연결된 다이를 가지며, 다이 및 전기적인 연결을 커버하는 몰딩 캡을 제공하기 위해 캐비티 몰딩되지만, 기판의 상기 다이 접착면의 가장자리(marginal) 영역은 노출된 채로 남아있다. 상기 다이 접착면에 반대되는 상기 바닥 패키지 기판의 일면[하부 면(lower side) 또는 랜드 면(land side) 이라고도 함]은, 상기 모듈과 그 아래쪽에 위치한 회로들간의 제 2 레벨의 상호연결을 위해서 솔더 볼들과 함께 제공되는바, 상기 아래쪽에 위치한 회로는 가령, 마더보드(motherboard)가 될 수 있다. 제 2 패키지[탑(top) 패키지라고도 지칭됨]는 바닥 패키지 상에 적층되며, 또한 표준 BGA와 유사하다. 다만, 탑 패키지의 랜드 면 상에 제공되는 솔더 볼들이 탑 패키지 기판의 주변에 배치되고 따라서 이들 솔더 볼들이 바닥 패키지의 다이 접착면의 노출된 가장자리 영역에서의 상호연결 사이트들(sites) 위에 위치하고 있다는 점을 제외하면, 표준 BGA와 유사하다. 주변에 배치된 상기 볼들이 바닥 패키지의 주변에 위치한 상기 상호연결 사이트에 접촉하게 되고, 이후에 이들이 리플로우(reflow) 되면, 하부 BGA 의 몰드 캡에 간섭을 주지 않으면서, z-상호연결이 달성된다. 또한, 탑 패키지 다이 및 전기적 연결들은 캡슐화된다.
- [0019] PoP 모듈에 적용된 z-상호연결의 유형은, 탑 및 바닥 패키지 기판들이 z-상호연결 볼들을 위해서 매칭(matching) 패드와 함께 설계되어야만 함을 요구한다. 만일, 패키지들 중 하나가, 상이한 패드 배치(상이한 사이즈 또는 상이한 길이)의 기판을 갖는 다른 패키지로 교체된다면, 이에 따라 상기 다른 패키지에 대한 기판은 재구성되어야만 한다. 이는 곧, 다중 패키지 모듈의 제조비용의 상승을 야기한다. PoP 구성에서, 탑 패키지와 바닥 패키지 사이의 거리는, 적어도 바닥 패키지의 캡슐 높이 정도는 되어야 하는바, 이는 0.25 mm 또는 그 이상일 수도 있으며, 일반적으로는 0.5 mm 에서 1.5 mm 사이의 범위에 있다. 이 거리는 다이의 갯수에 따라 좌우

되며, 그리고 다이와 기판 간의 전기적 연결이 플립 칩에 의한 것이나 또는 와이어 본드에 의한 것이냐에 따라 좌우된다. 예를 들어, 바닥 패키지에서 하나의 와이어로 본딩된 다이의 경우, 300 μ m의 몰드캡(moldcap)은 전형적으로 75 μ m 두께의 다이를 수용할 수 있다. 따라서, z-상호연결 솔더 볼들은 충분히 큰 직경을 가져야 하는바, 이들 솔더 볼들이 리플로우되었을 때 솔더 볼들이 바닥 BGA의 본딩 패드와 양호한 접촉을 하여야 하며, 바닥 패키지 몰드캡의 위쪽 표면과 탑 패키지 기판의 랜드 면 사이에서는 접촉을 제공하지 않아야 한다. 즉, 솔더 볼의 직경은 캡슐 높이보다는 더 커야만 하는바, 리플로우 동안에 솔더 볼의 붕괴를 허용하고, 볼들과 기판 사이에서의 비-동일평면성(noncoplanarities)을 위한 허용오차(tolerance)를 감안한 정도만큼 더 커야만 한다. 붕괴된 볼들의 높이와 바닥 몰드캡 높이 사이의 전형적인 설계상의 차이(추가 여유 : additional clearance)는 약 25 μ m이다. 예를 들어, 약 300 μ m의 두께를 갖는 몰드캡의 경우, 300 μ m보다 더 큰 z-상호연결 솔더 볼들이 적용되어야만 한다. 볼의 직경이 더 커질수록, 볼의 피치(pitch)가 더 커진다(예를 들어, 300 μ m 볼의 경우 약 0.65mm 정도의 피치). 이는 또한, 바닥 패키지 기판 주변의 이용가능한 공간에 들어맞을 수 있는 볼들의 갯수를 제한한다. 더 나아가, 주변에 배치된 솔더 볼들은, 바닥 BGA가 표준 BGA의 몰드캡보다 꽤나 더 커지도록 강요한다. 그리고 주변에 배치된 솔더 볼들은 전체 패키지 사이즈를 증가시킨다(볼 로우들(rows)의 갯수 및 볼 피치에 따라서 사이즈가 증가함). 표준 BGA에서, 보디 사이즈는 몰드캡보다 약 2-3mm 정도까지 더 클 수 있다. 또한, PoP 구성에서의 탑 패키지는, 그것이 더 적은 배선들을 갖는 작은 칩을 포함하고 있는 경우일지라도, 바닥 패키지와의 비견될 만한 사이즈를 갖도록 만들어져야만 한다. 볼 접촉을 위한 더 넓은 공간을 제공하기 위해서(예를 들면, 볼 로우들(rows)을 추가함) 패키지 풋프린트를 증가시키는 것은, 특정 어플리케이션에 대한 사이즈 제한들을 초과할 수도 있으며, 와이어 본드가 더 길어지는 경우 및 더 넓어진 기판 영역을 수반하는 임의의 경우에서 있어서, 이들 모두는 이러한 구성요소들의 제조 경비를 증가시킨다. 패키지들 사이에서의 상호 연결 배선의 갯수를 증가시키는 것은, 탑 패키지 기판이 적어도 2개의 금속 층들(종종, 2개보다 더 많은 금속 층들)을 가져야만 함을 요구하며, 이는 기판 내에서의 전기적 연결들을 더 쉽게 라우팅하기 위함이다. 몇몇 어플리케이션들의 경우, PoP 구성에서 바닥 패키지에 2개의 다이를 적층하는 것은 비현실적일 수도 있는바, 이는 바닥 몰드캡의 두께를 더욱 두껍게 하고, 앞서 설명된 바와같은 문제점들을 악화시키기 때문이다.

[0020] 탑 및 바닥 패키지 기판들의 위쪽으로 향한 면들(upward-facing sides) 사이에서 와이어 본딩된 z-상호연결을 갖는 2-스택 PiP 모듈들에 대한 일례들이, 2003년 8월 2일자로 출원된 미국출원(출원번호 10/632,549), 및 2003년 10월 8일자로 출원된 미국출원(출원번호 10/681,572)에 개시되어 있다. PiP 구성에서, 탑 패키지는, 바닥 패키지와 동일한 방향으로 배향될 수도 있으며(즉, 양쪽 패키지 기판의 다이 접촉면들이 동일한 방향으로 배향됨), 또는 탑 패키지는 바닥 패키지에 대해서 반대로 배향될 수도 있다(즉, 각각의 패키지 기판의 다이 접촉면이 서로 마주보고 있음). 제 2 레벨 상호연결 솔더 볼들은 바닥 패키지 기판의 랜드 면 상에 제공되는바, 이는 아래쪽에 위치한 회로들(가령, 마더보드)과 상기 모듈을 연결하기 위함이다. 탑 패키지가 반대로 배향된 구성에서, z-상호연결 와이어 본드들은, 탑 패키지 기판의 랜드 면에서의 와이어 본드 사이트들(sites)을, 바닥 패키지 기판의 다이 접촉면 상에서 주변에 배치된 와이어 본드 사이트들과 연결한다. 탑 및 바닥 패키지들이 동일한 방향으로 배향된 구성에서, z-상호연결 와이어 본드들은, 탑 패키지 기판의 다이 접촉면의 주변에 배치된 와이어 본드 사이트들을, 바닥 패키지 기판의 다이 접촉면의 주변에 배치된 와이어 본드 사이트들과 연결한다. 이러한 2개의 구성에서, 탑 패키지는 바닥 패키지보다 더 작아야 하는바(z-상호연결들을 갖는 각각의 마진에서, 적어도 0.5mm 만큼 더 좁거나 및/또는 더 짧음), 이는 와이어 본딩 공정의 편의를 위해서이다.

[0021] PoP 모듈 또는 PiP 모듈은, 탑 패키지 및 패키지들 사이의 와이어 본딩 상호연결들을 전체적으로 커버하는 오버몰딩(overmolding)에 의해 완료된다. 일단 상기 모듈이 오버몰딩되면, 추가 통합(further integration)은 하지 못한다. 즉, 설계자는, 제품 어셈블리 레벨, 즉, 서피스 마운트 어셈블리 플로어(surface mount assembly floor)에서 상기 어셈블리를 재구성할 수 있는 유연성을 갖지 못한다. 그리고, 원래의 장비 제조자는 비용 절감을 위해서, 다양한 공급자들로부터의 다양한 패키지들로부터의 취사선택(mix-and-match)을 할 수 없게 된다.

발명의 상세한 설명

[0022] 본 발명은 제 1 및 제 2 적층 패키지들을 갖는 적층된 패키지 어셈블리들에 관한 것이다. 각각의 패키지는, 패키지 기판의 다이 접촉면(die attach side)에 부착되며, 패키지 기판의 다이 접촉면과 전기적으로 연결된 적어도 하나의 다이를 포함한다. 각 기판의 일면(상기 다이 접촉면과 반대쪽인 면)은, 기판의 "랜드" 면("land" side of the substrate)이라고 지칭될 수도 있다. 하나의 패키지는 다른 하나의 패키지에 대하여 반전되어 있다. 즉, 패키지 기판들의 다이 접촉면들은 서로 마주보고 있으며, 각 기판의 상기 랜드 면들은 서로 마주보고 있지 않다. 패키지들간의 z-상호연결은, 제 1 및 제 2 패키지 기판들을 연결하는 와이어 본드들에 의해서 만든다

어진다.

- [0023] 본 발명에 따르면 일반적으로, 상기 어셈블리는, 어셈블리의 일측에서 제 2 패키지 기판이 노출되고 어셈블리의 타측에서 제 1 패키지 기판의 일부가 노출되도록 캡슐화되는바, 따라서, 제 2 레벨 상호연결 및 추가 구성요소들과의 상호연결이 만들어질 수도 있다.
- [0024] 본 발명의 일 양상에 따르면, 제 1 패키지는 매트릭스 몰딩(matrix mold)되며, 단일화된(singulated) 칩 스케일 패키지(Chip Scale Package : CSP)로 분리된다. 그리고 제 2 패키지는, 랜드 그리드 어레이(Land Grid Array : LGA) 패키지이며, 이는 캐비티 몰딩될 수도 있다. 적층된 패키지들 사이의 z-상호연결은, CSP의 랜드 면의 가장자리 영역(marginal area)에서의 와이어 본드 사이트들과 LGA의 다이 접촉면의 가장자리 영역(marginal area)에서 주변에 위치한 와이어 본드 사이트들을, 연결하는 와이어 본드에 의해 수행된다. 본 발명의 몇몇 실시예에서는, LGA 기판 상의 다이 위로 별도의 몰딩이 수행되지 않는다. 본 발명의 몇몇 실시예에서는, 상기 LGA 패키지는 몰딩되며, 이러한 실시예에서 LGA 패키지 몰드캡은 다이 및 전기적 배선들을 커버하지만, 기판의 다이 접촉면의 가장자리 영역은 몰딩되지 않은 상태로 남겨둔다. LGA 기판은 CSP 패키지 기판보다 더 크며(예를 들어, 더 넓거나 또는 더 길거나 또는 더 넓고 더 길다), 이는 와이어 본드들의 스패(span)를 용이하게 하기 위함이다. 어셈블리에 대한 캡슐화는 LGA 기판의 다이 접촉면의 가장자리 영역을 커버하며, z-상호연결 와이어 본드들 및 와이어 루프들, CSP의 에지들 그리고 CSP의 랜드 면 상에서의 가장자리 영역을 둘러싼다. 따라서, LGA 기판의 랜드 면 및 상기 가장자리 영역내에 위치한 CSP 기판의 랜드 면의 소정 영역은 둘다 모두 노출된 채로 남는다.
- [0025] 본 발명의 일 실시예에서 상기 CSP는 적층 다이(stacked die) CSP이며, 본 발명의 일 실시예에서 상기 LGA는 적층 다이 LGA이다. 본 발명의 일 실시예에서, CSP 내의 상기 다이는 와이어 본딩에 의해 CSP 기판과 상호연결되며, 또는 CSP 내의 상기 다이는 플립 칩 상호연결에 의해서 CSP 기판과 상호연결된다. 본 발명의 일 실시예에서, LGA 내의 상기 다이는 와이어 본딩에 의해 LGA 기판과 상호연결되며, 또는 LGA 내의 상기 다이는 플립 칩 상호연결에 의해서 LGA 기판과 상호연결된다.
- [0026] 본 발명의 일 양상에 따르면, 어셈블리의 CSP 측(CSP side of the assembly)은 제 2 레벨 상호연결이 형성되는 측(second level interconnection side)이다. 즉, 아래쪽에 위치한 회로들(underlying circuitry)(가령, 마더보드)로 연결되는, 어셈블리의 제 2 레벨 상호연결은, CSP 기판의 랜드 면 상의 노출된 영역에서의 솔더 볼들(혹은 다른 전기적 접속 수단)에 의해 수행된다. 따라서, LGA 기판의 노출된 랜드 면은, 추가 구성요소들과의 상호연결을 위해 이용가능하며, 상기 추가 구성요소들은 어셈블리 위로 적층될 수도 있다. 본 발명의 또 다른 양상에 따르면, 적층된 패키지 어셈블리는, 어셈블리의 일측에서 LGA 패키지 기판을 노출시키고 어셈블리의 타측에서 CSP 패키지 기판의 일부를 노출시키는 것을 특징으로 하며, CSP 패키지 기판의 노출된 일부에 형성된 제 2 레벨 상호연결과, 노출된 LGA 패키지 기판에서의 하나 이상의 추가 구성요소들과의 상호연결을 포함하는 것을 특징으로 한다. 본 발명의 몇몇 실시예에 따르면, 상기 추가 구성요소들은, 다음의 것들 중 하나 이상을 포함한다. 적층 다이 BGA일 수도 있는 볼 그리드 어레이(Ball Grid Array : BGA) 패키지, 또는 적층 다이 LGA일 수도 있는 추가 LGA, 또는 적층 다이 쿼드 플랫 패키지(stacked die quad flat package : SD QFP)일 수도 있는 쿼드 플랫 패키지(QFP), 또는 쿼드 플랫 논리디드(nonlead)(QFN) 패키지 또는 적층 다이 쿼드 플랫 패키지(SD QFN)일 수도 있는 리드 프레임 칩 스케일 패키지(LFCSP), 또는 오버몰딩될 수도 있는 와이어 본딩된 다이(또는 와이어 본딩된 다이의 스택), 또는 플립칩 다이 또는 광학 센서 패키지, 또는 미소-전자-기계-센서(MEMS) 패키지. 그리고 상기 추가 구성요소들은 하나 이상의 수동(passive) 디바이스들을 부가적으로 포함할 수도 있다. 몇몇 실시예들에서, 열 분산기(heat spreader)가, LGA 패키지의 노출된 랜드 면 위에 마운트될 수도 있다.
- [0027] 본 발명의 다른 양상에 따르면, 어셈블리의 LGA 사이드(LGA side of the assembly)는 제 2 레벨 상호연결 사이드(second level interconnection side)이다. 즉, 하부에 위치한 회로들(가령, 마더보드)로 연결되는, 어셈블리의 제 2 레벨 상호연결은, LGA 기판의 랜드 면 상의 노출된 영역에서의 솔더 볼들(혹은 다른 전기적 접속 수단)에 의해 수행된다. 따라서, CSP 기판의 노출된 랜드 면은, 추가 구성요소들과의 상호연결을 위해 이용가능하며, 상기 추가 구성요소들은 어셈블리 위로 적층될 수도 있다. 본 발명의 또 다른 양상에 따르면, 적층된 패키지 어셈블리는, 어셈블리의 일측에서 LGA 패키지 기판을 노출시키고 어셈블리의 타측에서 CSP 패키지 기판의 일부를 노출시키는 것을 특징으로 하며, 노출된 LGA 패키지 기판의 일부에서 형성된 제 2 레벨 상호연결과, 노출된 CSP 패키지 기판에서 하나 이상의 추가 구성요소들과의 상호연결을 포함하는 것을 특징으로 한다. 본 발명의 몇몇 실시예에 따르면, 상기 추가 구성요소들은, 다음의 것들 중 하나 이상을 포함한다. 적층 다이 BGA일 수도 있는 볼 그리드 어레이(Ball Grid Array : BGA) 패키지, 또는 적층 다이 LGA일 수도 있는 추가 LGA, 또는 적층 다이 쿼드 플랫 패키지(stacked die quad flat package : SD QFP)일 수도 있는 쿼드 플랫 패키지(QFP), 또는

쿼드 플랫 논리이드(nonlead)(QFN) 패키지 또는 적층 다이 쿼드 플랫 패키지(SD QFN)일 수도 있는 리드 프레임 칩 스케일 패키지(LFCSP), 또는 오버몰딩될 수도 있는 와이어 본딩된 다이(또는 와이어 본딩된 다이의 스택), 또는 플립칩 다이, 또는 광학 센서 패키지, 또는 미소-전자-기계-센서(MEMS) 패키지. 그리고 상기 추가 구성요소들은 하나 이상의 수동(passive) 디바이스들을 부가적으로 포함할 수도 있다. 몇몇 실시예들에서, 열 분산기(heat spreader)가, LGA 패키지의 노출된 랜드 면 위에 마운트될 수도 있다.

[0028] 본 발명의 다른 양상에 따르면, 적층된 패키지 어셈블리를 만드는 방법이 제공되며, 상기 방법은 다음의 단계를 포함하여 이루어진다. 즉, 바람직하게는 "양호"한 것으로(일반적으로 캐비티 몰딩된 LGA 패키지들의 어레이 또는 스트립에서) 테스트된, 캐비티 몰딩된 LGA 패키지를 제공하는 단계; "양호"한 LGA 패키지의 몰드캡의 표면에 접착제를 도포하는 단계; 바람직하게는 "양호"한 것으로 테스트된 단일화된(singulated) CSP를 제공하는 단계; 상기 "양호"한 CSP를 반전시키고, 상기 반전된 CSP를 상기 LGA 몰드캡 상의 접착제 위에 위치시키는 단계; 상기 접착제를 큐어링하는 단계; 플라즈마 세정을 수행하는 단계; 상기 LGA의 다이 접착면과 상기 CSP의 랜드 면 사이에서 z-상호연결을 형성하도록 와이어 본딩하는 단계; 플라즈마 세정을 수행하는 단계; LGA의 다이 접착면, z-상호연결하는 와이어 본드들 및 와이어 루프들, CSP의 에지들, 및 상기 CSP의 랜드 면 상의 가장자리 영역을 둘러싸도록, 그리고 LGA 기관의 랜드 면과 가장자리 영역 안쪽에 위치한 CSP 기관의 랜드 면의 소정영역을 노출된 채로 남기도록, 몰딩을 수행하는 단계; CSP 기관의 상기 노출된 소정영역 상의 사이트들에 제 2 레벨 상호연결 솔더 볼들을 접착하는 단계; 및 (LGA 패키지가 스트립 또는 어레이로 제공되는 경우) 유닛 어셈블리를 완수하도록 소우 단일화(saw singulated)를 수행하는 단계를 포함한다.

[0029] 몇몇 실시예들에서, 상기 방법은 LGA 기관의 노출된 랜드 면에 추가 구성요소들을 부착하고 전기적으로 연결시키는 단계를 더 포함한다. 상기 추가 구성요소 또는 구성요소들은 상기 어셈블리 상에 마운트될 수도 있는바, 이는 적층된 패키지 어셈블리 제조에서의 후속 단계로서 수행된다. 또는 상기 추가 구성요소 또는 구성요소들은 상기 어셈블리 상에 마운트될 수도 있는바, 이는 최종 제품 어셈블리 플로어에서 수행된다.

[0030] 본 발명의 다른 양상에 따르면, 적층된 패키지 어셈블리를 만드는 방법이 제공되는바, 상기 방법은 다음의 단계를 포함하여 이루어진다. 즉, 바람직하게는 "양호"한 것으로(일반적으로 캐비티 몰딩된 LGA 패키지들의 어레이 또는 스트립에서) 테스트된, 캐비티 몰딩된 LGA 패키지를 제공하는 단계; "양호"한 LGA 패키지의 몰드캡의 표면에 접착제를 도포하는 단계; 바람직하게는 "양호"한 것으로 테스트된 단일화된(singulated) CSP를 제공하는 단계; 상기 "양호"한 CSP를 반전시키고, 상기 반전된 CSP를 상기 LGA 몰드캡 상의 접착제 위에 위치시키는 단계; 상기 접착제를 큐어링하는 단계; 플라즈마 세정을 수행하는 단계; 상기 LGA의 다이 접착면과 상기 CSP의 랜드 면 사이에서 z-상호연결을 형성하도록 와이어 본딩하는 단계; 플라즈마 세정을 수행하는 단계; LGA의 다이 접착면, z-상호연결하는 와이어 본드들 및 와이어 루프들, CSP의 에지들, 상기 CSP의 랜드 면 상의 가장자리 영역을 둘러싸도록하며, LGA 기관의 랜드 면과 상기 가장자리 영역 안쪽에 위치한 CSP 기관의 랜드 면의 소정영역을 노출된 채로 남기도록, 몰딩을 수행하는 단계; LGA 기관의 상기 노출된 랜드 면 상의 사이트들에 제 2 레벨 상호연결 솔더 볼들을 접착하는 단계; 및 (LGA 패키지가 스트립 또는 어레이로 제공되는 경우) 유닛 어셈블리를 완수하도록 소우(saw) 단일화를 수행하는 단계를 포함한다.

[0031] 몇몇 실시예들에서, 상기 방법은 CSP 기관의 노출된 소정영역에 추가 구성요소들을 부착하고 전기적으로 연결시키는 단계를 더 포함한다. 상기 추가 구성요소 또는 구성요소들은 상기 어셈블리 상에 마운트될 수도 있는바, 이는 적층된 패키지 어셈블리 제조에서의 후속 단계로서 수행된다. 또는 상기 추가 구성요소 또는 구성요소들은 상기 어셈블리 상에 마운트될 수도 있는바, 이는 최종 제품 어셈블리 플로어에서 수행된다.

[0032] 본 발명의 또 다른 양상에 따르면, 적층된 패키지 어셈블리를 만드는 방법이 제공되는바, 상기 방법은 다음의 단계를 포함하여 이루어진다. 즉, LGA 기관을 제공하는 단계; 상기 LGA 기관의 다이 접착면 상에 다이를 마운트하고 전기적으로 연결하는 단계(통상적으로 LGA 기관들의 어레이 또는 스트립에서); LGA 기관의 상기 다이 위에 접착제를 도포하는 단계; 바람직하게는 "양호"한 것으로 테스트된 단일화된(singulated) CSP를 제공하는 단계; 상기 "양호"한 CSP를 반전시키고, 상기 반전된 CSP를 상기 LGA 기관의 상기 다이 상의 접착제 위에 위치시키는 단계; 상기 접착제를 큐어링하는 단계; 플라즈마 세정을 수행하는 단계; 상기 LGA의 다이 접착면과 상기 CSP의 랜드 면 사이에서 z-상호연결을 형성하도록 와이어 본딩하는 단계; 플라즈마 세정을 수행하는 단계; LGA의 다이 접착면, z-상호연결하는 와이어 본드들 및 와이어 루프들, CSP의 에지들, 상기 CSP의 랜드 면 상의 가장자리 영역을 둘러싸도록, 몰딩을 수행하는 단계; LGA 기관의 랜드 면을 노출된 채로 남기고 상기 가장자리 영역 내에 위치한 CSP 기관의 랜드 면의 일 영역을 노출된 채로 남기는 단계; LGA 기관의 상기 노출된 랜드 면 상의 사이트들에 제 2 레벨 상호연결 솔더 볼들을 접착하는 단계; 및 (LGA 패키지가 스트립 또는 어레이로 제공되는 경우) 유닛 어셈블리를 완수하도록 소우 단일화(saw singulated)를 수행하는 단계를 포함한다. 다이의 활성화면

(active side)은 LGA 기판의 다이 접착면을 마주보고 있으며, 다이의 이면(backside)은 LGA 기판과 마주보고 있지 않은 것과 같은 플립 칩 방식에 의해서, LGA 기판 상의 상기 다이가 LGA 기판 위로 마운트되는 실시예들에 있어서, 상기 접착제는 다이의 상기 이면에 직접 도포될 수도 있다. 다이의 활성면이 LGA 기판과 마주보고 있지 않은 방식으로 상기 다이가 LGA 기판 위에 마운트되고, LGA 기판과 다이 사이의 전기적 연결이 와이어 본딩에 의한 것인 실시예들은, 상기 다이 활성면 상의 접착제 위에 스페이서를 마운팅시키는 것 및 상기 스페이서 위에 추가 접착제를 도포하는 것을 포함할 수도 있는바, 따라서 상기 반전된 CSP 는, 상기 스페이서 위의 상기 추가 접착제 상에 위치된다. 여기서, 상기 스페이서는 다이와 CSP 사이에서 격리(standoff)를 제공하며, 이에 따라 상기 CSP가 와이어 루프에 영향을 미치지 않는다.

[0033] 몇몇 실시예들에서, 상기 방법은 CSP 기판의 노출된 영역에서 추가 구성요소들을 부착하고 전기적으로 연결시키는 단계를 더 포함한다. 상기 추가 구성요소 또는 구성요소들은 상기 어셈블리 상에 마운트될 수도 있는바, 이는 적층된 패키지 어셈블리 제조에서의 후속 단계로서 수행된다. 또는 상기 추가 구성요소 또는 구성요소들은 상기 어셈블리 상에 마운트될 수도 있는바, 이는 최종 제품 어셈블리 플로어에서 수행된다.

[0034] 본 발명에 따른 적층된 패키지 어셈블리에서, 어셈블리 스택 내의 제 2 패키지는 임의의 다양한 LGA 패키지들을 포함할 수 있다. 상기 어셈블리는 와이어 본딩된 및/또는 플립 칩 패키지들을 포함할 수 있다. 상기 어셈블리는, 상기 어셈블리 내부 또는 어셈블리 상에 있는 하나 이상의 열 분산기들(heat spreaders)에 의해 가능한 향상된 온도 특징(thermal enhancement feature)을 포함할 수 있다. 상기 어셈블리는, 패키지 내에서 하나 이상의 다이들을 적층시키거나 또는 나란히 있게 하는 BGA 및/또는 LGA 를 하나 이상 포함할 수 있다. 상기 어셈블리는 하나 이상의 패키지들을 위한 전자기 쉴드를 포함할 수 있다. 그리고, 패키지들의 주변 영역 상에서의 본딩이 가능하도록 z-상호연결 패드들이 만들어진다면, 상기 어셈블리는 임의의 기판, 라미네이트(laminate) 또는 빌드-업(build-up) 또는 유연한(flexible) 또는 세라믹(ceramic)을 포함할 수 있다.

[0035] 본 발명에 따르면, 매우 우수한 생산성, 매우 높은 설계 유연성, 및 낮은 생산비용의 장점이 있으며, 낮은 프로파일(profile)과 작은 풋프린트를 적층된 스택 패키지 모듈을 생산가능하다.

[0036] CSP 및 LGA 는 해당 산업분야에서 표준이 되는 것들이며, 가장 낮은 생산 비용과 가장 넓은 이용가능성을 제공한다. 이러한 것은, 적층된 패키지들을 선택하는데 있어서 상당한 유연성을 제공하며, 따라서, 어셈블리 내로 통합될 수 있는 기능들의 종류에 있어서도 상당한 유연성을 제공한다.

[0037] 싱글 와이어 본딩된 전형적인 다이 CSP 는 0.8mm 의 두께를 가지며, LGA 두께는 0.36mm 이다. 본 발명에 따라서, CSP 의 탑(top) 위에 반전된 LGA 를 적층하는 것은, 10-50 마이크로 범위의 완료된 두께를 갖는 접착제를 사용하여 완수될 수 있다. 이러한 구조는, PoP 에 비하여 동일하거나 또는 더 낮은 프로파일의 적층된 패키지 어셈블리를 제공한다. 본 발명에 따른 어셈블리의 풋프린트는, 스택의 최대 칩 사이즈에 의해 결정된다. LGA 에 대한 전형적인 최소 풋프린트는 다이 사이즈 보다 1.7mm 크다. 와이어 본드 z-상호연결은 일반적으로, 바닥(bottom) CSP가 LGA 에 비해 약 0.5mm 에서 1.0mm 정도 더 작을 것을 요구하는바, 이는 기판 금속 에지들로의 단락(shorting) 없이 와이어들을 수용하기 위함이다. 만일, 선택된 바닥 CSP 패키지가 탑 LGA 패키지보다 상당히 더 작다면, 와이어 본딩은 적어도 8mm 또는 그 이상의 사이즈 차이들을 수용할 수 있다. 따라서, 이러한 점은 소정의 선택된 CSP에 대해서, 상기 선택된 CSP 보다 상당히 더 큰 풋프린트를 갖는 탑 LGA를 선택할 수 있게 한다. 이는 설계자에게 상당한 유연성을 제공한다.

[0038] 본 발명에 따른 적층된 패키지 어셈블리는, 컴퓨터들, 통신 장비들, 그리고 소비자용 및 산업용 전자 기기들을 제조하는데 이용될 수 있다.

실시예

[0069] 이제, 본 발명은, 본 발명의 대안적인 실시예들을 예시하고 있는 도면들을 참조하여, 좀더 상세히 설명될 것이다. 상기 도면들은 도식적인 것들이며, 본 발명의 특질들을 도시하고 있으며, 다른 특질 및 구조들과의 관계를 도시한 것으로, 축적대로 그려진 것은 아니다. 표현의 간결함을 향상시키기 위해서, 본 발명의 실시예들을 예시하고 있는 도면들에서, 다른 도면들에서 도시된 구성요소들에 대응하고 있는 구성요소들은, 비록 이들이 모든 도면들에서 쉽게 식별가능하지만은, 모두가 다시한번 라벨링된 것은 아니다.

[0070] 본 명세서 곳곳에서, 방향과 관련된 용어들, 가령, 수평(horizontal), 수직(vertical), 상에(on), 위로(over), 아래에(under), 위에(above), 밑에(below), 탑(top), 바닥(bottom), 상부(upper), 하부(lower) 등등은, 도면들에서 도시된 특질들의 상대적인 방향에 관하여 사용될 수도 있다. 이해되는 바와같이, 본 발명에 따른 다양한

어셈블리들은 사용중 또는 공정 도중에 임의의 방향을 유지할 수도 있다.

[0071] 상기에서와 같이 및 하기한 바와같이, 본 명세서에서 참조된 모든 특허들 및 모든 특허출원들은 참조로서 본 명세서에 통합된다.

[0072] 이제, 도1을 참조하면, 본 발명의 일 양상에 따른 적층된 패키지 어셈블리에 대한 일실시예의 단면이 참조번호 1 로서 도시되어 있는바, 상기 적층된 패키지 어셈블리는 적층된 제 1 패키지(도1에서 "바닥") 및 제 2 패키지(도1에서 "탑")를 포함하고 있으며, 제 2 패키지는 반전되어 있고, 적층된 패키지들은 와이어 본딩에 의해 상호 연결된다. 도1에 도시된 실시예에서, 제 1 패키지(100)는 통상적인 칩 스케일 패키지(CSP)이다. 따라서, 이러한 실시예에서, 상기 제 1 패키지(100)는 제 1 패키지 기관(112) 상에 접촉된 다이(114)를 포함하고 있으며, 상기 제 1 패키지 기관(112)은 적어도 하나의 금속층(삽입자(interposer)라고 지칭되기도 한다)을 갖는다. 임의의 다양한 타입들의 기관들이 사용될 수도 있는바, 예를 들면, 2-6 금속층들을 갖는 라미네이트(laminate), 또는 4-8 금속층들을 갖는 빌드업(buildup) 기관, 또는 1-2 금속층들을 갖는 유연성 있는 폴리이미드(polyimide) 테이프, 또는 세라믹 다층층 기관을 포함하는 다양한 기관들이 사용될 수도 있다. 도1에서 일례로서 도시된 제 1 패키지 기관(112)은 2개의 금속층들(121, 123)을 가지며, 이들 금속층들은 적절한 회로를 제공하도록 패터닝되어 있으며, 비아들(122)을 통해 연결된다. 통상적으로 상기 다이는, 다이 접착 에폭시라고 불리우는 접착제(113)를 이용하여 기관의 표면에 접촉되며, 도1의 구성에서 다이가 접촉되는 기관 면(즉, 다이 접착면)은 "상부" 면(upper side) 이라고도 한다. 그리고 상기 상부면 상의 금속층은 "상부(upper)" 금속층이라고 지칭될 수도 있다. 하지만, 상기 다이 접착면은 사용시에 있어서 임의의 특정방향을 가질 필요는 없다.

[0073] 도1의 제 1 CSP 패키지에서, 다이는, 기관의 상부 금속층 상에 있는 와이어 본드 사이트들에 와이어 본딩되어 전기적 연결을 형성한다. 다이(114) 및 와이어 본드들(116)은, 몰딩 화합물(compound)을 이용한 매트릭스 몰딩 및 소우 단일화에 의해 캡슐화되는바, 이는 대기(ambient)로부터 보호를 제공하고 기계적 스트레스로부터 보호를 제공하여 취급을 용이하게 하도록 하며, 그 위에 제 2 패키지가 적층될 수 있는 제 1 패키지 상부 표면(129)을 제공한다. 본딩 패드들(119)은 기관(112)의 하부 금속층(123) 상에 제공되는바, 이는 어셈블리를 아래쪽에 위치한 회로들(가령, 마더보드)에 상호연결하기 위함이다. 전기적 연결을 위해서 솔더 마스크들(115, 127)은 금속층들(121, 123) 위에서 패터닝되어 아래에 있는 금속이 본딩 사이트들에서 노출되는바, 상기 본딩 사이트들은 예를 들면, 와이어 본드들(116) 및 솔더 볼들을 본딩하기 위한 와이어 본드 사이트들 및 본딩 패드들이다.

[0074] 도1에 도시된 실시예에서, 제 2 패키지(10)는 캐비티 몰딩되어 있으며 펀치 단일화된(punch singulated) 랜드 그리드 어레이(LGA) 패키지이다. 특히, 이러한 실시예에서, 제 2 패키지(10)는, 적어도 하나의 금속층을 갖는 제 2 패키지 기관(12)에 접촉된 다이(14)를 포함하고 있다. 임의의 다양한 기관 타입들이 사용될 수도 있다. 도 1에서 일례로서 도시된 제 2 패키지 기관은 2개의 금속층들(21, 23)을 갖고 있으며, 이들 각각의 금속층들은 적절한 회로를 제공하기 위해서 패터닝되며 비아(22)를 통해 연결된다. 통상적으로 상기 다이는, 다이 접착 에폭시라고 불리우는 접착제(13)를 이용하여 기관의 다이 접착 표면에 접촉된다. 본 발명에 따르면, 제 2 패키지는 제 1 패키지에 대하여 반전되어 있는바 즉, 제 2 패키지는 제 2 패키지 기관의 다이 접착면이 제 1 패키지 기관의 다이 접착면과 마주 보도록 배향되며, 제 2 패키지의 랜드 면이 제 1 패키지의 랜드 면과 마주 보고 있지 않도록 배향된다. 상기 제 2 LGA 패키지(도1에서 상부 패키지)는 어셈블리 내에서 반전되어 있기 때문에, 비유적으로 말하면 거꾸로 뒤집혀 있으며(upside-down or downside-up), 제 2 (LGA) 패키지의 다이 접착면(통상적으로 LGA 기관의 상부 표면 또는 상부면이라고 지칭되는)은, 본 명세서에서 반전된 LGA의 아래쪽을 향한 면 또는 하향 면(downward or downward facing side)이라고 호칭될 수도 있다. 그리고, LGA 기관의 반대쪽 면(또는 랜드 면)은, 통상적으로 하부 표면 또는 하부면이라고 지칭되며, 본 명세서에서 반전된 LGA의 위쪽을 향한 면 또는 상향 면(upward or upward facing side)이라고 호칭될 수도 있다.

[0075] 예를 들어 도1의 구성에서, 그 위에 다이가 접촉되는 제 2 패키지 기관의 일 면(다이 접착면)은, 제 1 패키지를 향해 있으며, 따라서, 다이가 부착되는 제 2 패키지의 "상부(upper)" 표면은, 본 명세서에서 제 2 패키지의 "하향(downward facing)" 표면이라고 지칭된다. 상기 어셈블리는 사용시에 있어서, 임의의 특정 방향을 가질 필요는 없다는 점을 다시 한번 유의해야 한다. 즉, 본 발명에 따라서, 제 2 패키지가 어셈블리 내에서 일단 반전되면, 설명을 위한 목적으로, 상부(upper) 금속층(21)을 갖는 제 2 패키지 기관의 표면은, "하향(downward facing)" 이라고 기술되며, 하부(lower) 금속층(23)을 갖는 제 2 패키지 기관의 표면은, "상향(upward facing side)" 이라고 기술된다.

[0076] 도1의 실시예의 제 2 (LGA) 패키지(10)에서, 상기 다이는 LGA 패키지 기관의 상부 금속층(21) 상의 와이어 본드 사이트들로 와이어 본딩되어, 전기적 연결을 형성한다. 다이(14) 및 와이어 본드들(16)은, 몰드캡(17)을 형성하

는 몰딩 화합물로 캡슐화된다. 상기 몰드캡(17)은 대기와 기계적 스트레스로부터의 보호를 제공하여취급을 용이하게 하며, 몰드캡은 상부표면(19)을 갖는다. 제 2 패키지(10)는 반전되어 있으며(따라서, 표면(19)는 아래쪽을 향하고 있다), 그리고 제 1 패키지(100) 위에 적층되어 있으며, 접착제(13)를 이용하여 제 1 패키지(100)에 부착되어 있다. 전기적 연결을 위해서 솔더 마스크들(15, 27)은 금속층들(21, 23) 위에서 패터닝되어 아래에 있는 금속이 본딩 사이트들에서 노출되는바, 상기 본딩 사이트들은 예를 들면, 와이어 본드들(16)을 본딩하기 위한 와이어 본드 사이트들이다.

[0077] 반전되어 적층된 제 2 패키지(10) 및 제 1 패키지(100) 사이의 z-상호연결은 와이어 본드들(118)에 의해 수행되며 와이어 본드(118)는, 제 2 패키지 기관의 아래쪽을 향하고 있는 금속층(상부 금속층 21) 상의 트레이스들(traces)과 제 1 패키지 기관의 하부 금속층(123) 상의 트레이스들을 서로 연결한다. 각각의 와이어 본드(118)의 일측 말단은, 제 2 패키지 기관(12)의 상부 금속층(21) 상의 패드들의 아래쪽을 향하고 있는 표면들에 연결되며, 각각의 와이어 본드(118)의 타측 말단은, 제 1 패키지 기관(112)의 하부 금속층(123) 상의 패드들의 하부면들에 연결된다. 상기 와이어 본드들은 해당 기술분야에서 공지된 임의의 와이어 본딩 기술을 이용하여 형성될 수도 있는바, 예를 들면, US 5,226,582에 개시된 바와같은 기술을 이용할 수도 있으며, 상기 미국특허는 참조로서 본 명세서에 통합된다. 패키지와 패키지를(package-to-package) z-상호연결하는 와이어 본드들은, 도1에서 일례로서 도시되었다. 상기 패키지와 패키지를(package-to-package) z-상호연결하는 와이어 본드들은, 반전된 제 2 기관의 하부 금속층 상의 패드의 상부면 상에 비드(bead) 또는 범프(bump)를 형성하고, 이후 제 1 기관의 하부 금속층 상의 패드쪽으로 와이어를 잡아 당기고, 이곳에 와이어를 녹여붙임(fusing)으로써, 형성되었다. 당업자에게 이해되는 바와같이, 상기 와이어 본드들은 반대되는 방향으로 만들어질 수도 있는바, 즉, 제 1 기관의 하부 금속층 상의 패드의 하부면 상에 비드(bead) 또는 범프(bump)를 형성하고, 이후 제 2 기관의 상부 금속층 상의 패드쪽으로 와이어를 잡아 당기고, 이곳에 와이어를 녹여붙임(fusing)으로써, 형성될 수도 있다. 당업자들에게 이해되는 바와같이, 패키지와 패키지간의 z-상호연결을 위해서 와이어 본딩을 선택하는 전략은, 적층된 기관들의 가장자리(margin)의 기하학적 배치 및 이들 상의 본딩 표면들의 기하학적 배치에 따라 결정될 것이다. 또한, 당업자들에게 이해되는 바와같이 통상적인 와이어 본딩 장비에서는, 와이어 본딩 캐필러리(capillary)가, 본딩 패드들(위쪽을 보도록 배향된)에 하향 방식으로 맞부딪치고 있다. 따라서, 본 발명에 따른 어셈블리는, 적어도 와이어 본딩 공정에서는 반전될 것이다.

[0078] 앞서 지적된 바와같이, 도1에 도시된 실시예에서, 제 2 (LGA) 패키지는 몰드캡을 제공하기 위해 캐비티 몰딩되지만, 제 2 패키지 기관의 다이 접착면의 주변 영역은 남겨놓은 채로 캐비티 몰딩되며, 이 영역 상에서는 와이어 본드들(118)을 위해서 본딩 패드들이 노출된다. 이후, 전형적으로 펀치-단일화 또는 소우-단일화 된다(punch-singulated or saw-singulated).

[0079] 다른 한편으로, 상기 제 1 패키지는 매트릭스 몰딩되며 소우-단일화되는바(도1에 도시된 바와같이 수직인 몰딩 벽들을 제공함), 제 1 패키지 기관의 다이 접착면은 몰딩에 의해서 커버된다. 제 1 패키지 기관의 다이 접착면에서의 상부 금속층내의 본딩 패드들은, 와이어 본드들에 의해서 다이에 연결되며, 상기 상부 금속층은, 상기 기관의 다이 접착면으로의 비아들을 통해서, 제 1 패키지 기관의 랜드 면에서의 하부 금속층에 연결된다. 그리고 바닥 패키지 기관의 랜드 면에서의 하부 금속층은, 주변에 배치된 본딩 패드들을 제공하기 위해서 패터닝되는바, 상기 주변에 배치된 본딩 패드들은 z-상호연결 와이어들(118)과 연결되기 위한 것이다.

[0080] 본 발명에 따른 구조는, 어셈블리가 다중-패키지 모듈로 들어가기 전에 상기 CSP 및 상기 LGA 둘다에 대한 사전 테스트를 가능케 하며, 규정에 맞지않는 패키지들을 조립되기 전에 배제할 수 있기 때문에, 이에 의해 매우 높은 최종 모듈 테스트 수율을 확보할 수 있다.

[0081] 도1에 도시된 적층된 패키지에 관한 실시예에서, 각각의 패키지 기관들 상의 z-상호연결 패드들은, 패키지 기관의 가장자리 인근의 금속층들 상에 배치된다. z-상호연결 패드들의 위치 및 순서는, 상기 패키지들이 적층되었을 때, 탑 패키지 기관 상의 z-상호연결 패드들이, 바닥 패키지 기관 상의 대응하는 z-상호연결 패드들과 대략 중첩되도록 배치되는 것이 일반적이다. 편리하게도, 제 2 패키지(10)는 제 1 패키지(100)의 기관 풋프린트보다 더 큰 기관 풋프린트를 가지는바, 이는 상기 기관들의 금속층들의 예지들과의 전기적인 단락이 없이, 와이어 본딩이 수행될 수 있는 여유를 허용하기 위함이다.

[0082] 적층된 제 1 및 제 2 패키지들을 연결하는 z-상호연결 와이어 본드들이 형성되면, 어셈블리 캡슐(107)이 형성되는바, 이는 z-상호연결 와이어 본드들을 둘러싸고 보호하며, 완료된 모듈에 기계적 통합성(integrity)을 제공한다. 상기 어셈블리 캡슐(107)은, LGA 기관의 다이 접착면의 가장자리 영역을 커버하며, z-상호연결 와이어 본드들 및 와이어 루프들, 수직 벽들, 및 제 1 (CSP) 패키지의 예지들을 에워싸며, 제 1 (CSP) 패키지 기관의 랜드

면의 가장자리 영역을 커버하며, 와이어 루프들 및 와이어 본드들이 연결되는 와이어 본딩 패드들을 포함하고 있다. 이러한 어셈블리 캡슐(107)은, 제 1 패키지 기관의 랜드 면의 소정 영역을 노출된 채로 남겨놓고 있으며, 이는 제 2 레벨 상호연결을 위한 것이다. 달리 말하면, 제 1 패키지 측의 어셈블리 캡슐 내에 캐비티가 형성되며, 제 2 패키지 기관의 랜드 면의 내측(inboard) 영역을 노출된 채로(캡슐화되지 않은 상태로) 남겨둔다. 도3을 참조하면, 솔더 볼들(318)은, 캡슐내의 캐비티 안쪽의 기관의 하부 금속층 상의 본딩 패드들(119)로 리플로우되며, 아래쪽에 위치한 회로(가령, 컴퓨터와 같은 최종 제품의 마더보드, 미도시)와의 연결을 제공한다. 하기에서 좀더 상세히 설명되는 바와같이, 추가 패키지들 또는 다이는, 제 2 패키지 기관의 랜드 면 상에 마운트될 수 있으며, 제 2 패키지 기관의 랜드 면과 전기적으로 연결될 수 있다.

[0083] 도1 및 도3에서 일례로서 도시된 바와같이, 상기 모듈은 자체적으로 소우 단일화될 수도 있으며, 또는 대안적으로 상기 모듈은 소우 단일화되기 보다는 개별적으로 몰딩될 수도 있다.

[0084] 이해되는 바와같이, 상기 제 1 및 제 2 패키지들 중 어느 하나 또는 이들 모두는, 각각의 패키지 기관에 다이를 연결하기 위해서, 와이어 본딩 대신에 플립칩 상호연결을 사용할 수도 있다.

[0085] 제 1 패키지 및 제 2 패키지 중 어느 하나 또는 이들 모두는 적층된 다이 패키지일 수도 있다. 도2에는, 제 1 패키지 및 제 2 패키지 둘다는 와이어 본딩된 다이를 각각 2개씩 갖고있는 적층된 다이 패키지들이라는 점을 제외하면, 도1에 도시된 것과 대체적으로 같은 적층된 패키지 어셈블리(2)가 일례로서 도시되어 있다. 이제 도2를 참조하면, 제 1 패키지(120)는 2개의 다이를 갖는 통상적인 적층 다이 CSP 이다. 패키지(120)에서, 제 1 다이(114)는 기관(112)의 다이 접촉면(도2에서 위쪽을 향하고 있음)에 접착제를 이용하여 접착되며, 제 2 다이(144)는 제 1 다이(114)의 다이 접촉면(도2에서 위쪽을 향하고 있음)에 접착제를 이용하여 접착된다. 제 1 다이(114) 및 제 2 다이(144)는, 와이어 본드들(116, 146)에 의해서, 상부 금속층(121) 내의 본드 사이트들에 각각 전기적으로 연결된다. 상기 다이들(114, 144) 및 와이어 본드들(116, 146)은, 몰딩 화합물(217)로 매트릭스 몰딩 및 소우 단일화에 의해 캡슐화되는바, 이는 대기(ambient) 및 기계적 스트레스로부터 보호를 제공하여 취급을 용이하게 하도록 하며, 그 위에 제 2 패키지가 적층될 수 있는 제 1 패키지 상부 표면(229)을 제공한다. 도2의 실시예에서, 제 2 패키지(110)는 캐비티 몰딩되며 편치 단일화되는 2개의 다이를 갖는 적층 다이 LGA이다. 패키지(110)에서, 제 1 다이(14)는 기관(12)의 다이 접촉면(도2에서 아래쪽을 향하고 있음)에 접착제를 이용하여 접착되며, 제 2 다이(44)는 제 1 다이(14)의 일면(도2에서 아래쪽을 향하고 있음)에 접착제를 이용하여 접착된다. 제 1 다이(14) 및 제 2 다이(44)는, 와이어 본드들(16, 46)에 의해서, 상부 금속층(21) 내의 본드 사이트들에 각각 전기적으로 연결된다. 상기 다이들(14, 44) 및 와이어 본드들(16, 46)은, 몰딩 화합물(17)로 캐비티 몰딩됨에 의해 캡슐화되는바, 이는 대기(ambient) 및 기계적 스트레스로부터 보호를 제공하여 취급을 용이하게 하도록 하며, 몰드캡 상부 표면(219)을 제공한다. 적층된 패키지 어셈블리(2)에서, 제 1 및 제 2 패키지들(120, 110)은 서로에 대해서 반전되어 있으며, 이들 각각의 몰딩 또는 몰드캡의 상부 표면들 사이에서 접착제(103)를 사용하여 하나의 패키지가 다른 하나의 패키지 위에 부착되어 있다. z-상호연결 와이어 본드들(218)이 형성된다. 적층된 제 1 및 제 2 패키지들을 연결하는 z-상호연결 와이어 본드들이 일단 형성되면, 어셈블리 캡슐화(207)가 수행되는바, 이는 z-상호연결 와이어 본드들을 둘러싸고 보호하며, 완료된 모듈에 기계적 통합성(integrity)을 제공한다. 상기 어셈블리 캡슐화(207)는, LGA 기관의 다이 접촉면의 가장자리 영역을 커버하며, z-상호연결 와이어 본드들 및 와이어 루프들, 수직 벽들, 및 바닥 패키지의 에지들을 에워싸며, 바닥 패키지 기관의 랜드 면의 가장자리 영역을 커버하며, 와이어 루프들 및 와이어 본드들이 연결되는 와이어 본딩 패드들을 포함하고 있다. 이러한 어셈블리 캡슐화(207)는, 제 1 패키지 (CSP) 기관의 랜드 면의 소정 영역을 노출된 채로 남겨놓고 있으며, 이는 제 2 레벨 상호연결을 위한 것이다. 솔더 볼들은, 노출된 제 1 패키지 기관의 하부 금속층 상의 본딩 패드들(119)로 리플로우되며, 아래쪽에 위치한 회로(가령, 컴퓨터와 같은 최종 제품의 마더보드)와의 상호연결을 제공한다.

[0086] 대안적인 실시예에서, 제 2 패키지 기관의 노출된 면은 제 2 레벨 상호연결을 제공한다. 설명을 위한 일례로서, 도4에 도시된 실시예는, 금속층(23) 상의 패드들(419) 위에 마운트된 제 2 레벨 상호연결 솔더 볼들(418)을 갖고 있는바, 이는 어셈블리를 그 아래쪽에 위치한 회로(가령, 마더보드)와 연결하기 위함이다. 이와같은 실시예들에서, 제 1 패키지 기관의 노출된 부분은 가령, 패키지들, 다이, 또는 수동 디바이스들과 같은 추가 구성요소들을 적층하는데 이용가능하다. 이러한 실시예들에서, 제 2 레벨 상호연결들에 대해서는 제 2 패키지 기관의 랜드 면 상에서 더 넓은 영역이 이용가능하며, 수동 디바이스들(29)에 대해서는 제 2 패키지 기관의 다이 접촉면 상에서 더 넓은 영역이 이용가능하다. 한편, 제 1 패키지 기관의 노출된 부분은 제 2 패키지 기관보다 더 한정된 영역을 갖는데, 이는 제 1 패키지 측에서 만들어질 수 있는 상호연결들의 갯수를 제한한다. 또한, 제 1 패키지 기관의 랜드 면의 가장자리 영역을 커버하는 어셈블리 몰딩(107)의 일부분은, 와이어 본드(118)의 루프 높이

를 수용할 수 있을 만큼 두꺼워야만 한다(허용오차를 포함해서). 전형적으로, 와이어 루프들에서의 상기 몰딩 두께는, 약 50 μ m 내지 200 μ m 의 범위이다. 역(reverse) 와이어 본딩이 적용되어, 와이어 루프의 말단이 제 1 패키지의 랜드 면 상의 패드들 위에 꿰매지는(stitched) 경우에는, 실제상에서 상기 와이어 루프 높이는 약 35 μ m 정도로 작을 수도 있으며, 따라서, 이러한 실시예에서는 상기 가장자리 영역 위의 몰딩 두께는 약 100 μ m 정도로 작을 수 있다. 포워드(foward) 와이어 본딩이 적용되는 경우에는 더 높은 몰딩 높이가 요구될 것인바, 약 1 mil 두께의 와이어를 형성할 수 있는 현재 이용가능한 와이어 본딩 기법들을 사용하는 경우에는, 볼(또는 범프) 위로의 와이어 루프의 높이가 약 100 μ m 또는 그 이상인 것이 점점 일반적인 것이 되고 있기 때문이다.

[0087] 사실상 이러한 것은, 제 1 패키지 기관의 노출된 영역 둘레에서 낮은 벽들을 상승시키고 있으며, 그리고 이는 제 1 패키지 기관의 랜드 면 상에 적층될 수도 있는 디바이스들의 치수들 및 구성을 제한할 수 있다. 예를 들어, 제 1 패키지 기관의 랜드 면의 노출된 영역에서 제 2 레벨 상호연결이 만들어지는, 도3에 도시된 바와같은 실시예들에서는, 훨씬 더 큰 추가 구성요소들을 상기 어셈블리 위에 적층하는 것이 허용되는바, 이는 가령 도7B 및 도8B에 도시된 바와같다.

[0088] 제 2 레벨 상호연결이 제 2 패키지 기관의 랜드 면에서 만들어지는, 가령 도4에 도시된 바와같은 실시예들이 도 16 및 도17에 일례로서 도시되어 있다. 하기에서 좀더 상세히 설명되는 바와같이, 하나 이상의 추가 구성요소들이, 캡슐의 캐비티 내의 제 1 패키지 기관의 랜드 면에 마운트되고 전기적으로 연결될 수 있다.

[0089] 도5A 및 도5B는, 도1에서 도면부호 112로 도시된 적절한 제 1 패키지 기관의 랜드 면과 다이 접착면의 평면을 각각 도식적으로 도시한 도면이다. 도5A를 참조하면, 랜드 면의 표면 대부분이 솔더 마스크에 의해 커버되어 있는바, 솔더 마스크는 하부의 패터닝된 금속층을 가리고 있으나 금속층의 사이트들은 솔더 마스크의 개구부들에 의해 노출되어 있다. 솔더 마스크의 개구부는 패터닝된 금속층의 사이트들을 기관의 랜드 면에서 노출시키고 있는바, 기관 표면의 중앙 영역에서 배열된 볼 패드들(예를 들면, 53)과, 기관의 에지(52) 인근의 가장자리 영역에서 배열된 본드 핑거들(예를 들면, 56)을 포함한다. 금속층의 트레이스들(예를 들면, 523)은 솔더 마스크에 의해 가리워져 있으며, 트레이스들은 볼 패드들(53) 및 본드 핑거들(56)을 다양하게 연결하거나 및/또는 볼 패드들(53)과 비아들(예를 들면, 522)을 연결하는바, 비아들은, 기관의 랜드 면에서의 패터닝된 금속층의 트레이스들과 기관의 다이 접착면에서의 패터닝된 금속층의 트레이스들을 전기적으로 연결한다.

[0090] 전술한 바와같이, 어셈블리 캡슐은 본드 패드들(56) 및 상기 패드(56)들에 형성된 와이어 루프들을 커버한다. 상기 캡슐은 기관의 랜드 면에서 가장자리 영역까지만으로 제한되며 이는 도5A에서 파선(broken line : 58)으로 표시되어 있는바, 따라서 제 1 패키지 기관의 랜드 면의 영역은 가장자리에서 캡슐화된 것에 의해 경계지워진다. 즉, 파선(58) 안의 영역은 어셈블리 몰딩을 형성하는 후속 공정에서 노출된 채로 남는다. 따라서, 상기 볼 패드들(53)은 어셈블리와 그 아래쪽의 회로(도3에서 일례로 도시된 바와같은)와의 z-상호연결에 이용가능하며, 또는 본 발명의 다른 실시예에서는 추가 디바이스들(도4에서 일례로 도시된 바와같은)의 접착에 이용가능하다. 상기 볼 패드들(53)은, 어셈블리 이전에 패키지를 테스트하기 위한 테스트 프로브 사이트들로서도 또한 이용가능하며, 또는 바람직하게는 제 2 레벨 상호연결 솔더 볼들 또는 추가 디바이스들을 마운트하기 전에, 패키지 어셈블리를 테스트하기 위해서도 이용가능하다. 캡슐화된 가장자리 영역은 폭(도5A에서 MW)을 갖는바, 상기 폭은, 본드 핑거들의 길이, 트레이스에서 본드 핑거까지의 거리 및 소우 스트리트(saw street)의 폭의 합에 의해 결정된다. 또한, 가장자리의 안쪽 에지의(도5A의 파선(58) 에서) 기관 표면 상에서, 다소의 몰드 플래시(some mold flash)가 나타날 수도 있다. 기관이 스트립 또는 어레이 중 하나로서 제공되는 경우, 상기 에지에서의 기관 물질은, 제 1 패키지를 소우 단일화하는 동안에 소우 폭까지 어느정도 손실된다. 전형적으로, 본드 핑거 길이는 약 250 μ m 이고, 핑거 트레이스 길이는 약 50 μ m 이며, 몰드 수지가 번지는 것(mold resin bleed)에 대한 허용오차(allowance)는 약 500 μ m 가 될 수 있다. 일반적으로, 소우 공정(The saw)은 약 50 μ m 를 소모한다.

[0091] 실제적인 문제로서, 볼 패드들(53)의 갯수 및 배치는 볼의 지름에 좌우되는바, 이는 볼들은 붕괴되었을 때 서로 접촉하지 않아야 하며 또는 너무 가까워지지도 말아야 하기 때문이다. 또한 실제적인 문제로서, 볼 패드들(53)의 사이즈 및 근접성은, 트레이스들 및 특히, 솔더 마스크 개구부들을 제조하는 공정에서의 해상도 제한에 의해서 한정된다. 전형적인 일례에서, 볼 패드들은 일반적으로 약 280 μ m 의 지름을 갖는 원형이며, 정사각형 또는 직사각형 어레이로 배열되는바, 이때 중심과 중심 사이의 거리는 약 500 μ m 이다.(인접한 솔더 마스크 개구부들의 가장 가까운 에지들 사이의 거리는, 상기 중심과 중심 사이의 거리의 적어도 약 0.2배인 것이 전형적이다.)

[0092] 다이가 접착된 제 1 패키지 기관의 다이 접착면이 도5B에 도시되어 있다. 다이(114)는, 활성면이 위를 향한 채

로, 기관의 다이 접촉면에 부착되어 있다. 이러한 일례에서, 상기 다이는 정사각형을 만드는 4개의 변들을 갖는다. 와이어 본드 패드들(51)은 상기 다이의 4개의 변들 인근에 일렬로 배열된다. 기관의 랜드 면에서와 마찬가지로, 금속층의 사이트들이 솔더 마스크의 개구부들에 의해 노출되고 있다는 점을 제외하면, 다이 접촉면 표면의 대부분은 솔더 마스크에 의해 가리워져 있는바, 본드 핑거들(예를 들면, 54)의 일렬들(각 열은 다이의 각 변을 따라 배열됨)을 포함한다. 와이어들(116)이 다이 패드들(51)과 본드 핑거들(54)을 연결한다. 금속층의 트레이스들(예를 들면, 521)은 솔더 마스크에 의해 가리워져 있으며, 상기 트레이스들은 본드 핑거들(54)을 비아들(예를 들면, 522)에 연결하는바, 비아들은, 기관의 다이 접촉면에서의 패터닝된 금속층의 트레이스들과 기관의 랜드 면에서의 패터닝된 금속층의 트레이스들을 전기적으로 연결한다. 따라서, 제 1 패키지 다이는 와이어들에 의해서, 제 1 패키지 기관의 다이 접촉면 상의 패터닝된 금속층 내에 있는 트레이스들과 연결되며, 그리고 제 1 패키지 다이는 비아들에 의해서, 랜드 면 상의 금속층 내에 있는 트레이스들 및 z-상호연결 와이어 본드 핑거들과 연결된다. z-상호연결 와이어들은, 제 1 패키지 기관의 랜드 면 상의 본드 핑거들과 제 2 패키지 기관의 다이 접촉면 상의 본드 핑거들을 연결한다.

[0093] 도6A 및 도6B는, 도1에서 도면부호 12로 도시된 적절한 제 2 패키지 기관의 랜드 면과 다이 접촉면의 평면을 각각 도식적으로 도시한 도면이다. 도6A를 참조하면, 랜드 면의 표면 대부분이 솔더 마스크에 의해 커버되어 있는바, 솔더 마스크는 하부의 패터닝된 금속층을 가리고 있으나 금속층의 사이트들은 솔더 마스크의 개구부들에 의해 노출되어 있다. 솔더 마스크의 개구부는 기관의 랜드 면에서의 패터닝된 금속층 내의 사이트들을 노출시키고 있는바, 기관 표면의 중앙 영역에서 배열된 볼 패드들(예를 들면, 63)을 포함한다. 금속층의 트레이스들(예를 들면, 623)은 솔더 마스크에 의해 가리워져 있으며, 트레이스들은 볼 패드들(63)과 비아들(예를 들면, 622)을 연결하는바, 비아들은, 기관의 랜드 면에서의 패터닝된 금속층의 트레이스들과 기관의 다이 접촉면에서의 패터닝된 금속층의 트레이스들을 전기적으로 연결한다.

[0094] 전술한 바와같이, 후속 어셈블리 캡슐화에서 제 2 패키지 기관의 랜드 면은 전체가 노출된 채로 남는다. 따라서, 도6A에서 제 2 패키지 기관의 모습은, 실질적으로 어셈블리 표면의 모습이다. 따라서, 볼 패드들(63)은 어셈블리와 그 아래쪽의 회로(도4에서 일례로 도시된 바와같은)와의 z-상호연결에 이용가능하며, 또는 좀더 바람직하게는, 추가 디바이스들(도3에서 일례로 도시된 바와같은)의 접촉에 이용가능하다. 또한, 상기 볼 패드들(63)은, 어셈블리 이전에 패키지를 테스트하기 위한 테스트 프로브 사이트들로서도 이용가능하며, 바람직하게는 제 2 레벨 상호연결 솔더 볼들을 마운트하기 전에, 패키지 어셈블리를 테스트하기 위해서도 이용가능하다.

[0095] 선택적으로, 그리고 몇몇 응용예들에서 바람직하게는, 제 2 패키지 기관의 위쪽으로 향한 랜드 면 상에 볼 접촉 패드들이 적용될 수도 있는바, 이는 통상적인 테스트 소켓을 이용하여 LGA 를 테스트 하는 것을 용이하게 하기 위함이다. LGA 에 대한 이러한 테스트는 탑 LGA 패키지를 바닥 패키지에 접촉하기 전에 수행될 수 있는데, 이는, 오직 "양호" 하다고 테스트된 탑 LGAs 만이, 바닥 CSP 패키지들(이들 역시 테스트되며 양호한 것으로 식별될 수 있다) 위에 적용되는 것을 보장해 준다. 또는, LGA 에 대한 테스트는, LGA 의 반전 및 탑 패키지로서 부착되는 것 이후에 수행될 수도 있지만, 전체적인 모듈 몰딩이 형성되기 이전에, 또는 z-상호연결 와이어 본딩 이전에 수행된다. 본 발명의 구성에 따라서, 제조공정의 임의의 스테이지들에서 용이성을 갖게 된 상기 테스트는, 사양을 만족시키지 못하는 구성요소들에 대한 유사한 후속 프로세싱을 상당한 정도로 감소시킬 수 있다.

[0096] 다이가 접촉된 제 2 패키지 기관의 다이 접촉면이 도6B에 도시되어 있다. 다이(14)는, 활성면이 위를 향한 채로, 기관의 다이 접촉면에 부착되어 있다. 이러한 일례에서, 상기 다이는 정사각형을 만드는 4개의 변들을 갖는다. 와이어 본드 패드들(61)은 상기 다이의 4개의 변들 인근에 일렬로 배열된다. 기관의 랜드 면에서와 마찬가지로, 금속층의 사이트들이 솔더 마스크의 개구부들에 의해 노출되고 있다는 점을 제외하면, 다이 접촉면 표면의 대부분은 솔더 마스크에 의해 가리워져 있는바, 다이 상호연결 본드 핑거들(예를 들면, 64)의 일렬들(각 열은 다이의 각 변을 따라 배열됨) 및 기관의 에지(62) 인근의 가장자리 영역에서 배열된 z-상호연결 본드 핑거들(예를 들면, 66)을 포함한다. 와이어들(116)은 다이 패드들(61)과 다이 상호연결 본드 핑거들(64)을 연결한다. 금속층의 트레이스들(예를 들면, 621)은 솔더 마스크에 의해 가리워져 있으며, 상기 트레이스들은 본드 핑거들(64)을 비아들(예를 들면, 622)에 연결하고, 다이 상호연결 본드 핑거들(64)을 z-상호연결 본드 핑거들(66)에 연결하는바, 상기 비아들은, 기관의 다이 접촉면에서의 패터닝된 금속층의 트레이스들과 기관의 랜드 면에서의 패터닝된 금속층의 트레이스들을 전기적으로 연결한다.

[0097] 제 2 패키지 z-상호연결 패드들(본드 핑거들)(66)은, 제 2 패키지 기관(12)의 다이 접촉면 상의 가장자리 영역에 위치한 금속층의 소정 영역을 패터닝함으로써 형성된다. 가장자리는 적층된 CSP 패키지의 풋프린트 너머로 확장되며, CSP 패키지 기관(112)의 에지(52)에 의해 정의된다. 가장자리의 폭은 약 1mm 정도로 작을 수 있으며, 와이어 본딩을 위한 적절한 허용오차를 제공하기 위해서, 상기 가장자리의 폭은 약 0.2mm 보다 더 큰 것이 바람

직할 수도 있다. 명목상으로, 몇몇 실시예들에서, 상기 가장자리는 약 0.5mm 이다.

- [0098] 전술한 바와같이, 제 2 패키지 몰드캡은 다이, 다이 상호연결 와이어들, 및 다이 상호연결 본드 핑거들을 커버하며, z-상호연결 본딩 핑거들을 포함하여 기관 주변 인근의 가장자리 영역을 패키지 몰딩에 의해 커버되지 않은 상태로 남겨놓는다. 따라서, 제 2 패키지 다이는 와이어들에 의해서 제 1 패키지 기관의 다이 접촉면 상의 금속층 내에 있는 트레이스들에 연결되며,비아들에 의해서 트레이스들 및 랜드 면 상의 금속층 내에 있는 z-상호연결 와이어 본드 핑거들에 연결된다. z-상호연결 와이어들은, 제 2 패키지 기관의 다이 접촉면 상의 본드 핑거들과 제 1 패키지 기관의 랜드 면 상의 본드 핑거들을, 연결한다. 이와 유사하게, 2개의 다이들 모두는 트레이스들, 와이어들, 비아들에 의해서, 기관들의 랜드 면들 상의 패드들에 적절하게 상호연결되며, 여기서 아래쪽의 기관(제 2 레벨 상호연결)으로의 어셈블리의 상호연결 및 상기 어셈블리 위에 적층된 추가 디바이스들로의 어셈블리의 상호연결이 만들어진다.
- [0099] 도면에 도시된 바와같이, 패키지 기관들 사이의 z-상호연결을 용이하게 하기 위해서는, 제 2 패키지 기관은 제 1 패키지 기관보다 더 큰 풋프린트를 가져야 할 필요가 있다. 도시된 일례에서, z-상호연결들은 패키지들의 4개의 에지들 모두를 따라 배열되어 있으며, 따라서, 제 2 패키지는 제 1 패키지보다 더 넓고 더 길다. 이해될 수도 있는 바와같이, 본 발명에 따른 몇몇 어셈블리들에서는, z-상호연결이 4개의 에지들 보다는 더 적은 수의 에지들 상의 본드 핑거들 사이에서 만들어 질 수도 있으며, 예를 들면, 오직 하나의 에지 또는 서로 마주보고 있는 2개의 에지를 따라서 만들어질 수도 있다. 이러한 실시예들에서(제 2 기관에서의 더 큰 다이가 더 큰 풋프린트를 요구하지 않는 한), 제 2 패키지는 제 1 패키지보다 오직 한 방향으로만 더 크면 된다.
- [0100] 제 1 및 제 2 패키지들은 임의의 다양한 기능들을 가질 수도 있다. 예를 들면, CSP 패키지는 DSP, ASIC, GPU 가 될 수 있으며, LGA 패키지는 플래시, DRAM, SRAM 과 같은 메모리가 될 수 있다 .
- [0101] 본 발명의 이러한 양상에 따른 플립 칩 바닥 패키지내의 프로세서 칩은, 예를 들면, ASIC, 또는 GPU, 또는 CPU, 또는 ASIC 이 될 수 있다. 그리고, 탑 패키지는 예를 들면, 프로세서 칩 또는 메모리 패키지 또는 ASIC 패키지가 될 수 있다 .탑 패키지가 메모리 패키지인 경우에, 상기 탑 패키지는 적층된 다이 메모리 패키지가 될 수 있다. 쉴드된 플립 칩 다이-업 바닥 패키지(shield flip chip die-up bottom package)는, 더 빠른 어플리케이션들에 특히 적절할 수 있으며, 특히 이동통신 어플리케이션들의 RF 주파수 프로세싱에 적절하다.
- [0102] 본 발명에 따른 또 다른 구성들에서, 어셈블리 상의 이용가능한(노출된) 기관 표면에, 추가 패키지가 접촉된다.
- [0103] 몇몇 실시예들에서, 제 2 패키지 기관의 노출된 랜드 면 상에서, 추가 패키지가 어셈블리에 접촉된다. 이러한 실시예에서, 도1 또는 도2에 도시된 것과 같은 어셈블리는, 추가 기능들을 갖는 구성요소들이 적층될 수 있는 유용한 플랫폼을 제공할 수 있는바, 이는 도7A 내지 도13에 일례로서 도시되어 있다. 제 2 패키지 기관이 완전히 노출되어 있기 때문에, 임의의 구성들 및 사이즈들을 갖는 다양한 구성요소(다이 또는 패키지)들을 수용할 수 있다. 그리고, 어셈블리의 구성요소들과의 호환성을 위해 필요한 것은, 추가 구성요소들을 받아들일 수 있도록, 노출된 제 2 패키지 기관 상의 트레이스들을 적절히 라우팅시키는 것이다.
- [0104] 예를 들면, 도7A 및 도7B에 도시된 바와같이, 볼 그리드 어레이(BGA) 패키지는, 전술한 도3을 참조하여 제조된 어셈블리 위에 마운트될 수 있다. 도7A에서, 상호연결 솔더 볼들(718)을 갖는 BGA 패키지(710)는, 제 2 패키지(10) 기관의 랜드 면에 정렬되어 그 위에 마운트되어 있으며, 상기 솔더 볼들은 금속층(23)의 볼 패드들 상에 리플로우되어 모듈(70)을 형성한다. 여기서, BGA의 풋프린트는 어셈블리의 풋프린트보다 더 작다. 도7B에 도시된 모듈(72)에서, BGA(720)의 풋프린트는 어셈블리의 풋프린트보다 크며, 볼 어레이는 좀 더 많은 상호연결 솔더 볼들을 갖는바, 따라서 제 2 패키지(10) 기관 위의 볼 패드들을 좀더 많이 점유하고 있다. 또한, 도7B에 도시된 실시예에서, BGA 는 적층된 다이 패키지인 반면에, 도7A의 BGA는 단일 다이 패키지이다.
- [0105] 그리고, 예를 들면, 도8A 또는 도8B에 도시된 바와같이, 추가 랜드 그리드 어레이(LGA) 패키지가, 전술한 도3을 참조하여 제조된 어셈블리 위에 마운트될 수 있다. 도8A에서, 랜드 상호연결들(818)을 갖는 LGA 패키지(810)는, 제 2 패키지(10) 기관의 랜드 면에 정렬되어 그 위에 마운트되어 있으며, 상기 랜드 상호연결들은 금속층(23)의 패드들 상에 리플로우되어 모듈(80)을 형성한다. 여기서, LGA의 풋프린트는 어셈블리의 풋프린트보다 더 작다. 도8B에 도시된 모듈(82)에서, LGA(820)의 풋프린트는 어셈블리의 풋프린트보다 크며, 어레이는 좀 더 많은 랜드 상호연결들을 갖는바, 따라서 제 2 패키지(10) 기관 위의 패드들을 좀더 많이 점유하고 있다. 또한, 도8B에 도시된 실시예에서, LGA 는 적층된 다이 패키지인 반면에, 도8A의 LGA는 단일 다이 패키지이다.
- [0106] 도7B 및 도8B에 도시된 바와같이 적층 패키지 어셈블리 위에 더 큰 추가 패키지가 마운트된 구성은, 예를 들면, 제 1 및 제 2 패키지(10, 100)내에 프로세서들을 포함할 수 있으며, 또한 추가 패키지(720 또는 820)로서 메모

리 패키지를 포함할 수 있다. 어셈블리의 CSP(100) 및 LGA(10)의 풋프린트는, 각 패키지들 내의 다이의 치수에 의해 기본적으로 결정되며, 이는 일반적으로 다이의 기능들과 관련된다. 예를 들어, ASIC 은 비교적 매우 작을 수도 있지만, 다른 프로세서들은 상당히 다른 사이즈들을 가질 수도 있다. 한편으로, 메모리 다이는 비교적 클 수도 있다. 예를 들어, 디지털 신호처리 프로세서(DSP) 패키지는, 전형적으로 12×12 mm 에서 16×16 mm 범위의 풋프린트를 갖는다. 다른 한편으로, 예를 들어, 메모리 패키지는, 전형적으로 8×10 mm 에서 18×18 mm 범위의 풋프린트를 갖는다. 따라서, 만일, 도3에 도시된 바와같은 어셈블리가, 어셈블리(3)에 대해서 16×16 mm 의 풋프린트를 갖는 DSP를, 제 1 또는 제 2 패키지(10, 100)에서 포함하고 있다면, 제조자(manufacturer)는, 소비자의 사양들(specifications)에 따라, 더 작은 LGA 메모리 패키지(모듈(80)을 구성하는 도8A의 도면부호 810) 또는 더 큰 LGA 메모리 패키지(모듈(82)을 구성하는 도8B의 도면부호 820)를 선택할 수도 있다. 따라서, 도7A, 7B, 8A, 8B에 도시된 실시예들에 관해서, 제조자들은, 기능(메모리 용량 및 스피드; 메모리 유형)에 따라, 그리고 다양한 공급자들로부터의 생산비용에 따라 선택된 메모리 BGA 또는 LGA 와 함께, 어셈블리 플랫폼들을 취사 선택(mix-and-match)할 수 있다.

[0107] 또 다른 추가 구성요소들 또는 디바이스들이 어셈블리 상에 마운트될 수 있으며, 이는 상기 구성요소들로부터의 전기적 상호연결을 수용하도록, 제 2 패키지 기판의 랜드 면이 적절히 라우팅되지만 하면 된다. 도9는, 수동 디바이스들(96)을 구비하고 있으며, 대체적으로 도3에 도시된 바와같이 구성된 적층 패키지 어셈블리 위에 마운트되어 있는 적층 다이 쿼드 플랫폼 패키지(900)를 갖는 모듈(90)을 도시한 것이다. 도10은, 수동 디바이스들(106)을 구비하고 있으며, 대체적으로 도3에 도시된 바와같이 구성된 적층 패키지 어셈블리 위에 마운트되어 있는, 논리이드(nonlead) 적층 다이 쿼드 플랫폼 리드프레임 칩 스케일 패키지(1000)(stacked die quad flat nonlead lead frame chip scale package)를 갖는 모듈(100)을 도시한 것이다. 도11은, 수동 디바이스들(1106)을 구비하고 있으며, 대체적으로 도3에 도시된 바와같이 구성된 적층 패키지 어셈블리 위에 마운트되어 있는, 와이어 본딩된 다이(1100)를 갖는 모듈(110)을 도시한 것이다. 상기 다이 및 와이어들은 캡슐화 수지를 주사 투여함(syringe dispensing)에 의해 형성되는 소위 "글롭 탑(glop top)" 캡슐에 의해 커버된다. 도12는, 수동 디바이스들(1206)을 구비하고 있으며, 대체적으로 도3에 도시된 바와같이 구성된 적층 패키지 어셈블리 위에 마운트되어 있는, 플립 칩 마운트된 다이(1200)를 갖는 모듈(120)을 도시한 것으로, 언더필(underfill)이 플립 칩 상호연결들을 보호한다. 도13은, 수동 디바이스들(1306)을 구비하고 있으며, 대체적으로 도3에 도시된 바와같이 구성된 적층 패키지 어셈블리 위에 마운트되어 있는, 광학 센서 패키지(1300)(이는 이미지 형성 디바이스일 수도 있다)를 갖는 모듈(130)을 도시한 것으로서, 화살표(1320)로 표시된 바와같이 빛은 투명한 커버 또는 렌즈(1302)를 통과하여, 와이어 본딩된 광 센서 다이의 활성면에 도달한다.

[0108] 도14는, 대체적으로 도3에 도시된 바와같이 구성된 적층 패키지 어셈블리를 포함하고 있는 어셈블리(140)를 도시한 것으로, 제 2 패키지 기판의 랜드 면 상에 마운트된 열 발산기(1400)를 갖고 있다.

[0109] 본 발명의 다른 실시예들에서, 추가 패키지는, 어셈블리 캡슐 내의 캐비티 내에서, 제 1 패키지 기판의 랜드 면의 노출된 영역 상에서 어셈블리에 접착된다. 이러한 실시예들에서, 도4에 도시된 바와같이 제 2 패키지 기판의 랜드 면 상에서 제 2 레벨 상호연결을 구비한 도1 또는 도2의 어셈블리는, 추가 기능들을 갖는 구성요소들이 적층될 수 있는 유용한 플랫폼을 제공할 수 있는바, 이는 예를 들어 도16 내지 도24에 예시되어 있다. 도4의 플랫폼을 채용하는 실시예들에서, 제 1 패키지 기판 상의 트레이스들은, 추가 구성요소들을 받아들이기 위해서 적절히 라우팅되어야만 한다.

[0110] 예를 들어 도16에 도시된 바와같이, 볼 그리드 어레이(BGA) 패키지는, 도4를 참조하여 앞서 설명된 바와같이 구성된 어셈블리 상에 마운트될 수 있다. 도16에서, 상호연결 솔더 볼들(718)을 갖는 BGA 패키지(710)는, 제 1 패키지(100) 기판의 랜드 면의 노출된 영역 위에 정렬되고 마운트되며, 상기 솔더 볼들은 금속층(123)내의 볼 패드들 상에 리플로우되어 모듈(160)을 형성한다. 그리고, 예를 들어 도17에 도시된 바와같이, 도4를 참조하여 앞서 설명된 바와같이 구성된 어셈블리 상에, 추가 다이가 마운트될 수 있으며 플립 칩 방식으로 전기적으로 연결될 수 있다. 도17에서, 플립 칩(1200)은, 제 1 패키지(100) 기판의 랜드 면의 노출된 영역 위에 정렬되고 캐비티 내에서 제 1 패키지(100) 기판의 랜드 면의 노출된 영역 위에 마운트되며, 패드들(123)과 연결되어 모듈(170)을 형성한다. 그리고 예를 들어, 도18에 도시된 바와같이, 도4를 참조하여 앞서 설명된 바와같이 구성된 어셈블리 상에, 추가 수동 디바이스들이 마운트되고 전기적으로 연결될 수 있다. 도18에서, 수동 디바이스들(182)은 캐비티 내에서 제 1 패키지(100) 기판의 랜드 면의 노출된 영역 위에 마운트되며, 패드들(123)과 연결되어 모듈(170)을 형성한다. 그리고 예를 들어, 도19에 도시된 바와같이, 도4를 참조하여 앞서 설명된 바와같이 구성된 어셈블리 상에, 적층 다이 쿼드 플랫폼 패키지가 마운트되고 전기적으로 연결될 수 있다. 도19에서, 적층 다이 쿼드 플랫폼 패키지(900)는 캐비티 내에서 제 1 패키지(100) 기판의 랜드 면의 노출된 영역 위에

마운트되며, 패드들(123)과 연결되어 모듈(180)을 형성한다. 그리고 예를 들어, 도20에 도시된 바와같이, 도4를 참조하여 앞서 설명된 바와같이 구성된 어셈블리 상에, 추가 다이가 마운트되고 와이어 본딩에 의해 전기적으로 연결될 수 있다. 도20에서, 다이(1100)는 캐비티 내에서 제 1 패키지(100) 기관의 랜드 면의 노출된 영역 위에 활성면이 위로 향하도록 마운트되며, 와이어 본딩들에 의해서 패드들(123)과 연결되어 모듈(200)을 형성한다. 그리고 예를 들어, 도21에 도시된 바와같이, 도4를 참조하여 앞서 설명된 바와같이 구성된 어셈블리 상에, 논리 디드(nonlead) 적층 다이 쿼드 플랫폼 리드 프레임 칩 스케일 패키지(1000)가 마운트된다. 도21에서, 논리 디드(nonlead) 적층 다이 쿼드 플랫폼 리드 프레임 칩 스케일 패키지(1000)는 캐비티 내에서 제 1 패키지(100) 기관의 랜드 면의 노출된 영역 위에 마운트되며, 패드들(123)과 연결되어 모듈(210)을 형성한다. 그리고 예를 들어, 도22에 도시된 바와같이, 도4를 참조하여 앞서 설명된 바와같이 구성된 적층형 패키지 어셈블리 상에, 이미지 형성 디바이스일 수도 있는 광학 센서 패키지(1300)가 마운트된다. 도22에서, 광학 센서 패키지(1300)는 캐비티 내에서 제 1 패키지(100) 기관의 랜드 면의 노출된 영역 위에 마운트되며, 패드들(123)과 연결되어 모듈(220)을 형성한다. 빛은, 화살표(1320)로 표시된 바와같이, 투명한 커버 또는 렌즈(1302)를 통과하여, 와이어 본딩된 광 센서 다이의 활성면에 도달한다. 그리고 예를 들어, 도23에 도시된 바와같이, 도4를 참조하여 앞서 설명된 바와같이 구성된 적층형 패키지 어셈블리 상에, 이미지 형성 디바이스일 수도 있는 광학 센서 다이가 마운트된다. 도23에서, 상기 다이는 와이어 본딩에 의해서 패드들(123)과 연결되어 모듈(230)을 형성한다. 투명한 커버 또는 렌즈들(1402)은 프레임(1404)에 의해 지지되는바, 상기 프레임은 어셈블리 캡슐(107) 상에 마운트된다. 빛은, 화살표(1420)로 표시된 바와같이, 투명한 커버 또는 렌즈(1402)를 통과하여, 와이어 본딩된 광 센서 다이의 활성면에 도달한다.

[0111] 도24에 도시된 바와같이, 캐비티 어셈블리 캡슐(247)은, 광학 센서 다이의 두께를 수용할 수 있도록 구성되고 치수화되는바, 상기 광학 센서 다이는 도23에서와 같은 적층된 패키지 어셈블리 위에 마운트되고 이와 전기적으로 연결되어 있다. 그리고 투명한 커버 또는 렌즈(2402)는 둘레 밀봉(perimeter seal)(2404)에 의해 지지되는바, 둘레 밀봉(2404)은 어셈블리 캡슐(247)의 리세스 내에 마운트된다.

[0112] 본 발명의 또 다른 실시예에 따른 플랫폼이 일례로서 도25에 도시되어 있다. 이러한 실시예는 도4에서 일례로서 도시된 실시예와 유사하다. 앞서 설명된 바와같은 도4의 실시예들에서는, 다이(14) 및 와이어 본딩들(16)은, 몰드 캡(17)을 형성하는 몰딩 화합물에 의해 캡슐화된다. 이와 반대로, 일례로서 도25에 도시된 플랫폼에서는, 몰드 캡이 없다. 도25의 일례에서, 다이(14)는 제 2 패키지 기관(12)에 와이어 본딩된다(16). 스페이서(252)가 상기 다이(14)의 활성면에 제공되며, 제 1 패키지(100)는 반전되어 상기 스페이서 상에 마운트된다. 상기 스페이서는, 상기 다이 위에서 몰딩되어 있는 제 1 패키지의 상부 표면(아래쪽을 향하고 있는)과 다이의 활성면 사이에서 여유(clearance)를 제공하는바, 따라서 상기 제 1 패키지는 와이어 루프들(16)과 충돌하지 않는다. 스페이서는 접착제(미도시)를 이용하여 다이에 부착될 수 있으며, 제 1 패키지는 접착제(미도시)를 이용하여 스페이서에 부착될 수 있다. 어셈블리 캡슐화(257)는 대체적으로 도16을 참조하여 설명된 것처럼 형성된다.

[0113] 도25에 도시된 바와같은 플랫폼은, 도16 내지 도24를 참조하여 대체적으로 앞서 설명된 바와 같이, 제 1 패키지 기관의 랜드 면의 노출된 영역 위에 마운트되고 이와 전기적으로 연결된 하나 이상의 추가 구성요소들을 가질 수 있다. 예를 들어 도26은, 제 1 패키지 기관 위에 마운트되고 이와 전기적으로 연결된 BGA 패키지(710)을 도시하고 있다(도16과 비교).

[0114] 도7A 및 도8A 에 도시된 바와같은 적층 패키지 어셈블리 위에 더 큰 추가 패키지가 마운트된 구성은, 예를 들면, 제 1 및 제 2 패키지(10, 100)내의 프로세서들을 포함할 수 있으며, 또한 추가 패키지(720 또는 820)로서 메모리 패키지를 포함할 수 있다. 어셈블리의 CSP(100) 및 LGA(10)의 풋프린트는, 각 패키지들 내의 다이의 치수에 의해 기본적으로 결정되며, 이는 일반적으로 다이의 기능들과 관련된다. 예를 들어, ASIC 은 비교적 매우 작을 수도 있지만, 다른 프로세서들은 상당히 다른 사이즈들을 가질 수도 있다. 한편으로, 메모리 다이는 비교적 클 수도 있다. 예를 들어, 디지털 신호처리 프로세서(DSP) 패키지는, 전형적으로 12×12 mm 에서 16×16 mm 범위의 풋프린트를 갖는다. 다른 한편으로, 예를 들어, 메모리 패키지는, 전형적으로 8×10 mm 에서 18×18 mm 범위의 풋프린트를 갖는다. 따라서, 만일, 도3에 도시된 바와같은 어셈블리가, 어셈블리(3)에 대해서 16×16 mm 의 풋프린트를 갖는 DSP를, 제 1 또는 제 2 패키지(10)에서 포함하고 있다면, 제조자(manufacturer)는, 소비자사의 사양들(specifications)에 따라서, 더 작은 LGA 메모리 패키지(모듈(80)을 구성하는 도8A의 도면부호 810) 또는 더 큰 LGA 메모리 패키지(모듈(82)을 구성하는 도8B의 도면부호 820)를 선택할 수도 있다. 따라서, 도7A, 7B, 8A, 8B에 도시된 실시예들에 관해서, 제조자들은, 기능(메모리 용량 및 스피드; 메모리 유형)에 따라서, 그리고 다양한 공급자들로부터의 생산비용에 따라서 선택된 메모리 BGA 또는 LGA 와 함께, 어셈블리 플랫폼들 취사선택(mix-and-match)할 수 있다.

- [0115] 또 다른 추가 구성요소들 또는 디바이스들이 어셈블리 상에 마운트될 수 있으며, 이는 상기 구성요소들로부터의 전기적 상호연결을 수용하도록, 제 2 패키지 기판의 랜드 면이 적절히 라우팅되지만 하면 된다. 도9는, 수동 디바이스들(96)을 구비하고 있으며, 대체적으로 도3에 도시된 바와같이 구성된 적층 패키지 어셈블리 위에 마운트되어 있는 적층 다이 쿼드 플랫폼 패키지(900)를 갖는 모듈(90)을 도시한 것이다. 도10은, 수동 디바이스들(106)을 구비하고 있으며, 대체적으로 도3에 도시된 바와같이 구성된 적층 패키지 어셈블리 위에 마운트되어 있는, 논리디드(nonlead) 적층 다이 쿼드 플랫폼 리드프레임 칩 스케일 패키지(1000)(stacked die quad flat nonlead lead frame chip scale package)를 갖는 모듈(100)을 도시한 것이다. 도11은, 수동 디바이스들(1106) 구비하고 있으며, 대체적으로 도3에 도시된 바와같이 구성된 적층 패키지 어셈블리 위에 마운트되어 있는, 와이어 본딩된 다이(1100)를 갖는 모듈(110)을 도시한 것이다. 상기 다이 및 와이어들은 캡슐화 수지를 주사 투여함(syringe dispensing)에 의해 형성되는 소위 "글롭 탑(glop top)" 캡슐에 의해 커버된다. 도12는, 수동 디바이스들(1206)을 구비하고 있으며, 대체적으로 도3에 도시된 바와같이 구성된 적층 패키지 어셈블리 위에 마운트되어 있는, 플립 칩 마운트된 다이(1200)를 갖는 모듈(120)을 도시한 것으로, 언더필(underfill)이 플립 칩 상호연결들을 보호한다. 도13은, 수동 디바이스들(1306)을 구비하고 있으며, 대체적으로 도3에 도시된 바와같이 구성된 적층 패키지 어셈블리 위에 마운트되어 있는, 광학 센서 패키지(1300)(이는 이미지 형성 디바이스일 수도 있다)를 갖는 모듈(130)을 도시한 것으로서, 화살표(1320)로 표시된 바와같이 빛은 투명한 커버 또는 렌즈(1302)를 통과하여, 와이어 본딩된 광 센서 다이의 활성면에 도달한다.
- [0116] 이해되는 바와같이 본 발명의 모든 다양한 양상들에서, 본 발명은, 제 1(CSP) 패키지 및 상기 CSP 패키지 위에 적층된 반전된 제 2(LGA) 패키지를 가지며, 적층된 상기 패키지들 사이에서 와이어 본딩된 z-상호연결들을 갖는 어셈블리를 특징으로 하며, 여기서 상기 어셈블리는 제 2(LGA) 패키지의 랜드 면이 노출되고 제 1(CSP) 패키지의 랜드 면의 일부가 노출되도록 캡슐화된다.
- [0117] 또한, 상기 어셈블리는 임의의 다양한 추가 구성요소들과의 결합을 위한 플랫폼을 구성한다. 따라서, 다양한 구성에서, 어셈블리의 제 2 레벨 상호연결이 한쪽 패키지(바람직하게는 제 1 패키지)의 랜드 면에서 만들어지며, 하나 이상의 추가 구성요소들이 타측 패키지(바람직하게는 제 2 패키지)의 랜드 면 위에 적층된다. 추가 구성요소들은 제품 어셈블리 플로어 상에서 제조자에 의해서 선택될 수도 있으며, 규격화된(off-the-shelf) 구성요소들 중에서 선택될 수도 있다.
- [0118] 본 발명의 적층된 패키지 어셈블리는, 가령 예를 들면, 컴퓨터, 휴대용 통신 디바이스들, 소비자 제품들과 같은 임의의 다양한 응용예들에서 채용될 수 있다.
- [0119] 본 발명에 따른 적층된 패키지 어셈블리는, 컴퓨터들, 통신 장비들, 그리고 소비자용 및 산업용 전자 기기들을 제조하는데 이용될 수 있다. 본 발명은, 높은 최종 테스트 수율에서 얇고 최소한의 풋프린트 패키지를 갖는 하나 이상의 반도체 어셈블리를 제공한다. 개별 패키지들의 구조는, 이들이 어셈블리 내로 조립되기 이전에 테스트될 수 있게 하며, 따라서 양호한 패키지 구성요소들만이 어셈블리에 적용되는 것을 보장하며 따라서 높은 어셈블리 수율을 얻을 수 있다.
- [0120] 본 발명은 설계상의 유연성을 제공하는바, 특히 선택된 기능들을 갖는 구성요소들을 선택함에 있어서 유연성을 제공하며, 표준화된 패키지들의 사용을 가능케하므로, 커스텀 디자인에 대한 필요성을 감소시키고 비용을 절감시킨다.
- [0121] 본 발명에서 사용되는 CSP 패키지들 및 LGA 패키지들을 제조하는 공정 절차들은, 와이어 본딩 및 플립 칩 유형의 패키지들에 대해서 해당 기술분야에서 잘 정립되어 있다.
- [0122] 어셈블리(조립) 공정은 본 발명의 다양한 양상들에 따른 구성들과 유사하다. 일반적으로, 상기 공정은, LGA 패키지 기판 및 상기 LGA 패키지 기판에 접촉된 적어도 하나의 다이를 포함하고 있으며 캐비티 몰딩된 LGA 패키지를 제공하는 단계, LGA 패키지의 몰드 캡의 표면 상에 접착제를 도포하는 단계, 매트릭스 몰딩을 제공하고 CSP 패키지 기판 및 적어도 하나의 다이를 포함하는 CSP 패키지를 소우 단일화하는 단계, 상기 CSP 패키지를 LGA 패키지에 대하여 반전시키는 단계, LGA 몰드 캡 표면상의 접착제 위에 상기 반전된 CSP 패키지를 위치시키는 단계, 접착제를 큐어링하는 단계 및 CSP 및 LGA 기판들 사이에서 z-상호연결을 형성하는 단계를 포함한다.
- [0123] 바람직하게는, 상기 패키지들은 조립되기 이전에 테스트될 수 있으며, 성능 또는 신뢰성의 제한사항들을 만족시키지 못하는 패키지는 폐기될 수 있다. 따라서 "양호" 한 것으로 판별된 제 1 및 제 2 패키지만이 어셈블리된 모듈내로 사용될 수 있다. LGA 및 CSP 를 테스트하는 것은 해당 산업에서 잘 정립되어 있으며, 솔더 볼 패드들에 접촉을 액세스함으로써 수행되는 것이 전형적이다. LGA 는 2가지 방법들 중 어느 하나로 테스트될 수

있는바, 즉, 기관의 LGA 의 하부 표면 상의 패드들(BGA 에서의 솔더 볼들의 패드들과 유사함)에 접촉을 액세스 함으로서 수행되거나 또는 기관의 상부 표면 상의 z-상호연결 패드들에 액세스함으로써 수행된다. 완성된 어셈블리는 BGA 를 테스트하는 것과 동일하게 테스트될 수 있다.

[0124] 도15는, 도3에서 일례로서 도시된 바와같은 적층된 패키지 어셈블리를 조립하는 공정에 대한 순서도이다. 단계 1502에서, 랜드 그리드 어레이 패키지들의 단일화되지 않은 스트립(unsingulated strip)이 제공된다. 랜드 그리드 어레이 패키지들 상의 다이 및 와이어 본드 구조들은 몰딩에 의해서 보호된다. 스트립의 LGA 패키지들은 제조 공정의 후속 단계들이 수행되기 전에 성능 및 신뢰성에 대해서 테스트되는 것이 바람직하다(도면에서 * 로 표시됨). "양호" 로 식별된 패키지들만이 후속 처리를 받게 된다. 단계 1504 에서, "양호" 한 LGA 패키지들 상의 몰딩의 상부 표면들 위로 접착제가 도포된다. 단계 1506 에서, 단일화된 칩 스케일 패키지들이 제공된다. 단일화된 CSP 패키지들은 몰딩에 의해 보호받으며, 테스트되어 "양호" 한 것으로 식별되는 것이 바람직하다. 단계 1508 에서, "양호"한 CSP 패키지들을 반전시키고, "양호한" LGA 패키지들 상의 몰딩 위의 접착제 상에 상기 "양호"한 CSP 패키지를 위치시키도록, 픽-앤드-플레이스(pick-and-place) 동작이 수행된다. 단계 1510에서, 접착제가 큐어링된다. 단계 1512 에서, 단계 1514 에 대한 준비로서 플라즈마 세정 동작이 수행되는바, 단계 1514 에서는 와이어 본딩된 z-상호연결들이, 적층된 LGA 및 CSP의 랜드 면들 상의 와이어 본드 사이트들 사이에서 형성된다. 단계 1516 에서, 추가 플라즈마 세정이 수행될 수도 있으며, 적층된 패키지 어셈블리 몰딩이 후속으로 단계 1518에서 형성된다. 몰딩 장비는, 몰딩 화합물이 z-상호연결 와이어 루프들을 캡슐화하는 것을 허용하도록 구성되며, 몰딩 화합물이 CSP의 랜드 면의 내부 영역안으로 유입되는 것을 방지하도록 구성된다. 단계 1520 에서, 제 2 레벨 상호연결 솔더 볼들이 CSP의 랜드 면의 노출된 내부 영역에 접착된다. 단계 1522 에서, 완성된 어셈블리가 테스트되고(*), 소우 단일화에 의해 스트립으로부터 단일화되며, 후속 사용을 위해서 패키지된다.

[0125] 도27은 도4에서 일례로서 도시된 바와같은 적층된 패키지 어셈블리를 조립하는 공정에 대한 순서도이다. 단계 2702에서, 랜드 그리드 어레이 패키지들의 단일화되지 않은 스트립(unsingulated strip)이 제공된다. 랜드 그리드 어레이 패키지들 상의 다이 및 와이어 본드 구조들은 몰딩에 의해서 보호된다. 스트립의 LGA 패키지들은 제조 공정의 후속 단계들이 수행되기 전에 성능 및 신뢰성에 대해서 테스트되는 것이 바람직하다(도면에서 * 로 표시됨). "양호" 로 식별된 패키지들만이 후속 처리를 받게 된다. 단계 2704 에서, "양호" 한 LGA 패키지들 상의 몰딩의 상부 표면들 위로 접착제가 도포된다. 단계 2706 에서, 단일화된 칩 스케일 패키지들이 제공된다. 단일화된 CSP 패키지들은 몰딩에 의해 보호받으며, 테스트되어(*) "양호" 한 것으로 식별되는 것이 바람직하다. 단계 2708 에서, "양호"한 CSP 패키지를 반전시키고, "양호한" LGA 패키지들 상의 몰딩 위의 접착제 상에 상기 "양호"한 CSP 패키지를 위치시키도록, 픽-앤드-플레이스(pick-and-place) 동작이 수행된다. 단계 2710에서, 접착제가 큐어링된다. 단계 2712 에서, 단계 2714 에 대한 준비로서 플라즈마 세정 동작이 수행되는바, 단계 2714 에서는 와이어 본딩된 z-상호연결들이, 적층된 LGA 및 CSP의 랜드 면들 상의 와이어 본드 사이트들 사이에서 형성된다. 단계 2716 에서, 추가 플라즈마 세정이 수행될 수도 있으며, 적층된 패키지 어셈블리 몰딩이 후속으로 단계 2718에서 형성된다. 몰딩 장비는, 몰딩 화합물이 z-상호연결 와이어 루프들을 캡슐화하는 것을 허용하도록 구성되며, 몰딩 화합물이 CSP의 랜드 면의 내부 영역안으로 유입되는 것을 방지하도록 구성된다. 단계 2720 에서, 제 2 레벨 상호연결 솔더 볼들이 LGA의 노출된 랜드 면에 접착된다. 단계 2722 에서, 완성된 어셈블리가 테스트되고(*), 소우 단일화에 의해 스트립으로부터 단일화되며, 후속 사용을 위해서 패키지된다.

[0126] 도28은 도25에서 일례로서 도시된 바와같은 적층된 패키지 어셈블리를 조립하는 공정에 대한 순서도이다. 단계 2802에서, 마운트되고 전기적으로 연결된 마운트를 갖는 랜드 그리드 어레이 기관들의 단일화되지 않은 스트립(unsingulated strip)이 제공된다. 랜드 그리드 어레이 패키지들 상의 다이 및 와이어 본드 구조들은 몰딩에 의해서 보호된다. 스트립의 LGA 패키지들은 제조 공정의 후속 단계들이 수행되기 전에 성능 및 신뢰성에 대해서 테스트되는 것이 바람직하다(도면에서 * 로 표시됨). "양호" 로 식별된 패키지들만이 후속 처리를 받게 된다. 단계 2804 에서, "양호" 한 LGA 패키지들 상의 몰딩의 상부 표면들 위로 접착제가 도포된다. 단계 2806 에서, 단일화된 칩 스케일 패키지들이 제공된다. 단일화된 CSP 패키지들은 몰딩에 의해 보호받으며, 테스트되어(*) "양호" 한 것으로 식별되는 것이 바람직하다. 단계 2808 에서, "양호"한 CSP 패키지를 반전시키고, "양호한" LGA 패키지들 상의 몰딩 위의 접착제 상에 상기 "양호"한 CSP 패키지를 위치시키도록, 픽-앤드-플레이스(pick-and-place) 동작이 수행된다. 단계 2810에서, 접착제가 큐어링된다. 단계 2812 에서, 단계 2814 에 대한 준비로서 플라즈마 세정 동작이 수행되는바, 단계 2814 에서는 와이어 본딩된 z-상호연결들이, 적층된 LGA 및 CSP의 랜드 면들 상의 와이어 본드 사이트들 사이에서 형성된다. 단계 2816 에서, 추가 플라즈마 세정이 수행될 수도 있으며, 적층된 패키지 어셈블리 몰딩이 후속으로 단계 2818에서 형성된다. 몰딩 장비는, 몰딩 화합물이 z-상호연결 와이어 루프들을 캡슐화하는 것을 허용하도록 구성되며, 몰딩 화합물이 CSP의 랜드 면의 내부 영역안으로 유입되는 것을 방지하도록 구성된다. 단계 2820 에서, 제 2 레벨 상호연결 솔더 볼들이 LGA의 노출된 랜드 면에 접

착된다. 단계 2822 에서, 완성된 어셈블리가 테스트되고(*), 소우 단일화에 의해 스트립으로부터 단일화되며, 후속 사용을 위해서 패키징된다.

[0127] 본 발명에 따른 공정들의 다양한 단계들 각각은, 본 명세서에 개시된 바와같은 통상적인 생산 설비들에 대한 수월한(straightforward) 변형과 함께 실질적으로 통상적인 기술들을 사용하여, 본 명세서에서 설명된 바와같은 방법에 따라 수행될 수 있다. 통상적인 기술들에 대한 이러한 가변성 및 통상적인 생산 장비의 변형(이를 필요로 할 수도 있음)은, 과도한 경험이 없이도 본 명세서의 설명을 이용하여 이루어질 수 있다.

[0128] 다른 실시예들은 다음의 청구항들 내에 속한다.

도면의 간단한 설명

[0039] 도1은 본 발명의 일 양상에 따른 적층된 패키지 어셈블리에 대한 일실시예의 단면을 도시한 도면이다.

[0040] 도2는 본 발명의 다른 양상에 따른 적층된 패키지 어셈블리에 대한 일실시예의 단면을 도시한 도면이다.

[0041] 도3은 본 발명의 다른 양상에 따른 적층된 패키지 어셈블리에 대한 일실시예의 단면을 도시한 도면이다.

[0042] 도4는 본 발명의 다른 양상에 따른 적층된 패키지 어셈블리에 대한 일실시예의 단면을 도시한 도면이다.

[0043] 도5A는 도3에 도시된 바와같은 본 발명의 일실시예에서 사용되기에 적절한 장치에서, 본 발명의 일실시예에 따른 CSP 기판의 랜드 면을 도시한 평면도이다.

[0044] 도5B는 도3에 도시된 바와같은 본 발명의 일실시예에서 사용되기에 적절한 장치에서, 본 발명의 일실시예에 따른 CSP 기판의, 다이가 접촉된 다이 접촉면을 도시한 평면도이다.

[0045] 도6A는 도3에 도시된 바와같은 본 발명의 일실시예에서 사용되기에 적절한 장치에서, 본 발명의 일실시예에 따른 LGA 기판의 랜드 면을 도시한 평면도이다.

[0046] 도6B는 도3에 도시된 바와같은 본 발명의 일실시예에서 사용되기에 적절한 장치에서, 본 발명의 일실시예에 따른 LGA 기판의, 다이가 접촉된 다이 접촉면을 도시한 평면도이다.

[0047] 도7A 내지 도7B는, 본 발명의 일실시예에 따른 적층된 패키지 어셈블리의 단면을 도시한 도면으로, 이들 각각은 도3에 도시된 바와같은 본 발명의 일실시예에 따른 어셈블리 위에 적층된 BGA 를 포함하고 있다.

[0048] 도8A 내지 도8B는, 본 발명의 일실시예에 따른 적층된 패키지 어셈블리의 단면을 도시한 도면으로, 이들 각각은 도3에 도시된 바와같은 본 발명의 일실시예에 따른 어셈블리 위에 적층된 LGA 를 포함하고 있다.

[0049] 도9는, 본 발명의 일실시예에 따른 적층된 패키지 어셈블리의 단면을 도시한 도면으로, 도3에 도시된 바와같은 본 발명의 일실시예에 따른 어셈블리 위에 적층된 SD QFP 를 포함하고 있다.

[0050] 도10은, 본 발명의 일실시예에 따른 적층된 패키지 어셈블리의 단면을 도시한 도면으로, 도3에 도시된 바와같은 본 발명의 일실시예에 따른 어셈블리 위에 적층된 SD QFN/LFCSP 를 포함하고 있다.

[0051] 도11은, 본 발명의 일실시예에 따른 적층된 패키지 어셈블리의 단면을 도시한 도면으로, 도3에 도시된 바와같은 본 발명의 일실시예에 따른 어셈블리 위에 적층된, 와이어 본딩된 다이를 포함하고 있다.

[0052] 도12는, 본 발명의 일실시예에 따른 적층된 패키지 어셈블리의 단면을 도시한 도면으로, 도3에 도시된 바와같은 본 발명의 일실시예에 따른 어셈블리 위에 적층된, 플립 칩 다이를 포함하고 있다.

[0053] 도13은, 본 발명의 일실시예에 따른 적층된 패키지 어셈블리의 단면을 도시한 도면으로, 도3에 도시된 바와같은 본 발명의 일실시예에 따른 어셈블리 위에 적층된, 광학 센서 패키지를 포함하고 있다.

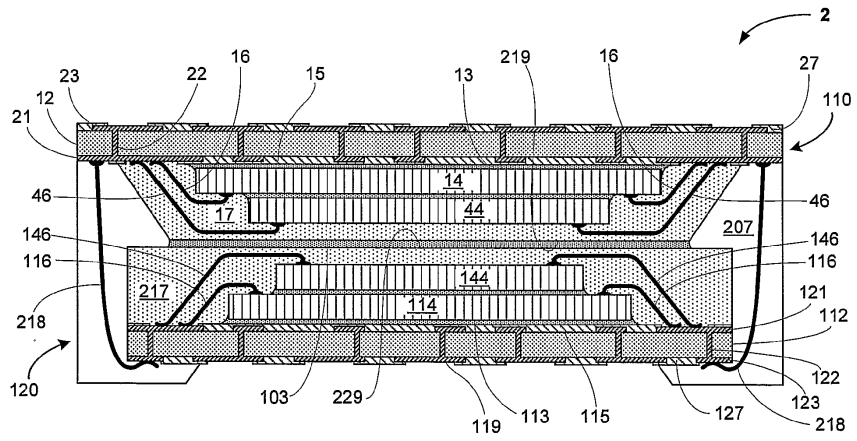
[0054] 도14는, 본 발명의 일실시예에 따른 적층된 패키지 어셈블리의 단면을 도시한 도면으로, 도3에 도시된 바와같은 본 발명의 일실시예에 따른 어셈블리 위에 적층된, 열 분산기를 포함하고 있다.

[0055] 도15는, 도3에 도시된 바와같은 본 발명의 일실시예에 따른 적층된 패키지 어셈블리를 제조하기 위한 공정의 단계들을 도시한 도면이다.

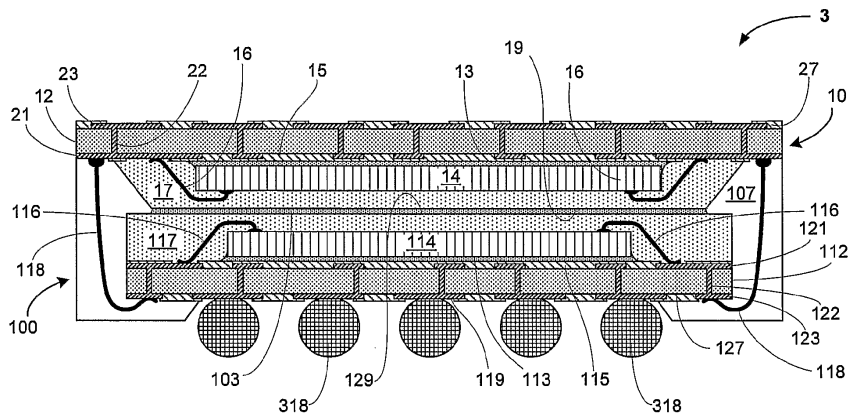
[0056] 도16은, 본 발명의 일실시예에 따른 적층된 패키지 어셈블리의 단면을 도시한 도면으로, 도4에 도시된 바와같은 본 발명의 일실시예에 따른 어셈블리 위에 적층된, BGA 를 포함하고 있다.

[0057] 도17은, 본 발명의 일실시예에 따른 적층된 패키지 어셈블리의 단면을 도시한 도면으로, 도4에 도시된 바와같은

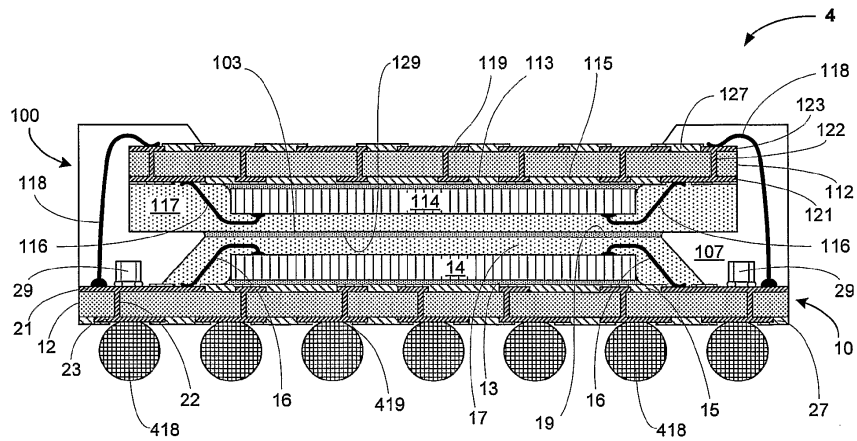
도면2



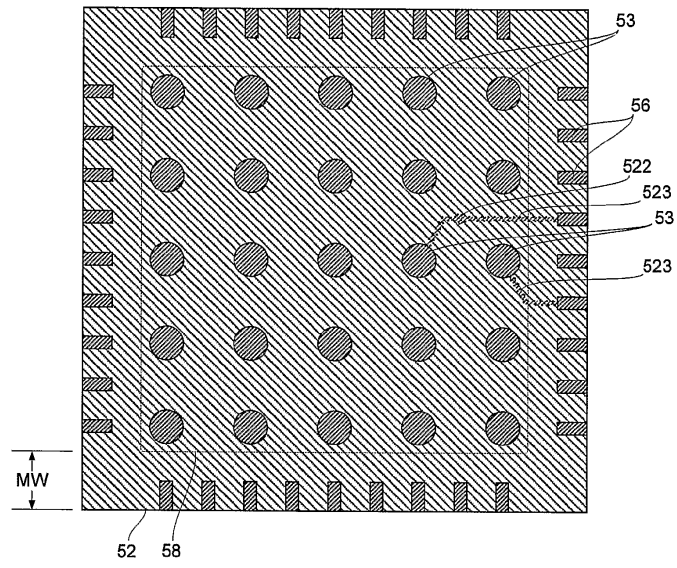
도면3



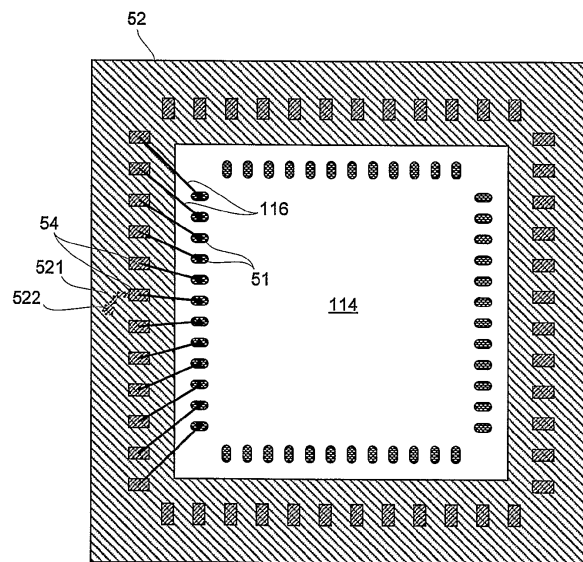
도면4



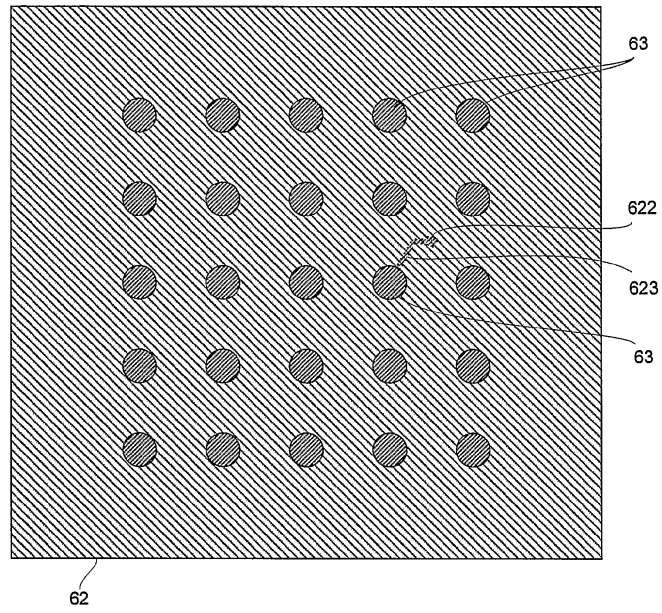
도면5A



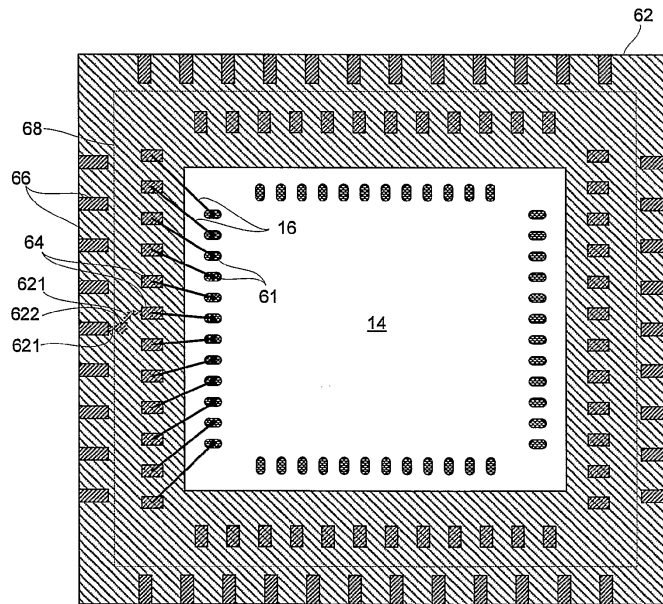
도면5B



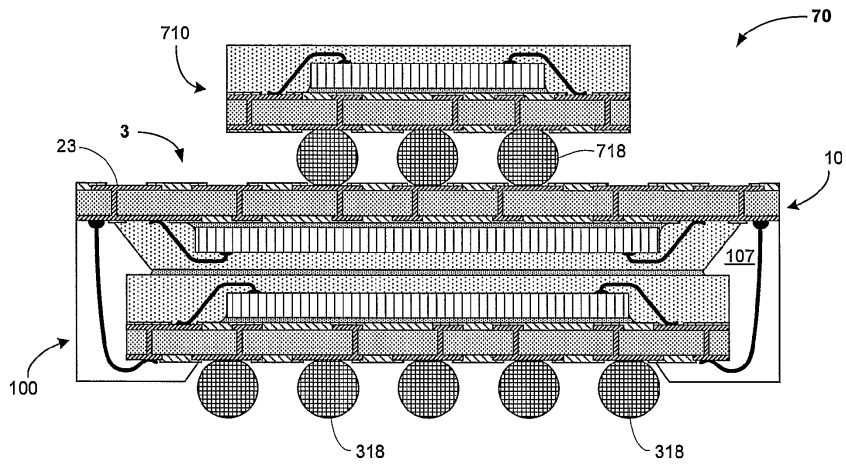
도면6A



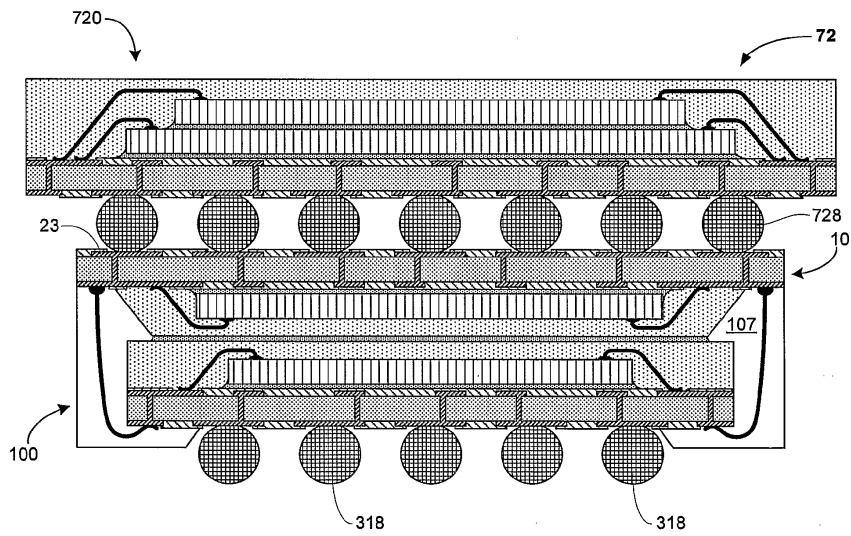
도면6B



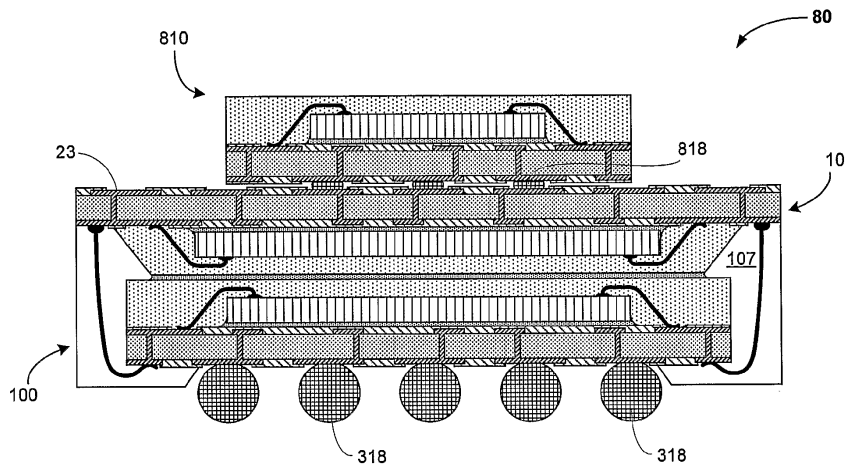
도면7A



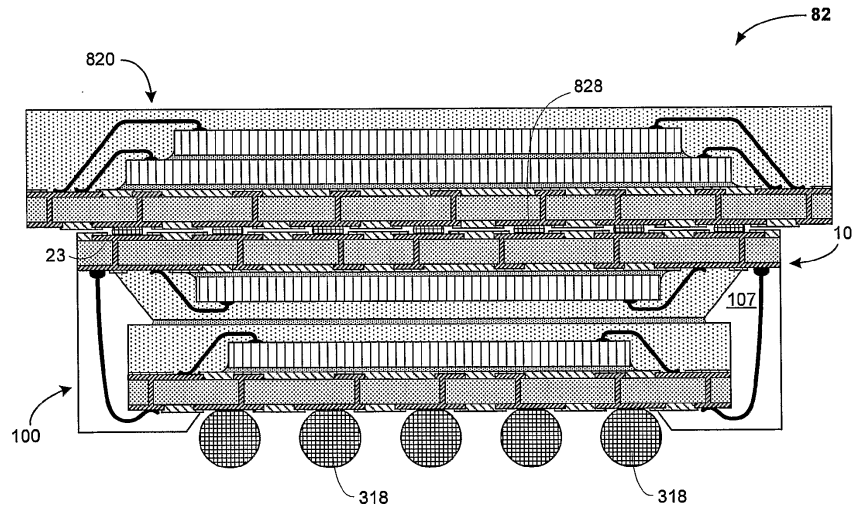
도면7B



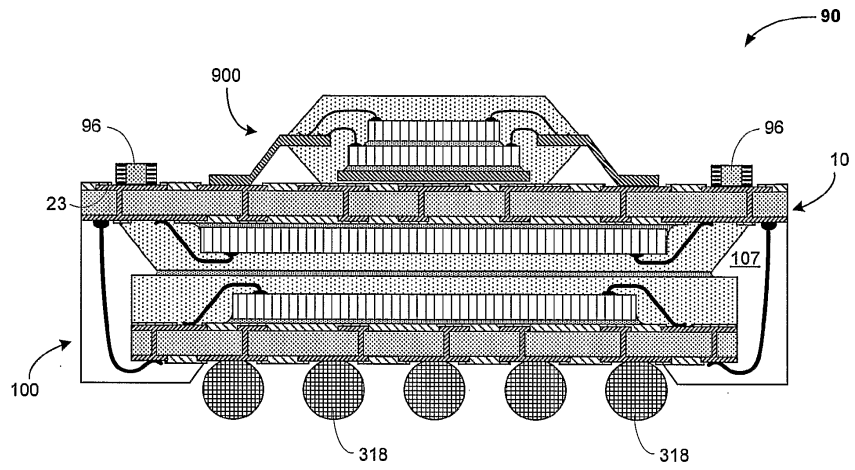
도면8A



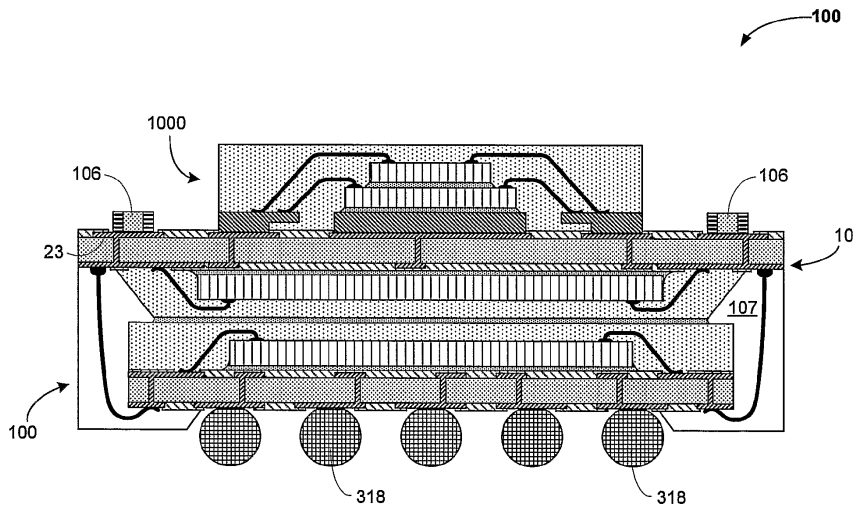
도면8B



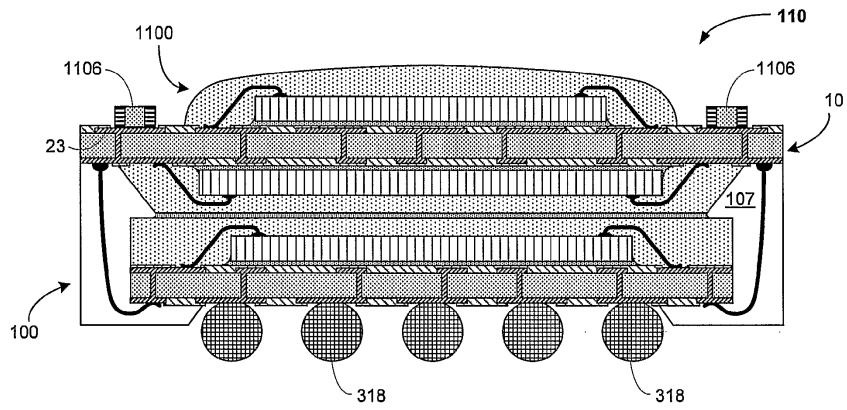
도면9



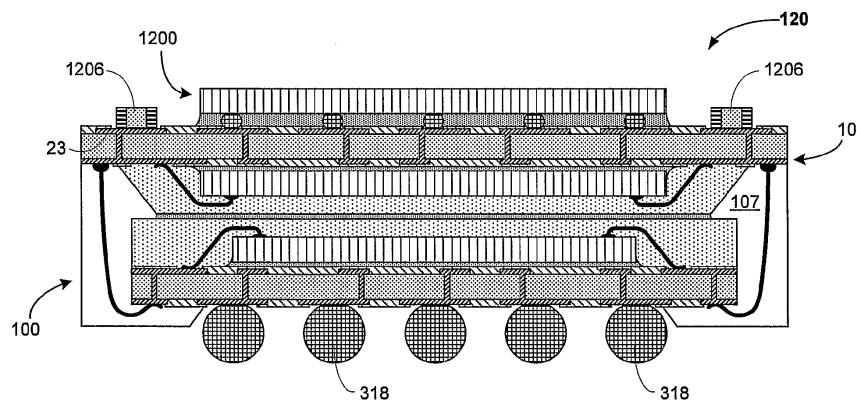
도면10



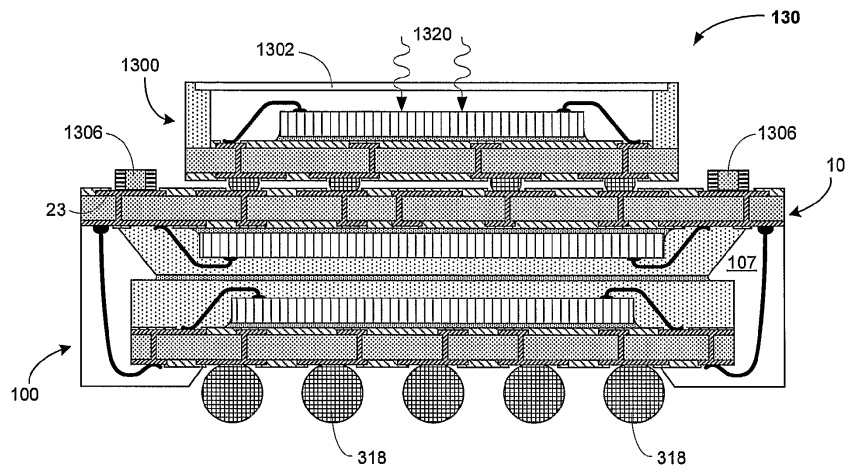
도면11



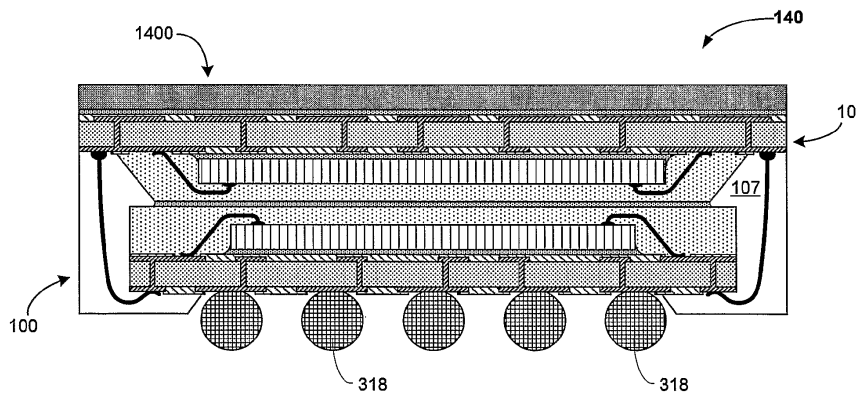
도면12



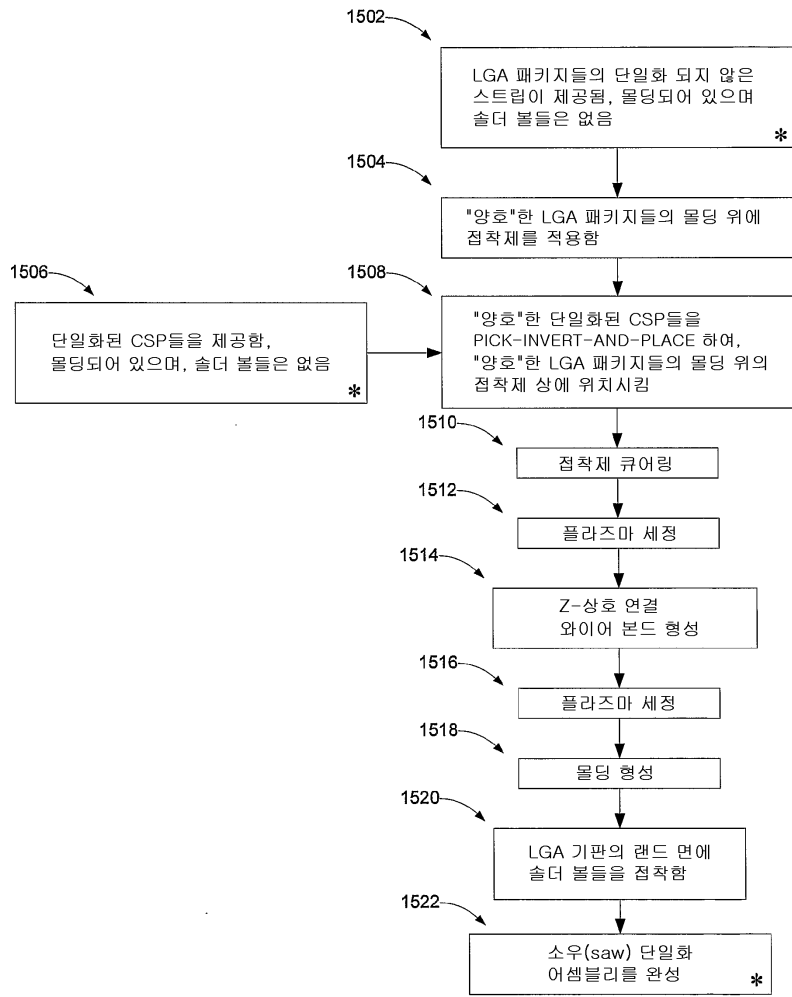
도면13



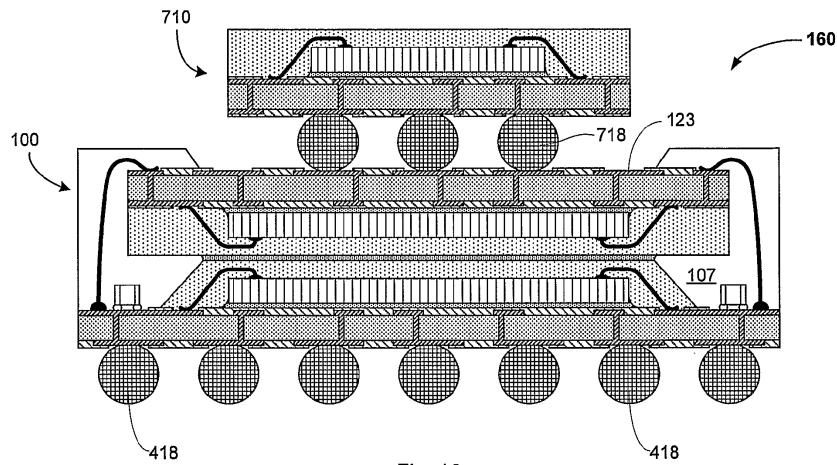
도면14



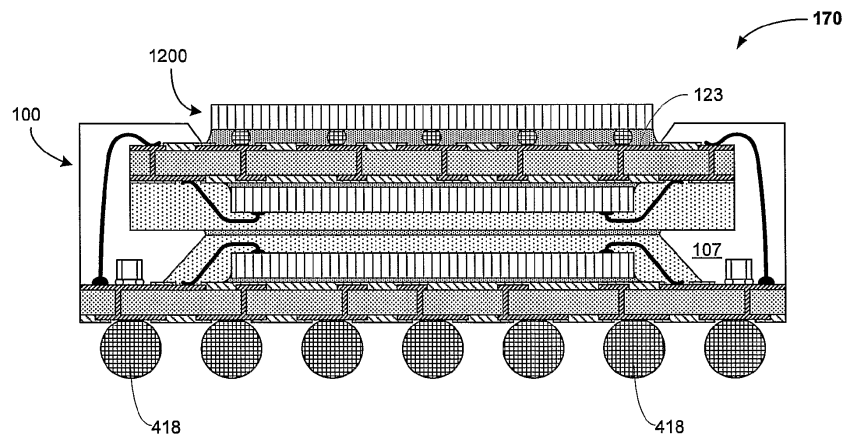
도면15



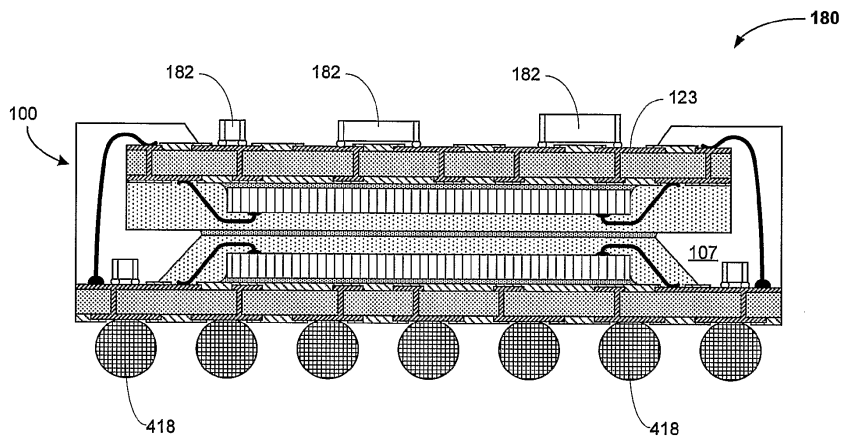
도면16



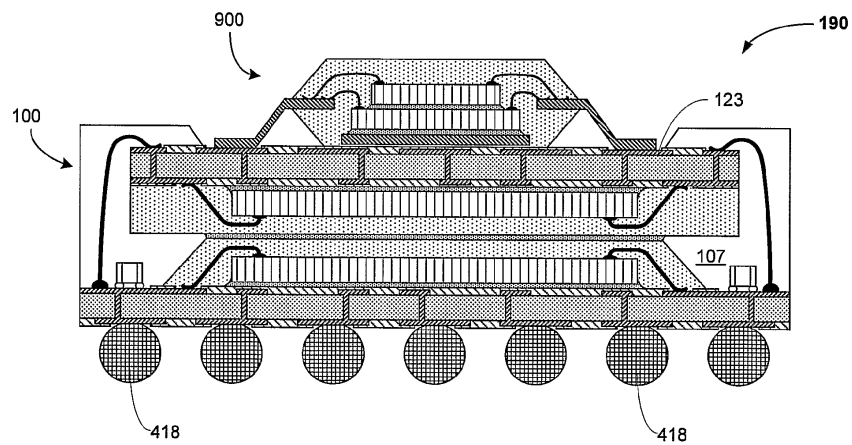
도면17



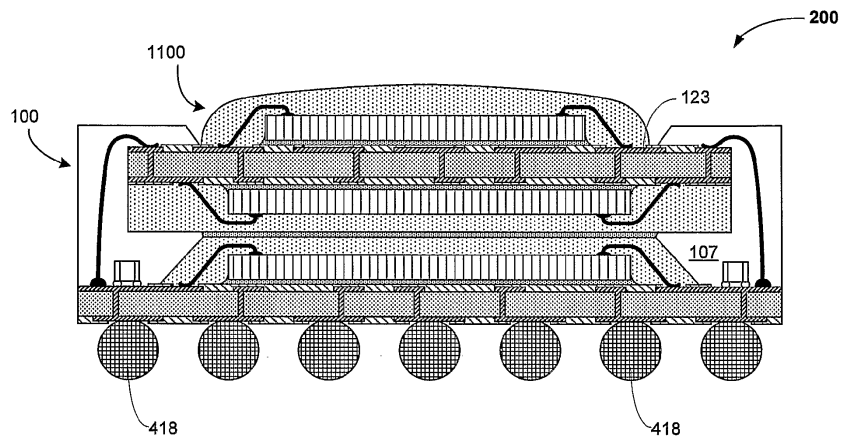
도면18



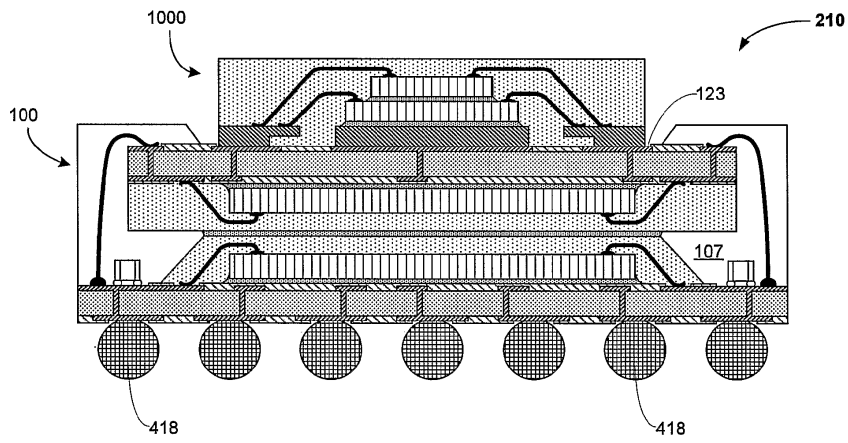
도면19



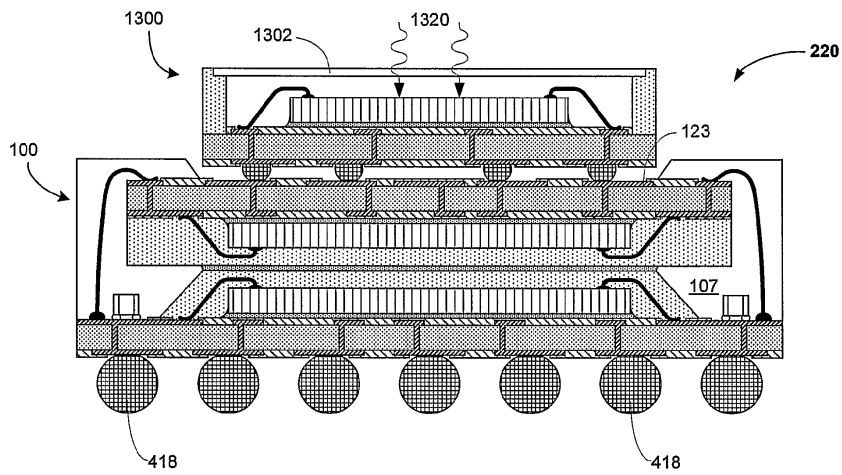
도면20



도면21



도면22



도면23

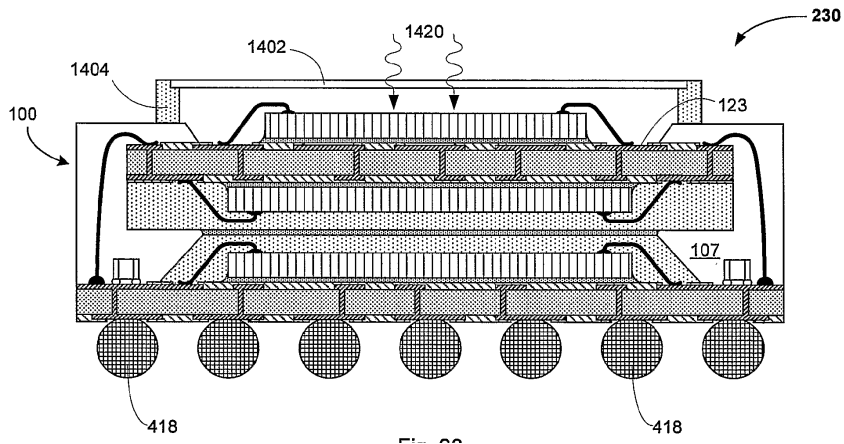


Fig. 23

도면24

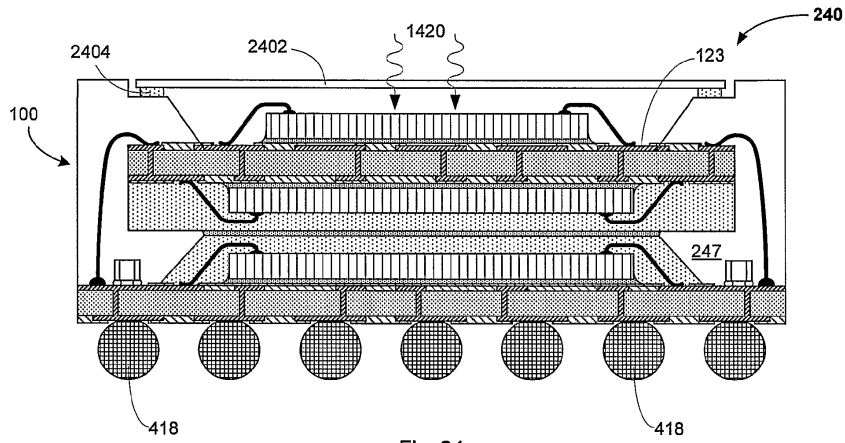


Fig. 24

도면25

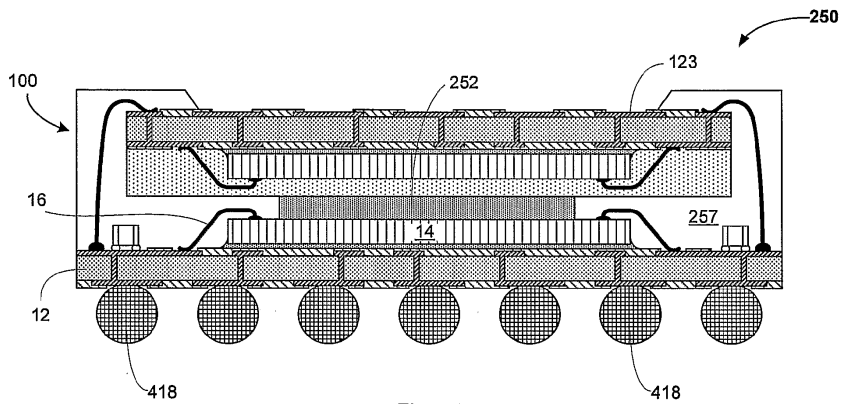
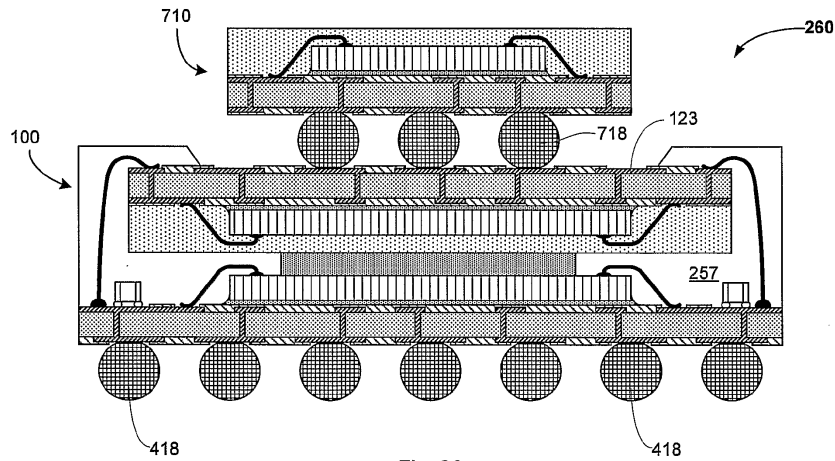
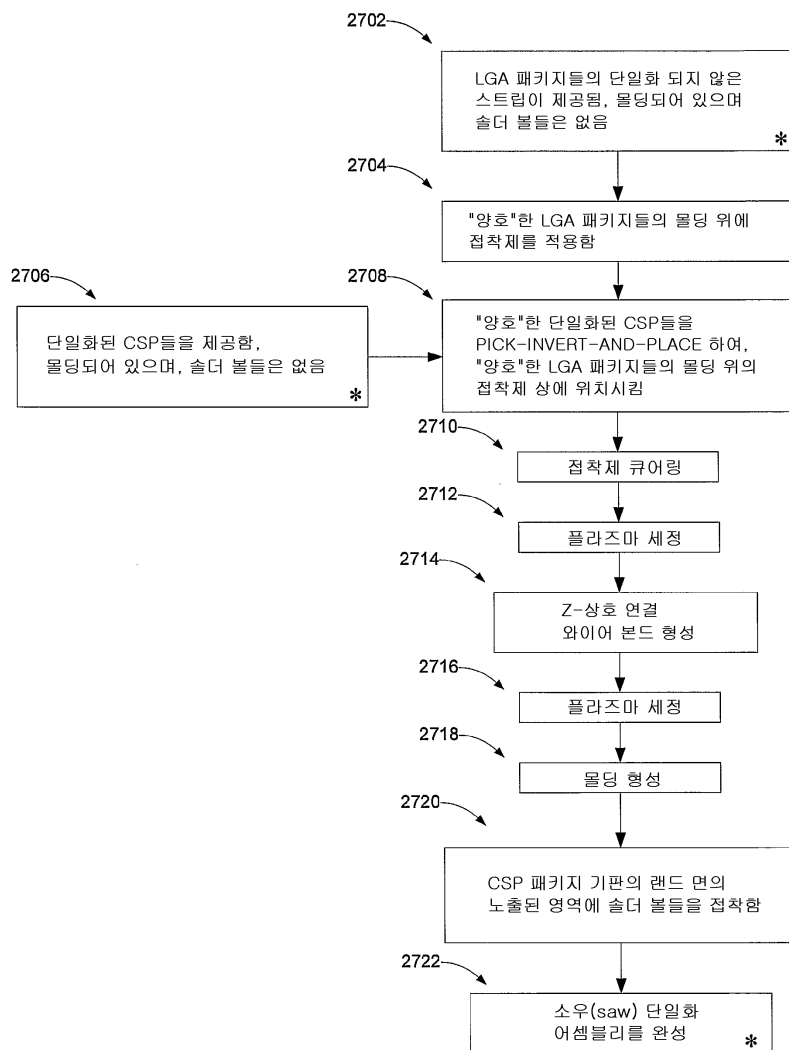


Fig. 25

도면26



도면27



도면28

