

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl.	(45) 공고일자	2006년07월28일
H01L 21/60 (2006.01)	(11) 등록번호	10-0605314
	(24) 등록일자	2006년07월20일

---

(21) 출원번호	10-2004-0057245	(65) 공개번호	10-2006-0007846
(22) 출원일자	2004년07월22일	(43) 공개일자	2006년01월26일

---

(73) 특허권자                    삼성전자주식회사  
                                      경기도 수원시 영통구 매탄동 416

(72) 발명자                         정재식  
                                      경기도 화성시 태안읍 반월리 삼성전자(주)화성사업장 ME 연구동 6층  
                                      IPT팀

                                      정세영  
                                      서울특별시 관악구 신림동 652-127

                                      장동현  
                                      경기도 수원시 팔달구 영통동 살구골7단지아파트 706동 904호

(74) 대리인                         윤동열

(56) 선행기술조사문헌  
            JP2000306938 A   JP11354563 A  
            \* 심사관에 의하여 인용된 문헌

**심사관 : 백양규**

---

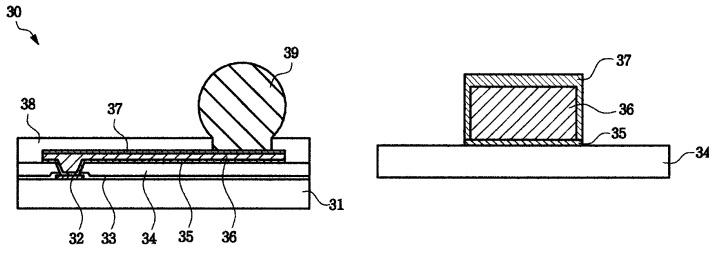
**(54) 재배선 보호 피막을 가지는 웨이퍼 레벨 패키지의 제조 방법**

---

**요약**

본 발명은 재배선 보호 피막을 가지는 웨이퍼 레벨 패키지 및 그 제조 방법에 관한 것으로, 시드 금속층 식각 공정에서 발생하는 재배선 측면의 과도 식각, 재배선 하단부의 언더컷, 재배선의 쓰러짐과 들림 등과 같은 문제를 해결하기 위한 것이다. 본 발명에 의한 웨이퍼 레벨 패키지는 재배선의 상부면 뿐만 아니라 측면 전체를 둘러싸도록 재배선 보호 피막이 형성된다. 재배선 보호 피막은 이어지는 시드 금속층 식각 공정에서 식각 용액으로부터 재배선을 보호한다. 재배선 보호 피막은 감광막 패턴과 재배선 사이에 틈을 만들어 전해도금으로 형성할 수 있다. 보호 피막을 형성하기 위한 틈은 감광막을 재차 노광하거나 다시 도포하여 만들 수 있다.

**대표도**



색인어

웨이퍼 레벨 패키지, 재배선, 시드 금속층, 과도 식각, 언더컷, 보호 피막

명세서

도면의 간단한 설명

도 1은 종래 기술에 따른 웨이퍼 레벨 패키지의 개략적인 단면도이다.

도 2a 및 도 2b는 종래 기술에 따른 웨이퍼 레벨 패키지의 제조 공정에서 시드 금속층의 식각 전후를 비교하여 보여주는 도면으로서, 도 2a는 시드 금속층 식각 단계 전의 재배선 구조를, 도 2b는 시드 금속층 식각 단계 후의 재배선 구조를 각각 나타내는 단면도이다.

도 3은 종래 기술에 따른 웨이퍼 레벨 패키지에서 재배선 과도 식각에 의하여 발생하는 문제점을 보여주는 단면도이다.

도 4는 본 발명의 실시예에 따른 웨이퍼 레벨 패키지의 사시도이다.

도 5는 도 4의 V-V선을 따라 절단한 단면도이다.

도 6은 도 4의 VI-VI선을 따라 절단한 단면도이다.

도 7a 내지 도 7h는 본 발명의 실시예에 따른 웨이퍼 레벨 패키지의 제조 방법을 나타내는 단면도들이다.

<도면에 사용된 참조 번호의 설명>

10, 30: 웨이퍼 레벨 패키지(wafer level package)

11, 31: 집적회로 칩(IC chip)

12, 32: 입출력 패드(input/output pad)

13, 33: 비활성층(passivation layer)

14, 34: 제1 절연층(first dielectric layer)

15, 35: 시드 금속층(seed metal layer)

16, 36: 재배선(rerouting line)

37: 보호 피막(protective coating layer)

17, 38: 제2 절연층(second dielectric layer)

18, 39: 솔더 볼(solder ball)

41: 감광막 패턴(photoresist pattern)

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 반도체 패키지 기술에 관한 것으로서, 보다 구체적으로는 웨이퍼 레벨 패키지의 구조 및 그 제조 방법에 관한 것이다.

전자 제품은 끊임없이 경박단소화 및 고속화 요구에 직면하고 있으며, 그에 따라 반도체 칩의 패키지 기술에 있어서도 이러한 요구에 부응하여 지속적인 연구개발이 이어지고 있다. 웨이퍼 레벨 패키지(wafer level package; WLP)는 기존의 플라스틱 패키지를 대체하기 위하여 근래에 소개된 패키지 기술로서, 이에 대한 관심과 연구개발이 갈수록 증가하는 추세에 있다.

웨이퍼 레벨 패키지는 패키지 제조 과정을 웨이퍼 상태에서 일괄적으로 진행할 수 있고 칩 크기의 패키지를 구현할 수 있다는 장점이 있다. 종래 기술에 따른 웨이퍼 레벨 패키지의 일반적인 구조가 도 1의 단면도에 도시되어 있다.

도 1을 참조하면, 웨이퍼 레벨 패키지(10)는 집적회로 칩(11)의 입출력 패드(12)와 패키지의 외부접속 단자인 솔더 볼(18) 사이의 전기적 연결이 칩(11) 상부면에 형성된 재배선(16)을 통하여 이루어진다. 보다 자세히 설명하면, 집적회로 칩(11)의 상부면에는 입출력 패드(12)와 비활성층(13)이 형성되어 있고, 비활성층(13) 위에는 제1 절연층(14)이 형성되어 있다. 비활성층(13)과 제1 절연층(14)은 모두 입출력 패드(12)를 노출시키며, 노출된 입출력 패드(12)와 제1 절연층(14)의 표면을 따라 시드 금속층(15)과 재배선(16)이 형성된다. 재배선(16)은 제2 절연층(17)으로 덮이며, 제2 절연층(17)을 부분적으로 제거하여 외부로 노출된 재배선(16) 위에 솔더 볼(18)이 형성된다.

이러한 구조의 웨이퍼 레벨 패키지(10)에 있어서 시드 금속층(15)은 잘 알려진 바와 같이 대개 두세 개의 층으로 이루어지며 제1 절연층(14) 위에 재배선(16)을 형성할 수 있도록 접착층, 확산 방지층, 도금 전극 등의 역할을 담당한다. 따라서, 도 2a에 도시된 바와 같이, 재배선(16)을 형성하기 전에 먼저 제1 절연층(14) 상부면 전체에 걸쳐 시드 금속층(15)을 증착하고, 전해도금 방법으로 재배선(16) 패턴을 형성한 후, 도 2b에 도시된 바와 같이, 재배선(16) 외부로 노출된 시드 금속층(15)을 습식 식각 방법으로 제거하게 된다.

도 2a와 도 2b는 시드 금속층(15)의 식각 전후를 비교하여 보여주는 도면으로서, 도 2a는 시드 금속층(15) 식각 단계 전의 재배선(16) 구조를, 도 2b는 시드 금속층(15) 식각 단계 후의 재배선(15) 구조를 각각 나타내는 단면도이다. 도 1이 재배선(16) 길이 방향으로의 단면을 나타내는 것인 반면, 도 2a와 도 2b는 재배선(16) 폭 방향으로의 단면을 나타낸다.

전술한 바와 같이 재배선(16) 형성 후 시드 금속층(15)의 식각 공정을 진행하면, 시드 금속층(15)을 식각하기 위한 식각 용액에 의하여 재배선(16)도 영향을 받게 된다. 즉, 도 2b에 도시된 바와 같이, 재배선(16)의 측면이 시드 금속층(15)의 식각 용액에 의하여 식각되는 측면 과도 식각(sidewall over-etch) 현상이 발생한다. 이러한 현상은 시드 금속층(15)을 구성하는 세부 층 중에 재배선(16)과 동일한 금속이 쓰이는 경우에 보다 심해지며, 다음과 같이 재배선(16)의 폭과 간격이 미세해질수록 더욱더 심해진다.

도 3은 종래 기술에 따른 웨이퍼 레벨 패키지에서 재배선(16) 과도 식각에 의하여 발생하는 문제점을 보여주는 단면도이다. 도 3에 도시된 바와 같이 재배선(16)의 폭과 간격이 미세해지면 재배선(16) 측면의 과도 식각 현상은 재배선(16) 하단부의 언더컷(undercut) 현상으로 심화되어 나타나며, 이는 종종 재배선의 쓰러짐(21)과 들림(22, lifting)을 유발한다.

**발명이 이루고자 하는 기술적 과제**

따라서 본 발명은 웨이퍼 레벨 패키지의 시드 금속층 식각 공정에서 발생하는 재배선 측면의 과도 식각, 재배선 하단부의 언더컷, 재배선의 쓰러짐과 들뜸 등과 같은 종래 기술에서의 문제점들을 해결하기 위하여 안출된 것이다. 즉, 본 발명의 목적은 웨이퍼 레벨 패키지의 시드 금속층 식각으로부터 재배선을 보호할 수 있는 구조와 그 제조 방법을 제공하기 위한 것이다.

**발명의 구성 및 작용**

이러한 목적을 달성하기 위하여, 본 발명은 재배선 보호 피막을 가지는 웨이퍼 레벨 패키지 및 그 제조 방법을 제공한다.

본 발명에 따른 웨이퍼 레벨 패키지는, 상부면에 형성된 입출력 패드를 포함하는 집적회로 칩과; 상기 집적회로 칩의 상부면 위에 형성되며 상기 입출력 패드를 노출시키는 제1 절연층과; 상기 제1 절연층의 표면과 상기 입출력 패드 위에 형성되는 시드 금속층과; 상기 시드 금속층 위에 형성되며 상기 입출력 패드와 전기적으로 연결되는 재배선과; 상기 재배선과 상기 제1 절연층 위에 형성되며 상기 재배선의 일부를 노출시키는 제2 절연층과; 상기 제2 절연층을 통하여 노출된 상기 재배선의 일부에 형성되며 상기 재배선과 전기적으로 연결되는 솔더 볼을 포함하며, 특히 상기 재배선의 상부면과 측면 모두를 둘러싸도록 형성된 보호 피막을 더 포함한다.

본 발명에 따른 웨이퍼 레벨 패키지에 있어서, 상기 보호 피막은 상기 시드 금속층을 형성하는 물질과 서로 다른 물질로 형성되는 것이 바람직하며, 니켈, 금, 크롬 중의 어느 하나로 형성될 수 있다.

본 발명에 따른 웨이퍼 레벨 패키지의 제조 방법은, 상부면에 입출력 패드가 형성된 집적회로 칩의 상기 상부면 위에 상기 입출력 패드를 노출시키면서 제1 절연층을 형성하는 단계와; 상기 제1 절연층의 표면과 상기 입출력 패드 위에 시드 금속층을 형성하는 단계와; 상기 시드 금속층 위에 소정의 패턴으로 재배선을 형성하는 단계와; 상기 재배선의 상부면과 측면 모두를 둘러싸도록 보호 피막을 형성하는 단계와; 상기 보호 피막으로 둘러싸인 재배선을 마스크로 이용하여 외부로 노출된 상기 시드 금속층을 제거하는 단계와; 상기 재배선과 상기 제1 절연층 위에 상기 보호 피막으로 둘러싸인 재배선의 일부를 노출시키면서 제2 절연층을 형성하는 단계와; 상기 제2 절연층을 통하여 노출된 상기 재배선의 일부에 솔더 볼을 형성하는 단계를 포함한다.

본 발명에 따른 웨이퍼 레벨 패키지의 제조 방법에 있어서, 상기 시드 금속층의 제거 단계는 습식 식각 공정에 의하여 이루어지는 것이 바람직하다. 상기 재배선의 형성 단계는, 개구부를 포함하는 감광막 패턴을 상기 시드 금속층 위에 형성하는 단계와, 상기 감광막 패턴의 개구부를 통하여 노출된 상기 시드 금속층 위에 상기 재배선을 도금하는 단계를 포함할 수 있다. 상기 감광막 패턴은 양성 감광막 물질 또는 음성 감광막 물질을 사용하여 형성할 수 있다.

상기 감광막 패턴으로 양성 감광막 물질을 사용할 경우, 상기 보호 피막의 형성 단계는, 상기 감광막 패턴을 재차 노광, 현상하여 상기 감광막 패턴과 상기 재배선의 측면 사이에 틈을 만드는 단계와, 상기 틈 안에 노출된 상기 재배선의 표면 전체에 상기 보호 피막을 도금하는 단계를 포함할 수 있다. 상기 감광막 패턴으로 음성 감광막 물질을 사용할 경우, 상기 보호 피막의 형성 단계는, 상기 감광막 패턴을 제거하는 단계와, 다시 제2 감광막을 도포하고 노광, 현상하여 상기 제2 감광막과 상기 재배선의 측면 사이에 틈을 만드는 단계와, 상기 틈 안에 노출된 상기 재배선의 표면 전체에 상기 보호 피막을 도금하는 단계를 포함할 수 있다. 상기 보호 피막의 형성 단계는 전해도금에 의하여 이루어지는 것이 바람직하다.

이하, 첨부 도면을 참조하여 본 발명의 실시예를 보다 상세하게 설명하고자 한다.

실시예를 설명함에 있어서 본 발명이 속하는 기술 분야에 익히 알려져 있고 본 발명과 직접적으로 관련이 없는 기술 내용에 대해서는 설명을 생략한다. 이는 불필요한 설명을 생략함으로써 본 발명의 요지를 흐리지 않고 보다 명확히 하기 위함이다. 마찬가지로 이유로 첨부 도면에 있어서 일부 구성요소는 과장되거나 생략되거나 또는 개략적으로 도시되었으며, 각 구성요소의 크기는 실제 크기를 전적으로 반영하는 것이 아니다. 도면을 통틀어 동일한 또는 대응하는 구성요소에는 동일한 참조 번호를 부여하였다.

**실시예**

도 4는 본 발명의 실시예에 따른 웨이퍼 레벨 패키지(30)의 사시도이다. 또한, 도 5는 도 4의 V-V 선을 따라 절단한 단면도이고, 도 6은 도 4의 VI-VI 선을 따라 절단한 단면도이다. 즉, 도 5는 재배선(36)의 길이 방향, 도 6은 재배선(36)의 폭 방향으로의 단면을 나타낸다.

도 4 내지 도 6에 도시된 바와 같이, 웨이퍼 레벨 패키지(30)는 웨이퍼 상태에서 집적회로 칩(31, IC chip) 위에 패키지의 구성요소들이 모두 형성된다. 도 4 내지 도 6에 도시된 웨이퍼 레벨 패키지(30)의 구조, 형태, 각 구성요소의 상대적 배치 관계 등은 예시한 것에 지나지 않으며, 본 발명이 이에 국한되는 것은 아니다. 또한, 도 4 내지 도 6에 도시된 구조는 개별 패키지의 일부를 나타낸 것에 불과하다.

집적회로 칩(31)은 통상의 웨이퍼 제조 공정을 통하여 형성된 다수의 입출력 패드(32, input/output pad)와 비활성층(33, passivation layer)을 포함한다. 입출력 패드(32)는 집적회로 칩(31) 상부면의 소정 위치, 예컨대 상부면 중앙이나 가장자리 쪽에 열을 지어 형성된다. 비활성층(33)은 칩(31) 내부에 형성된 집적회로(도시되지 않음)를 보호하기 위하여 입출력 패드(32)를 제외한 칩(31) 상부면 전체를 덮고 있다.

비활성층(33) 위에는 제1 절연층(34, first dielectric layer)이 형성된다. 제1 절연층(34)은 전기적인 절연 기능과 함께 열 응력을 완화시키는 완충 역할을 한다. 제1 절연층(34)은 각종 중합체(polymer) 물질로 형성할 수 있으며, 예를 들어 폴리이미드(polyimide), 에폭시(epoxy), 벤조사이클로부텐(benzo-cyclo-butene; BCB)과 같은 물질이 가능하다.

제1 절연층(34)의 표면과 입출력 패드(32) 위에는 시드 금속층(35, seed metal layer)이 형성되고, 시드 금속층(35) 위에는 재배선(36, rerouting line)이 형성된다. 시드 금속층(35)은 두세 개의 층으로 이루어지며 제1 절연층(34) 위에 재배선(36)을 형성할 수 있도록 접착층, 확산 방지층, 도금 전극 등의 역할을 담당한다. 시드 금속층(35)은 각종 금속을 다양하게 조합하여 형성할 수 있으며, 예를 들어 티타늄(Ti)/구리(Cu), 크롬(Cr)/구리(Cu), 크롬(Cr)/니켈(Ni), 크롬(Cr)/바나듐(V), 티타늄(Ti)/구리(Cu)/니켈(Ni), 크롬(Cr)/니켈(Ni)/금(Au) 등의 조합이 가능하다. 재배선(36)은 입출력 패드(32)와 솔더 볼(39) 사이를 연결하는 소정의 패턴으로 형성되며, 전기적 신호와 전력을 전송하는 경로로 사용된다. 따라서 재배선(36)은 전기전도성이 우수한 물질, 예컨대 구리(Cu)로 형성된다.

재배선(36)의 상부면 뿐만 아니라 측면 전체에는, 즉 외부로 드러나는 재배선(36)의 표면 전체에는 보호 피막(37, protective coating layer)이 형성된다. 보호 피막(37)은 본 발명의 목적에서 언급한 바와 같이 시드 금속층(35)의 식각으로부터 재배선(36)을 보호하기 위하여 형성되는 것이다. 보호 피막(37)에 대해서는 패키지 제조 방법에서 후술할 것이다.

제1 절연층(34) 상부에는 보호 피막(37)이 형성된 재배선(36)을 덮도록 제2 절연층(38, second dielectric layer)이 형성된다. 제2 절연층(38)은 솔더 볼(39, solder ball)이 형성되는 재배선의 볼 패드(도 4의 36a)를 노출시키며, 제2 절연층(38)은 제1 절연층(34)과 마찬가지로 각종 중합체 물질로 형성할 수 있으며, 하부에 형성된 패키지 구성요소들을 보호하는 역할을 한다.

솔더 볼(39)은 패키지의 외부접속 단자로서 기능하며, 제2 절연층(38)을 통하여 노출된 볼 패드(36a) 위에 형성된다. 도시되지는 않았지만, 솔더 볼(39) 하부에는 여러 금속의 조합으로 이루어지는 하부 금속층(under bump metal; UBM)이 형성된다.

이상 설명한 웨이퍼 레벨 패키지(30)는 다음과 같은 방법으로 제조한다. 이하, 도 7a 내지 도 7h를 차례대로 참조하여 본 발명의 실시예에 따른 웨이퍼 레벨 패키지(30)의 제조 방법을 설명한다.

도 7a를 참조하면, 먼저 집적회로 칩(도시되지 않음) 위에 제1 절연층(34)을 도포한 후, 제1 절연층(34) 위에 시드 금속층(35)을 증착한다. 도 7a에 도시되지는 않았지만, 제1 절연층(34)은 집적회로 칩 전면에 예컨대 스핀 코팅(spin coating) 방법으로 도포할 수 있으며, 입출력 패드(32)를 노출시키기 위하여 포토(photo) 공정을 진행한다. 시드 금속층(35)의 증착 방법은 예컨대 스퍼터링(sputtering)이 사용된다.

이어서, 도 7b에 도시된 바와 같이, 시드 금속층(35) 위에 감광막 패턴(41, photoresist pattern)을 형성한다. 감광막 패턴(41)은 감광막을 전면 도포한 후 노광, 현상하여 형성하며, 재배선이 형성될 시드 금속층(35) 부위를 외부로 노출시키는 개구부(42, opening)를 포함하고 있다.

이어서, 도 7c에 도시된 바와 같이, 감광막 패턴(41)의 개구부(42) 안에 노출된 시드 금속층(35) 위에 재배선(36)을 형성한다. 재배선(36)의 형성 방법은 전해도금(electroplating)이 바람직하게 사용된다. 재배선(36)을 전해도금할 때 시드 금속층(35)은 도금 전극으로 이용된다.

재배선(36)을 형성한 후에는, 도 7d에 도시된 바와 같이, 감광막 패턴(41)을 재차 노광, 현상한다. 따라서 감광막 패턴(41)과 재배선(36)의 측면 사이에는 틈(43)이 만들어진다. 이와 같이 감광막 패턴(41)을 두 번 노광하려면 양성 감광막

(positive photoresist) 물질을 사용해야 한다. 그러나 음성 감광막(negative photoresist) 물질을 사용하는 것도 가능하며, 이 경우에는 재배선(36)을 형성할 때 사용한 감광막 패턴(41)을 제거한 다음, 다시 감광막을 도포하여 틈(43)을 만들기 위한 노광, 현상 공정을 진행해야 한다.

감광막 패턴(41)과 재배선(36)의 측면 사이에 틈(43)이 만들어지면, 도 7e에 도시된 바와 같이, 틈(43) 안에 노출된 재배선(36)의 표면 전체에 보호 피막(37)을 형성한다. 보호 피막(37)은 후속 공정인 시드 금속층(35)의 식각 공정에서 재배선(36)을 보호하기 위한 것이다. 보호 피막(37)은 예컨대 니켈(Ni), 금(Au), 크롬(Cr) 등과 같은 물질을 선택적으로 사용할 수 있으며, 재배선(36)과 마찬가지로 전해도금 방법을 이용하여 형성할 수 있다.

보호 피막(37)을 형성하고 나면, 도 7f에 도시된 바와 같이, 감광막 패턴을 완전히 제거한다. 따라서 감광막 패턴으로 덮여 있던 시드 금속층(35)이 외부로 노출된다.

이어서, 도 7g에 도시된 바와 같이, 재배선(36)을 마스크로 이용하여 외부로 노출된 시드 금속층(35)을 식각한다. 시드 금속층(35)의 식각 공정은 재배선(36) 형성 공정이 끝난 후 각각의 재배선(36)을 전기적으로 분리하기 위한 것이다. 이 때, 재배선(36)의 표면을 둘러싸고 있는 보호 피막(37)은 식각 용액으로부터 재배선(36)을 보호하기 때문에, 종래의 재배선과 과도 식각이나 언더컷 등의 현상을 방지할 수 있다. 시드 금속층(35)은 전술한 바와 같이 매우 다양한 금속의 조합이 가능한 두세 개의 세부 층으로 이루어지고, 또한 각각의 세부 층마다 사용되는 식각 용액이 달라질 수 있다. 따라서 보호 피막(37)의 소재는 이를 감안하여 시드 금속층(35)의 식각에 사용되는 식각 용액에 잘 반응하지 않는 물질을 선택하여 사용한다.

시드 금속층(35)의 식각이 완료되면, 도 7h에 도시된 바와 같이, 보호 피막(37)으로 둘러싸인 재배선(36) 전체를 덮도록 제1 절연층(34) 위에 제2 절연층(38)을 형성한다. 제2 절연층(38)은 제1 절연층(34)과 마찬가지로의 방법으로 형성할 수 있다. 계속해서, 도면에 도시되지는 않았지만, 제2 절연층(38)의 부분적인 식각 공정과 솔더 볼 형성 공정이 이어진다.

### 발명의 효과

이상 실시예를 통하여 설명한 바와 같이, 본 발명에 의한 웨이퍼 레벨 패키지는 재배선의 상부면 뿐만 아니라 측면 전체를 둘러싸도록 재배선 보호 피막이 형성된다. 재배선 보호 피막은 이어지는 시드 금속층 식각 공정에서 식각 용액으로부터 재배선을 보호하는 역할을 한다. 따라서 종래 기술에서 발생하던 재배선 측면의 과도 식각이나 언더컷 발생이 방지된다.

아울러, 본 발명에 의한 웨이퍼 레벨 패키지 제조 방법은 재배선 형성 공정에서 간단히 재배선 보호 피막을 형성할 수 있다. 특히, 양성 감광막을 사용하는 경우에는 재배선을 형성하기 위하여 사용되는 감광막 패턴을 재차 노광하여 그대로 사용함으로써 추가되는 공정을 최소화하면서 재배선 보호 피막을 형성할 수 있다.

한편, 본 출원인이 이전에 출원하여 등록된 한국등록특허 제10-313706호에는 구리 재배선층이 산화되어 중합체층과의 접착력이 저하되는 문제를 해결하기 위하여 구리 재배선층과 상부 중합체층 사이에 장벽 금속층을 형성하는 기술이 개시되어 있다. 그러나 이 특허에 따르면 장벽 금속층은 구리 재배선층 위에만 형성되며, 시드 금속층의 식각에 따른 재배선층의 과도 식각 문제와 관련해서는 설명되어 있지 않다. 본 발명에 따른 재배선 보호 피막은 위 선행 특허에서 제안하는 장벽 금속층의 기능을 대신할 수 있는 효과도 있다.

본 명세서와 도면에는 본 발명의 바람직한 실시예에 대하여 개시하였으며, 비록 특정 용어들이 사용되었으나, 이는 단지 본 발명의 기술 내용을 쉽게 설명하고 발명의 이해를 돕기 위한 일반적인 의미에서 사용된 것이지, 본 발명의 범위를 한정하고자 하는 것은 아니다. 여기에 개시된 실시예 외에도 본 발명의 기술적 사상에 바탕을 둔 다른 변형예들이 실시 가능하다는 것은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 자명한 것이다.

### (57) 청구의 범위

#### 청구항 1.

삭제

#### 청구항 2.

삭제

### 청구항 3.

삭제

### 청구항 4.

상부면에 입출력 패드가 형성된 집적회로 칩의 상기 상부면 위에 상기 입출력 패드를 노출시키면서 제1 절연층을 형성하는 단계와;

상기 제1 절연층의 표면과 상기 입출력 패드 위에 시드 금속층을 형성하는 단계와;

상기 시드 금속층 위에 소정의 패턴으로 재배선을 형성하는 단계와;

상기 재배선의 상부면과 측면 모두를 둘러싸도록 보호 피막을 형성하는 단계와;

상기 보호 피막으로 둘러싸인 재배선을 마스크로 이용하여 외부로 노출된 상기 시드 금속층을 제거하는 단계와;

상기 재배선과 상기 제1 절연층 위에 상기 보호 피막으로 둘러싸인 재배선의 일부를 노출시키면서 제2 절연층을 형성하는 단계와;

상기 제2 절연층을 통하여 노출된 상기 재배선의 일부에 솔더 볼을 형성하는 단계를 포함하며,

상기 보호 피막의 형성 단계는, 상기 재배선의 양 측면에 틈이 형성되도록 감광막 패턴을 형성하는 단계와, 상기 틈을 통해 노출된 상기 재배선의 표면 전체에 상기 보호 피막을 도금하는 단계를 포함하는 것을 특징으로 하는 웨이퍼 레벨 패키지의 제조 방법.

### 청구항 5.

제4 항에 있어서,

상기 시드 금속층의 제거 단계는 습식 식각 공정에 의하여 이루어지는 것을 특징으로 하는 웨이퍼 레벨 패키지의 제조 방법.

### 청구항 6.

제4 항 또는 제5 항에 있어서,

상기 재배선의 형성 단계는, 개구부를 포함하는 감광막 패턴을 상기 시드 금속층 위에 형성하는 단계와, 상기 감광막 패턴의 개구부를 통하여 노출된 상기 시드 금속층 위에 상기 재배선을 도금하는 단계를 포함하는 것을 특징으로 하는 웨이퍼 레벨 패키지의 제조 방법.

### 청구항 7.

제6 항에 있어서,

상기 재배선 형성 단계의 상기 감광막 패턴은 양성 감광막 물질을 사용하여 형성하는 것을 특징으로 하는 웨이퍼 레벨 패키지의 제조 방법.

### 청구항 8.

제6 항에 있어서,

상기 재배선 형성 단계의 상기 감광막 패턴은 음성 감광막 물질을 사용하여 형성하는 것을 특징으로 하는 웨이퍼 레벨 패키지의 제조 방법.

**청구항 9.**

제7 항에 있어서,

상기 보호 피막 형성 단계의 상기 감광막 패턴은 상기 재배선 형성 단계의 상기 감광막 패턴을 재차 노광, 현상하여 형성되는 것을 특징으로 하는 웨이퍼 레벨 패키지의 제조 방법.

**청구항 10.**

제8 항에 있어서,

상기 보호 피막의 형성 단계 전에, 상기 재배선 형성 단계의 상기 감광막 패턴을 제거하는 단계를 진행하는 것을 특징으로 하는 웨이퍼 레벨 패키지의 제조 방법.

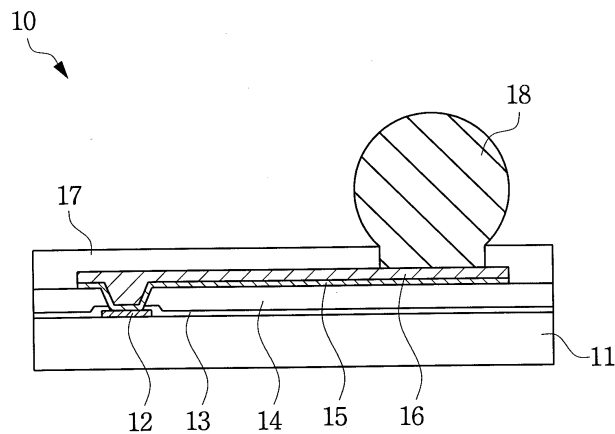
**청구항 11.**

제6 항에 있어서,

상기 보호 피막의 형성 단계는 전해도금에 의하여 이루어지는 것을 특징으로 하는 웨이퍼 레벨 패키지의 제조 방법.

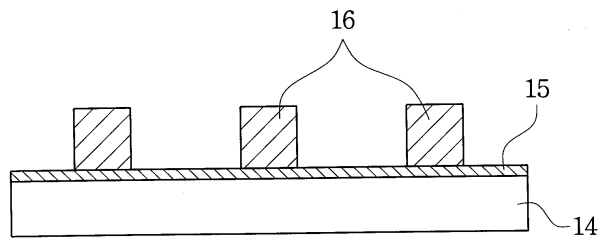
**도면**

도면1

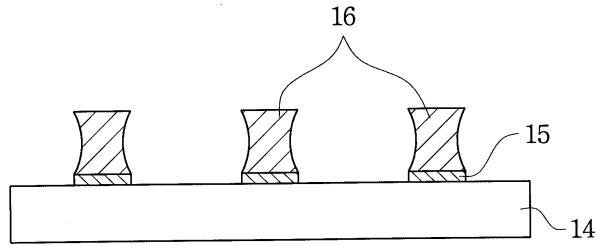




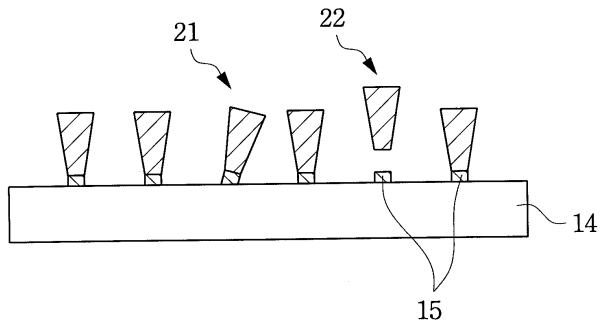
도면2a



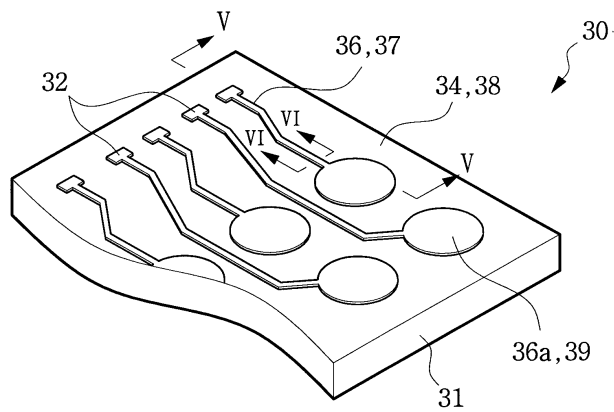
도면2b



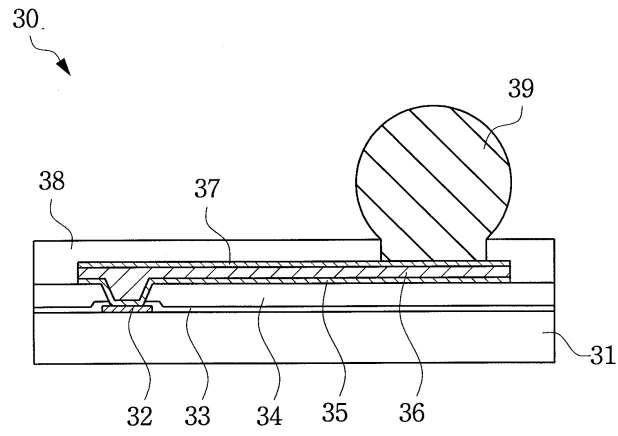
도면3



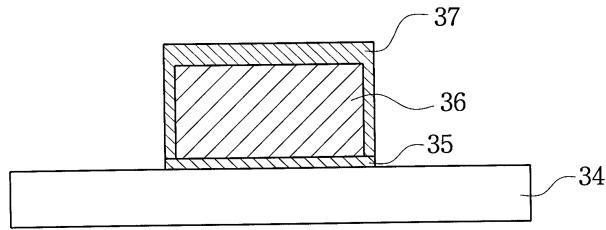
도면4



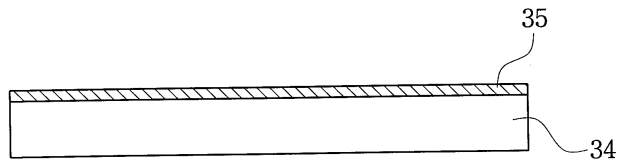
도면5



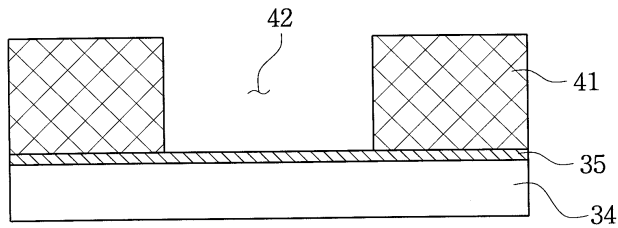
도면6



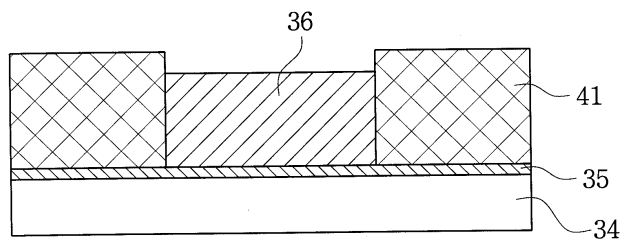
도면7a



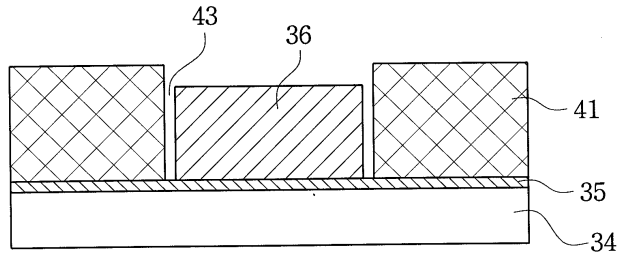
도면7b



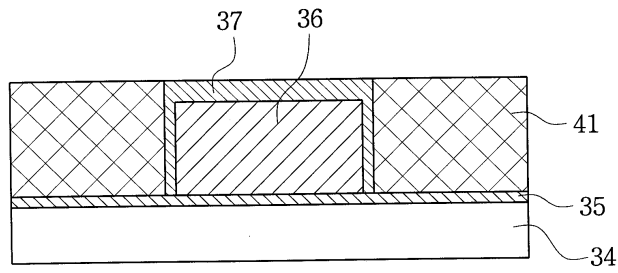
도면7c



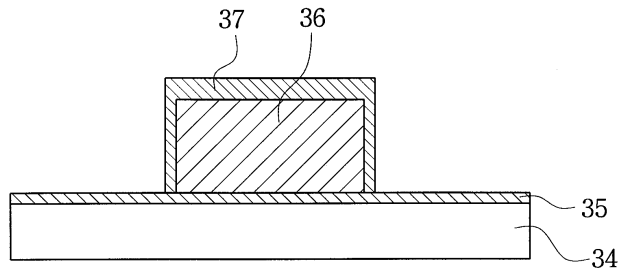
도면7d



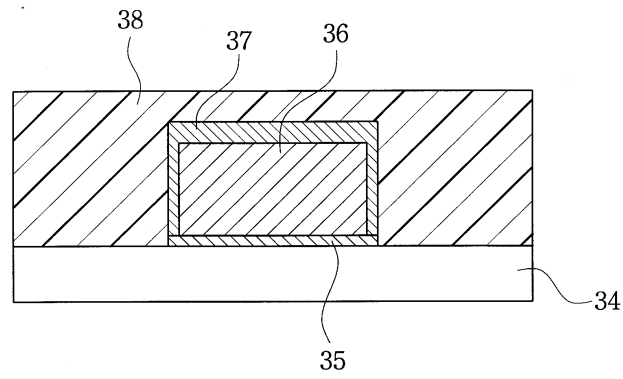
도면7e



도면7f



도면7g



도면7h

