



(12)发明专利

(10)授权公告号 CN 106297697 B

(45)授权公告日 2017.09.15

(21)申请号 201610754883.4

(22)申请日 2016.08.29

(65)同一申请的已公布的文献号
申请公布号 CN 106297697 A

(43)申请公布日 2017.01.04

(73)专利权人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路10号

(72)发明人 郑灿

(74)专利代理机构 北京市柳沈律师事务所
11105

代理人 吕晓章 邓亚楠

(51)Int.Cl.

G09G 3/36(2006.01)

G11C 19/28(2006.01)

(56)对比文件

CN 103714789 A,2014.04.09,
CN 103077689 A,2013.05.01,
CN 104835476 A,2015.08.12,
CN 103198781 A,2013.07.10,
US 2007274433 A1,2007.11.29,

审查员 罗赞

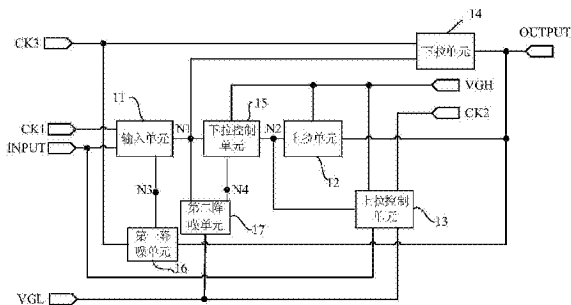
权利要求书3页 说明书8页 附图4页

(54)发明名称

移位寄存器及其操作方法

(57)摘要

一种移位寄存器及其操作方法。该移位寄存器包含输入单元(11),配置为将输入信号提供至第一节点(N1);上拉单元(12),配置为将第一电源电压端(VGH)的电压提供给输出端(OUTPUT);上拉控制单元(13),配置为将第一电源电压端或第二电源电压端(VGL)的电压提供给第二节点(N2);下拉单元(14),配置为将第三时钟信号提供给输出端;下拉控制单元(15),配置为将第一电源电压端的电压提供给第一节点;第一降噪单元(16),配置为通过调节第三节点(N3)的电压,来减小输入单元对第一节点的漏电;以及第二降噪单元(17),配置为通过调节第四节点(N4)的电压,来减小下拉控制单元对第一节点的漏电。可以降低输出端的噪声,提高驱动能力。



1. 一种移位寄存器, 包含:

输入单元, 其第一端与该移位寄存器的输入端连接用于从该输入端接收输入信号, 第二端与第一时钟信号端连接, 第三端与第一节点连接, 配置为在来自第一时钟信号端的第一时钟信号的控制下将输入信号提供至第一节点;

上拉单元, 其第一端与第一电源电压端连接, 第二端与第二节点连接, 第三端与该移位寄存器的输出端连接, 配置为在第二节点的电压的控制下将所述第一电源电压端的电压提供给所述输出端;

上拉控制单元, 其第一端与第二时钟信号端连接, 第二端与第一电源电压端连接, 第三端与第二节点连接, 第四端与输入端连接, 第五端与第二电源电压端连接, 配置为在输入信号的控制下将所述第一电源电压端的电压提供给所述第二节点或是在来自第二时钟信号端的第二时钟信号的控制下将所述第二电源电压端的电压提供给所述第二节点;

下拉单元, 其第一端与第一节点连接, 第二端与第三时钟信号端连接, 第三端与输出端连接, 配置为在第一节点的电压的控制下将来自第三时钟信号端的第三时钟信号提供给所述输出端;

下拉控制单元, 其第一端与第一电源电压端连接, 第二端与第一节点连接, 第三端与第二节点连接, 配置为在第二节点的电压的控制下将所述第一电源电压端的电压提供给所述第一节点;

第一降噪单元, 其第一端与第三时钟信号端连接, 第二端与输出端连接, 第三端与第三节点连接, 配置为通过调节所述第三节点的电压, 来减小所述输入单元对第一节点的漏电; 以及

第二降噪单元, 其第一端与第四节点连接, 第二端与第一节点连接, 第三端与第二电源电压端连接, 配置为通过调节所述第四节点的电压, 来减小所述下拉控制单元对第一节点的漏电;

其中, 第三节点是第一降噪单元和输入单元的连接点, 第四节点是第二降噪单元和下拉控制单元的连接点。

2. 根据权利要求1所述的移位寄存器, 其中, 输入单元包括:

第一晶体管, 其栅极与第一时钟信号端连接, 第一极与输入端连接, 第二极与第三节点连接; 以及

第二晶体管, 其栅极与第一时钟信号端连接, 第一极与第三节点连接, 第二极与第一节点连接。

3. 根据权利要求2所述的移位寄存器, 其中, 上拉单元包括:

第三晶体管, 其栅极与第二节点连接, 第一极与第一电源电压端连接, 第二极与输出端连接; 以及

第一电容, 其第一端与第二节点连接, 第二端与第一电源电压端连接。

4. 根据权利要求3所述的移位寄存器, 其中, 上拉控制单元包括:

第四晶体管, 其栅极与输入端连接, 第一极与第一电源电压端连接, 第二极与第二节点连接; 以及

第五晶体管, 其栅极与第二时钟信号端连接, 第一极与第二节点连接, 第二极与第二电源电压端连接。

5. 根据权利要求4所述的移位寄存器,其中,下拉单元包括:

第六晶体管,其栅极与第一节点连接,第一极与输出端连接,第二极与第三时钟信号端连接;以及

第二电容,其第一端与第一节点连接,第二端与输出端连接。

6. 根据权利要求5所述的移位寄存器,其中,下拉控制单元包括:

第七晶体管,其栅极与第二节点连接,第一极与第一电源电压端连接,第二极与第四节点连接;以及

第八晶体管,其栅极与第二节点连接,第一端与第四节点连接,第二端与第一节点连接。

7. 根据权利要求6所述的移位寄存器,其中,第一降噪单元包括:

第九晶体管,其栅极与输出端连接,第一极与第三时钟信号端连接,第二极与第三节点连接。

8. 根据权利要求7所述的移位寄存器,其中,第二降噪单元包括:

第十晶体管,其栅极与第一节点连接,第一极与第四节点连接,第二极与第二电源电压端连接。

9. 根据权利要求2-8中任一项所述的移位寄存器,其中,所述晶体管均为P型晶体管。

10. 根据权利要求1所述的移位寄存器,其中,所述第一、第二和第三时钟信号端的第一、第二和第三时钟信号的占空比均为33%。

11. 根据权利要求1所述的移位寄存器,其中,第一电源电压端是高电源电压端,第二电源电压端是低电源电压端。

12. 一种移位寄存器的操作方法,该移位寄存器包含输入单元、上拉单元、上拉控制单元、下拉单元、下拉控制单元、第一降噪单元和第二降噪单元,其中,输入单元的第一端与该移位寄存器的输入端连接,输入单元的第二端与第一时钟信号端连接,输入单元的第三端与第一节点连接,上拉单元的第一端与第一电源电压端连接,上拉单元的第二端与第二节点连接,上拉单元的第三端与该移位寄存器的输出端连接,上拉控制单元的第一端与第二时钟信号端连接,上拉控制单元的第二端与第一电源电压端连接,上拉控制单元的第三端与第二节点连接,上拉控制单元的第四端与输入端连接,上拉控制单元的第五端与第二电源电压端连接,下拉单元的第一端与第一节点连接,下拉单元的第二端与第三时钟信号端连接,下拉单元的第三端与输出端连接,下拉控制单元的第一端与第一电源电压端连接,下拉控制单元的第二端与第一节点连接,下拉控制单元的第三端与第二节点连接,第一降噪单元的第一端与第三时钟信号端连接,第一降噪单元的第二端与输出端连接,第一降噪单元的第三端与第三节点连接,第二降噪单元的第一端与第四节点连接,第二降噪单元的第二端与第一节点连接,第二降噪单元的第三端与第二电源电压端连接,该移位寄存器的操作方法包含:

由输入单元在来自第一时钟信号端的第一时钟信号的控制下将输入信号提供至第一节点;

由上拉单元在第二节点的电压的控制下将第一电源电压端的电压提供给该移位寄存器的输出端;

由上拉控制单元在输入信号的控制下将第一电源电压端的电压提供给第二节点或在

来自第二时钟信号端的第二时钟信号的控制下将第二电源电压端的电压提供给第二节点；

由下拉单元在第一节点的电压的控制下将来自第三时钟信号端的第三时钟信号提供给所述输出端；

由下拉控制单元在第二节点的电压的控制下将所述第一电源电压端的电压提供给所述第一节点；

由第一降噪单元通过调节第三节点的电压,来减小所述输入单元对第一节点的漏电；

由第二降噪单元通过调节第四节点的电压,来减小所述下拉控制单元对第一节点的漏电；

其中,第三节点是第一降噪单元和输入单元的连接点,第四节点是第二降噪单元和下拉控制单元的连接点；

第一电源电压端是高电源电压端,第二电源电压端是低电源电压端；

所述第三时钟信号端的第三时钟信号的占空比为33%。

移位寄存器及其操作方法

技术领域

[0001] 本公开涉及一种移位寄存器及其操作方法。

背景技术

[0002] 薄膜晶体管液晶显示器 (TFT-LCD) 广泛应用于生产生活的各个领域,其采用M*N点排列的逐行扫描矩阵显示。在进行显示时,TFT-LCD通过驱动电路来驱动显示面板中的各个像素进行显示。TFT-LCD的驱动电路主要包含栅极驱动电路和数据驱动电路。其中,数据驱动电路用于依据时钟信号定时将输入的数据顺序锁存并将锁存的数据转换成模拟信号后输入到显示面板的数据线。栅极驱动电路通常用移位寄存器来实现,所述移位寄存器将时钟信号转换成开启/断开电压,分别输出到显示面板的各条栅线上。显示面板上的一条栅线通常与一个移位寄存器(即移位寄存器的一级)对接。通过使得各个移位寄存器依序轮流输出开启电压,实现对显示面板中像素的逐行扫描。

[0003] 在显示领域,为了不断改善显示画面,提高用户体验,高清、高像素数目 (Pixels Per Inch,简称PPI) 显示成了研究的热门。但随着像素数目的提高,每一行栅线驱动的像素数目也增大,移位寄存器的负载增大,因此提高移位寄存器的驱动能力十分必要。

发明内容

[0004] 本公开的至少一个实施例提供了一种移位寄存器及其操作方法。可以降低移位寄存器输出端的噪声,提高移位寄存器的驱动能力。

[0005] 根据本公开的一方面,公开了一种移位寄存器,包含:

[0006] 输入单元,其第一端与该移位寄存器的输入端连接用于从该输入端接收输入信号,第二端与第一时钟信号端连接,第三端与第一节点连接,配置为在来自第一时钟信号端的第一时钟信号的控制下将输入信号提供至第一节点;

[0007] 上拉单元,其第一端与第一电源电压端连接,第二端与第二节点连接,第三端与该移位寄存器的输出端连接,配置为在第二节点的电压的控制下将所述第一电源电压端的电压提供给所述输出端;

[0008] 上拉控制单元,其第一端与第二时钟信号端连接,第二端与第一电源电压端连接,第三端与第二节点连接,第四端与输入端连接,第五端与第二电源电压端连接,配置为在输入信号的控制下将所述第一电源电压端的电压提供给所述第二节点或是在来自第二时钟信号端的第二时钟信号的控制下将所述第二电源电压端的电压提供给所述第二节点;

[0009] 下拉单元,其第一端与第一节点连接,第二端与第三时钟信号端连接,第三端与输出端连接,配置为在第一节点的电压的控制下将来自第三时钟信号端的第三时钟信号提供给所述输出端;

[0010] 下拉控制单元,其第一端与第一电源电压端连接,第二端与第一节点连接,第三端与第二节点连接,配置为在第二节点的电压的控制下将所述第一电源电压端的电压提供给所述第一节点;

[0011] 第一降噪单元,其第一端与第三时钟信号端连接,第二端与输出端连接,第三端与第三节点连接,配置为通过调节所述第三节点的电压,来减小所述输入单元对第一节点的漏电;以及

[0012] 第二降噪单元,其第一端与第四节点连接,第二端与第一节点连接,第三端与第二电源电压端连接,配置为通过调节所述第四节点的电压,来减小所述下拉控制单元对第一节点的漏电;

[0013] 其中,第三节点是第一降噪单元和输入单元的连接点,第四节点是第二降噪单元和下拉控制单元的连接点。

[0014] 例如,输入单元包括:第一晶体管,其栅极与第一时钟信号端连接,第一极与输入端连接,第二极与第三节点连接;以及第二晶体管,其栅极与第一时钟信号端连接,第一极与第三节点连接,第二极与第一节点连接。

[0015] 例如,上拉单元包括:第三晶体管,其栅极与第二节点连接,第一极与第一电源电压端连接,第二极与输出端连接;以及第一电容,其第一端与第二节点连接,第二端与第一电源电压端连接。

[0016] 例如,上拉控制单元包括:第四晶体管,其栅极与输入端连接,第一极与第一电源电压端连接,第二极与第二节点连接;以及第五晶体管,其栅极与第二时钟信号端连接,第一极与第二节点连接,第二极与第二电源电压端连接。

[0017] 例如,下拉单元包括:第六晶体管,其栅极与第一节点连接,第一极与输出端连接,第二极与第三时钟信号端连接;以及第二电容,其第一端与第一节点连接,第二端与输出端连接。

[0018] 例如,下拉控制单元包括:第七晶体管,其栅极与第二节点连接,第一极与第一电源电压端连接,第二极与第四节点连接;以及第八晶体管,其栅极与第二节点连接,第一端与第四节点连接,第二端与第一节点连接。

[0019] 例如,第一降噪单元包括:第九晶体管,其栅极与输出端连接,第一极与第三时钟信号端连接,第二极与第三节点连接。

[0020] 例如,第二降噪单元包括:第十晶体管,其栅极与第一节点连接,第一极与第四节点连接,第二极与第二电源电压端连接。

[0021] 例如,上述晶体管均为P型晶体管。

[0022] 例如,上述第一、第二和第三时钟信号端的第一、第二和第三时钟信号的占空比均为33%。

[0023] 例如,第一电源电压端是高电源电压端,第二电源电压端是低电源电压端。

[0024] 根据本公开的又一方面,公开了一种移位寄存器的操作方法,该移位寄存器包含输入单元、上拉单元、上拉控制单元、下拉单元、下拉控制单元、第一降噪单元和第二降噪单元,该移位寄存器的操作方法包含:

[0025] 由输入单元将输入信号提供至第一节点;

[0026] 由上拉单元将第一电源电压端的电压提供给该移位寄存器的输出端;

[0027] 由上拉控制单元将第一电源电压端的电压或第二电源电压端的电压提供给第二节点;

[0028] 由下拉单元将来自第三时钟信号端的第三时钟信号提供给所述输出端;

- [0029] 由下拉控制单元将所述第一电源电压端的电压提供给所述第一节点；
- [0030] 由第一降噪单元通过调节第三节点的电压，来减小所述输入单元对第一节点的漏电；
- [0031] 由第二降噪单元通过调节第四节点的电压，来减小所述下拉控制单元对第一节点的漏电；
- [0032] 其中，第一节点是输入单元、下拉单元、下拉控制单元和第二降噪单元的连接点，第二节点是上拉单元、上拉控制单元和下拉控制单元的连接点，第三节点是第一降噪单元和输入单元的连接点，第四节点是第二降噪单元和下拉控制单元的连接点。
- [0033] 例如，第一电源电压端是高电源电压端，第二电源电压端是低电源电压端。
- [0034] 例如，上述第三时钟信号端的第三时钟信号的占空比为33%。
- [0035] 根据本公开实施例的移位寄存器采用串联晶体管结构，通过时序控制，在串联晶体管的连接点处接入相应的电平来降低驱动晶体管的栅极电平在输出阶段的漏电流，进而降低移位寄存器输出端的噪声，提高了移位寄存器的驱动能力。

附图说明

- [0036] 图1示出了根据本公开实施例的移位寄存器的框图；
- [0037] 图2示出了根据本公开实施例的移位寄存器的一种示例电路结构图；
- [0038] 图3示出了图2中的移位寄存器进行扫描时的时序图；
- [0039] 图4示出了一种已知移位寄存器的电路结构图；
- [0040] 图5示出了图2中的移位寄存器与图4中的移位寄存器在相同电路参数条件下各自驱动晶体管的栅极电平的比较图；
- [0041] 图6示出了图2中的移位寄存器与图4中的移位寄存器在相同电路参数条件下各自驱动晶体管的输出电平的比较图。

具体实施方式

[0042] 下面将结合本公开实施例中的附图，对本公开实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本公开一部分实施例，而不是全部的实施例。基于本公开中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本公开保护的范围。

[0043] 本公开所有实施例中采用的晶体管均可以为薄膜晶体管或场效应管或其他特性相同的器件。在本实施例中，每个晶体管的漏极和源极的连接方式可以互换，因此，本公开实施例中各晶体管的漏极、源极实际是没有区别的。这里，仅仅是为了区分晶体管除栅极之外的两极，而将其中一极称为漏极，另一极称为源极。

[0044] 本公开提出一种移位寄存器，可以有效降低输出端噪声，提高移位寄存器的驱动能力。

[0045] 图1示出了根据本公开实施例的移位寄存器的框图。如图1所示，在一个实施例中，该移位寄存器包括输入单元11、上拉单元12、上拉控制单元13、下拉单元14、下拉控制单元15、第一降噪单元16和第二降噪单元17。

[0046] 输入单元11的第一端与该移位寄存器的输入端INPUT连接用于从该输入端INPUT

接收输入信号,第二端与第一时钟信号端CK1连接,第三端与第一节点N1连接。该输入单元11被配置为在第一时钟信号端CK1处的第一时钟信号的控制下将所接收的输入信号传递到第一节点N1。

[0047] 上拉单元12的第一端与第一电源电压端VGH连接,第二端与第二节点N2连接,第三端与该移位寄存器的输出端OUTPUT连接。该上拉单元12被配置为在第二节点N2的电压的控制下将所述第一电源电压端的电压VGH提供给所述输出端OUTPUT。

[0048] 上拉控制单元13的第一端与第二时钟信号端CK2连接,第二端与第一电源电压端VGH连接,第三端与第二节点N2连接,第四端与输入端INPUT连接,第五端与第二电源电压端VGL连接。该上拉控制单元13被配置为在输入信号的控制下将所述第一电源电压端VGH的电压提供给所述第二节点N2或是在来自第二时钟信号端的第二时钟信号的控制下将所述第二电源电压端VGL的电压提供给所述第二节点N2。

[0049] 下拉单元14的第一端与第一节点N1连接,第二端与第三时钟信号端CK3连接,第三端与输出端OUTPUT连接。该下拉单元14被配置为在第一节点N1的电压的控制下将来自第三时钟信号端CK3的第三时钟信号提供给所述输出端OUTPUT。

[0050] 下拉控制单元15的第一端与第一电源电压端VGH连接,第二端与第一节点N1连接,第三端与第二节点N2连接。该下拉控制单元15被配置为在第二节点N2的电压的控制下将所述第一电源电压端VGH的电压提供给所述第一节点N1。

[0051] 第一降噪单元16的第一端与第三时钟信号端CK3连接,第二端与输出端OUTPUT连接,第三端与第三节点N3连接。该第一降噪单元16被配置为通过调节所述第三节点N3的电压,来减小所述输入单元11对第一节点N1的漏电。

[0052] 第二降噪单元17的第一端与第四节点N4连接,第二端与第一节点N1连接,第三端与第二电源电压端VGL连接。该第二降噪单元17被配置为通过调节所述第四节点N4的电压,来减小所述下拉控制单元15对第一节点N1的漏电。

[0053] 第三节点N3是第一降噪单元16和输入单元11的连接点,第四节点N4是第二降噪单元17和下拉控制单元15的连接点。

[0054] 第一降噪单元16和第二降噪单元17通过减小输入单元11和下拉控制单元15对第一节点N1的漏电,维持第一节点N1的电平,来降低该移位寄存器的输出端的噪声。

[0055] 上述第一、第二和第三时钟信号端的第一、第二和第三时钟信号的占空比均为33%。

[0056] 第一电源电压端VGH是高电源电压端,第二电源电压端VGL是低电源电压端。

[0057] 图2示出了根据本公开实施例的移位寄存器的一种示例电路结构图。下面以图2中的晶体管均为在栅极输入低电平时导通的P型晶体管为例进行说明。

[0058] 如图2所示,在一个实施例中,例如,输入单元11包括第一晶体管M1以及第二晶体管M2。第一晶体管M1的栅极与第一时钟信号端CK1连接,第一极与输入端INPUT连接,第二极与第三节点N3连接。第二晶体管M2的栅极与第一时钟信号端CK1连接,第一极与第三节点N3连接,第二极与第一节点N1连接。在第一时钟信号端CK1的第一时钟信号处于低电平时,第一晶体管M1和第二晶体管M2分别导通,将输入端INPUT的输入信号传递到第一节点N1。

[0059] 在一个实施例中,例如,上拉单元12包括第三晶体管M3和第一电容C1。第三晶体管M3的栅极与第二节点N2连接,第一极与第一电源电压端VGH连接,第二极与输出端OUTPUT连

接。第一电容C1的第一端与第二节点N2连接,第二端与第一电源电压端VGH连接。在第二节点N2的电压处于低电平时,第三晶体管M3导通,将所述第一电源电压端的电压VGH提供给所述输出端OUTPUT。

[0060] 在一个实施例中,例如,上拉控制单元13包括第四晶体管M4和第五晶体管M5。第四晶体管M4的栅极与输入端INPUT连接,第一极与第一电源电压端VGH连接,第二极与第二节点N2连接。第五晶体管M5的栅极与第二时钟信号端CK2连接,第一极与第二节点N2连接,第二极与第二电源电压端VGL连接。例如,在第二时钟信号端CK2处的第二时钟信号处于低电平时,第五晶体管M5导通,将所述第二电源电压端VGL的电压提供给所述第二节点N2;在输入端INPUT处的输入信号处于低电平时,第四晶体管M4导通,将所述第一电源电压端VGH的电压提供给所述第二节点N2。

[0061] 在一个实施例中,例如,下拉单元14包括第六晶体管M6和第二电容C2。第六晶体管M6的栅极与第一节点N1连接,第一极与输出端OUTPUT连接,第二极与第三时钟信号端CK3连接。第二电容C2的第一端与第一节点N1连接,第二端与输出端OUTPUT连接。在第一节点N1的电压处于低电平时,第六晶体管M6导通,将来自第三时钟信号端CK3的第三时钟信号提供给所述输出端OUTPUT。

[0062] 在一个实施例中,例如,下拉控制单元15包括第七晶体管M7和第八晶体管M8。第七晶体管M7的栅极与第二节点N2连接,第一极与第一电源电压端VGH连接,第二极与第四节点N4连接。第八晶体管M8的栅极与第二节点N2连接,第一端与第四节点N4连接,第二端与第一节点N1连接。在第二节点N2的电压处于低电平时,第七晶体管M7和第八晶体管M8分别导通,将所述第一电源电压端VGH的电压提供给所述第一节点N1。

[0063] 在一个实施例中,例如,第一降噪单元16包括第九晶体管M9,其栅极与输出端OUTPUT连接,第一极与第三时钟信号端CK3连接,第二极与第三节点N3连接。在输出端OUTPUT的输出信号处于低电平并且当来自第三时钟信号端CK3的第三时钟信号处于低电平时,第九晶体管M9导通,使得第三节点N3的电压被拉低,从而减小上述第二晶体管M2对第一节点N1的漏电,减小了对第一节点N1的电平的影响,即,减小了对驱动晶体管,即,第六晶体管M6的栅极电平的影响,降低了该移位寄存器的输出端的噪声,提高驱动晶体管的驱动能力。

[0064] 在一个实施例中,例如,第二降噪单元17包括第十晶体管M10,其栅极与第一节点N1连接,第一极与第四节点N4连接,第二极与第二电源电压端VGL连接。在第一节点N1的电压处于低电平时,第十晶体管M10导通,使得第四节点N4的电压被拉低,从而减小上述第八晶体管M8对第一节点N1的漏电,减小了对第一节点N1的电平的影响,使得第一节点N1的电平可以一直保持较低的电平,即,减小了对驱动晶体管,即,第六晶体管M6的栅极电平的影响,降低了输出端噪声,提高驱动晶体管的驱动能力。

[0065] 能够理解,图2中所示出的输入单元11、上拉单元12、上拉控制单元13、下拉单元14、下拉控制单元15、第一降噪单元16和第二降噪单元17的具体电路结构仅仅是一种示例,各个单元也可以采用其他适当的电路结构,只要能分别实现各自的功能即可,本发明对此不做限制。

[0066] 图3示出了图2中的移位寄存器进行扫描时的时序图。下面结合图2和图3对根据本公开实施例的移位寄存器在扫描时的具体工作过程进行描述。

[0067] 在本实施例中,第一电源电压端VGH是高电源电压端,第二电源电压端VGL是低电源电压端。

[0068] 在第一阶段 t_1 (输入阶段),输入端INPUT输入的信号和第一时钟信号端CK1的第一时钟信号处于低电平VL(在本实施例中代表第二电源电压端VGL的电平),第三时钟信号端CK3的第三时钟信号处于高电平VH(在本实施例中代表第一电源电压端VGH的电平)。第一晶体管M1和第二晶体管M2导通,将输入端INPUT的低电平信号传递到第一节点N1,此时第一节点N1处于低电平。由于P型晶体管传递低电平有阈值损失,所以第一节点N1电平为 $VL+|v_{thp}|$,其中 v_{thp} 代表晶体管的阈值电压(在本实施例中假定所有晶体管的阈值电压相等)。由于第一节点N1处于低电平,驱动晶体管,即,第六晶体管M6导通。因为第三时钟信号端CK3的第三时钟信号处于高电平VH,输出端OUTPUT输出高电平的输出信号。同时,由于输入端INPUT输入的信号处于低电平,第四晶体管M4导通,将第二节点N2的电平拉至第一电源电压端VGH的高电平,第三晶体管M3截止。

[0069] 在第二阶段 t_2 (下拉阶段),输入端INPUT输入的信号和第一时钟信号端CK1的第一时钟信号处于高电平VH,第三时钟信号端CK3的第三时钟信号处于低电平VL。由于在 t_1 阶段第六晶体管M6导通,第三时钟信号端CK3的第三时钟信号处于低电平,因此输出端OUTPUT输出低电平的输出信号。由于第一时钟信号端CK1的第一时钟信号处于高电平,第一晶体管M1和第二晶体管M2截止。第二节点N2的电平在 t_1 阶段被拉至高电平,所以第七晶体管M7和第八晶体管M8截止,第六晶体管M6的栅极处于悬空状态。由于电容具有保持其两端电压差不变的特性,因此第二电容C2两端电压差($VL+|V_{thp}|-VH$)保持不变,所以第一节点N1的电平会随着输出端OUTPUT的电平的降低而降低,最后稳定在 $2VL+|V_{thp}|-VH$ 。第六晶体管M6工作在线性区,第三时钟信号端CK3的第三时钟信号无阈值损失地传递到输出端OUTPUT,输出端OUTPUT输出信号的电平为VL。在此过程中,低电平的输出端OUTPUT输出信号将第九晶体管M9开启,第三节点N3的电平被拉低,减小了第二晶体管M2的漏电流,从而减小了对第一节点N1的电平的影响,即,减小了对驱动晶体管(第六晶体管M6)的栅极电平的影响,降低了该移位寄存器的输出端的噪声。同时,第一节点N1的电平处于低电平,第十晶体管M10导通,将第四节点N4的电平拉低,从而减小第八晶体管M8的漏电流,从而减小了对第一节点N1的电平的影响,使得第一节点N1的电平可以一直保持较低的电平,即,减小了对驱动晶体管(第六晶体管M6)的栅极电平的影响,降低了输出端噪声,提高驱动晶体管的驱动能力。

[0070] 在第三阶段 t_3 (上拉阶段),此阶段分为两个子阶段。在第一子阶段,第三时钟信号端CK3的第三时钟信号跳变处于高电平VH,第二电容C2具有保持其两端电压差不变的特性,因此第一节点N1的电平也跳变至 $VL+|V_{thp}|$ 。第六晶体管M6仍处于开启状态,将输出端OUTPUT输出信号的电平上拉至第三时钟信号端CK3的第三时钟信号的高电平VH。在第二子阶段,第二时钟信号端CK2的第二时钟信号跳变处于低电平,第五晶体管M5导通,第二节点N2的电平被拉低,第三晶体管M3导通,将输出端OUTPUT输出信号的电平保持在高电平VH。同时第七晶体管M7和第八晶体管M8导通,将第一节点N1的电平拉至高电平VH,第六晶体管M6截止。

[0071] 在第四阶段 t_4 (保持阶段),第二时钟信号端CK2的第二时钟信号周期性跳变为低电平,将第二节点N2的电平保持在低电平,所以第三晶体管M3保持导通,将输出端OUTPUT输出信号的电平稳定在高电平VH。第二节点N2的低电平使第七晶体管M7和第八晶体管M8导

通,将第一节点N1的电平稳定在高电平VH。第一时钟信号端CK1的第一时钟信号周期性跳变为低电平也将第一晶体管M1和第二晶体管M2导通,将第一节点N1的电平稳定在高电平VH。从而保证输出端OUTPUT的稳定输出,降低噪声。

[0072] 此后,直至下一帧到来,所述移位寄存器接收到输入端INPUT的低电平信号后,重新执行上述各阶段。

[0073] 上述第一、第二和第三时钟信号端的第一、第二和第三时钟信号的占空比均为33%。

[0074] 根据本公开实施例的移位寄存器采用串联晶体管结构(例如,M1和M2串联,M7和M8串联),通过时序控制,在串联晶体管的连接点(例如,N3、N4)处接入相应的电平来减小其漏电流(例如,减小了第二晶体管M2的漏电流和第八晶体管M8的漏电流),降低下拉阶段(即,输出阶段)对驱动晶体管的栅极电平(即,第一节点N1的电平)的影响,进而消除了输出端噪声,提高了移位寄存器的驱动能力。

[0075] 本公开还提供了一种上述移位寄存器的操作方法。下面结合图1和图3对该方法进行说明。在一个实施例中,例如,如图1所示,移位寄存器包含输入单元11、上拉单元12、上拉控制单元13、下拉单元14、下拉控制单元15、第一降噪单元16和第二降噪单元17,该移位寄存器的操作方法包含:

[0076] 由输入单元11将输入信号提供至第一节点N1;

[0077] 由上拉单元12将第一电源电压端VGH的电压提供给该移位寄存器的输出端OUTPUT;

[0078] 由上拉控制单元13将第一电源电压端VGH的电压或第二电源电压端VGL的电压提供给第二节点N2;

[0079] 由下拉单元14将来自第三时钟信号端CK3的第三时钟信号提供给所述输出端OUTPUT;

[0080] 由下拉控制单元15将所述第一电源电压端VGH的电压提供给所述第一节点N1;

[0081] 由第一降噪单元16通过调节第三节点N3的电压,来减小所述输入单元11对第一节点N1的漏电;

[0082] 由第二降噪单元17通过调节第四节点N4的电压,来减小所述下拉控制单元15对第一节点N1的漏电;

[0083] 其中,第一节点N1是输入单元11、下拉单元14、下拉控制单元15和第二降噪单元17的连接点,第二节点是上拉单元12、上拉控制单元13和下拉控制单元15的连接点,第三节点N3是第一降噪单元16和输入单元11的连接点,第四节点N4是第二降噪单元17和下拉控制单元15的连接点。

[0084] 在本实施例中,第一电源电压端VGH是高电源电压端,第二电源电压端VGL是低电源电压端,所述第三时钟信号端CK3的第三时钟信号的占空比为33%。

[0085] 图4示出了一种已知移位寄存器的电路结构图,图5-6分别示出了图2中的移位寄存器与图4中的移位寄存器在相同电路参数条件下各自驱动晶体管的栅极电平和输出电平的比较图。如图5-6所示,将本公开实施例的移位寄存器与图4所示的已知的一种移位寄存器的驱动能力进行比较,在器件尺寸、器件模型、驱动脉宽、所带负载(10k Ω 、60pF)相同的条件下,可以看出,在输出阶段,本公开实施例的移位寄存器中的驱动晶体管的栅极电平比

该已知移位寄存器的驱动晶体管的栅极电平在低电位保持效果要好,因此本公开实施例的移位寄存器中的驱动晶体管的输出电平与该已知移位寄存器的驱动晶体管的输出电平相比,其延迟也相应较小。

[0086] 根据本公开实施例的移位寄存器采用串联晶体管结构,通过时序控制,在串联晶体管的连接点处接入相应的电平来减小其漏电流,降低下拉阶段(即,输出阶段)对驱动晶体管的栅极电平的影响,进而消除了输出端噪声,提高了移位寄存器的驱动能力。

[0087] 以上所述,仅为本公开的具体实施方式,但本公开的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本公开揭露的技术范围内,可轻易想到的变化或替换,都应涵盖在本公开的保护范围之内。因此,本公开的保护范围应以权利要求的保护范围为准。

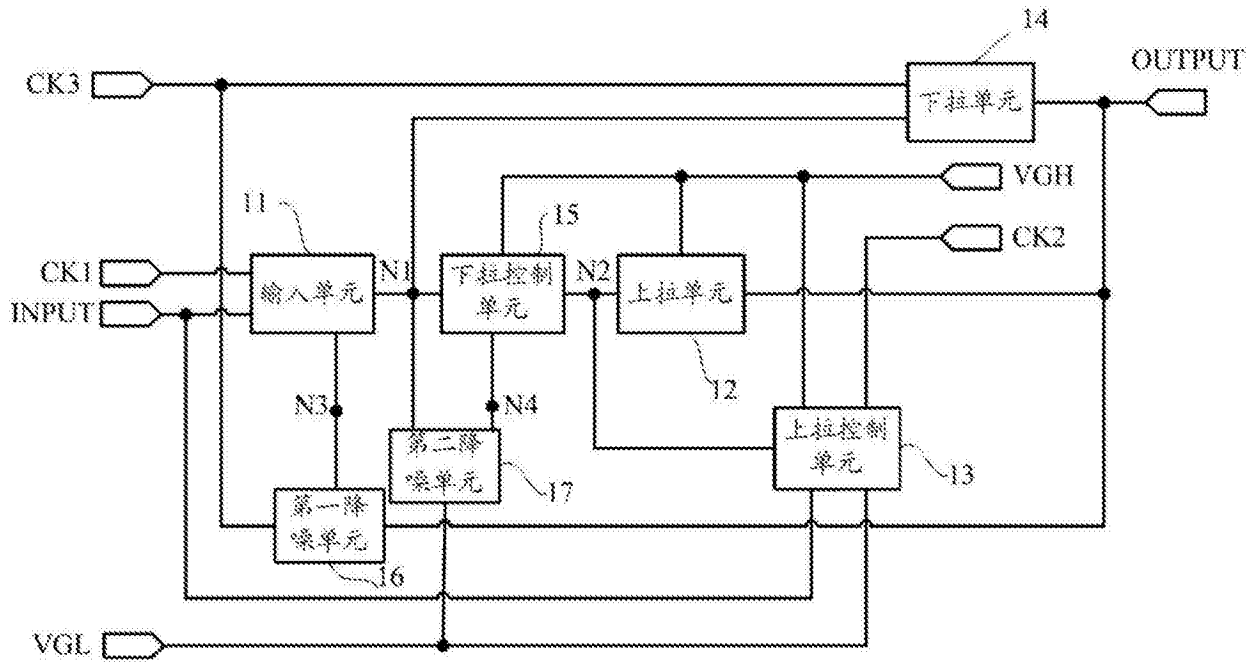


图1

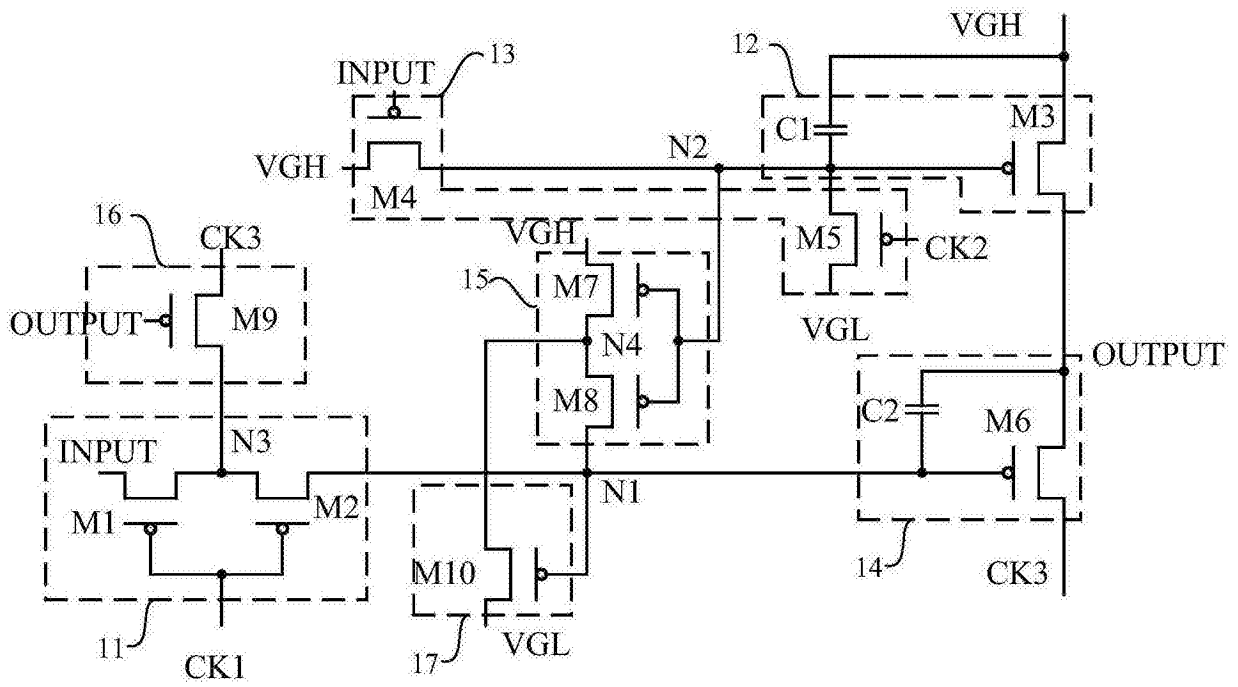


图2

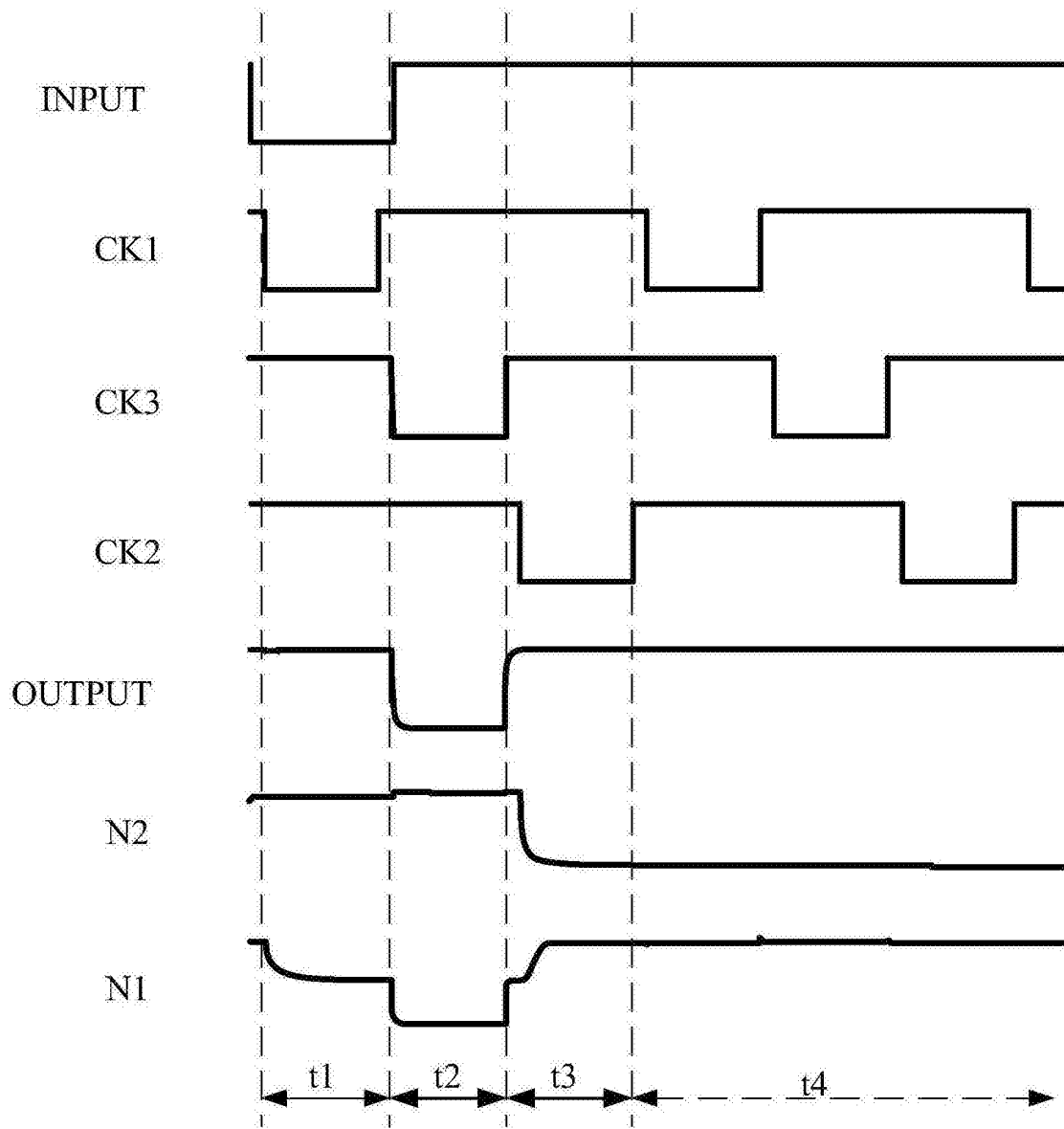


图3

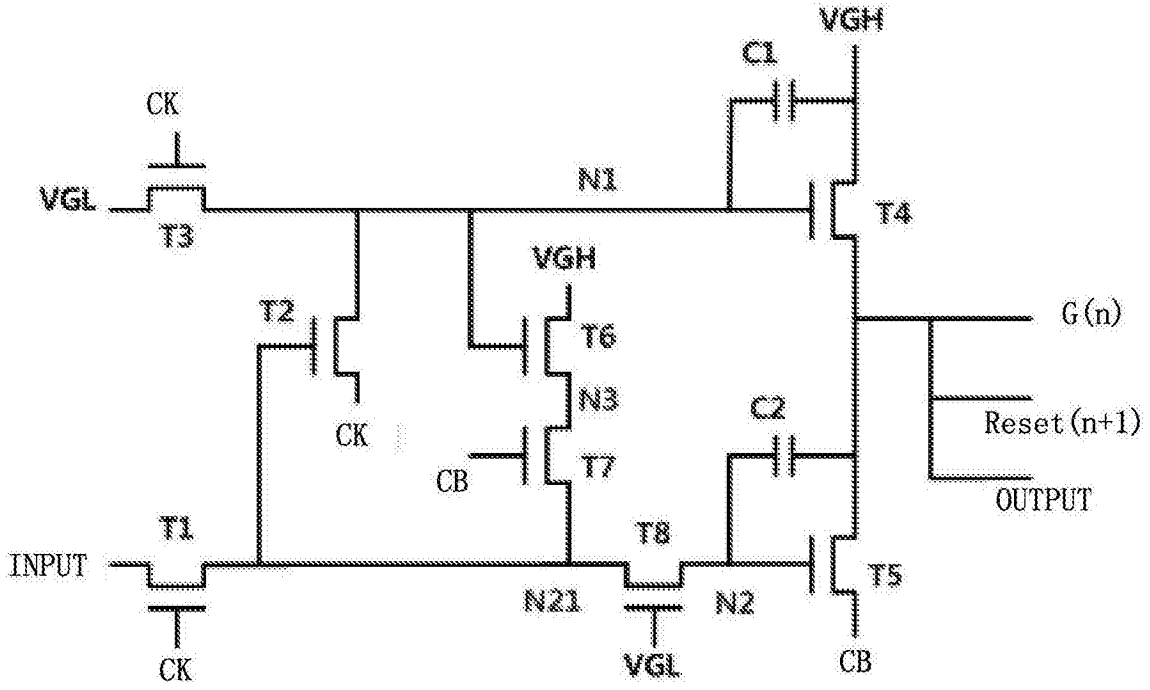


图4

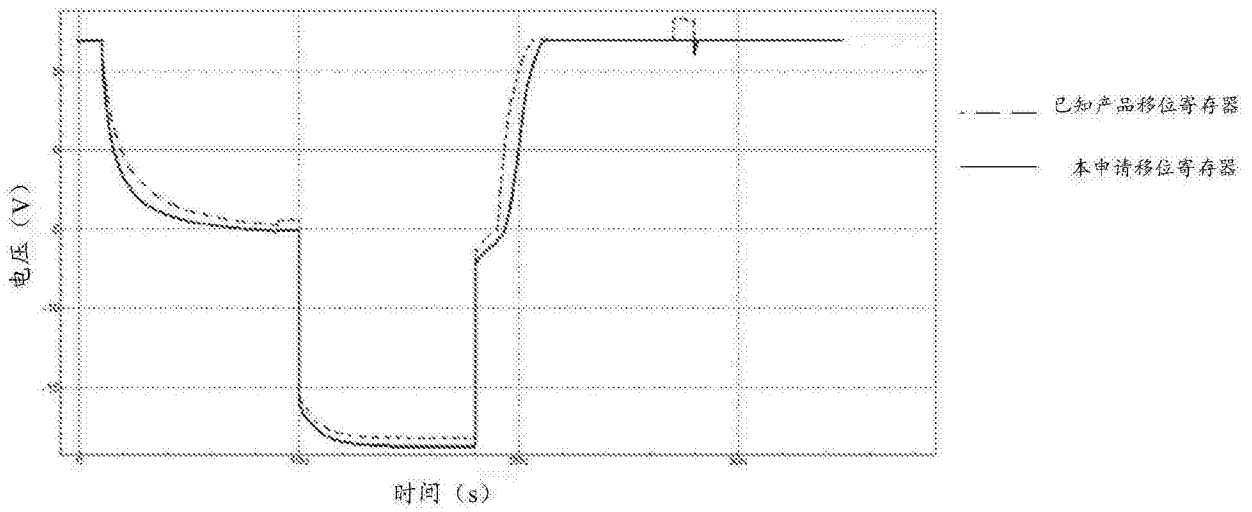


图5

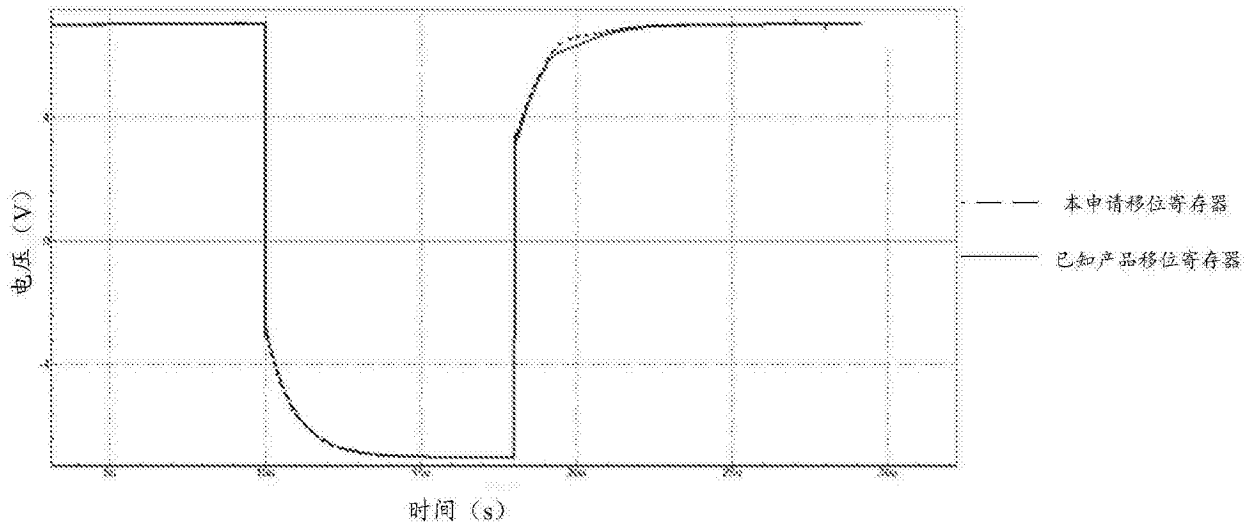


图6