



(12) 发明专利申请

(10) 申请公布号 CN 103824779 A

(43) 申请公布日 2014. 05. 28

(21) 申请号 201410054172. 7

(22) 申请日 2014. 02. 18

(71) 申请人 北京京东方显示技术有限公司
地址 100176 北京市经济技术开发区经海一路 118 号

申请人 京东方科技集团股份有限公司

(72) 发明人 王守坤 郭会斌 刘晓伟 冯玉春
郭总杰

(74) 专利代理机构 北京银龙知识产权代理有限公司 11243

代理人 许静 安利霞

(51) Int. Cl.

H01L 21/336(2006. 01)

H01L 21/265(2006. 01)

H01L 29/786(2006. 01)

H01L 29/10(2006. 01)

H01L 21/77(2006. 01)

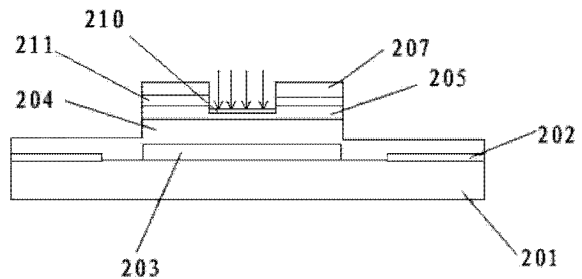
权利要求书1页 说明书6页 附图3页

(54) 发明名称

一种薄膜晶体管及其制作方法、TFT 阵列基板、显示装置

(57) 摘要

本发明涉及一种薄膜晶体管制作方法,包括:形成半导体有源层和掺杂半导体有源层的步骤;形成源漏金属层的步骤;形成沟道区域的步骤;在形成沟道区域的步骤之后,通过离子注入的方式,在所述沟道区域内的半导体有源层表面注入用于降低 TFT 漏电流的离子的步骤。本发明还涉及一种薄膜晶体管、TFT 阵列基板、显示装置。本发明的有益效果是:通过在沟道区域内注入用于降低 TFT 漏电流的离子,提升 TFT 电学性能,并且可控的改变沟道区域半导体有源层的厚度。



1. 一种薄膜晶体管的制作方法,其特征在于,包括:
形成半导体有源层和掺杂半导体有源层的步骤;
形成源漏金属层的步骤;
形成沟道区域的步骤;
在形成沟道区域的步骤之后,通过离子注入的方式,在所述沟道区域内的半导体有源层表面注入用于降低 TFT 漏电流的离子的步骤。
2. 根据权利要求 1 所述的薄膜晶体管的制作方法,其特征在于,所述离子为 N 离子、C 离子或 H 离子。
3. 根据权利要求 1 所述的薄膜晶体管的制作方法,其特征在于,具体包括:
在基板上沉积栅金属层,通过构图工艺,得到栅极图形;
在栅极上沉积栅绝缘层、半导体有源层和掺杂半导体有源层和源漏金属层,通过构图工艺得到沟道区域以及源电极、漏电极的图形,并在源电极、漏电极的图形上的光刻胶剥离之前、通过离子注入的方式,在所述沟道区域内的半导体有源层表面注入用于降低 TFT 漏电流的离子。
4. 根据权利要求 1 所述的薄膜晶体管的制作方法,其特征在于,具体包括:
在基板上沉积源漏金属层,通过构图工艺得到源电极、漏电极的图形;
在源电极、漏电极上形成掺杂半导体有源层和半导体有源层,通过构图工艺形成沟道区域;
通过离子注入的方式,在所述沟道区域内的半导体有源层表面注入用于降低 TFT 漏电流的离子。
5. 根据权利要求 1 所述的薄膜晶体管的制作方法,其特征在于,所述离子注入方式,所采用的注入离子能量为 20KV ~ 80KV。
6. 根据权利要求 1 所述的薄膜晶体管的制作方法,其特征在于,所述离子注入方式,所注入的离子剂量为 $2 \times 10^{17}/\text{cm}^2 \sim 5 \times 10^{18}/\text{cm}^2$ 。
7. 一种薄膜晶体管,其特征在于,所述薄膜晶体管采用如权利要求 1-6 中任一项所述的薄膜晶体管的制作方法制作得到。
8. 根据权利要求 7 所述的薄膜晶体管,其特征在于,所述离子为 N 离子时,所述半导体有源层注入离子部分所包含的 Si、H、N 的含量分别为 30% ~ 50%, 4% ~ 15%, 35% ~ 60%。
9. 根据权利要求 7 所述的薄膜晶体管,其特征在于,所述离子为 C 离子时,所述半导体有源层注入离子部分所包含的 Si、H、C 的含量分别为 30% ~ 50%, 4% ~ 15%, 40% ~ 60%。
10. 一种 TFT 阵列基板,其特征在于,所述阵列基板包括如权利要求 7-9 所述的薄膜晶体管。
11. 一种显示装置,其特征在于,所述显示装置包括如权利要求 10 所述的 TFT 阵列基板。

一种薄膜晶体管及其制作方法、TFT 阵列基板、显示装置

技术领域

[0001] 本发明涉及液晶显示技术领域,尤其涉及一种薄膜晶体管及其制作方法、TFT 阵列基板、显示装置。

背景技术

[0002] 薄膜晶体管液晶显示器(Thin Film Transistor Liquid Crystal Display,简称 TFT-LCD),具有体积小、功耗低、无辐射等特点,在当前的平板显示器市场中占据了主导地位。其中显示画面均匀、高解析度、无窜扰等是高品质 TFT-LCD 的关键要求,而与此有关的是 TFT 的电性参数 - 漏电流(I_{off}),漏电流是 TFT 的一个重要参数,若其过大,则影响 TFT 的开关特性,从而导致 TFT-LCD 出现显示不均、发白、窜扰等显示类缺陷。

[0003] 目前设计的非晶硅 TFT-LCD 各类产品,采用背沟道刻蚀技术后,沟道区域表层为非晶硅层,此区域的膜质如果有问题,TFT 的性能就会有较大影响。

发明内容

[0004] 为了解决上述技术问题,本发明提供一种 TFT 阵列基板制作方法,改善沟道区域膜质成分,其他膜层区域不受影响。

[0005] 为了达到上述目的,本发明采用的技术方案是:一种薄膜晶体管的制作方法,包括:

[0006] 形成半导体有源层和掺杂半导体有源层的步骤;

[0007] 形成源漏金属层的步骤;

[0008] 形成沟道区域的步骤;

[0009] 在形成沟道区域的步骤之后,通过离子注入的方式,在所述沟道区域内的半导体有源层表面注入用于降低 TFT 漏电流的离子的步骤。

[0010] 进一步的,所述离子为 N 离子、C 离子或 H 离子。

[0011] 进一步的,具体包括:

[0012] 在基板上沉积栅金属层,通过构图工艺,得到栅极图形;

[0013] 在栅极上沉积栅绝缘层、半导体有源层和掺杂半导体有源层和源漏金属层,通过构图工艺得到沟道区域以及源电极、漏电极的图形,并在源电极、漏电极的图形上的光刻胶剥离之前、通过离子注入的方式,在所述沟道区域内的半导体有源层表面注入用于降低 TFT 漏电流的离子。

[0014] 进一步的,具体包括:

[0015] 在基板上沉积源漏金属层,通过构图工艺得到源电极、漏电极的图形;

[0016] 在源电极、漏电极上形成掺杂半导体有源层和半导体有源层,通过构图工艺形成沟道区域;

[0017] 通过离子注入的方式,在所述沟道区域内的半导体有源层表面注入用于降低 TFT 漏电流的离子。

- [0018] 进一步的,所述离子注入方式,所采用的注入离子能量为 20KV ~ 80KV。
- [0019] 进一步的,所述离子注入方式,所注入离子剂量为 $2 \times 10^{17}/\text{cm}^2 \sim 5 \times 10^{18}/\text{cm}^2$ 。
- [0020] 本发明还提供一种薄膜晶体管,所述薄膜晶体管采用上述的薄膜晶体管的制作方法制作得到。
- [0021] 进一步的,所述离子为 N 离子时,所述离子为 N 离子时,所述半导体有源层注入离子部分所包含的 Si、H、N 的含量分别为 30% ~ 50%, 4% ~ 15%, 35% ~ 60%。
- [0022] 进一步的,所述离子为 C 离子时,所述半导体有源层注入离子部分所包含的 Si、H、C 的含量分别为 30% ~ 50%, 4% ~ 15%, 40% ~ 60%。
- [0023] 本发明还提供一种 TFT 阵列基板,所述阵列基板包括上述的薄膜晶体管。
- [0024] 本发明还提供一种显示装置,所述显示装置包括上述的 TFT 阵列基板。
- [0025] 本发明的有益效果是:通过在沟道区域内注入用于降低 TFT 漏电流的离子,提升 TFT 电学性能,并且可控的改变沟道区域半导体有源层的厚度。

附图说明

- [0026] 图 1 表示本发明 TFT 阵列基板形成公共电极图形后的结构示意图;
- [0027] 图 2 表示本发明 TFT 阵列基板形成栅极图形后的结构示意图;
- [0028] 图 3 表示本发明 TFT 阵列基板形成沟道区域后的结构示意图;
- [0029] 图 4 表示本发明 TFT 阵列基板在沟道区域内注入离子示意图;
- [0030] 图 5 表示本发明 TFT 阵列基板形成钝化层后的结构示意图;
- [0031] 图 6 表示本发明 TFT 阵列基本形成像素电极图形后的结构示意图。

具体实施方式

- [0032] 以下结合附图对本发明特征和原理进行详细说明,所举实施例仅用于解释本发明,并非以此限定本发明的保护范围。
- [0033] 本实施例提供一种薄膜晶体管的制作方法,包括:
- [0034] 形成半导体有源层和掺杂半导体有源层的步骤;
- [0035] 形成源漏金属层的步骤;
- [0036] 形成沟道区域的步骤;
- [0037] 在形成沟道区域的步骤之后,通过离子注入的方式,在所述沟道区域内的半导体有源层表面注入用于降低 TFT 漏电流的离子的步骤。
- [0038] 薄膜晶体管根据栅极和源漏极的位置可分为顶栅结构和底栅结构,底栅结构的薄膜晶体管的制作方法具体包括:
- [0039] 步骤一:在基板上沉积公共电极金属层,通过构图工艺,得到公共电极图形;
- [0040] 公共电极金属层可以为一层透明的导电薄膜,该透明导电薄膜可以采用氧化铟锡(ITO)、氧化铟锌、氧化铝锌等材料,形成公共电极金属层的工艺可以采用溅射沉积形成,也可以为本领域技术人员所知的其它工艺,经过曝光机图形曝光,刻蚀液刻蚀形成透明公共电极图形。
- [0041] 步骤二:在基板上沉积栅金属层,通过构图工艺,得到栅极图形;
- [0042] 栅金属层的材料可以为钼、铝、铝镍合金、钼钨合金、铬或铜等金属,也可以使用上

述几种材料的组合结构。形成栅金属层的工艺可以采用溅射沉积形成,也可以为本领域技术人员所知的其它工艺,经过曝光机图形曝光,刻蚀液刻蚀形成栅极图形。

[0043] 步骤三:在栅极上沉积栅绝缘层、半导体有源层和掺杂半导体有源层和源漏金属层,通过构图工艺得到沟道区域以及源电极、漏电极的图形,并在源电极、漏电极的图形上的光刻胶剥离之前、通过离子注入的方式,在所述沟道区域内的半导体有源层表面注入用于降低 TFT 漏电流的离子;

[0044] 通过化学气相沉积 gate SiN_x 和 a-Si:H , 分别作为栅绝缘层和半导体有源层和掺杂半导体有源层,然后通过溅射沉积金属层形成源漏金属层,然后经过曝光机图形曝光,刻蚀,形成 TFT 沟道区域。源漏金属层的材料可以为钼、铝、铝镍合金、钼钨合金、铬或铜等金属,也可以使用上述几种材料的组合结构。栅绝缘层的材料可以采用氧化物、氮化物或氧氮化合物。

[0045] 步骤四:在所述源电极、漏电极上形成包括有接触过孔的钝化层的图形;钝化层的形成对 TFT 沟道区域进行保护,防止水分等物质的侵蚀。

[0046] 步骤五:在所述钝化层上形成像素电极图形,所述像素电极通过所述接触过孔与所述漏电极相连接。

[0047] 在钝化层上沉积一层透明的导电薄膜,该透明导电薄膜可以采用氧化铟锡(ITO)、氧化铟锌、氧化铝锌等材料,形成导电薄膜的工艺可以采用溅射沉积形成,也可以为本领域技术人员所知的其它工艺,经过曝光机图形曝光,刻蚀液刻蚀形成透明像素电极图形。

[0048] 顶栅结构的薄膜晶体管的制作方法具体包括:

[0049] 步骤一:在基板上沉积金属层,通过构图工艺,得到像素电极图形;

[0050] 沉积一层透明的导电薄膜,该透明导电薄膜可以采用氧化铟锡(ITO)、氧化铟锌、氧化铝锌等材料,形成导电薄膜的工艺可以采用溅射沉积形成,也可以为本领域技术人员所知的其它工艺,经过曝光机图形曝光,刻蚀液刻蚀形成透明像素电极图形。

[0051] 步骤二:在基板上沉积源漏金属层,通过构图工艺得到源电极、漏电极的图形;

[0052] 通过化学气相沉积 gate SiN_x 和 a-Si:H , 分别作为栅绝缘层和半导体有源层和掺杂半导体有源层,然后通过溅射沉积金属层形成源漏金属层,然后经过曝光机图形曝光,刻蚀,形成 TFT 沟道区域。源漏金属层的材料可以为钼、铝、铝镍合金、钼钨合金、铬或铜等金属,也可以使用上述几种材料的组合结构。栅绝缘层的材料可以采用氧化物、氮化物或氧氮化合物。

[0053] 步骤三:在源电极、漏电极上形成掺杂半导体有源层和半导体有源层,通过构图工艺形成沟道区域;

[0054] 将沟道区域注入 N 离子,使表面一部分膜层成分变为 SiN_x , 这样可提高沟道表面层的稳定,当然也可以注入 H 离子, C 离子等以达到提高沟道区域表面层的稳定。

[0055] 步骤四:通过构图工艺在半导体有源层上形成栅绝缘层和栅极图形。

[0056] 下面将结合本发明实施例中的附图,以底栅结构的薄膜晶体管为例对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0057] 在本发明的实施例中,构图工艺,包括曝光、显影、刻蚀等形成图形的工艺;源漏金

属层,指形成源漏电极的金属。一次构图工艺,指使用一张掩模板(mask)的构图工艺。

[0058] 本发明实施例提供一种 TFT 阵列基板的制造方法,参照图 1 ~图 6 对该方法进行详细说明。

[0059] 步骤一、形成公共电极图形。

[0060] 此步骤可以采用任何可以通过一次构图工艺实现的现有技术来实现。比如,利用普通掩摸工艺实现,如图 1 所示,借助普通掩膜版(图中未示出)对衬底基板 201 上的金属层(图中未示出)进行图案化,以形成的图案化的公共电极 202 的图形。具体地,包括:在基板上沉积公共电极金属层,利用普通掩摸板进行曝光、显影和刻蚀,得到公共电极图形。

[0061] 普通(常规)掩膜版指通常所使用的具有透光区和非透光区的掩膜版,借助该第一常规掩膜版对形成在公共电极金属层上的光刻胶层进行曝光显影后,需要保留的公共电极金属层上覆盖有光刻胶,而不需要保留的公共电极金属层上的光刻胶被去除,通过刻蚀步骤,将不需要的公共电极金属层刻蚀掉,剩余的公共电极金属层即为所需的图案化的公共电极 202。

[0062] 公共电极金属层采用氧化铟锡(ITO),形成公共电极金属层的工艺可以为溅射工艺,也可以为本领域技术人员所知的其它工艺。

[0063] 步骤二:形成栅极图形

[0064] 此步骤可以采用任何可以通过一次构图工艺实现的现有技术来实现。比如,利用普通掩摸工艺实现,如图 2 所示,借助普通掩膜版(图中未示出)对衬底基板 201 上的栅极金属层(图中未示出)进行图案化,以形成的图案化的包括栅极 203 的图形。具体地,包括:在基板上沉积栅金属层,利用普通掩摸板进行曝光、显影和刻蚀,得到包括栅极 203 的图形。

[0065] 普通(常规)掩膜版指通常所使用的具有透光区和非透光区的掩膜版,借助该第一常规掩膜版对形成在栅极金属层上的光刻胶层进行曝光显影后,需要保留的栅极金属层上覆盖有光刻胶,而不需要保留的栅极金属层上的光刻胶被去除,通过刻蚀步骤,将不需要的栅极金属层刻蚀掉,剩余的栅极金属层即为所需的图案化的栅极 203。

[0066] 形成栅极金属层的工艺可以为溅射工艺,也可以为本领域技术人员所知的其它工艺。

[0067] 步骤三:形成栅绝缘层 204、半导体有源层 205、掺杂半导体有源层 211、和沟道区域 206,并在沟道区域半导体有源层 205 表面注入用于降低 TFT 漏电流的离子,形成离子注入层 210。

[0068] 如图 3 所示,通过化学气相沉积 gate SiN_x 和 a-Si:H, 分别作为栅极绝缘层 204 和半导体有源层 205,然后溅射沉积源漏金属层 207,在源漏金属层 207 上涂布光刻胶,源漏金属层 207 与半导体有源层 205 之间设有掺杂半导体有源层 211,所述掺杂半导体有源层为磷掺杂半导体有源层($n^+a\text{-Si}$),位于有源层与源漏金属层之间,目的是降低接触电阻。

[0069] 利用灰色调或半色调掩模板对所述光刻胶进行曝光和显影,形成完全去除区、对应源电极、漏电极的完全保留区和对应沟道区域的部分保留区,之后刻蚀掉完全去除区的半导体有源层 205 和掺杂半导体有源层 211、源漏金属层 207,去除掉所述部分保留区的光刻胶,之后先刻蚀掉部分保留区的源漏金属层 207 掺杂半导体有源层 211,形成薄膜晶体管的沟道区域 206。

[0070] 在本步骤工艺的过程中,TFT 沟道部分,半导体有源层 a-Si:H 层的厚度及其膜质

成分都会对 TFT 特性起着决定性作用, TFT 沟道的 a-Si:H 层部分, 需要背沟道处理, 才能提升 TFT 性质(譬如降低光照漏电流 photo Ioff)。

[0071] 在对应源电极、漏电极的完全保留区光刻胶剥离之前, 在沟道区域处采用离子注入的方法, 将沟道区域 a-Si:H 层(半导体有源层 205)注入 N 离子, 使 a-Si:H 层表面一部分膜层成分变为 SiNx, 这样可提高沟道表面层的稳定, 并且 a-Si:H 层的厚度, 可以由注入离子的能量不同, 可控的改变沟道 a-Si:H 层的厚度, 而且注入的离子比的调节, 可调整 Si-H 键和 N-H 键的比例, 改善光照漏电流过大(photo Ioff), TFT Ion 改善沟道处 TFT 的电学性, 而不引起其他膜层的电学和膜质较大变化, 从而达到实现 TFT 性能提升的目的, 图 4 中, 箭头方向所指为离子注入的位置。

[0072] 本实施例中通过注入 N 离子的方式以降低 TFT 漏电流的原理如下:

[0073] 本发明实施例提供的 TFT 阵列基板的制造方法中, 不改变正常的 mask 工序, 在沟道区域内注入用于降低 TFT 漏电流的离子, 提升了 TFT 电学性能, 尤其是在对应源电极、漏电极的完全保留区的光刻胶剥离之前, 在沟道区域内注入离子, 使得其他膜层不受影响, 在沟道区域处采用离子注入的方法, 将沟道区域 a-Si:H 层(半导体有源层)注入 N 离子, 注入 N 离子使 a-Si:H 层表面一部分膜层成分变为 SiNx, 这样可提高沟道表面层的稳定。因为 a-Si:H 层中的 H 在 a-Si:H 层中扩散, 容易引起弱 Si-Si 键的断裂和 H 的聚集, 受到光照后会发生不同的反应, 在其内部产生缺陷而使薄膜性能下降, 进而产生光致漏电流。半导体有源层 a-Si:H 层性能的衰退与 Si-Si 弱键有关, 要提高其稳定性, 应尽可能的消除或减少键能较弱的 Si-Si 键。所以在 a-Si:H 层中引入 N 离子, 可以将键能较弱的 Si-Si 键打断, 形成键能相对较强的 Si-N 键, 从而降低 a-Si:H 层中多包含的 Si-Si 键的比例, 达到膜质稳定的目的, 从而达到实现 TFT 电学稳定的目的。

[0074] 并且 a-Si:H 层的厚度, 可以由注入离子的能量不同来进行调控, 因为注入离子的能量不同, 则离子到达膜层的深度会不一样, 这样就会形成可控厚度的 SiNx 层(离子注入层 210), 从而达到可控的改变沟道区域 a-Si:H 层的离子注入层 210 的厚度的目的; 同时可达到的调节 a-Si:H 层中离子比的目的, 因为注入 N 离子会引起膜层里面原子的重新成键, 而注入 N 离子含量的不同能够调整 Si-H 键和 N-H 键的比例, 改善光照漏电流过大(photo Ioff), TFT Ion 改善沟道处 TFT 的电学性, 而不引起其他膜层的电学和膜质较大变化, 从而达到实现 TFT 性能提升的目的。

[0075] 进一步的, 所述离子注入方式, 所采用的注入离子能量为 20KV ~ 80KV, 但并不以此为限。

[0076] 进一步的, 所述离子注入方式, 所注入离子剂量为 $2 \times 10^{17}/\text{cm}^2 \sim 5 \times 10^{18}/\text{cm}^2$, 但并不以此为限。

[0077] 本发明还提供一种薄膜晶体管, 所述薄膜晶体管采用上述的薄膜晶体管的制作方法制作得到。

[0078] 进一步的, 所述离子为 N 离子时, 所述离子为 N 离子时, 所述半导体有源层注入离子部分所包含的 Si、H、N 的含量分别为 30% ~ 50%, 4% ~ 15%, 35% ~ 60%。

[0079] 进一步的, 所述离子为 C 离子时, 所述半导体有源层注入离子部分所包含的 Si、H、C 的含量分别为 30% ~ 50%, 4% ~ 15%, 40% ~ 60%。

[0080] 所述离子可以为 N 离子, 也可以为 C 离子或 H 离子, 也可以是其他离子, 可以打断

Si-Si 键,以避免半导体有源层内部产生缺陷而使薄膜性能下降即可。

[0081] 本实施例中通过注入 H 离子的方式以降低 TFT 漏电流的原理为:注入 H 离子,改变 Si 含量和 H 含量的配比,无掺杂的 a-si 薄膜(半导体有源层),悬挂键密度很高,电学性质差,不能满足器件的应用要求,H 离子的引入可以饱和或者部分饱和薄膜中的悬挂键缺陷态,通过离子注入的方式注入 H 离子,可以进一步调节有源导电层(半导体有源层)中 H 离子含量,从而使悬挂键的密度降低,以达到膜质的稳定的目的,从而达到实现 TFT 电学稳定的目的。

[0082] 步骤四:在所述源电极、漏电极图形上形成包括有接触过孔的钝化层 208 的图形。

[0083] 如图 4 所示,在完成第二次构图工艺的基板 201 上沉积钝化层 208,具体地,可以通过化学气相沉积工艺沉积厚度为 $2000 \sim 5000 \text{ \AA}$ 的钝化层 208,钝化层 208 可以选用氧化物、氮化物或者氧氮化合物,钝化层 208 可以是单层结构也可以是多层结构,对应的反应气体可以为 SiH_4 , NH_3 , N_2 或 SiH_2Cl_2 , NH_3 , N_2 。在钝化层上涂布光刻胶,利用掩模板对光刻胶进行曝光和显影之后进行刻蚀,形成包括有接触过孔的钝化层 208 的图形。

[0084] 步骤五:所述钝化层上形成像素电极 209 的图形,所述像素电极 209 通过所述接触过孔与所述漏电极相连接。

[0085] 如图 5 所示,具体的,可以通过溅射或热蒸发的方法在形成有钝化层 208 的基板 201 上沉积厚度为 $300 \sim 1500 \text{ \AA}$ 的透明导电层,透明导电层可以采用 ITO 或者 IZO,或者其他的透明金属氧化物。在透明导电层上涂布光刻胶,利用掩模板对光刻胶进行曝光和显影之后进行刻蚀,形成像素电极 209,像素电极 209 通过接触过孔与漏电极相连接。

[0086] 以上所述为本发明较佳实施例,应当指出,对于本领域普通技术人员来说,在不脱离本发明所述原理的前提下,还可以作出若干润饰和改进,这些润饰和改进也应视为本发明保护范围。

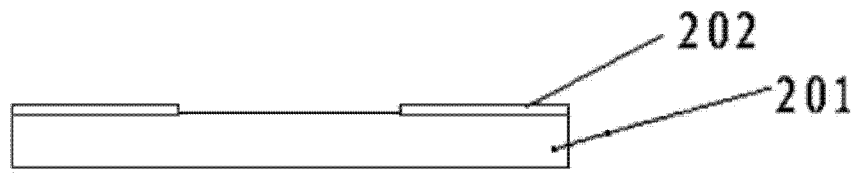


图 1

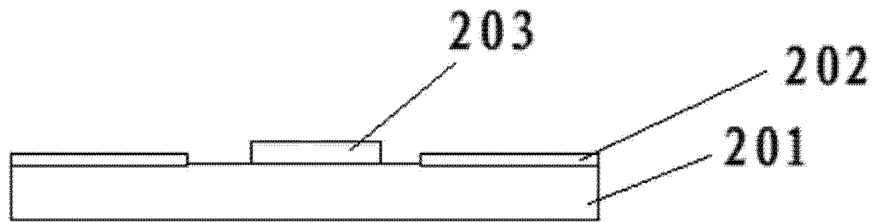


图 2

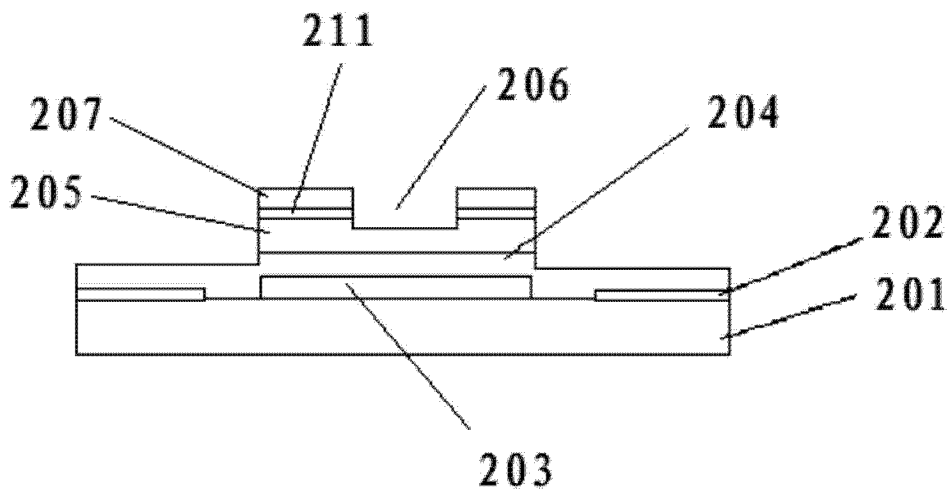


图 3

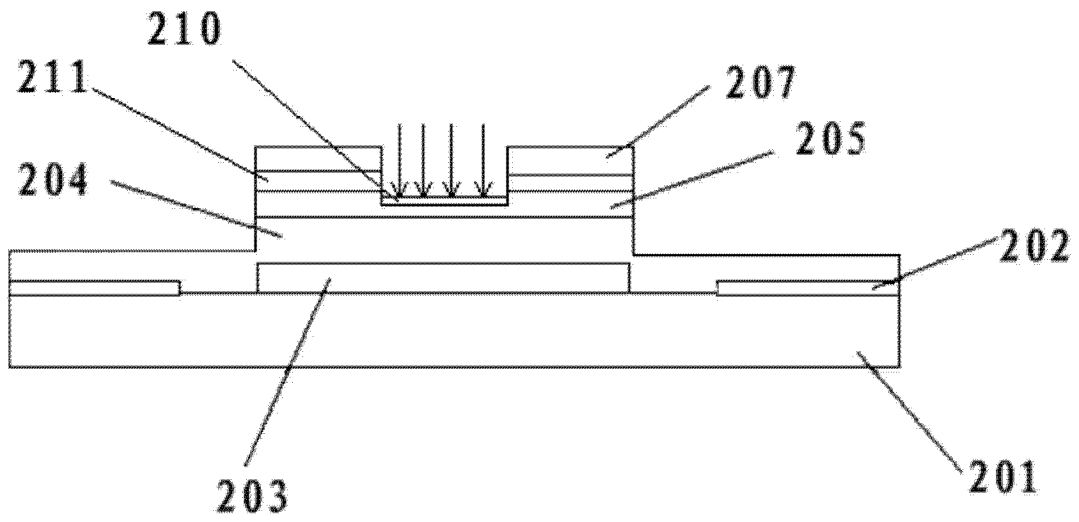


图 4

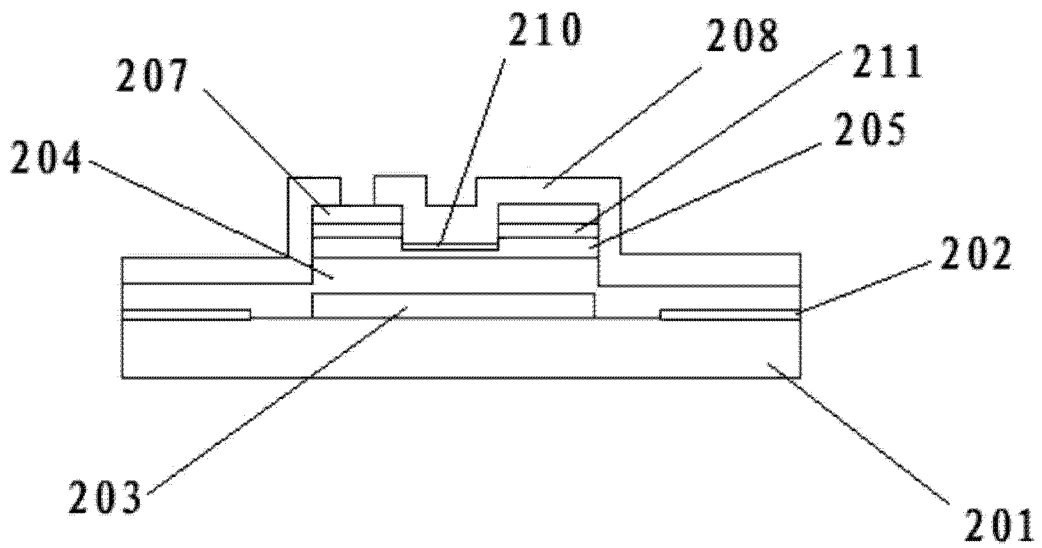


图 5

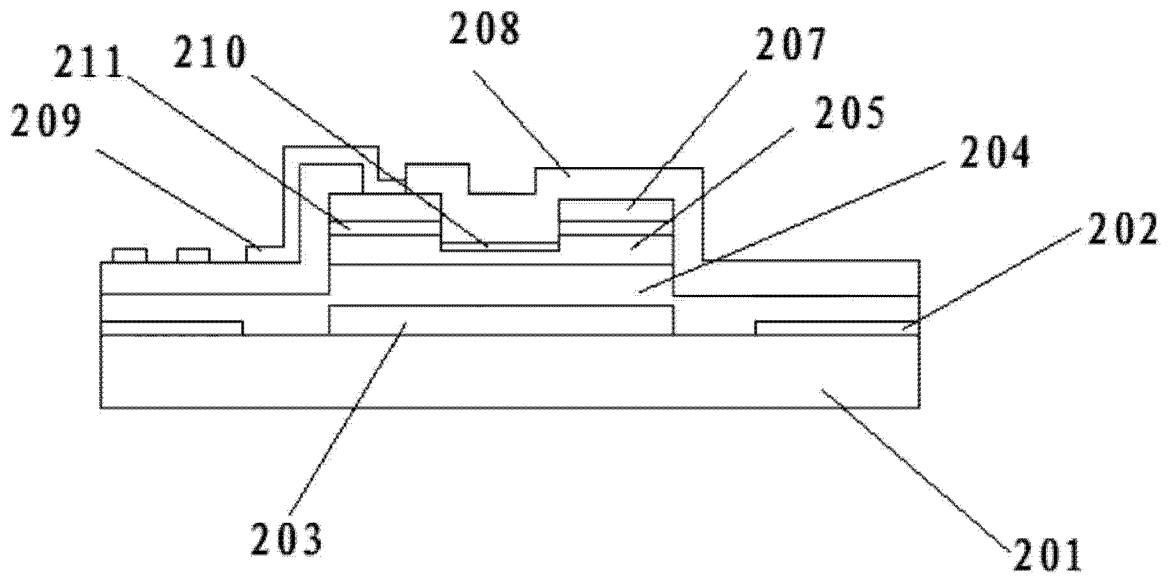


图 6