

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2005-532672  
(P2005-532672A)

(43) 公表日 平成17年10月27日(2005.10.27)

(51) Int. Cl.<sup>7</sup>  
H01L 21/60

F I  
H01L 21/60 301D

テーマコード(参考)  
5FO44

審査請求 未請求 予備審査請求 有 (全 19 頁)

(21) 出願番号 特願2003-533325 (P2003-533325)  
(86) (22) 出願日 平成14年9月12日 (2002. 9. 12)  
(85) 翻訳文提出日 平成16年4月20日 (2004. 4. 20)  
(86) 国際出願番号 PCT/US2002/029071  
(87) 国際公開番号 W02003/030225  
(87) 国際公開日 平成15年4月10日 (2003. 4. 10)  
(31) 優先権主張番号 09/966, 584  
(32) 優先日 平成13年9月28日 (2001. 9. 28)  
(33) 優先権主張国 米国 (US)

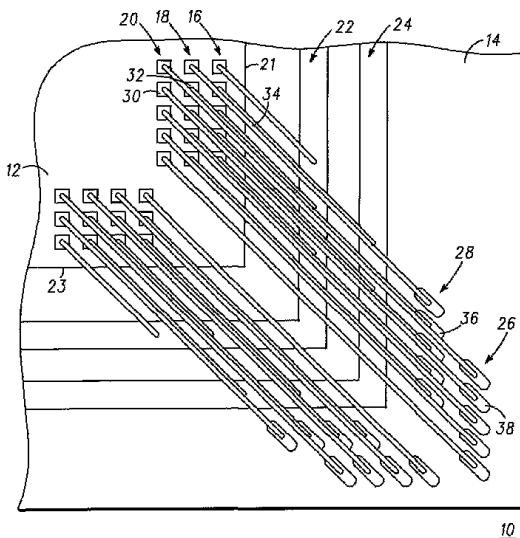
(71) 出願人 504199127  
フリースケール セミコンダクター イン  
コーポレイテッド  
アメリカ合衆国 78735 テキサス州  
オースティン ウィリアム キャノンド  
ライブ ウェスト 6501  
(74) 代理人 100116322  
弁理士 桑垣 衛  
(72) 発明者 オコナー、ショーン エム.  
アメリカ合衆国 78748 テキサス州  
オースティン アフトンシア ウェイ  
2914 ナンバー18-201

最終頁に続く

(54) 【発明の名称】 複数のボンド・パッド列を備えた半導体

(57) 【要約】

半導体ダイ(12)は、最小ピッチの3列またはそれ以上のボンド・パッド列(16、18、20)を有している。ダイ(12)は、3列またはそれ以上のボンド・フィンガ列(26、28)および/または導電リング(22、24)を有するパッケージ基板(14)上に取り付けられている。ダイの最も外側の部分(ダイの周囲に最も近い部分)のボンド・パッド(16)は、リバース・ステッチングによって達成される比較的より低い高さのワイヤ(42)によって、最も内側の1つまたは複数のリングまたはボンド・フィンガ列(24)(パッケージ基板の周囲から最も遠くに位置する列)に接続されている。最も内側のボンド・パッドの列(20)は、ウェッジ・ボンドへのボール・ボンドによって達成される比較的より高い高さのワイヤ(86)によって、最も外側のボンド・フィンガ列(26)に接続されている。中間のボンド・パッド列(18)は、ウェッジ・ボンドへのボール・ボンドによる比較的中間の高さのワイヤ(88)によって、中間のボンド・フィンガ列(28)に接続されている。ワイヤの高さを変更することにより、ボン



## 【特許請求の範囲】

## 【請求項 1】

少なくとも 1 つの辺に複数のボンド・パッド列を有するダイであって、同ダイのエッジから該複数のボンド・パッド列までの距離がそれぞれ異なるダイと、

該ダイをサポートするための、すべて同じ層の上に設けられた複数のボンド・フィンガを有するダイ・キャリアであって、該複数のボンド・フィンガが該ダイの周縁に分散し、その第 1 の部分が該ダイ・キャリアの内部領域に配置され、第 2 の部分が該ダイ・キャリアの外部領域に配置されたダイ・キャリアと、

それぞれ該ボンド・パッドのうちの所定の 1 つを該複数のボンド・フィンガのうちの所定の 1 つに接続する複数のボンド・ワイヤであって、ある最大高さを有する該複数のボンド・ワイヤの第 1 の部分が、ボンド・パッドを該複数のボンド・パッド列のうちの外側の列から該複数のボンド・フィンガの該第 1 の部分に接続し、該最大高さより高い最小高さを有する該複数のボンド・ワイヤの第 2 の部分が、ボンド・パッドを該複数のボンド・パッド列のうちの内側の列から該複数のボンド・フィンガの該第 2 の部分に接続する複数のボンド・ワイヤと、からなる半導体パッケージ。

10

## 【請求項 2】

前記外側の列のボンド・パッドが、前記内側の列のボンド・パッドをそれぞれのボンディング・ワイヤに結合するワイヤ・ボンド・プロファイルとはタイプが異なるワイヤ・ボンド・プロファイルで、それぞれのボンディング・ワイヤに結合された請求項 1 に記載の半導体パッケージ。

20

## 【請求項 3】

前記外側の列のボンド・パッドが、リバース・スティッチ・ボンドによってボンド・フィンガに結合され、前記内側の列の前記ボンド・パッドが、前記複数のボンド・ワイヤの高さの差を得るボール・ボンドを有するボンド・フィンガに結合され、それぞれ前記最大高さおよび前記最小高さに合致する請求項 1 に記載の半導体パッケージ。

## 【請求項 4】

前記ダイ上の前記ボンド・パッドが互い違い配列にならないよう、前記複数のボンド・パッド列の各々からのボンド・パッドが、前記ダイの前記エッジに対して直角をなす軸に沿って実質的に整列した、請求項 1 に記載の半導体パッケージ。

## 【請求項 5】

第 1 の前記複数のボンド・ワイヤが異なる高さで第 2 の前記複数のボンド・ワイヤと立体交差し、それにより互いに電気接触しない請求項 1 に記載の半導体パッケージ。

30

## 【請求項 6】

少なくとも 1 つの辺に複数のボンド・パッド列を有するダイであって、同ダイのエッジから該複数のボンド・パッド列までの距離がそれぞれ異なるダイと、

該ダイをサポートするための、すべて同じ層の上に設けられた複数のボンド・フィンガを有するダイ・キャリアであって、該複数のボンド・フィンガが該ダイの周縁に分散し、その第 1 の部分が該ダイ・キャリアの内部領域に配置され、第 2 の部分が該ダイ・キャリアの外部領域に配置されたダイ・キャリアと、

それぞれ該ボンド・パッドのうちの所定の 1 つを該複数のボンド・フィンガのうちの所定の 1 つに接続する複数のボンド・ワイヤと、からなり、

40

第 1 の該複数のボンド・パッド列の第 1 のボンド・パッドと第 2 の該複数のボンド・パッド列の第 2 のボンド・パッドとを結合するべく、異なるワイヤ・ボンディング工程を使用する結果として、該第 1 のボンド・パッドが該第 2 のボンド・パッドとは異なるボンド・プロファイルを有する半導体パッケージ。

## 【請求項 7】

前記第 1 のボンド・パッドがリバース・スティッチ・ボンド・プロファイルを有し、前記第 2 のボンド・パッドがボール・ボンド・プロファイルを有する請求項 6 に記載の半導体パッケージ。

## 【請求項 8】

50

前記ダイ上の前記第 1 のボンド・パッドおよび前記第 2 のボンド・パッドが互い違い配列にならないよう、前記第 1 のボンド・パッドおよび前記第 2 のボンド・パッドが、前記ダイのエッジに対して直角をなす軸に沿って実質的に整列した請求項 6 に記載の半導体パッケージ。

【請求項 9】

前記複数のボンド・パッド列が、さらに、3 列以上のインライン・ボンド・パッド列からなり、前記複数のボンド・パッド列の各々が、前記ダイのエッジに対して直角をなす軸を介して、残りのすべての列の各々の所定のボンド・パッドと整列したボンド・パッドを有する、請求項 8 に記載の半導体パッケージ。

【請求項 10】

さらに、前記ダイの上に配置された、複数の第 2 のダイ・ボンド・パッドを有する第 2 のダイからなり、少なくとも第 1 の該複数の第 2 のダイ・ボンド・パッドが前記第 1 の前記複数のボンド・パッド列の前記第 1 のボンド・パッドに接続され、少なくとも第 2 の該複数の第 2 のダイ・ボンド・パッドが前記ダイ・キャリアの前記複数のボンド・フィンガのうちの所定の 1 つに接続された請求項 6 に記載の半導体パッケージ。

10

【請求項 11】

少なくとも 1 つのエッジを有するダイと、

該ダイの少なくとも 1 つのエッジに隣接し、かつ、該ダイの少なくとも 1 つのエッジと平行の第 1 の軸に沿って整列した第 1 のボンド・パッド列と、

該第 1 のボンド・パッド列に隣接し、かつ、該ダイの少なくとも 1 つのエッジと平行の、該少なくとも 1 つのエッジからの距離が該第 1 の軸より長い第 2 の軸に沿って整列した第 2 のボンド・パッド列と、

20

該第 2 のボンド・パッド列に隣接し、かつ、該ダイの該少なくとも 1 つのエッジと平行の、該少なくとも 1 つのエッジからの距離が該第 2 の軸より長い第 3 の軸に沿って整列した第 3 のボンド・パッド列と、からなり、

該第 1 の列、該第 2 の列および該第 3 の列の各々が、複数の整列したダイ・パッド列を生成すべく、該ダイの該少なくとも 1 つのエッジに対して直角をなす複数の軸のうちの 1 つに整列したボンド・パッドを有し、それぞれ該第 1 の列の所定のボンド・パッドに取り付けられたボンディング・ワイヤの高さが、それぞれ該第 2 の列および該第 3 の列の所定のボンド・パッドに取り付けられたボンディング・ワイヤの高さと異なり、互いに交差した半導体パッケージ。

30

【請求項 12】

さらに、前記ダイの上に配置された、前記ダイの第 1 の列、第 2 の列または第 3 の列の少なくとも 1 つのボンド・パッドに電気接続されたボンド・パッドを有する第 2 のダイからなる請求項 11 に記載の半導体パッケージ。

【請求項 13】

整列した複数のボンディング・パッド列を有するダイを提供する工程と、

第 1 の高さを有するワイヤ・ボンドを形成すべく、第 1 のワイヤを外側の列のダイ・パッドにワイヤ・ボンディングする工程と、

内側の列のダイ・パッドに対する電気接続を形成すべく、第 2 のワイヤを該内側の列のダイ・パッドに取り付ける工程と、

40

該第 2 のワイヤを該第 1 の高さより高い第 2 の高さで引き延ばし、かつ、該第 1 のワイヤを第 2 のパッケージ・ボンディング・パッドの上に載せる工程と、

該第 2 のワイヤを該第 2 のパッケージ・ボンディング・パッドに取り付ける工程と、

半導体ダイの残りのダイ・ボンディング・パッドのワイヤ・ボンディングを完成する工程と、からなる半導体ダイをダイ・キャリアに電気接続する方法。

【請求項 14】

前記第 1 のワイヤを前記外側の列のダイ・パッドにワイヤ・ボンディングする前記工程が、さらに、

ボールを形成する工程と、

50

前記第 1 のワイヤを該ボールからせん断する工程と、

前記第 1 のワイヤの残りの部分を第 1 のパッケージ・ボンディング・サイトにワイヤ・ボンディングする工程と、

前記第 1 のワイヤを前記外側の列のダイ・パッド中の該ボールに取り付ける工程と、からなる請求項 13 に記載の方法。

【請求項 15】

複数のボンド・パッド列を備えた周縁を有するダイと、

複数のボンドが接続された複数のボンド・パッドのうちの 1 つに配置されたボンド・パッドとからなる半導体パッケージ。

【請求項 16】

前記複数のボンドが 2 つのボンドからなり、該 2 つのボンドのうちの少なくとも 1 つがボール・ボンドである、請求項 15 に記載の半導体パッケージ。

【請求項 17】

第 1 のダイであって、該第 1 のダイの側面に対して整列した少なくとも 2 列のボンド・パッド列を有するダイと、

該第 1 のダイの上に配置された第 2 のダイであって、該第 2 のダイの側面に対して整列した少なくとも 2 列のボンド・パッド列を有するダイと、

該第 1 のダイおよび該第 2 のダイの下方に位置する、該第 1 のダイおよび該第 2 のダイをサポートし、かつ、複数のボンド・フィンガを提供するためのダイ・キャリアと、

該第 1 のダイの該少なくとも 2 列のボンド・パッド列のうちの第 1 の列に含まれている第 1 のボンド・パッドを、該複数のボンド・フィンガのうちの所定のボンド・フィンガに接続する第 1 のワイヤ・ボンドと、

該第 1 のダイの該少なくとも 2 列のボンド・パッド列のうちの第 2 の列に含まれている第 2 のボンド・パッドを、該第 2 のダイの該少なくとも 2 列のボンド・パッド列のうちの一方の列の所定のボンド・パッドに接続する第 2 のワイヤ・ボンドと、からなる半導体パッケージ。

【請求項 18】

前記第 1 のワイヤ・ボンドが、さらに、

複数のボンドが接続されたボンド・パッドからなる、請求項 17 に記載の半導体パッケージ。

【請求項 19】

前記第 1 のワイヤ・ボンドのワイヤ・ボンド・プロファイルのタイプが、前記第 2 のワイヤ・ボンドのワイヤ・ボンド・プロファイルのタイプと異なる請求項 17 に記載の半導体パッケージ。

【請求項 20】

さらに、前記ダイ・キャリアの下方に配置された導電球からなる請求項 17 に記載の半導体パッケージ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はパッケージングされた半導体に関し、より詳細には、ダイのキャリアと接続する複数のボンド・パッド列を有するダイを備えた、パッケージングされた半導体に関する。

【背景技術】

【0002】

半導体は、半導体製造技術の改善により、そのサイズが常に縮小されており、したがってダイのサイズ自体もしばしばより小さくなっている。ダイのサイズのこのような小型化に伴い、集積回路の複雑性が減少するどころか、ますます増大している。したがって、集積回路に必要なピン数は必ずしも変化しておらず、機能が実際に増加する場合、ピン数も必然的に増加しているようである。したがって、所与の機能に対しては、ダイのサイズが

10

20

30

40

50

さらに小型化され、あるいは所与のサイズのダイに対しては、機能すなわちピン・アウト数がさらに増加している。したがって、いずれの場合においても、集積回路のユーザにとっては、すべてのピン・アウトの目的を有効に達成することは困難になっている。多くのピン・アウトを必要とする複雑な集積回路に共通のパッケージング技術は、ボール・グリッド・アレイ (BGA) と呼ばれている。実際には、集積回路の所与のサイズにはパッドに制限があり、パッド (ピン・アウト) 数がダイの所与のサイズに対する制限を超えている場合、その集積回路は、パッドに制限されている、と見なされる。

【発明の開示】

【発明が解決しようとする課題】

【0003】

BGAを実施するための方法の1つは、底部表面にボールを備えたパッケージ基板の頂部表面にワイヤ・ボンディングを施し、その頂部表面に集積回路を配置して頂部表面にワイヤ接続する方法である。頂部表面から底部表面にビアが貫通し、ビアから底部表面上のボールへ、また、ボンド・フィンガから頂部表面上のビアヘトレースが通っている。可能な限りパッケージ基板を小さくすることが望ましく、また、可能な限り集積回路を小さくすることが望ましい。集積回路と頂部表面の間に必要な接続をボンド・フィンガによって達成するためには、集積回路ダイからボンド・フィンガへ通っているワイヤとワイヤの間に十分なスペースがなければならない。すべての接続を達成するための技法の1つは、ボンド・パッドを2列に互い違いに配置することである。この技法によれば、ワイヤ間により多くのスペースが提供されるが、ボンド・パッドを2列に互い違いに配置することが可能であるとしても、いかに緊密に間隔を隔てるかに関しては、依然として限界がある。また、ボンド・パッドを2列に互い違いに配置するためには、ボンド・パッドの間隔を製造能力に基づいて達成し得る最小間隔よりさらに広くしなければならない。したがって、ボンド・パッドを2列に互い違いに配置することによって必要となるボンド・パッドのスペースは、ボンド・パッドに許容される最小スペースより広くなる。必要なピン・アウトを提供する能力の改善を試行した技法の中には、ボンド・フィンガのレベルが異なるよう、空洞技法を基板に使用したものがあがるが、この技法は、基板のコストを実質的に高くしている。また、この技法は、必要なピン・アウトを提供する能力が改善されたとしても、3列以上の互い違い配置を提供していない。

【課題を解決するための手段】

【0004】

したがって、必要な最小ピッチより広いボンド・スペースを必要とすることのない方法で、パッケージ基板上の集積回路とボンド・フィンガとの間にワイヤを提供する能力が必要であり、また、単純に必要なワイヤ・ボンディングを達成し得ることを目的として、ダイのサイズを大きくすることなく必要なすべてのピン数を提供し得る必要がある。

【0005】

添付の図面は、本発明の何ら制限されることのない実施例を示したものである。図の同一参照番号は、類似の構成要素を示している。

図に示す構成要素が簡潔に分かり易く示され、かつ、必ずしもスケール通りに描かれていないことは、当分野の技術者には理解されよう。例えば、図中のいくつかの構成要素の寸法は、本発明による実施形態をより深く理解するべく、他の構成要素に対して誇張されている。

【発明を実施するための最良の形態】

【0006】

一般的に、パッケージされた半導体は、ワイヤ・ボンディングによってパッケージ基板と結合した3列以上のボンド・パッドを有する集積回路ダイを使用して達成されている。集積回路ダイは、その周囲に導電性電源リングを有しており、また、導電性電源リングの周囲に複数の列に配列されたボンド・フィンガを有している。集積回路上のボンド・パッドは、互い違いに配列されていなくても良い。これらのボンド・パッドは、ボンド・パッドが互い違いに配列されていない列をなして互いに整列させることができ、また、そ

10

20

30

40

50

れらを最小のピッチにすることができる。つまり、ボンド・パッドに利用することができる技法に基づいて、ボンド・パッドを最大の密度にすることが可能である。この最大密度は、高さが異なるワイヤ・ボンディングを使用して達成される。ワイヤ・ボンドの高さは、一般にループ高さと呼ばれている。ループ高さを可変にすることにより、1本のワイヤ接続を他のワイヤ接続に整列させることが可能であり、また、その高さを互いに対して高くし、あるいは低くすることも可能である。これは、平面状の基板上で、パッケージ基板上における高さの変更を何ら必要とすることなく達成される。本発明による実施形態については、添付の図面を参照することにより、より良く理解されよう。

#### 【0007】

図1は、半導体ダイ(集積回路)12およびパッケージ基板(ダイ・キャリア)14からなる、パッケージングされた半導体10を示したものである。ダイ12は、その周縁に3列のボンド・パッドを有している。エッジからの距離が異なるこの3列は、最も外側の列(外側列)から順に、16、18および20である。基板14上には、導電リング22および導電リング24が設けられている。リング22および24は、列16、18および20と同様、集積回路12を完全に取り囲んでいる。また、基板14上には、最も外側のボンド・フィンガ26列および最も内側のボンド・フィンガ28列(内側列)が設けられている。ボンド・パッド列16のボンド・パッドは、最終的にはリング22および24に結合されている。ボンド・パッド列18は、ボンド・フィンガ列28に接続され、また、ボンド・パッド列20は、ボンド・フィンガ列26に接続されている。例えば、互いに整列している列16、18および20の例示的ボンド・パッドは、ボンド・パッド30、32および34である。同様に、ボンド・フィンガ列28の例示的ボンド・フィンガはボンド・フィンガ36であり、ボンド・フィンガ列26の例示的ボンド・フィンガはボンド・フィンガ38である。この実施例では、ボンド・フィンガ36は、ワイヤによってボンド・パッド32に接続されている。ボンド・パッド30は、ワイヤによってボンド・フィンガ38に接続されている。ボンド・パッド34は、リング24に接続されている。リング22および24は、正の電源および接地などの電源接続に使用されている。図には、実際に完成したパッケージ10およびダイ12の一部のみが示されている。もっと多くのボンド・パッドおよびボンド・フィンガが可能である。図に示すボンド・フィンガは、ボンド・フィンガに接続されるボンド・パッドと一直線に整列したボンド・フィンガではなく、いわゆる放射状に整列したボンド・フィンガが示されており、広がって角が丸くなっている。

#### 【0008】

図1に示すように、列16、18および20は、エッジ(側面)21およびエッジ23に沿っている。列16~20を部分的に観察すると、一部はエッジ21と平行であり、また別の一部はエッジ23と平行である。したがって、エッジ21に関しては、列16の一部は、エッジ21と平行の第1の軸に沿っており、列18の一部は、エッジ21と平行の第2の軸に沿っている。また、列20の一部は、エッジ21と平行の第3の軸に沿っている。各列からのそれぞれ3つのボンド・パッドのセットは、エッジ21に対して直角をなす軸にそれぞれ沿って整列している。例えば30~34は、エッジ21に対して直角をなして整列している。列16および18などのボンド・パッドの列が、ダイの全周ではなく、ダイの1つまたは複数のエッジと平行の軸に沿って延びていることが有利である状況も存在している。

#### 【0009】

図1に示すように、ボンド・フィンガ36および38へのワイヤ接続、およびボンド・パッド30、32および34からリング24へのワイヤ接続は、上面図で見ると互いに極めて近接しており、さらには同じラインであることもある。しかし、これらのワイヤ接続は、異なる垂直距離で集積回路12およびパッケージ基板14から分離されている。この特定の構成では、ボンド・パッドは3列に、また、ボンド・フィンガは2列に配列されており、2本のリングが追加されている。したがって、事実上、4列の接続深さが存在している。また別の状況では、電源接続を完全なリング状にせず、図1に示すリング22およ

び24の位置をボンド・フィンガの列によって占有することができる。これらのボンド・フィンガを電源接続または信号接続に利用することが可能である。これは、パッケージ基板上の3列以上のボンド・フィンガに接続された3列のボンド・パッドを集積回路上に存在させる方法を立証している。

#### 【0010】

図2は、図1に示す、パッケージングされた半導体10の側面図を示したもので、ボンド・パッド30、32および34を備えた頂部表面40を有するダイ12が示されている。ボンド・パッド30、32および34は共通平面に設けられており、パッケージングされた半導体10の共通層と見なすことが可能である。同様に、基板14上には、リング22、リング24、ボンド・フィンガ36およびボンド・フィンガ38が示されている。リング22、24およびボンド・フィンガ36、38は、基板14の頂部表面42に設けられている。頂部表面42は平面と見なすことが可能であり、また、パッケージングされた半導体10の層と見なすことが可能である。したがって、ボンド・パッド30および34は、1つの共通層の上に設けられており、また、リング22、24およびボンド・フィンガ36、38は、もう1つの共通層の上に設けられている。

10

#### 【0011】

ボンド・パッド34とリング24の間のワイヤ接続は、リバース・スティッチ・ボンディング(reverse stitch bonding)として知られている技法によって達成されている。このワイヤ接続は、標準ワイヤ・ボンダを使用して達成され、ボンド・パッド34の上にボールが形成され、ボールにワイヤが接続される。次に、ボンディング・マシンをボンド・パッド34に対して横方向に移動させることによってワイヤが切断される。続いてリング24上にボールが形成され、形成したボールにワイヤを接続し、接続したワイヤをリング24から垂直方向に直立させた後、ボンド・パッド34に向かって横方向に移動させることによって、ボンド・パッド34の頂部に予め形成されているボールに接続される。以上により、ボールの最高点と実質的に同じ高さのワイヤがボンド・パッド34の上に形成されている。ボンド・パッド32とボンド・フィンガ36の間のワイヤ接続は、最初にボンド・パッド32上にボールを形成し、ワイヤを垂直方向に上向きに引き延ばし、続いて水平方向に引き延ばした後、ボンド・フィンガ36に向かって立ち下げることによって実施されている。ボンド・フィンガ36への接続は、ウェッジ・ボンディングと呼ばれている技法を使用して実施されている。このタイプの結合は、ワイヤ・ボンダに対して広く利用されている。この事例では、図2に示すリング24とボンド・フィンガ36の間隔はY1である。このY1の間隔は、ワイヤ42とワイヤ44の間に間隔が存在するよう、十分に広がっている。同様に、図2には、ボンド・パッド30とボンド・フィンガ38を接続しているワイヤ46が示されている。この接続は、ボンド・パッド30の上にボールが形成され、ボールを通してワイヤを垂直方向に引き延ばし、続いてワイヤ44の上方を水平方向に湾曲させた後、ボンド・フィンガ38に向かって立ち下げることによって実施されている。図2に示すボンド・フィンガ36とボンド・フィンガ38の間隔はY2であり、これは、ワイヤ44とワイヤ46の間の適切な間隔を保証するには十分な間隔である。

20

30

#### 【0012】

図2には、パッケージ基板14中に、ビア48、50、52、54および56が示されている。また、図2に示すように、パッケージ基板14の底部表面には、ボール58、60、62、64および66が取り付けられている。ボール58~66はボール・アレイを示しており、したがってこのパッケージ・タイプは、一般的にボール・グリッド・アレイ(BGA)として知られているが、この技法は、任意のワイヤ・ボンディング状況への適用が可能である。このパッケージ基板には、ワイヤ・ボンダを受け入れる任意の半導体キャリアを使用することが可能である。図1に示すように、ボンド・パッド30は列20の中に存在している。この列20は内側の列であり、ダイ12の外部周囲との間隔は、中間の列である列18とダイ12の外部周囲との間隔より広がっている。列16は外側の列であり、集積回路12の周縁に最も接近している。

40

50

## 【0013】

ワイヤとワイヤを分離している間隔は、少なくともワイヤの直径に等しい間隔でなければならない。したがって、ワイヤ42とワイヤ44との最も接近したポイントは、ワイヤ42および44の直径に等しいか、あるいはそれ以上の間隔を隔てていなければならない。現在の技術では、ワイヤの典型的な直径は25.4ミクロンである。標準のワイヤ・ボンディング装置では、ループ高さは、ボンド・パッドとボンド・フィンガの間隔に基づいて、より高くなっている。

## 【0014】

図3は、図1および2に示すパッケージングされた半導体10の形成に有用な方法を流れ図で示したものである。図3に示す流れ図は、68、70、72、74、76、78、80、82および84の順の逐次方法工程からなっている。この流れ図は、ダイが列30~34などの複数の列を備えていることを示している。図1に示す事例では列16である外側の列の、代表して34で示すボンド・パッドにワイヤ・ボンドが形成される。このワイヤがせん断され、ボンド・フィンガあるいは図2のリング24で示すリングにボールが形成され、外側の列のボンド・パッドに再度接続される。したがって、ワイヤ42は、図3の枠74における第2のワイヤの一例である。次に、この事例では列18である中間の列からワイヤ44などのワイヤが形成され、ボンド・フィンガに接続される。枠76に記述されている、この事例では内側の列は、最も外側の列の内側に存在している列である。この事例では、最も外側の列は列16である。列16の内側の内部列は、列18および列20である。ワイヤ42より高いこのワイヤ44は、ワイヤ42の後に形成される。より高いワイヤを形成する前により低いワイヤを形成することにより、より信頼性の高い工程が得られる。外側のボンド・パッド列により低いワイヤを接続することが好ましい。

10

20

## 【0015】

図3は、ボンド・パッドとパッケージ・ボンド・サイトの間の2つのワイヤ接続が完了した後に、ワイヤ・ボンディングを完成させることができることを示している。他の処理により、ダイ12とパッケージ基板14の間のワイヤ46などの他のワイヤ接続が追加される。図1および2に示すように、ワイヤ42、44および46で示す高さが異なる3つのワイヤが存在しており、それぞれダイ12とパッケージ基板14の間の他のワイヤ接続を代表している。したがって、互い違いに配列する必要がないため、これらの3つの異なるボンド・パッド列は、最小のピッチで形成することが可能である。第4の列を追加することは可能であるが、そのためには列をある程度互い違いに配列する必要があり、その結果として列を最小ピッチで形成することができなくなる。この技法により、必要なワイヤ間の間隔が提供され、かつ、最大ボンド・パッド密度が維持される。これは、ダイの表面とパッケージ基板の表面との間の接続を形成しているワイヤの高さを変更することによって達成されている。ワイヤ44と46の高さの差は、キंक高さを設定することによってワイヤ・ボンダの中で達成されている。ワイヤ44および46は、それぞれキंक86および88を有している。キंकは、垂直方向からボンド・フィンガに向かって実質的に90度曲がっている。可能な限り同じキंक高さで多くのワイヤが形成されることが望ましい。

30

## 【0016】

この事例では、ボンド・パッド16は、第1の主要工程として、リバース・スティッチ・ボンディング技法を使用して接続される。第2の主要ワイヤ形成は、リバース・スティッチ結合ワイヤをクリアするだけの十分なキंक高さで確立される。第3の主要工程は、ワイヤ44に使用されるキंक高さより高いキंक高さを使用して、ワイヤ46などのワイヤを提供することである。キंक高さを変更することにより、ワイヤ間の十分な間隔が保証される。最も高いキंक高さを最後に形成し、かつ、最も内側のボンド・パッド列中に形成しなければならない。

40

## 【0017】

図4は、半導体ダイ102、半導体ダイ104およびパッケージ基板106からなるパッケージングされた半導体100を示したものである。ダイ102上にボンド・パッド1

50



08および110が設けられ、ダイ104上にボンド・パッド112および114が設けられている。また、パッケージ基板106上にボンド・フィンガ116、118および120が設けられている。図2に示すパッケージングされた半導体10と同様、ビア122、124、126、128および130がパッケージ基板106を貫通している。パッケージ基板106の底部表面に導電ボール132、134、136、138および140が設けられている。したがって、完成したパッケージングされた半導体100は、積層型ダイを有するBGAデバイスである。

#### 【0018】

この事例では、ダイ102および104が積層型ダイである。ダイ102はダイ104より小さく、したがってボンド・パッド112および114は露出している。ボンド・パッド114は、外部周縁上でダイ104を取り囲んでいるボンド・パッド列のボンド・パッドを表している。ボンド・パッド112は、ボンド・パッド114および外側の列に対して内側に位置しているボンド・パッド列のうちの1つを表している。同様に、ボンド・パッド110は、ダイ102を取り囲んでいるボンド・パッド列のうちの1つを表している。ボンド・パッド108は、ダイ102を取り囲んでいる、周縁に最も近接した、アウト・ボンド・パッドと呼ばれるボンド・パッド列の内側に位置するボンド・パッド列のうちの1つを表している。ボンド・フィンガ116は、パッケージ基板106の最も内側に位置するボンド・フィンガ列のうちの1つを表している。ボンド・フィンガ120は、最も外側のボンド・フィンガ列であるボンド・フィンガ列のうちの1つを表している。ボンド・フィンガ118は、最も内側の列と最も外側の列の間のボンド・フィンガ列のうちの1つを表している。この実施例では、ボンド・パッド114とボンド・フィンガ116の間がリバーシ・スティッチ・ボンドである。したがって、ダイ104の外側のボンド・パッド列は、最も内側のボンド・フィンガ列に接続されている。ボンド・パッド114は、ワイヤ142によってボンド・フィンガ116に接続されている。同様に、ダイ104の最も内側の列（内部列）は、ダイ102の最も外側の列（外部列）に接続されている。

#### 【0019】

図4に示すように、ボンド・パッド110は、ワイヤ144によってボンド・パッド112に接続されている。ボンド・パッド112は十分に広く、その上に2個のボールの形成が可能である。したがって、ボンド・パッド112は、ウェッジ・タイプのワイヤ・ボンドへのボール・ボンドを使用してボンド・フィンガ118に接続されている。したがって、ボンド・パッド112は、ワイヤ・ボンディングによってボンド・パッド112に接続されたワイヤ146を有しており、該ワイヤ146は、ボンド・フィンガ118にウェッジ結合されている。また、ボンド・パッド108は、ワイヤ148によってボンド・フィンガ120に接続されている。このワイヤ148も、一方の端部がボール・ボンドによって接続され、もう一方の端部がウェッジ・ボンドによって接続されている。ボール・ボンドはボンド・パッド108への接続用であり、ウェッジ・ボンドはボンド・フィンガ120への接続用である。この構造の場合、ダイ102は、リバーシ・スティッチ・ボンドによって、ボンド・フィンガ116をボンド・パッド114に接続している方法と同じ方法でダイ104に電気接続されている。したがって、これらの2つのタイプの接続は、同じ処理手順の一部として構築することが可能である。また、同様に、ワイヤ146および148も、ワイヤ・ボンダのための同じセット・アップの一部として形成することが可能である。ワイヤ146および148のキック高さは、同じ高さにすることが可能であり、かつ、それらの間に依然として十分な間隔を維持することが可能である。

#### 【0020】

したがってこの実施例の場合、ダイ102は、リバーシ・スティッチ・ボンディングによってダイ104に都合良く接続され、また、ウェッジ・ボンド接続への通常のボール・ボンドによってパッケージ基板106に都合良く接続されている。したがって、図5に示すこの構造により、ダイ104およびパッケージ基板106の両方に柔軟に接続することができるダイ102が提供される。同様にダイ104も、同じく最大限の柔軟性を発揮すべく、パッケージ基板106およびダイ102に接続されている。ダイ102とダイ10

10

20

30

40

50

4の層が異なっているため、また、ワイヤ・ボンダのリバース・ステッチ能力に鑑みて、パッケージ基板106に接続するための3つの異なる高さが達成されており、ダイ102とダイ104の間の接続が、ダイ102からパッケージ基板106への接続よりいとも簡単に低くなっている。したがって、高密度能力を備えた積層型ダイ構造が達成されている。例えばダイ104上に第3のボンド・パッド列を必要とする場合、その第3のボンド・パッド列は、ボンド・パッド112と114の間に1列のボンド・パッドを配置することによって達成することが可能である。ボンド・パッド112および114は間隔をさらに広くすることができ、かつ、新しく出現する列との最小の間隔を維持することが可能である。この新しい列により、ワイヤ142をクリアするだけの十分な高さで、かつ、ワイヤ146の下方に位置するだけの十分な低さのキंक高さが提供されるが、そのためには、ワイヤ146および148のステッチ高さを高くする必要がある。また、ボンド・フィンガ118とボンド・フィンガ116の間に別のボンド・フィンガ列を配置することも可能であるが、そのためには、ワイヤ146および148のキंक・アウトを大きくする必要がある。

10

#### 【0021】

図5は、ボンド・パッド112を示したもので、個々のボール・ボンダ150、152およびボール・ボンダ150に接続されたワイヤ144およびボール・ボンダ152に接続されたワイヤ146が示されている。ワイヤをパッドに接続するための典型的な技法は、連続ワイヤをパッドにウェッジ結合し、次に別の位置へ引き延ばす方法であるが、この技法には、ウェッジ・ボンダの両側のプロファイル・パラメータが異なる、という問題がある。ウェッジ・ボンダの各々の側には、互いに異なるプロファイルを持たせることになるが、これには、例えばボンド・パッド110とボンド・パッド112の間を接続する場合に、ダイのエッジをクリアすることが困難になる可能性がある。ボンド・パッド112を大きくし、かつ、2つのボール・ボンダを持たせることにより、ボンド・パッド110とボンド・パッド112の間に鋭角が提供され、それによりダイ102の角からのワイヤ144のクリアランスが提供される。したがって、高密度のボンド・パッド列を持たせ得る利点があり、また、積層型ダイ構造を便利に提供し得る柔軟性があることが分かる。

20

#### 【0022】

図6は、パッケージIC10の全体を、単純化した形で、かつ、ワイヤ・ボンダを取り除いて示したものである。図6には、集積回路12を取り囲んでいる導体列22および24が示されている。また、図6には、ボンド・パッド列16、18、20およびボンド・フィンガ列26、28が示されている。図6には、さらに、集積回路12の周囲に隣接した3列のボンド・パッドおよび集積回路12のエッジに隣接した、列に配列されたボンド・フィンガが示されている。図を簡潔にし、かつ、理解を容易にするために、図6に示すボンド・パッドおよびボンド・フィンガの数は著しく少なくなっている。

30

#### 【0023】

したがって、キंक高さの変化を使用してループの高さを変更することによって、また、リバース・ステッチ技法を同じパッケージングされた半導体に使用することによって、ダイのサイズを大きくすることなく、高密度のピン・アウト数を達成することができる。複数の列に配列されたボンド・パッドは、密度を最大にすることが可能であり、また、互いに整列させることが可能である。これは、パッケージ基板中に空洞を構築することなく達成される。したがって、ボンド・フィンガはすべて同一平面すなわち同一層の上に設けられており、また、ボンド・パッドもすべて特定の集積回路の同一層の上に設けられている。集積回路上のボンド・パッドの高さを変更する必要、あるいはパッケージ基板上における互いの高さを変更する必要はない。また、ループ高さを達成するための代替手法を利用することも可能である。装置が変化し、かつ、改良されると、異なるボンディング・タイプの可用性を利用することができるため、ボール・ボンダはボンド・フィンガおよび半導体ダイの両方に対して有効である。上で説明したこの特定の実施形態では、ワイヤは金であることが好ましい。金は、その高導電率およびその展性により望ましい金属であるが、銅などの他の材料も満足すべき材料であることが分かっている。銅は極めて安価な材

40

50

料であり、現在、集積回路自体の製造に広く使用されており、また、銅工程に使用されるボンド・パッド材料との両立性の点で有利である。

【0024】

以上、本発明について、特定の実施形態を参照して説明したが、特許請求の範囲の各請求項に示す本発明の範囲を逸脱することなく、様々な改変および変更を加えることが可能であることは当分野の技術者には理解されよう。したがって、本明細書および図面は、本発明を制限する意味で捕えるのではなく、説明を目的としたものとして捕えるべきであり、様々な改変はすべて本発明の範囲内に包含されるものとする。

【0025】

特定の実施形態に関連して、利益、他の利点および問題の解決法について説明したが、利益、利点、問題の解決法、およびあらゆる利益、利点あるいは解決法をもたらすか、あるいはそれらをより際立ったものにするあらゆる1つまたは複数の構成要素は、任意の請求項あるいはすべての請求項の重要で、かつ、必要な、あるいは欠くことのできない特徴あるいは構成要素として解釈してはならない。本明細書において使用されている「からなる」という表現には、記述されている構成要素からなる工程、方法、物品または装置が、それらの構成要素のみを包含するのではなく、明白には記述されていない他の構成要素、あるいはこのような工程、方法、物品または装置に固有の他の構成要素が包含されるよう、非排他的包含物が含まれているものとする。

10

【図面の簡単な説明】

【0026】

20

【図1】本発明の一実施形態によるパッケージングされた半導体の一部を示す上面図。

【図2】図1に示すパッケージングされた半導体の側面図。

【図3】図1および2に示すパッケージングされた半導体の製造に有用な方法を示す流れ図。

【図4】本発明による他の実施形態の側面図。

【図5】図4に示すパッケージングされた半導体の一部を示す上面図。

【図6】図1に示すパッケージングされた半導体の全体を、より単純化した形で示す上面図。

【 図 1 】

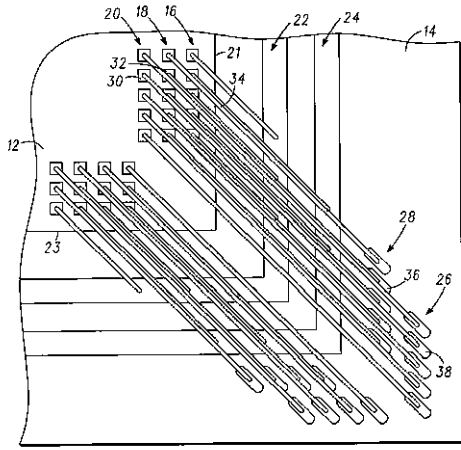


FIG. 1

【 図 2 】

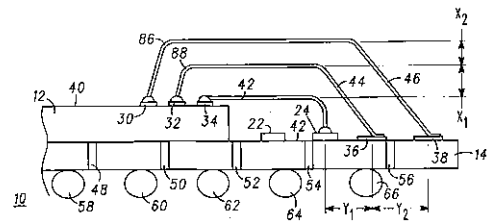


FIG. 2

【 図 5 】

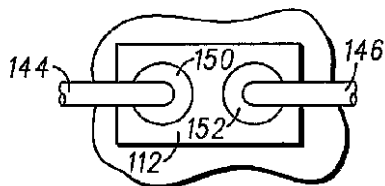


FIG. 5

【 図 6 】

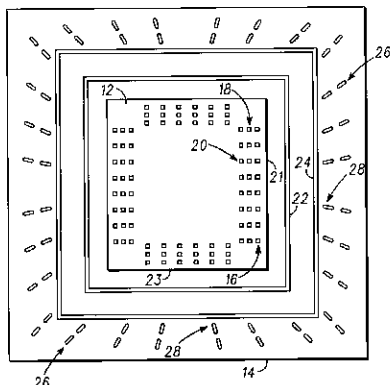
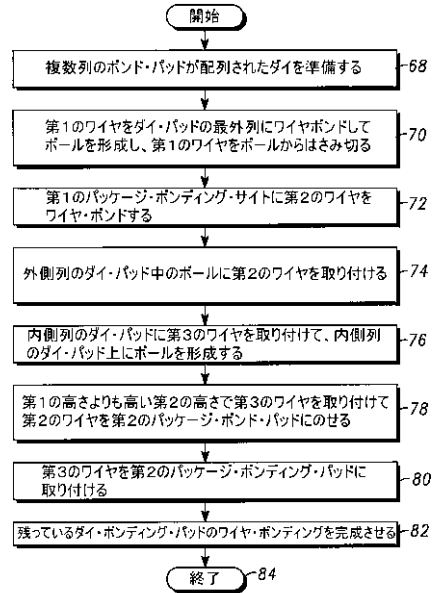


FIG. 6

【 図 3 】



【 図 4 】

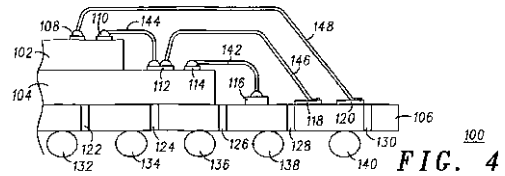


FIG. 4

【手続補正書】

【提出日】平成15年6月11日(2003.6.11)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

少なくとも1つの辺に複数のボンド・パッド列を有するダイであって、同ダイのエッジから該複数のボンド・パッド列までの距離がそれぞれ異なるダイと、

該ダイをサポートするための、すべて同じ層の上に設けられた複数のボンド・フィンガを有するダイ・キャリアであって、該複数のボンド・フィンガが該ダイの周縁に分散し、その第1の部分が該ダイ・キャリアの内部領域に配置され、第2の部分が該ダイ・キャリアの外部領域に配置されたダイ・キャリアと、

それぞれ該ボンド・パッドのうちの所定の1つを該複数のボンド・フィンガのうちの所定の1つに接続する複数のボンド・ワイヤと、からなり、

第1の該複数のボンド・パッド列の第1のボンド・パッドと第2の該複数のボンド・パッド列の第2のボンド・パッドとを結合するべく、異なるワイヤ・ボンディング工程を使用する結果として、該第1のボンド・パッドが該第2のボンド・パッドとは異なるボンド・プロファイルを有することと、

第1のボンド・パッドがリバース・ステッチ・ボンド・プロファイルであり、第2のボンド・パッドがボール・ボンド・プロファイルである、  
半導体パッケージ。

【請求項2】

前記ダイ上の前記第1のボンド・パッドおよび前記第2のボンド・パッドが互い違い配列にならないよう、前記第1のボンド・パッドおよび前記第2のボンド・パッドが、前記ダイのエッジに対して直角をなす軸に沿って実質的に整列した請求項1に記載の半導体パッケージ。

【請求項3】

前記複数のボンド・パッド列が、さらに、3列以上のインライン・ボンド・パッド列からなり、前記複数のボンド・パッド列の各々が、前記ダイのエッジに対して直角をなす軸を介して、残りのすべての列の各々の所定のボンド・パッドと整列したボンド・パッドを有する、請求項2に記載の半導体パッケージ。

【請求項4】

さらに、前記ダイの上に配置された、複数の第2のダイ・ボンド・パッドを有する第2のダイからなり、少なくとも第1の該複数の第2のダイ・ボンド・パッドが前記第1の前記複数のボンド・パッド列の前記第1のボンド・パッドに接続され、少なくとも第2の該複数の第2のダイ・ボンド・パッドが前記ダイ・キャリアの前記複数のボンド・フィンガのうちの所定の1つに接続された請求項1に記載の半導体パッケージ。

【請求項5】

整列した複数のボンディング・パッド列を有するダイを提供する工程と、

第1の高さを有するワイヤ・ボンドを形成するべく、第1のワイヤを外側の列のダイ・パッドにワイヤ・ボンディングする工程と、

内側の列のダイ・パッドに対する電気接続を形成するべく、第2のワイヤを該内側の列のダイ・パッドに取り付ける工程と、

該第2のワイヤを該第1の高さより高い第2の高さで引き延ばし、かつ、該第1のワイヤを第2のパッケージ・ボンディング・パッドの上に載せる工程と、

該第2のワイヤを該第2のパッケージ・ボンディング・パッドに取り付ける工程と、

半導体ダイの残りのダイ・ボンディング・パッドのワイヤ・ボンディングを完成する工

程と、からなり、

前記第 1 のワイヤを前記外側の列のダイ・パッドにワイヤ・ボンディングする工程が、  
ボールを形成する工程と、

前記第 1 のワイヤを該ボールからせん断する工程と、

前記第 1 のワイヤの残りの部分を第 1 のパッケージ・ボンディング・サイトにワイヤ・  
ボンディングする工程と、

前記第 1 のワイヤを前記外側の列のダイ・パッド中の該ボールに取り付ける工程と、か  
らなる

半導体ダイをダイ・キャリアに電気接続する方法。

**【請求項 6】**

第 1 のダイであって、該第 1 のダイの側面に対して整列した少なくとも 2 列のボンド・パ  
ッド列を有するダイと、

該第 1 のダイの上に配置された第 2 のダイであって、該第 2 のダイの側面に対して整列  
した少なくとも 2 列のボンド・パッド列を有するダイと、

該第 1 のダイおよび該第 2 のダイの下方に位置する、該第 1 のダイおよび該第 2 のダイ  
をサポートし、かつ、複数のボンド・フィンガを提供するためのダイ・キャリアと、

該第 1 のダイの該少なくとも 2 列のボンド・パッド列のうちの第 1 の列に含まれている  
第 1 のボンド・パッドを、該複数のボンド・フィンガのうちの所定のボンド・フィンガに  
接続する第 1 のワイヤ・ボンドと、

該第 1 のダイの該少なくとも 2 列のボンド・パッド列のうちの第 2 の列に含まれている  
第 2 のボンド・パッドを、該第 2 のダイの該少なくとも 2 列のボンド・パッド列のうちの  
一方の列の所定のボンド・パッドに接続する第 2 のワイヤ・ボンドと、からなる半導体パ  
ッケージ。

**【請求項 7】**

前記第 1 のワイヤ・ボンドが、さらに、

複数のボンドが接続されたボンド・パッドからなる、請求項 6 に記載の半導体パッケー  
ジ。

**【請求項 8】**

前記第 1 のワイヤ・ボンドのワイヤ・ボンド・プロファイルのタイプが、前記第 2 のワイ  
ヤ・ボンドのワイヤ・ボンド・プロファイルのタイプと異なる請求項 6 に記載の半導体パ  
ッケージ。

**【請求項 9】**

さらに、前記ダイ・キャリアの下方に配置された導電球からなる請求項 6 に記載の半導体  
パッケージ。

## 【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International Application No PCT/US 02/29071
<b>A. CLASSIFICATION OF SUBJECT MATTER</b> IPC 7 H01L23/50 H01L25/065 H01L23/498		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) IPC 7 H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	TURINSKY G: "CHIPTRAEGER FUER HOCHGESCHWINDIGKEITS-IS", RADIO FERNSEHEN ELEKTRONIK, VEB VERLAG TECHNIK. BERLIN, DE, VOL. 41, NR. 1, PAGE(S) 25-26 XP000278769 ISSN: 1436-1574 the whole document	1,2,4,5, 13,14
X	US 5 468 999 A (LIN PAUL T ET AL) 21 November 1995 (1995-11-21) column 6, line 33 - line 58	1,2,4,5, 13,14
<input type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. "&" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
20 December 2002		14.04.03
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo.nl Fax: (+31-70) 340-3016		Authorized officer  Ahlstedt, M

## INTERNATIONAL SEARCH REPORT

International application No.  
PCT/US 02/29071**Box I Observations where certain claims were found unsearchable (Continuation of item 1 of first sheet)**

This International Search Report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1.  Claims Nos.:  
because they relate to subject matter not required to be searched by this Authority, namely:
  
2.  Claims Nos.:  
because they relate to parts of the International Application that do not comply with the prescribed requirements to such an extent that no meaningful International Search can be carried out, specifically:
  
3.  Claims Nos.:  
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

**Box II Observations where unity of invention is lacking (Continuation of item 2 of first sheet)**

This International Searching Authority found multiple inventions in this international application, as follows:

1.  As all required additional search fees were timely paid by the applicant, this International Search Report covers all searchable claims.
  
2.  As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
  
3.  As only some of the required additional search fees were timely paid by the applicant, this International Search Report covers only those claims for which fees were paid, specifically claims Nos.:
  
4.  No required additional search fees were timely paid by the applicant. Consequently, this International Search Report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

1-5, 13, 14

Remark on Protest

- The additional search fees were accompanied by the applicant's protest.
- No protest accompanied the payment of additional search fees.



International Application No. PCT/US 02/29071

## FURTHER INFORMATION CONTINUED FROM PCT/ISA/ 210

This International Searching Authority found multiple (groups of) inventions in this international application, as follows:

1. Claims: 1-5,13,14

A chip with multiple rows of bond pads, wherein the wire bond of the interior and exterior bond pads have different wire loop profiles.

2. Claims: 6-10

A chip with multiple rows of bond pads, wherein different wire bonding processes are used to bond the first and second rows of bond pads

3. Claims: 11,12,17-20

Chip stack with chips having multiple rows of bond pads, wherein the two dies are interconnected by a bond wire.

4. Claims: 15,16

A chip with multiple rows of bond pads, wherein a bond pad is connected by multiple bonds.

**INTERNATIONAL SEARCH REPORT**

Information on patent family members

International Application No  
PCT/US 02/29071

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 5468999 A	21-11-1995	NONE	

## フロントページの続き

(81) 指定国 AP(GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, N O, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, UZ, VC, VN, YU, ZA, ZM, ZW

(72) 発明者 ガーバー、マーク アレン

アメリカ合衆国 7 8 7 1 7 テキサス州 オースティン ウェスト ドーマン ドライブ 1 5  
8 0 8

(72) 発明者 ミラー、ジーン デズリー

アメリカ合衆国 7 8 6 0 2 テキサス州 バストロップ スワン コート 1 0 5  
Fターム(参考) 5F044 AA02 AA20 CC05 EE02 HH01 JJ00

## 【要約の続き】

ド・パッドを緊密にパッキングすることができる。この構造は、積層型ダイへの適用が可能である。