

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7235987号
(P7235987)

(45)発行日 令和5年3月9日(2023.3.9)

(24)登録日 令和5年3月1日(2023.3.1)

| | | | | |
|-------------------------|---------------|---------|--|--|
| (51)国際特許分類 | F I | | | |
| H 0 2 J 7/00 (2006.01) | H 0 2 J 7/00 | S | | |
| H 0 2 J 7/02 (2016.01) | H 0 2 J 7/02 | H | | |
| H 0 1 M 10/48 (2006.01) | H 0 1 M 10/48 | P | | |
| H 0 1 M 10/44 (2006.01) | H 0 1 M 10/44 | P | | |
| | H 0 2 J 7/00 | 3 0 2 B | | |
| 請求項の数 15 (全25頁) | | | | |

| | | | |
|-----------|-----------------------------|----------|--------------------|
| (21)出願番号 | 特願2020-187997(P2020-187997) | (73)特許権者 | 000006220 |
| (22)出願日 | 令和2年11月11日(2020.11.11) | | ミツミ電機株式会社 |
| (62)分割の表示 | 特願2018-227763(P2018-227763) | | 東京都多摩市鶴牧2丁目11番地2 |
| |)の分割 | (74)代理人 | 100107766 |
| 原出願日 | 平成30年12月5日(2018.12.5) | | 弁理士 伊東 忠重 |
| (65)公開番号 | 特開2021-36764(P2021-36764A) | (74)代理人 | 100070150 |
| (43)公開日 | 令和3年3月4日(2021.3.4) | | 弁理士 伊東 忠彦 |
| 審査請求日 | 令和3年11月16日(2021.11.16) | (72)発明者 | 山口 剛史 |
| | | | 東京都多摩市鶴牧2丁目11番地2 ミ |
| | | | ツミ電機株式会社内 |
| | | (72)発明者 | 元市 芳裕 |
| | | | 東京都多摩市鶴牧2丁目11番地2 ミ |
| | | | ツミ電機株式会社内 |
| | | (72)発明者 | 竹下 順司 |
| | | | 東京都多摩市鶴牧2丁目11番地2 ミ |
| | | | 最終頁に続く |

(54)【発明の名称】 二次電池保護回路及び電池パック

(57)【特許請求の範囲】

【請求項1】

直列に接続される第1の二次電池及び第2の二次電池を個々に保護する二次電池保護回路であって、

第1の端子と、

第2の端子と、

第3の端子と、

前記第1の二次電池の負極と前記第1の端子との間の電流経路に直列に挿入される第1のスイッチ回路と、

前記第2の二次電池の負極と前記第2の端子との間の電流経路、又は前記第2の二次電池の正極と前記第3の端子との間の電流経路に直列に挿入される第2のスイッチ回路と、

前記第1のスイッチ回路をオフにすることによって、少なくとも前記第1の二次電池を過放電又は放電過電流から保護する第1の保護ICと、

前記第2のスイッチ回路をオフにすることによって、少なくとも前記第2の二次電池を過放電又は放電過電流から保護する第2の保護ICとを備え、

前記第1のスイッチ回路が前記第1の保護ICによりオンにされ且つ前記第2のスイッチ回路が前記第2の保護ICによりオンにされた状態のとき、前記第1の二次電池の電圧に対応する第1の出力電圧を前記第1の端子と前記第2の端子との間から第1の負荷に出力し、前記第1の出力電圧に前記第2の二次電池の電圧に対応する第2の出力電圧を加算した第3の出力電圧を前記第1の端子と前記第3の端子との間から第2の負荷に出力し、

前記第 1 のスイッチ回路が前記第 1 の保護 IC によりオフにされ且つ前記第 2 のスイッチ回路が前記第 2 の保護 IC によりオンにされた状態のとき、前記第 1 の出力電圧を前記第 1 の端子と前記第 2 の端子との間から前記第 1 の負荷に出力することを停止し、前記第 3 の出力電圧を前記第 1 の端子と前記第 3 の端子との間から出力することを停止し、

前記第 1 のスイッチ回路が前記第 1 の保護 IC によりオンにされ且つ前記第 2 のスイッチ回路が前記第 2 の保護 IC によりオフにされた状態のとき、前記第 1 の出力電圧を前記第 1 の端子と前記第 2 の端子との間から前記第 1 の負荷に出力し、前記第 3 の出力電圧を前記第 1 の端子と前記第 3 の端子との間から出力することを停止する、二次電池保護回路。

【請求項 2】

前記第 1 のスイッチ回路が前記第 1 の保護 IC によりオフにされ且つ前記第 2 のスイッチ回路が前記第 2 の保護 IC によりオンにされた状態のとき、

10

前記第 2 の二次電池から前記第 1 の保護 IC を経由して前記第 1 の負荷に電流出力することを停止し、

前記第 1 のスイッチ回路が前記第 1 の保護 IC によりオンにされ且つ前記第 2 のスイッチ回路が前記第 2 の保護 IC によりオフにされた状態のとき、

前記第 1 の二次電池から前記第 2 の保護 IC を経由して前記第 2 の負荷に電流出力することを停止する、請求項 1 に記載の二次電池保護回路。

【請求項 3】

前記第 1 のスイッチ回路と前記第 2 のスイッチ回路との少なくとも一方のオフ状態を検出するオフ状態検出回路を備える、請求項 1 又は 2 に記載の二次電池保護回路。

20

【請求項 4】

前記第 1 のスイッチ回路は、前記第 1 の二次電池の負極と前記第 1 の端子との間の第 1 の電流経路に直列に挿入されており、

前記第 2 のスイッチ回路は、前記第 2 の二次電池の負極と前記第 2 の端子との間の第 2 の電流経路に直列に挿入されており、

前記第 1 の保護 IC は、前記第 1 の端子と前記第 1 のスイッチ回路との間で前記第 1 の電流経路に抵抗を介して接続される第 1 の監視端子と、前記第 1 の二次電池の正極に接続される第 1 の電源端子と、前記第 1 の監視端子から前記第 1 の電源端子への内部電流経路を形成する第 1 の保護素子を有し、

前記第 2 の保護 IC は、前記第 2 の端子と前記第 2 のスイッチ回路との間で前記第 2 の電流経路に抵抗を介して接続される第 2 の監視端子と、前記第 2 の二次電池の正極に接続される第 2 の電源端子と、前記第 2 の監視端子から前記第 2 の電源端子への内部電流経路を形成する第 2 の保護素子を有し、

30

前記オフ状態検出回路は、前記第 1 のスイッチ回路のオフ状態が検出された場合、前記第 1 の保護素子に流れる電流を遮断し、前記第 2 のスイッチ回路のオフ状態が検出された場合、前記第 2 の保護素子に流れる電流を遮断する、請求項 3 に記載の二次電池保護回路。

【請求項 5】

前記オフ状態検出回路は、

前記第 1 のスイッチ回路のオフ状態が検出された場合、前記第 1 の監視端子の電位を固定することによって、前記第 1 の保護素子に流れる電流を遮断し、

40

前記第 2 のスイッチ回路のオフ状態が検出された場合、前記第 2 の監視端子の電位を固定することによって、前記第 2 の保護素子に流れる電流を遮断する、請求項 4 に記載の二次電池保護回路。

【請求項 6】

前記第 1 のスイッチ回路は、前記第 1 の二次電池の負極と前記第 1 の端子との間の第 1 の電流経路に直列に挿入されており、

前記第 2 のスイッチ回路は、前記第 2 の二次電池の正極と前記第 3 の端子との間の第 3 の電流経路に直列に挿入されており、

前記第 1 の保護 IC は、前記第 1 の端子と前記第 1 のスイッチ回路との間で前記第 1 の電流経路に抵抗を介して接続される第 1 の監視端子と、前記第 2 の二次電池の正極に接続

50

される第1の電源端子と、前記第1の監視端子から前記第1の電源端子への内部電流経路を形成する第1の保護素子を有し、

前記第2の保護ICは、前記第3の端子と前記第2のスイッチ回路との間で前記第3の電流経路に抵抗を介して接続される第2の監視端子と、前記第2の二次電池の負極に接続されるグランド端子と、前記グランド端子から前記第2の監視端子への内部電流経路を形成する第2の保護素子を有し、

前記オフ状態検出回路は、前記第2のスイッチ回路のオフ状態が検出された場合、前記第2の保護素子に流れる電流を遮断する、請求項3に記載の二次電池保護回路。

【請求項7】

前記オフ状態検出回路は、

前記第2のスイッチ回路のオフ状態が検出された場合、前記第2の監視端子の電位を固定することによって、前記第2の保護素子に流れる電流を遮断する、請求項6に記載の二次電池保護回路。

【請求項8】

前記第1のスイッチ回路は、前記第1の二次電池の負極と前記第1の端子との間の第1の電流経路に直列に挿入されており、

前記第2のスイッチ回路は、前記第2の二次電池の負極と前記第2の端子との間の第2の電流経路に直列に挿入されており、

前記第1の保護ICは、前記第1の端子と前記第1のスイッチ回路との間で前記第1の電流経路に抵抗を介して接続される第1の監視端子と、前記第2の二次電池の正極に接続される第1の電源端子と、前記第1の監視端子から前記第1の電源端子への内部電流経路を形成する第1の保護素子を有し、

前記第2の保護ICは、前記第2の端子と前記第2のスイッチ回路との間で前記第2の電流経路に抵抗を介して接続される第2の監視端子と、前記第2の二次電池の正極に接続される第2の電源端子と、前記第2の監視端子から前記第2の電源端子への内部電流経路を形成する第2の保護素子を有し、

前記オフ状態検出回路は、前記第2のスイッチ回路のオフ状態が検出された場合、前記第2の保護素子に流れる電流を遮断する、請求項3に記載の二次電池保護回路。

【請求項9】

前記オフ状態検出回路は、

前記第2のスイッチ回路のオフ状態が検出された場合、前記第2の監視端子の電位を固定することによって、前記第2の保護素子に流れる電流を遮断する、請求項8に記載の二次電池保護回路。

【請求項10】

前記オフ状態検出回路は、充電器が前記第1の端子と前記第3の端子に接続されるまで、前記第2の保護素子に流れる電流を遮断した状態を保持する、請求項9に記載の二次電池保護回路。

【請求項11】

前記第1のスイッチ回路は、前記第1の二次電池の負極と前記第1の端子との間の第1の電流経路に直列に挿入されており、

前記第2のスイッチ回路は、前記第2の二次電池の正極と前記第3の端子との間の第3の電流経路に直列に挿入されており、

前記第1の保護ICは、前記第1の端子と前記第1のスイッチ回路との間で前記第1の電流経路に抵抗を介して接続される第1の監視端子と、前記第2の二次電池の正極に接続される第1の電源端子と、前記第1の監視端子から前記第1の電源端子への内部電流経路を形成する第1の保護素子を有し、

前記第2の保護ICは、前記第3の端子と前記第2のスイッチ回路との間で前記第3の電流経路に抵抗を介して接続される第2の監視端子と、前記第1の二次電池の負極に接続されるグランド端子と、前記グランド端子から前記第2の監視端子への内部電流経路を形成する第2の保護素子を有する、請求項1又は2に記載の二次電池保護回路。

10

20

30

40

50

【請求項 1 2】

前記第 1 の保護 IC 及び前記第 2 の保護 IC を複合集積する、請求項 1 から 1 1 のいずれか一項に記載の二次電池保護回路。

【請求項 1 3】

前記第 1 の保護 IC と前記第 1 のスイッチ回路との対と、前記第 2 の保護 IC と前記第 2 のスイッチ回路との対との少なくとも一方の対を複合集積する、請求項 1 から 1 1 のいずれか一項に記載の二次電池保護回路。

【請求項 1 4】

直列に接続される第 1 の二次電池及び第 2 の二次電池と、
第 1 の端子と、
第 2 の端子と、
第 3 の端子と、

前記第 1 の二次電池の負極と前記第 1 の端子との間の電流経路、又は前記第 1 の二次電池の正極と前記第 2 の端子との間の電流経路に直列に挿入される第 1 のスイッチ回路と、
前記第 2 の二次電池の負極と前記第 2 の端子との間の電流経路、又は前記第 2 の二次電池の正極と前記第 3 の端子との間の電流経路に直列に挿入される第 2 のスイッチ回路と、
前記第 1 のスイッチ回路をオフにすることによって、少なくとも前記第 1 の二次電池を過放電又は放電過電流から保護する第 1 の保護 IC と、

前記第 2 のスイッチ回路をオフにすることによって、少なくとも前記第 2 の二次電池を過放電又は放電過電流から保護する第 2 の保護 IC とを備え、

前記第 1 のスイッチ回路が前記第 1 の保護 IC によりオンにされ且つ前記第 2 のスイッチ回路が前記第 2 の保護 IC によりオンにされた状態のとき、前記第 1 の二次電池の電圧に対応する第 1 の出力電圧を前記第 1 の端子と前記第 2 の端子との間から第 1 の負荷に出力し、前記第 1 の出力電圧に前記第 2 の二次電池の電圧に対応する第 2 の出力電圧を加算した第 3 の出力電圧を前記第 1 の端子と前記第 3 の端子との間から第 2 の負荷に出力し、

前記第 1 のスイッチ回路が前記第 1 の保護 IC によりオフにされ且つ前記第 2 のスイッチ回路が前記第 2 の保護 IC によりオンにされた状態のとき、前記第 1 の出力電圧を前記第 1 の端子と前記第 2 の端子との間から前記第 1 の負荷に出力することを停止し、前記第 3 の出力電圧を前記第 1 の端子と前記第 3 の端子との間から出力することを停止し、

前記第 1 のスイッチ回路が前記第 1 の保護 IC によりオンにされ且つ前記第 2 のスイッチ回路が前記第 2 の保護 IC によりオフにされた状態のとき、前記第 1 の出力電圧を前記第 1 の端子と前記第 2 の端子との間から前記第 1 の負荷に出力し、前記第 3 の出力電圧を前記第 1 の端子と前記第 3 の端子との間から出力することを停止する、電池パック。

【請求項 1 5】

前記第 1 のスイッチ回路が前記第 1 の保護 IC によりオフにされ且つ前記第 2 のスイッチ回路が前記第 2 の保護 IC によりオンにされた状態のとき、

前記第 2 の二次電池から前記第 1 の保護 IC を経由して前記第 1 の負荷に電流出力することを停止し、

前記第 1 のスイッチ回路が前記第 1 の保護 IC によりオンにされ且つ前記第 2 のスイッチ回路が前記第 2 の保護 IC によりオフにされた状態のとき、

前記第 1 の二次電池から前記第 2 の保護 IC を経由して前記第 2 の負荷に電流出力することを停止する、請求項 1 4 に記載の電池パック。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、二次電池保護回路及び電池パックに関する。

【背景技術】

【0002】

従来、直列に接続される複数の二次電池の異常が検出されたとき、それらの二次電池の両端電圧を一つの負荷に対して出力することを停止する保護回路を備えた電池パックが知

10

20

30

40

50

られている（例えば、特許文献1参照）。

【先行技術文献】

【特許文献】

【0003】

【文献】特開2012-9339号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかしながら、電池パックから一種類の電圧値しか負荷に出力されない従来技術では、負荷が必要とする電圧値が2種類ある場合、一種類の電圧値を二種類の電圧値に負荷側で変換することが求められる。その結果、負荷側で電力の変換損失が発生し、電池パックから負荷側に供給される電力の消費効率が低下する。

10

【0005】

そこで、本開示は、負荷側に供給される電力の消費効率を高めることが可能な、二次電池保護回路及び電池パックを提供する。

【課題を解決するための手段】

【0006】

本開示は、

直列に接続される第1の二次電池及び第2の二次電池を個々に保護する二次電池保護回路であって、

20

第1の端子と、

第2の端子と、

第3の端子と、

前記第1の二次電池の負極と前記第1の端子との間の電流経路に直列に挿入される第1のスイッチ回路と、

前記第2の二次電池の負極と前記第2の端子との間の電流経路、又は前記第2の二次電池の正極と前記第3の端子との間の電流経路に直列に挿入される第2のスイッチ回路と、

前記第1のスイッチ回路をオフにすることによって、少なくとも前記第1の二次電池を過放電又は放電過電流から保護する第1の保護ICと、

前記第2のスイッチ回路をオフにすることによって、少なくとも前記第2の二次電池を過放電又は放電過電流から保護する第2の保護ICとを備え、

30

前記第1のスイッチ回路が前記第1の保護ICによりオンにされ且つ前記第2のスイッチ回路が前記第2の保護ICによりオンにされた状態のとき、前記第1の二次電池の電圧に対応する第1の出力電圧を前記第1の端子と前記第2の端子との間から第1の負荷に出力し、前記第1の出力電圧に前記第2の二次電池の電圧に対応する第2の出力電圧を加算した第3の出力電圧を前記第1の端子と前記第3の端子との間から第2の負荷に出力し、

前記第1のスイッチ回路が前記第1の保護ICによりオフにされ且つ前記第2のスイッチ回路が前記第2の保護ICによりオンにされた状態のとき、前記第1の出力電圧を前記第1の端子と前記第2の端子との間から前記第1の負荷に出力することを停止し、前記第3の出力電圧を前記第1の端子と前記第3の端子との間から出力することを停止し、

40

前記第1のスイッチ回路が前記第1の保護ICによりオンにされ且つ前記第2のスイッチ回路が前記第2の保護ICによりオフにされた状態のとき、前記第1の出力電圧を前記第1の端子と前記第2の端子との間から前記第1の負荷に出力し、前記第3の出力電圧を前記第1の端子と前記第3の端子との間から出力することを停止する、二次電池保護回路を提供する。

【0008】

また、本開示は、

直列に接続される第1の二次電池及び第2の二次電池と、

第1の端子と、

第2の端子と、

50

第 3 の端子と、

前記第 1 の二次電池の負極と前記第 1 の端子との間の電流経路、又は前記第 1 の二次電池の正極と前記第 2 の端子との間の電流経路に直列に挿入される第 1 のスイッチ回路と、

前記第 2 の二次電池の負極と前記第 2 の端子との間の電流経路、又は前記第 2 の二次電池の正極と前記第 3 の端子との間の電流経路に直列に挿入される第 2 のスイッチ回路と、

前記第 1 のスイッチ回路をオフにすることによって、少なくとも前記第 1 の二次電池を過放電又は放電過電流から保護する第 1 の保護 IC と、

前記第 2 のスイッチ回路をオフにすることによって、少なくとも前記第 2 の二次電池を過放電又は放電過電流から保護する第 2 の保護 IC とを備え、

前記第 1 のスイッチ回路が前記第 1 の保護 IC によりオンにされ且つ前記第 2 のスイッチ回路が前記第 2 の保護 IC によりオンにされた状態のとき、前記第 1 の二次電池の電圧に対応する第 1 の出力電圧を前記第 1 の端子と前記第 2 の端子との間から第 1 の負荷に出力し、前記第 1 の出力電圧に前記第 2 の二次電池の電圧に対応する第 2 の出力電圧を加算した第 3 の出力電圧を前記第 1 の端子と前記第 3 の端子との間から第 2 の負荷に出力し、

前記第 1 のスイッチ回路が前記第 1 の保護 IC によりオフにされ且つ前記第 2 のスイッチ回路が前記第 2 の保護 IC によりオンにされた状態のとき、前記第 1 の出力電圧を前記第 1 の端子と前記第 2 の端子との間から前記第 1 の負荷に出力することを停止し、前記第 3 の出力電圧を前記第 1 の端子と前記第 3 の端子との間から出力することを停止し、

前記第 1 のスイッチ回路が前記第 1 の保護 IC によりオンにされ且つ前記第 2 のスイッチ回路が前記第 2 の保護 IC によりオフにされた状態のとき、前記第 1 の出力電圧を前記第 1 の端子と前記第 2 の端子との間から前記第 1 の負荷に出力し、前記第 3 の出力電圧を前記第 1 の端子と前記第 3 の端子との間から出力することを停止する、電池パックを提供する。

【発明の効果】

【0009】

本開示の技術によれば、負荷側に供給される電力の消費効率を高めることが可能な、二次電池保護回路及び電池パックを提供できる。

【図面の簡単な説明】

【0010】

【図 1】一比較形態における電池パックの構成を例示する図である。

【図 2】一比較形態における電池パックにおいて、放電過電流が低電位側の保護 IC で検出された状況を例示する図である。

【図 3】一比較形態における電池パックにおいて、放電過電流が高電位側の保護 IC で検出された状況を例示する図である。

【図 4】一比較形態における電池パックにおいて、低電位側の二次電池の過放電が低電位側の保護 IC で検出された状況を例示する図である。

【図 5】一比較形態における電池パックにおいて、高電位側の二次電池の過放電が高電位側の保護 IC で検出された状況を例示する図である。

【図 6】第 1 の実施形態における電池パックにおいて、放電過電流が高電位側の保護 IC で検出された状況を例示する図である。

【図 7】第 1 の実施形態における電池パックにおいて、放電過電流が高電位側の保護 IC で検出される前後の状況を例示するタイミングチャートである。

【図 8】第 1 の実施形態における電池パックにおいて、放電過電流が低電位側の保護 IC で検出された状況を例示する図である。

【図 9】第 1 の実施形態における電池パックにおいて、放電過電流が低電位側の保護 IC で検出される前後の状況を例示するタイミングチャートである。

【図 10】第 2 の実施形態における電池パックにおいて、放電過電流が高電位側の保護 IC で検出された状況を例示する図である。

【図 11】第 2 の実施形態における電池パックにおいて、放電過電流が高電位側の保護 IC で検出された状況を例示する図である。

10

20

30

40

50

【図 1 2】第 2 の実施形態における電池パックにおいて、放電過電流が低電位側の保護 IC で検出された状況を例示する図である。

【図 1 3】第 2 の実施形態における電池パックにおいて、放電過電流が低電位側の保護 IC で検出される前後の状況を例示するタイミングチャートである。

【図 1 4】第 3 の実施形態における電池パックにおいて、放電過電流が低電位側の保護 IC で検出された状況を例示する図である。

【図 1 5】第 3 の実施形態における電池パックにおいて、放電過電流が高電位側の保護 IC で検出された状況を例示する図である。

【図 1 6】第 4 の実施形態における電池パックにおいて、放電過電流が高電位側の保護 IC で検出された状況を例示する図である。

10

【図 1 7】第 4 の実施形態における電池パックにおいて、放電過電流が高電位側の保護 IC で検出される前後の状況を例示するタイミングチャートである。

【図 1 8】第 1 の実施形態における電池パックの第 1 の変形例を示す図である。

【図 1 9】第 1 の実施形態における電池パックの第 2 の変形例を示す図である。

【図 2 0】第 2 の実施形態における電池パックの第 1 の変形例を示す図である。

【発明を実施するための形態】

【0011】

以下、本開示の実施形態を図面に従って説明する。まず、本開示の実施形態と比較するため、一比較形態における電池パックの構成について説明する。

【0012】

20

図 1 は、一比較形態における電池パックの構成を例示する図である。図 1 に示す電池パック 100 は、直列に接続される第 1 の二次電池 271 及び第 2 の二次電池 272 と、第 1 の二次電池 271 及び第 2 の二次電池 272 を個々に保護する二次電池保護回路 110 とを備える。

【0013】

以下、第 1 の二次電池 271、第 2 の二次電池 272 を、それぞれ、第 1 のセル 271、第 2 のセル 272 とも称する。また、第 1 の二次電池 271 及び第 2 の二次電池 272 を、セル 271、272 とも称する。

【0014】

セル 271、272 は、いずれも、充放電可能な電池である。第 1 のセル 271 は、第 1 の端子 201 と第 2 の端子 202 に接続される第 1 の負荷 191 に電力を供給する。また、直列に接続されるセル 271、272 は、第 1 の端子 201 と第 3 の端子 203 に接続される第 2 に負荷 192 に電力を供給する。セル 271、272 は、第 1 の端子 201 と第 3 の端子 203 に接続される不図示の充電器によって充電可能である。セル 271、272 の具体例として、リチウムイオン電池やリチウムポリマ電池などが挙げられる。

30

【0015】

二次電池保護回路 110 は、第 1 の端子 201 と、第 2 の端子 202 と、第 3 の端子 203 と、第 1 のスイッチ回路 230 と、第 2 のスイッチ回路 240 と、第 1 の保護 IC 210 と、第 2 の保護 IC 220 とを備える。

【0016】

40

第 1 のセル 271 の負極と第 1 の端子 201 との間は、第 1 の電流経路 205 によって接続されており、第 1 の電流経路 205 には、第 1 のスイッチ回路 230 が直列に挿入されている。第 1 のセル 271 の正極と第 2 のセル 272 の負極とが接続される箇所と、第 2 の端子 202 との間は、第 2 の電流経路 204 によって接続されている。第 2 のセル 272 の正極と第 3 の端子 203 との間は、第 3 の電流経路 206 によって接続されており、第 3 の電流経路 206 には、第 2 のスイッチ回路 240 が直列に挿入されている。

【0017】

第 1 のスイッチ回路 230 は、例えば、ゲートが充電制御端子 211 (COUT 端子) に接続される充電制御トランジスタ 231 と、ゲートが放電制御端子 212 (DOU T 端子) に接続される放電制御トランジスタ 232 とを有する。充電制御トランジスタ 231

50

は、第1のセル271の充電電流が流れる第1の電流経路205を遮断し、放電制御トランジスタ232は、第1のセル271の放電電流が流れる第1の電流経路205を遮断する。充電制御トランジスタ231及び放電制御トランジスタ232は、第1の電流経路205の導通/遮断を切り替えるスイッチング素子であり、第1の電流経路205に直列に挿入されている。例えば、充電制御トランジスタ231と放電制御トランジスタ232は、いずれも、NMOSトランジスタである。充電制御トランジスタ231は、ドレイン-ソース間に寄生するダイオードを有する。放電制御トランジスタ232は、ドレイン-ソース間に寄生するダイオードを有する。

【0018】

第2のスイッチ回路240は、例えば、ゲートが充電制御端子221(COUT端子)に接続される充電制御トランジスタ241と、ゲートが放電制御端子222(DOUT端子)に接続される放電制御トランジスタ242とを有する。充電制御トランジスタ241は、第2のセル272の充電電流が流れる第3の電流経路206を遮断し、放電制御トランジスタ242は、第2のセル272の放電電流が流れる第3の電流経路206を遮断する。充電制御トランジスタ241及び放電制御トランジスタ242は、第3の電流経路206の導通/遮断を切り替えるスイッチング素子であり、第3の電流経路206に直列に挿入されている。例えば、充電制御トランジスタ241と放電制御トランジスタ242は、いずれも、PMOSトランジスタである。充電制御トランジスタ241は、ドレイン-ソース間に寄生するダイオードを有する。放電制御トランジスタ242は、ドレイン-ソース間に寄生するダイオードを有する。

【0019】

第1の保護IC210は、第1のセル271の正極と負極との間の電池電圧("セル電圧"とも称する)で動作する集積回路である。第1の保護IC210は、充電制御端子211(COUT端子)、放電制御端子212(DOUT端子)、監視端子218(VM1端子)、電源端子215(VDD端子)及びグランド端子213(VSS端子)を備える。

【0020】

充電制御端子211は、充電制御トランジスタ231のゲートに接続され、充電制御トランジスタ231をオン又はオフさせる信号を出力する。放電制御端子212は、放電制御トランジスタ232のゲートに接続され、放電制御トランジスタ232をオン又はオフさせる信号を出力する。

【0021】

監視端子218は、第1の端子201の電位の監視に使用され、第1の端子201に接続されている。監視端子218は、例えば、保護IC210が負荷191又は不図示の充電器の接続の有無を監視するのに使用され、第1のスイッチ回路230と第1の端子201との間で第1の電流経路205に抵抗214を介して接続されている。

【0022】

電源端子215は、第1の保護IC210の高電位側電源端子であり、第1のセル271の正極及び第2の電流経路204に抵抗237を介して接続されている。グランド端子213は、第1の保護IC210の低電位側電源端子であり、第1のセル271の負極及び第1の電流経路205に接続されている。

【0023】

第1の保護IC210は、第1のスイッチ回路230をオフにすることによって、第1のセル271又はセル271, 272の両方を保護する集積回路である。第1の保護IC210は、充電制御トランジスタ231をオフにすることによって、第1のセル271を過充電等の充電異常から保護し、放電制御トランジスタ232をオフにすることによって、第1のセル271を過放電等の放電異常や短絡異常から保護する。

【0024】

第1の保護IC210は、第1のセル271の状態を検出する。第1の保護IC210は、VDD端子とVSS端子との間の電圧である電源電圧Vdをモニタする。VDD端子は第1のセル271の正極に接続され、VSS端子は第1のセル271の負極に接続され

10

20

30

40

50

ているため、電源電圧 V_d は、第1のセル271のセル電圧 V_{BAT} に略等しい。したがって、第1の保護IC210は、電源電圧 V_d をモニタすることによって、第1のセル271のセル電圧 V_{BAT} を検出できる。また、第1の保護IC210は、 V_{SS} 端子を基準電位とする V_{M1} 端子の電圧である監視電圧 V_- をモニタする。

【0025】

第1の保護IC210は、例えば、所定の過充電検出電圧 V_{det1} よりも高い電源電圧 V_d が検出された場合、過充電検出電圧 V_{det1} よりも高い電源電圧 V_d が検出されたことを表す過充電検出信号を生成する。また、第1の保護IC210は、例えば、所定の過充電復帰電圧 V_{rel1} よりも低い電源電圧 V_d が検出された場合、過充電復帰電圧 V_{rel1} よりも低い電源電圧 V_d が検出されたことを表す過充電復帰検出信号を生成する。過充電検出電圧 V_{det1} は、過充電検出用の閾値であり、過充電復帰電圧 V_{rel1} は、過充電復帰検出用の閾値である。

10

【0026】

第1の保護IC210は、例えば、所定の過放電検出電圧 V_{det2} よりも低い電源電圧 V_d が検出された場合、過放電検出電圧 V_{det2} よりも低い電源電圧 V_d が検出されたことを表す過放電検出信号を生成する。また、第1の保護IC210は、例えば、所定の過放電復帰電圧 V_{rel2} よりも高い電源電圧 V_d が検出された場合、過放電復帰電圧 V_{rel2} よりも高い電源電圧 V_d が検出されたことを表す過放電復帰検出信号を生成する。過放電検出電圧 V_{det2} は、過放電検出用の閾値であり、過放電復帰電圧 V_{rel2} は、過放電復帰検出用の閾値である。

20

【0027】

第1の保護IC210は、例えば、所定の放電過電流検出電圧 V_{det3} よりも高い監視電圧 V_- が検出された場合、放電過電流検出電圧 V_{det3} よりも高い監視電圧 V_- が検出されたことを表す放電過電流検出信号を生成する。また、第1の保護IC210は、例えば、所定の放電過電流復帰電圧 V_{rel3} よりも低い監視電圧 V_- が検出された場合、放電過電流復帰電圧 V_{rel3} よりも低い監視電圧 V_- が検出されたことを表す放電過電流復帰検出信号を生成する。放電過電流検出電圧 V_{det3} は、放電過電流検出用の閾値であり、放電過電流復帰電圧 V_{rel3} は、放電過電流復帰検出用の閾値である。

【0028】

第1の保護IC210は、例えば、所定の充電過電流検出電圧 V_{det4} よりも低い監視電圧 V_- が検出された場合、充電過電流検出電圧 V_{det4} よりも低い監視電圧 V_- が検出されたことを表す充電過電流検出信号を生成する。また、第1の保護IC210は、例えば、所定の充電過電流復帰電圧 V_{rel4} よりも高い監視電圧 V_- が検出された場合、充電過電流復帰電圧 V_{rel4} よりも高い監視電圧 V_- が検出されたことを表す充電過電流復帰検出信号を生成する。充電過電流検出電圧 V_{det4} は、充電過電流検出用の閾値であり、充電過電流復帰電圧 V_{rel4} は、充電過電流復帰検出用の閾値である。

30

【0029】

第1の保護IC210は、第1のセル271の過充電又は充電過電流が検出された場合、所定の遅延時間経過後に、 $COUT$ 端子の出力状態をハイレベルからローレベルにする。COUT端子の出力状態がローレベルになることにより、充電制御トランジスタ231はオフとなるので、第1のセル271を充電する方向の電流が第1の電流経路205に流れることが禁止される。これにより、第1のセル271の充電が停止し、第1のセル271を過充電又は充電過電流から保護できる。

40

【0030】

一方、第1の保護IC210は、第1のセル271の過放電又は放電過電流が検出された場合、所定の遅延時間経過後に、 $DOUT$ 端子の出力状態をハイレベルからローレベルにする。DOUT端子の出力状態がローレベルになることにより、放電制御トランジスタ232はオフとなるので、第1のセル271を放電させる方向の電流が第1の電流経路205に流れることが禁止される。これにより、第1のセル271の放電が停止し、第1のセル271を過放電又は放電過電流から保護できる。

50

【 0 0 3 1 】

第1の保護IC210は、例えば、CPU (Central Processing Unit) を使用せずにアナログの複数の論理回路を用いて形成される。

【 0 0 3 2 】

第2の保護IC220は、第2のセル272の正極と負極との間の電池電圧 ("セル電圧"とも称する) で動作する集積回路である。第2の保護IC220は、充電制御端子221 (COUT端子)、放電制御端子222 (DOUT端子)、監視端子228 (VM2端子)、電源端子225 (VDD端子) 及びグランド端子223 (VSS端子) を備える。

【 0 0 3 3 】

充電制御端子221は、充電制御トランジスタ241のゲートに接続され、充電制御トランジスタ241をオン又はオフさせる信号を出力する。放電制御端子222は、放電制御トランジスタ242のゲートに接続され、放電制御トランジスタ242をオン又はオフさせる信号を出力する。

10

【 0 0 3 4 】

監視端子228は、第3の端子203の電位の監視に使用され、第3の端子203に接続されている。監視端子228は、例えば、保護IC220が負荷192又は不図示の充電器の接続の有無を監視するのに使用され、第2のスイッチ回路240と第3の端子203との間で第3の電流経路206に抵抗224を介して接続されている。

【 0 0 3 5 】

電源端子225は、第2の保護IC220の高電位側電源端子であり、第2のセル272の正極及び第3の電流経路206に抵抗247を介して接続されている。グランド端子223は、第2の保護IC220の低電位側電源端子であり、第2のセル272の負極及び第2の電流経路204に接続されている。

20

【 0 0 3 6 】

第2の保護IC220は、第2のスイッチ回路240をオフにすることによって、第2のセル272又はセル271, 272の両方を保護する集積回路である。第2の保護IC220は、充電制御トランジスタ241をオフにすることによって、第2のセル272を過充電等の充電異常から保護し、放電制御トランジスタ242をオフにすることによって、第2のセル272を過放電等の放電異常や短絡異常から保護する。

【 0 0 3 7 】

第2の保護IC220は、第2のセル272の状態を検出する。第2の保護IC220は、VDD端子とVSS端子との間の電圧である電源電圧Vdをモニタする。VDD端子は第2のセル272の正極に接続され、VSS端子は第2のセル272の負極に接続されているため、電源電圧Vdは、第2のセル272のセル電圧VBATに略等しい。したがって、第2の保護IC220は、電源電圧Vdをモニタすることによって、第2のセル272のセル電圧VBATを検出できる。また、第2の保護IC220は、VDD端子を基準電位とするVM2端子の電圧である監視電圧V+をモニタする。

30

【 0 0 3 8 】

第2の保護IC220が、過充電又は過放電を検出する方式は、第1の保護IC210の上述の閾値を用いた検出方式と同じでよい。

40

【 0 0 3 9 】

第2の保護IC220は、例えば、所定の放電過電流検出電圧Vdet3よりも低い監視電圧V+が検出された場合、放電過電流検出電圧Vdet3よりも低い監視電圧V+が検出されたことを表す放電過電流検出信号を生成する。また、第2の保護IC220は、例えば、所定の放電過電流復帰電圧Vrel3よりも高い監視電圧V+が検出された場合、放電過電流復帰電圧Vrel3よりも高い監視電圧V+が検出されたことを表す放電過電流復帰検出信号を生成する。

【 0 0 4 0 】

第2の保護IC220は、例えば、所定の充電過電流検出電圧Vdet4よりも高い監視電圧V+が検出された場合、充電過電流検出電圧Vdet4よりも高い監視電圧V+が

50

検出されたことを表す充電過電流検出信号を生成する。また、第2の保護IC220は、例えば、所定の充電過電流復帰電圧 V_{rel4} よりも低い監視電圧 V_+ が検出された場合、充電過電流復帰電圧 V_{rel4} よりも低い監視電圧 V_+ が検出されたことを表す充電過電流復帰検出信号を生成する。

【0041】

第2の保護IC220は、第2のセル272の過充電又は充電過電流が検出された場合、所定の遅延時間経過後に、COUT端子の出力状態をハイレベルからローレベルにする。COUT端子の出力状態がローレベルになることにより、充電制御トランジスタ241はオフとなるので、第2のセル272を充電する方向の電流が第1の電流経路205に流れることが禁止される。これにより、第2のセル272の充電が停止し、第2のセル272を過充電又は充電過電流から保護できる。

10

【0042】

一方、第2の保護IC220は、第2のセル272の過放電又は放電過電流が検出された場合、所定の遅延時間経過後に、DOUT端子の出力状態をハイレベルからローレベルにする。DOUT端子の出力状態がローレベルになることにより、放電制御トランジスタ242はオフとなるので、第2のセル272を放電させる方向の電流が第3の電流経路206に流れることが禁止される。これにより、第2のセル272の放電が停止し、第2のセル272を過放電又は放電過電流から保護できる。

【0043】

第2の保護IC220は、例えば、CPU (Central Processing Unit) を使用せず

20

【0044】

ここで、第1のスイッチ回路230が第1の保護IC210によりオンにされ且つ第2のスイッチ回路240が第2の保護IC220によりオンにされた状態を、“正常状態”と定義する。二次電池保護回路110は、正常状態のとき、第1のセル271の電圧に対応する第1の出力電圧 V_{o1} を第1の端子201と第2の端子202との間から第1の負荷191に出力する。また、二次電池保護回路110は、正常状態のとき、第1の出力電圧 V_{o1} に、第2のセル272の電圧に対応する第2の出力電圧 V_{o2} を加算した第3の出力電圧 V_{o3} を、第1の端子201と第3の端子203との間から第2の負荷192に出力する。

30

【0045】

また、第1のスイッチ回路230が第1の保護IC210によりオフにされ且つ第2のスイッチ回路240が第2の保護IC220によりオンにされた状態を、“第1の保護状態”と定義する。二次電池保護回路110は、第1の保護状態のとき、第1の出力電圧 V_{o1} を第1の端子201と第2の端子202との間から第1の負荷191に出力することを停止し、第3の出力電圧 V_{o3} を第1の端子201と第3の端子203との間から出力することを停止する。正常状態から第1の保護状態に移ると、第1の端子201の電位は、第1のセル271の負極の電位から第2のセル272の正極の電位に変化するからである。

【0046】

40

また、第1のスイッチ回路230が第1の保護IC210によりオンにされ且つ第2のスイッチ回路240が第2の保護IC220によりオフにされた状態を、“第2の保護状態”と定義する。二次電池保護回路110は、第2の保護状態のとき、第1の出力電圧 V_{o1} を第1の端子201と第2の端子202との間から第1の負荷191に出力し、第3の出力電圧 V_{o3} を第1の端子201と第3の端子203との間から出力することを停止する。正常状態から第2の保護状態に移ると、第3の端子203の電位は、第2のセル272の正極の電位から第1のセル271の負極の電位に変化する一方、第1の端子201及び第2の端子202の電位は、変化しないからである。

【0047】

このように、一比較形態によれば、セル271, 272の保護機能を備えるだけでなく

50

、第1の負荷191には第1の出力電圧 V_o を出力でき、第2の負荷192には第3の出力電圧 V_o3 を出力できる。したがって、電池パック100から電力供給を受ける機器（第1の負荷191及び第2の負荷192を備える機器）側で、電圧変換の必要性がなくなるため、当該機器の電力効率が改善する。つまり、電池パック100から当該機器に供給される電力の消費効率を高めることができる。

【0048】

ところで、第1の保護IC210は、監視端子218から電源端子215への内部電流経路を形成する第1の保護素子236を有する場合がある。同様に、第2の保護IC220は、グランド端子223から監視端子228への内部電流経路を形成する第2の保護素子246を有する場合がある。保護素子236、246は、例えば、静電気対策用のダイオード素子である。このような、保護素子236、246が存在する形態では、第1の保護状態又は第2の保護状態において、保護素子236又は保護素子246に順方向電圧が印加される場合が存在する。順方向電圧が印加された保護素子には、電流の経路が形成され、その保護素子に電流が流れ続けてしまう。

10

【0049】

次に、第1の保護状態又は第2の保護状態において、保護素子236又は保護素子246に順方向電圧が印加される場合について、図2～5を参照して説明する。なお、図2～5は、正常状態において、セル271、272の電圧が、それぞれ、4Vの場合を例示する。

【0050】

図2は、一比較形態における電池パック100において、放電過電流が低電位側の第1の保護IC210で検出された状況を例示する図である。第1の保護IC210は、第2の負荷192のショート等の発生により流れる放電過電流を検出すると、放電制御トランジスタ232をオフにする（第1の保護状態）。この第1の保護状態では、第1の端子201の電位が0Vから8Vに変化する。その結果、図2に示すように、第1の保護素子236を経由する内部電流経路が形成されるため、意図しない電流が流れるおそれがある。

20

【0051】

図3は、一比較形態における電池パック100において、放電過電流が高電位側の第2の保護IC220で検出された状況を例示する図である。第2の保護IC220は、第2の負荷192のショート等の発生により流れる放電過電流を検出すると、放電制御トランジスタ242をオフにする（第2の保護状態）。この第2の保護状態では、第3の端子203の電位が8Vから0Vに変化する。その結果、図3に示すように、第2の保護素子246を経由する内部電流経路が形成されるため、意図しない電流が流れるおそれがある。

30

【0052】

図4は、一比較形態における電池パック100において、低電位側の第1のセル271の過放電が低電位側の第1の保護IC210で検出された状況を例示する図である。第1の保護IC210は、第1のセル271の過放電を検出すると、放電制御トランジスタ232をオフにする（第1の保護状態）。この第1の保護状態では、第1の端子201の電位が0Vから8Vに変化する。その結果、図4に示すように、第1の保護素子236を経由する内部電流経路が形成されるため、意図しない電流が流れるおそれがある。

40

【0053】

図5は、一比較形態における電池パック100において、高電位側の第2のセル272の過放電が高電位側の第2の保護IC220で検出された状況を例示する図である。第2の保護IC220は、第2のセル272の過放電を検出すると、放電制御トランジスタ242をオフにする（第2の保護状態）。この第2の保護状態では、第3の端子203の電位が8Vから0Vに変化する。その結果、図5に示すように、第2の保護素子246を経由する内部電流経路が形成されるため、意図しない電流が流れるおそれがある。

【0054】

次に、保護素子236、246のような保護素子が存在する場合でも、上記のような意図しない電流の流れを防止可能な実施形態について、図6等を参照して説明する。

50

【 0 0 5 5 】

図 6 は、第 1 の実施形態における電池パックの構成を例示する図であり、放電過電流が高電位側の保護 IC で検出された状況を例示している。なお、第 1 の実施形態において、上述の比較形態と同様の構成及び効果についての説明は、上述の説明を援用することで省略又は簡略する。

【 0 0 5 6 】

図 6 に示す電池パック 1 0 1 は、直列に接続される第 1 の二次電池 7 1 及び第 2 の二次電池 7 2 と、第 1 の二次電池 7 1 及び第 2 の二次電池 7 2 を個々に保護する二次電池保護回路 1 1 1 とを備える。二次電池保護回路 1 1 1 は、直列に接続される第 1 の二次電池及び第 2 の二次電池の個々の電圧と、当該個々の電圧同士を加算した電圧とを出力する。

10

【 0 0 5 7 】

以下、第 1 の二次電池 7 1、第 2 の二次電池 7 2 を、それぞれ、第 1 のセル 7 1、第 2 のセル 7 2 とも称する。また、第 1 の二次電池 7 1 及び第 2 の二次電池 7 2 を、セル 7 1、7 2 とも称する。

【 0 0 5 8 】

二次電池保護回路 1 1 1 は、第 1 の端子 1 と、第 2 の端子 2 と、第 3 の端子 3 と、第 1 のスイッチ回路 3 0 と、第 2 のスイッチ回路 4 0 と、第 1 の保護 IC 1 0 と、第 2 の保護 IC 2 0 とを備える。第 1 の端子 1 は、第 1 の二次電池の負極に接続される第 1 の出力端子の一例である。第 2 の端子 2 は、第 1 の二次電池の正極及び第 2 の二次電池の負極に接続される第 2 の出力端子の一例である。第 3 の端子 3 は、第 2 の二次電池の正極に接続される第 3 の出力端子の一例である。

20

【 0 0 5 9 】

第 1 のセル 7 1 の負極と第 1 の端子 1 との間は、第 1 の電流経路 5 によって接続されており、第 1 の電流経路 5 には、第 1 のスイッチ回路 3 0 が直列に挿入されている。第 1 のセル 7 1 の正極と第 2 のセル 7 2 の負極とが接続される箇所と、第 2 の端子 2 との間は、第 2 の電流経路 4 によって接続されている。第 2 のセル 7 2 の正極と第 3 の端子 3 との間は、第 3 の電流経路 6 によって接続されており、第 3 の電流経路 6 には、第 2 のスイッチ回路 4 0 が直列に挿入されている。

【 0 0 6 0 】

第 1 のスイッチ回路 3 0 は、例えば、ゲートが充電制御端子 1 1 (C O U T 端子) に接続されるスイッチである充電制御トランジスタ 3 1 と、ゲートが放電制御端子 1 2 (D O U T 端子) に接続されるスイッチである放電制御トランジスタ 3 2 とを有する。

30

【 0 0 6 1 】

第 2 のスイッチ回路 4 0 は、例えば、ゲートが充電制御端子 2 1 (C O U T 端子) に接続されるスイッチである充電制御トランジスタ 4 1 と、ゲートが放電制御端子 2 2 (D O U T 端子) に接続されるスイッチである放電制御トランジスタ 4 2 とを有する。放電制御トランジスタ 4 2 は、放電経路に設けられる第 2 のスイッチの一例である。

【 0 0 6 2 】

第 1 の保護 IC 1 0 は、第 1 の端子 1 と第 1 のスイッチ回路 3 0 との間で第 1 の電流経路 5 に抵抗 1 4 を介して接続される第 1 の監視端子 1 8 (V M 1 端子) と、第 2 のセル 7 2 の正極に抵抗 3 7 を介して接続される第 1 の電源端子 1 5 (V D D 端子) とを備える。また、第 1 の保護 IC 1 0 は、充電制御端子 1 1 (C O U T 端子)、放電制御端子 1 2 (D O U T 端子)、セル電圧入力端子 1 6 (V H 端子) 及びグランド端子 1 3 (V S S 端子) を備える。さらに、第 1 の保護 IC 1 0 は、第 1 の監視端子 1 8 から第 1 の電源端子 1 5 への内部電流経路を形成する第 1 の保護素子 3 6 を有する。第 1 の保護 IC 1 0 は、放電経路に設けられる第 1 のスイッチによって、第 1 の二次電池を過放電又は放電過電流から保護する第 1 の保護回路の一例である。

40

【 0 0 6 3 】

第 2 の保護 IC 2 0 は、第 3 の端子 3 と第 2 のスイッチ回路 4 0 との間で第 3 の電流経路 6 に抵抗 2 4 を介して接続される第 2 の監視端子 2 8 (V M 2 端子) と、第 2 のセル 7

50

2の負極に接続されるグランド端子23(VSS端子)とを備える。また、第2の保護IC20は、充電制御端子21(COUT端子)、放電制御端子22(DOUT端子)、及び、第2のセル72の正極に抵抗47を介して接続される第2の電源端子25(VDD端子)を備える。さらに、第2の保護IC20は、グランド端子23から第2の監視端子28への内部電流経路を形成する第2の保護素子46を有する。第2の保護IC20は、放電経路に設けられる第2のスイッチによって、第2の二次電池を過放電又は放電過電流から保護する第2の保護回路の一例である。

【0064】

オフ状態検出回路80は、第2のスイッチ回路40のオフ状態が検出された場合、第2の監視端子28の電位を固定することによって、第2の保護素子46に流れる電流を遮断する。オフ状態検出回路80は、スイッチ83とスイッチ84と抵抗81とを有する。スイッチ83, 84は、例えば、PMOSトランジスタである。

10

【0065】

スイッチ83は、抵抗24と第3の端子3との間に直列に挿入されている。スイッチ83のゲートは、第2の端子2に接続されている。抵抗81は、スイッチ83に並列に接続されている。スイッチ83は、第2の端子2と第3の端子3の電位の上下関係を検出し、その上下関係が逆転すると、電流を遮断する(つまり、オンからオフとなる)素子である。

【0066】

スイッチ84は、一端が監視端子28に接続され他端が第2の端子2に接続されている。スイッチ84のゲートは、第3の端子3に接続されている。スイッチ84は、スイッチ83と反転した動きをする素子であり、スイッチ83による電流遮断時のVM2端子の電位を固定するための素子である。

20

【0067】

抵抗81は、スイッチ83がオフすることで、第3の端子3がVM2端子から切り離されるので、第2の保護IC20がVM2端子によって第3の端子3の電位をモニタできるようにするための素子である。

【0068】

図6は、第1の実施形態における電池パック101において、放電過電流が高電位側の第2の保護IC20で検出された状況を例示する図である。第2の保護IC20は、第2の負荷92のショート等の発生により流れる放電過電流を検出すると、放電制御トランジスタ42をオフにする(第2の保護状態)。図7は、第1の実施形態における電池パック101において、放電過電流が高電位側の第2の保護IC20で検出される前後の状況を例示するタイミングチャートである。図7において、SW42、SW83、SW84は、それぞれ、放電制御トランジスタ42、スイッチ83、スイッチ84を表し、Vthは、スイッチ83, 84の各々の閾値電圧を表す。

30

【0069】

状態1: 放電可能な通常状態(正常状態)において、第2の負荷92のショートにより放電過電流が検出されると、第2の保護IC20は、過電流検出遅延時間後に、放電制御トランジスタ42をオフし、放電を遮断する。

【0070】

状態2: 放電制御トランジスタ42のオフにより、第3の端子3の電位V3が8Vから0Vに変化する。これにより、スイッチ83がオンからオフ、スイッチ84がオフからオンになる。つまり、オフ状態検出回路80は、第3の端子3の電位V3が8Vから0Vに変化することを検知して、第2のスイッチ回路40のオフ状態を検出する。スイッチ83がオンからオフ、スイッチ84がオフからオンになることで、保護IC20の監視端子28の電位は、グランド端子23の電位と略等しくなるので、保護素子46への電流は発生しない。一方、放電過電流が検出されると、VM2端子は抵抗45を介してVDD端子にプルアップ(接続)される。

40

【0071】

状態3: 第2の負荷92が第3の端子3から解放されると、第3の端子3の電位は、抵

50

抗 4 5 , 2 4 , 8 1 の存在により、0 V から第 2 の端子 2 の電位付近まで上昇する。このとき、V M 2 端子を V S S 端子にショートしていたスイッチ 8 4 がオンからオフとなる。さらに、第 3 の端子 3 の電位が上昇すると、スイッチ 8 3 がオフからオンとなる。さらに、第 3 の端子 3 の電位が上昇すると、V M 2 端子の電位が、抵抗 4 5 の存在により、V S S 端子のレベルから V D D 端子のレベルに変化することを保護 I C 2 0 により検出される。その結果、第 2 の保護 I C 2 0 は、放電制御トランジスタ 4 2 をオフからオンにするので、保護回路の状態は、第 2 の保護状態から正常状態に復帰される。

【 0 0 7 2 】

このように、第 1 の実施形態では、第 2 の保護状態のとき、第 1 のセル 7 1 から保護素子 4 6 へ電流が流れない。よって、二次電池保護回路 1 1 1 は、第 2 の保護状態のとき、第 1 のセル 7 1 から第 2 の保護 I C 2 0 を経由して、第 2 の負荷 9 2 及び第 1 の負荷 9 1 に電流出力することを停止する。

10

【 0 0 7 3 】

図 8 は、第 1 の実施形態における電池パック 1 0 1 において、放電過電流が低電位側の第 1 の保護 I C 1 0 で検出された状況を例示する図である。第 1 の保護 I C 1 0 は、第 1 の負荷 9 1 のショート等の発生により流れる放電過電流を検出すると、放電制御トランジスタ 3 2 をオフにする（第 1 の保護状態）。図 9 は、第 1 の実施形態における電池パック 1 0 1 において、放電過電流が低電位側の第 1 の保護 I C 1 0 で検出される前後の状況を例示するタイミングチャートである。図 8 において、S W 3 2 は、放電制御トランジスタ 3 2 を表す。

20

【 0 0 7 4 】

状態 1 : 放電可能な通常状態（正常状態）において、第 1 の負荷 9 1 のショートにより放電過電流が検出されると、第 1 の保護 I C 1 0 は、過電流検出遅延時間後に、放電制御トランジスタ 3 2 をオフし、放電を遮断する。

【 0 0 7 5 】

状態 2 : 放電制御トランジスタ 3 2 のオフにより、第 1 の端子 1 及び V M 1 端子の電位が 0 V から 4 ~ 8 V に変化する。この場合、第 1 の保護 I C 1 0 の電源電圧は、第 1 のセル 7 1 の負極と第 2 のセル 7 2 の正極との間の電位差に略等しいから、V M 2 端子の電位範囲に関しては問題にならない。

【 0 0 7 6 】

このように、第 1 の実施形態では、第 1 の保護状態のとき、第 2 のセル 7 2 から保護素子 3 6 へ電流が流れない。よって、二次電池保護回路 1 1 1 は、第 1 の保護状態のとき、第 2 のセル 7 2 から第 1 の保護 I C 1 0 を経由して、第 2 の負荷 9 2 及び第 1 の負荷 9 1 に電流出力することを停止する。

30

【 0 0 7 7 】

図 1 0 は、第 2 の実施形態における電池パック 1 0 2 において、放電過電流が高電位側の保護 I C で検出された状況を例示する図である。図 1 1 は、第 2 の実施形態における電池パック 1 0 2 において、放電過電流が高電位側の保護 I C で検出された状況を例示する図である。図 1 2 は、第 2 の実施形態における電池パック 1 0 2 において、放電過電流が低電位側の保護 I C で検出された状況を例示する図である。図 1 3 は、第 2 の実施形態における電池パック 1 0 2 において、放電過電流が低電位側の保護 I C で検出される前後の状況を例示するタイミングチャートである。なお、第 2 の実施形態において、上述の実施形態と同様の構成及び効果についての説明は、上述の説明を援用することで省略又は簡略する。

40

【 0 0 7 8 】

図 1 0 に示す電池パック 1 0 2 は、直列に接続される第 1 の二次電池 7 1 及び第 2 の二次電池 7 2 と、第 1 の二次電池 7 1 及び第 2 の二次電池 7 2 を個々に保護する二次電池保護回路 1 1 2 とを備える。

【 0 0 7 9 】

第 1 の保護 I C 1 0 は、第 1 の端子 1 と第 1 のスイッチ回路 3 0 との間で第 1 の電流経

50

路 5 に抵抗 1 4 を介して接続される第 1 の監視端子 1 8 (V M 1 端子) と、第 2 のセル 7 2 の正極に接続される第 1 の電源端子 1 5 (V D D 端子) とを備える。また、第 1 の保護 I C 1 0 は、充電制御端子 1 1 (C O U T 端子)、放電制御端子 1 2 (D O U T 端子)、セル電圧入力端子 1 6 (V C 1 端子) 及びグランド端子 1 3 (V S S 端子) を備える。さらに、第 1 の保護 I C 1 0 は、第 1 の監視端子 1 8 から第 1 の電源端子 1 5 への内部電流経路を形成する第 1 の保護素子 3 6 を有する。

【 0 0 8 0 】

第 2 の保護 I C 2 0 は、第 3 の端子 3 と第 2 のスイッチ回路 4 0 との間で第 3 の電流経路 6 に抵抗 2 4 を介して接続される第 2 の監視端子 2 8 (V M 2 端子) と、第 2 のセル 7 2 の負極に接続されるグランド端子 2 3 (V S S 端子) とを備える。また、第 2 の保護 I C 2 0 は、充電制御端子 2 1 (C O U T 端子)、放電制御端子 2 2 (D O U T 端子)、セル電圧入力端子 2 6 (V C 2) 及び第 2 の電源端子 2 5 (V D D 端子) を備える。さらに、第 2 の保護 I C 2 0 は、グランド端子 2 3 から第 2 の監視端子 2 8 への内部電流経路を形成する第 2 の保護素子 4 6 を有する。

10

【 0 0 8 1 】

第 2 の実施形態の場合、保護 I C 1 0 , 2 0 の電源電圧は、いずれも、セル 7 1 の負極とセル 7 2 の正極との間の電位差である。したがって、第 1 の保護状態又は第 2 の保護状態に遷移しても、監視端子 1 8 , 2 8 の電圧を I C の許容電圧範囲内で使用できるので、監視端子の電位範囲に関しては問題にならない。

【 0 0 8 2 】

図 1 4 は、第 3 の実施形態における電池パック 1 0 3 において、放電過電流が低電位側の保護 I C で検出された状況を例示する図である。図 1 5 は、第 3 の実施形態における電池パック 1 0 3 において、放電過電流が高電位側の保護 I C で検出された状況を例示する図である。なお、第 3 の実施形態において、上述の実施形態と同様の構成及び効果についての説明は、上述の説明を援用することで省略又は簡略する。

20

【 0 0 8 3 】

図 1 4 に示す電池パック 1 0 3 は、直列に接続される第 1 の二次電池 7 1 及び第 2 の二次電池 7 2 と、第 1 の二次電池 7 1 及び第 2 の二次電池 7 2 を個々に保護する二次電池保護回路 1 1 3 とを備える。

【 0 0 8 4 】

二次電池保護回路 1 1 3 は、第 1 の端子 1 と、第 2 の端子 2 と、第 3 の端子 3 と、第 1 の電池パック部 1 0 3 A と、第 2 の電池パック部 1 0 3 B とを備える。また、第 1 の電池パック部 1 0 3 A は、第 1 のスイッチ回路 3 0 と、第 1 の保護 I C 1 0 とを備え、第 2 の電池パック部 1 0 3 B は、第 2 のスイッチ回路 6 0 と、第 2 の保護 I C 5 0 とを備える。

30

【 0 0 8 5 】

第 1 のセル 7 1 の負極と第 1 の端子 1 との間は、第 1 の電流経路 5 によって接続されており、第 1 の電流経路 5 には、第 1 のスイッチ回路 3 0 が直列に挿入されている。第 1 のセル 7 1 の正極と第 2 の端子 2 との間は、第 2 の電流経路 4 A によって接続されている。第 2 のセル 7 2 の負極と第 2 の端子 2 との間は、第 2 の電流経路 4 B によって接続されており、第 2 の電流経路 4 B には、第 2 のスイッチ回路 6 0 が直列に挿入されている。第 2 のセル 7 2 の正極と第 3 の端子 3 との間は、第 3 の電流経路 6 によって接続されている。

40

【 0 0 8 6 】

第 1 のスイッチ回路 3 0 は、例えば、ゲートが充電制御端子 1 1 (C O U T 端子) に接続されるスイッチである充電制御トランジスタ 3 1 と、ゲートが放電制御端子 1 2 (D O U T 端子) に接続されるスイッチである放電制御トランジスタ 3 2 とを有する。放電制御トランジスタ 3 2 は、放電経路に設けられる第 1 のスイッチの一例である。

【 0 0 8 7 】

第 2 のスイッチ回路 6 0 は、例えば、ゲートが充電制御端子 5 1 (C O U T 端子) に接続されるスイッチである充電制御トランジスタ 6 1 と、ゲートがスイッチである放電制御端子 5 2 (D O U T 端子) に接続される放電制御トランジスタ 6 2 とを有する。放電制御

50

トランジスタ 62 は、放電経路に設けられる第 2 のスイッチの一例である。

【0088】

第 1 の保護 IC 10 は、第 1 の端子 1 と第 1 のスイッチ回路 30 との間で第 1 の電流経路 5 に抵抗 14 を介して接続される第 1 の監視端子 18 (VM1 端子) と、第 1 のセル 71 の正極に抵抗 37 を介して接続される第 1 の電源端子 15 (VDD 端子) とを備える。また、第 1 の保護 IC 10 は、充電制御端子 11 (COUT 端子)、放電制御端子 12 (DOUT 端子) 及びグランド端子 13 (VSS 端子) を備える。さらに、第 1 の保護 IC 10 は、第 1 の監視端子 18 から第 1 の電源端子 15 への内部電流経路を形成する第 1 の保護素子 36 を有する。第 1 の保護 IC 10 又は第 1 の電池パック部 103A は、放電経路に設けられる第 1 のスイッチによって、第 1 の二次電池を過放電又は放電過電流から保護する第 1 の保護回路の一例である。

10

【0089】

第 2 の保護 IC 50 は、第 2 の端子 2 と第 2 のスイッチ回路 60 との間で第 2 の電流経路 4B に抵抗 54 を介して接続される第 2 の監視端子 58 (VM2 端子) と、第 2 のセル 72 の正極に抵抗 67 を介して接続される第 2 の電源端子 55 (VDD 端子) とを備える。また、第 2 の保護 IC 50 は、充電制御端子 51 (COUT 端子)、放電制御端子 52 (DOUT 端子) 及びグランド端子 53 (VSS 端子) を備える。さらに、第 2 の保護 IC 50 は、第 2 の監視端子 58 から第 2 の電源端子 55 への内部電流経路を形成する第 2 の保護素子 66 を有する。第 2 の保護 IC 50 又は第 2 の電池パック部 103B は、放電経路に設けられる第 2 のスイッチによって、第 2 の二次電池を過放電又は放電過電流から保護する第 2 の保護回路の一例である。

20

【0090】

オフ状態検出回路 80A は、第 1 のスイッチ回路 30 のオフ状態が検出された場合、第 1 の監視端子 18 の電位を固定することによって、第 1 の保護素子 36 に流れる電流を遮断する。オフ状態検出回路 80A は、スイッチ 83A とスイッチ 84A と抵抗 81A とを有する。スイッチ 83A, 84A は、例えば、NMOS トランジスタである。

【0091】

オフ状態検出回路 80B は、第 2 のスイッチ回路 60 のオフ状態が検出された場合、第 2 の監視端子 58 の電位を固定することによって、第 2 の保護素子 66 に流れる電流を遮断する。オフ状態検出回路 80B は、スイッチ 83B とスイッチ 84B と抵抗 81B とを有する。スイッチ 83B, 84B は、例えば、NMOS トランジスタである。

30

【0092】

オフ状態検出回路 80A, 80B は、上述の第 1 の実施形態のオフ状態検出回路 80 と同じ機能を有する。つまり、オフ状態検出回路 80A は、第 1 のスイッチ回路 30 のオフ状態が検出された場合、第 1 の保護素子 36 に流れる電流を遮断し、オフ状態検出回路 80B は、第 2 のスイッチ回路 60 のオフ状態が検出された場合、第 2 の保護素子 66 に流れる電流を遮断する。オフ状態検出回路 80A, 80B は、上述のオフ状態検出回路 80 に対して、PMOS の構成が NMOS の構成に変わったただけなので、詳細な説明については上述の説明を援用することで省略する。

【0093】

図 16 は、第 4 の実施形態における電池パック 104 において、放電過電流が高電位側の保護 IC で検出された状況を例示する図である。図 17 は、第 4 の実施形態における電池パック 104 において、放電過電流が高電位側の保護 IC で検出される前後の状況を例示するタイミングチャートである。なお、第 4 の実施形態において、上述の実施形態と同様の構成及び効果についての説明は、上述の説明を援用することで省略又は簡略する。

40

【0094】

過電流検出後に保護状態から復帰する方式には、負荷を解放することで保護状態から復帰する負荷解放復帰方式と、充電器を接続することで保護状態から復帰する充電器接続復帰方式とがある。第 4 の実施形態では、充電器接続復帰方式を示す。

【0095】

50

図 1 6 に示す電池パック 1 0 4 は、直列に接続される第 1 の二次電池 7 1 及び第 2 の二次電池 7 2 と、第 1 の二次電池 7 1 及び第 2 の二次電池 7 2 を個々に保護する二次電池保護回路 1 1 4 とを備える。

【 0 0 9 6 】

第 1 の保護 IC 1 0 は、第 1 の端子 1 と第 1 のスイッチ回路 3 0 との間で第 1 の電流経路 5 に抵抗 1 4 を介して接続される第 1 の監視端子 1 8 (VM1 端子) と、第 2 のセル 7 2 の正極に接続される第 1 の電源端子 1 5 (VDD 端子) とを備える。また、第 1 の保護 IC 1 0 は、充電制御端子 1 1 (COUT 端子)、放電制御端子 1 2 (DOUT 端子)、セル電圧入力端子 1 6 (VC 端子) 及びグランド端子 1 3 (VSS 端子) を備える。さらに、第 1 の保護 IC 1 0 は、第 1 の監視端子 1 8 から第 1 の電源端子 1 5 への内部電流経路を形成する第 1 の保護素子 3 6 を有する。

10

【 0 0 9 7 】

第 2 の保護 IC 5 0 は、第 2 の端子 2 と第 2 のスイッチ回路 6 0 との間で第 2 の電流経路 4 B に抵抗 5 4 を介して接続される第 2 の監視端子 5 8 (VM2 端子) と、第 2 のセル 7 2 の正極に抵抗 6 7 を介して接続される第 2 の電源端子 5 5 (VDD 端子) とを備える。また、第 2 の保護 IC 5 0 は、充電制御端子 5 1 (COUT 端子)、放電制御端子 5 2 (DOUT 端子) 及びグランド端子 5 3 (VSS 端子) を備える。さらに、第 2 の保護 IC 5 0 は、第 2 の監視端子 5 8 から第 2 の電源端子 5 5 への内部電流経路を形成する第 2 の保護素子 6 6 を有する。

【 0 0 9 8 】

20

オフ状態検出回路 8 2 は、第 2 のスイッチ回路 6 0 のオフ状態が検出された場合、第 2 の監視端子 5 8 の電位を固定することによって、第 2 の保護素子 6 6 に流れる電流を遮断する。また、オフ状態検出回路 8 2 は、充電器が第 1 の端子 1 と第 3 の端子 3 に接続されるまで、第 2 の保護素子 6 6 に流れる電流を遮断した状態を保持する。オフ状態検出回路 8 2 は、スイッチ 8 3 , 8 6 , 8 7 と抵抗 8 5 とを有する。スイッチ 8 3 は、例えば、PMSTRANジスタであり、スイッチ 8 6 , 8 7 は、例えば、NMOSTRANジスタである。

【 0 0 9 9 】

スイッチ 8 3 は、第 3 の電流経路 6 に直列に挿入されている。抵抗 8 5 は、スイッチ 8 3 のゲートとソース間に接続されている。スイッチ 8 6 , 8 7 は、互いに直列に接続されており、それぞれのゲートは、放電制御端子 5 2 に共通に接続されている。スイッチ 8 6 のソースは、スイッチ 8 3 のゲートに接続され、スイッチ 8 7 のソースは、第 2 の端子 2 に接続されている。

30

【 0 1 0 0 】

第 4 の実施形態では、第 2 の保護 IC 5 0 は、第 1 の負荷 9 1 に流れる放電過電流が検出されると、スイッチ 6 4 により、VM2 端子は抵抗 6 5 を介して VDD 端子にプルアップ(接続)される。これにより、第 1 の負荷 9 1 が解放されても、第 2 の保護状態は維持される。正常状態へ復帰させるためには、充電器を接続することにより、VM2 端子の電位を VSS 端子のレベルに引き下げる。その結果、第 2 の保護状態から正常状態へ復帰できる。

【 0 1 0 1 】

40

以上、二次電池保護回路及び電池パックを実施形態により説明したが、本発明は上記実施形態に限定されるものではない。他の実施形態の一部又は全部との組み合わせや置換などの種々の変形及び改良が、本発明の範囲内で可能である。

【 0 1 0 2 】

例えば、図 1 4 , 1 6 の構成において、第 1 のスイッチ回路 3 0 は、第 1 の二次電池 7 1 の正極と第 2 の端子 2 との間の第 2 の電流経路 4 A に直列に挿入されてもよい。また、図 1 4 , 1 6 の構成において、第 2 のスイッチ回路 6 0 は、第 2 の二次電池 7 2 の正極と第 3 の端子 3 との間の第 3 の電流経路 6 に直列に挿入されてもよい。

【 0 1 0 3 】

図 1 8 は、第 1 の実施形態における電池パックの第 1 の変形例を示す図である。二次電

50

池保護回路 1 1 1 は、第 1 の保護 IC 1 0 と第 2 の保護 IC 2 0 とを内蔵（複合集積）する複合集積回路 1 2 1 を備える。複合集積回路 1 2 1 は、第 1 の保護 IC 1 0 と第 2 の保護 IC 2 0 とが一つのパッケージ内にパッケージされたマルチチップである。2 つの部品を一つのパッケージに収めることで、基板実装の容易性が向上し、実装面積が低減する。複合集積回路 1 2 1 は、第 1 の保護 IC 1 0 と第 1 のスイッチ回路 3 0 との対と、第 2 の保護 IC 2 0 と第 2 のスイッチ回路 4 0 との対との少なくとも一方の対を複合集積してもよい。

【 0 1 0 4 】

図 1 9 は、第 1 の実施形態における電池パックの第 2 の変形例を示す図である。二次電池保護回路 1 1 1 は、第 2 の保護 IC 2 0 と第 2 のスイッチ回路 4 0 とスイッチ 8 3 を内蔵（複合集積）する複合集積回路 1 2 2 を備える。複合集積回路 1 2 2 は、第 2 の保護 IC 2 0 と第 2 のスイッチ回路 4 0 とスイッチ 8 3 が一つのパッケージ内にパッケージされたマルチチップである。3 つの部品を一つのパッケージに収めることで、基板実装の容易性が向上し、実装面積が低減する。

10

【 0 1 0 5 】

図 2 0 は、第 2 の実施形態における電池パックの第 1 の変形例を示す図である。二次電池保護回路 1 1 2 は、第 1 の保護 IC 1 0 と第 2 の保護 IC 2 0 とを内蔵（複合集積）する複合集積回路 1 2 3 を備える。複合集積回路 1 2 3 は、第 1 の保護 IC 1 0 と第 2 の保護 IC 2 0 とが一つのパッケージ内にパッケージされたマルチチップである。2 つの部品を一つのパッケージに収めることで、基板実装の容易性が向上し、実装面積が低減する。複合集積回路 1 2 3 は、第 1 の保護 IC 1 0 と第 1 のスイッチ回路 3 0 との対と、第 2 の保護 IC 2 0 と第 2 のスイッチ回路 4 0 との対との少なくとも一方の対を複合集積してもよい。

20

【 0 1 0 6 】

また、各実施形態において、充電制御トランジスタ 3 1 と放電制御トランジスタ 3 2 とのうち少なくとも一方は、第 1 の保護 IC 1 0 と同じチップ上に複合集積されてもよい。同様に、充電制御トランジスタ 4 1 と放電制御トランジスタ 4 2 とのうち少なくとも一方は、第 2 の保護 IC 2 0 と同じチップ上に複合集積されてもよい。同様に、充電制御トランジスタ 6 1 と放電制御トランジスタ 6 2 とのうち少なくとも一方は、第 2 の保護 IC 5 0 と同じチップ上に複合集積されてもよい。

30

【符号の説明】

【 0 1 0 7 】

- 1 第 1 の端子
- 2 第 2 の端子
- 3 第 3 の端子
- 4 第 2 の電流経路
- 5 第 1 の電流経路
- 6 第 3 の電流経路
- 1 0 , 2 0 , 5 0 , 2 1 0 , 2 2 0 保護 IC
- 3 0 , 2 3 0 第 1 のスイッチ回路
- 3 6 第 1 の保護素子
- 4 0 , 6 0 , 2 4 0 第 2 のスイッチ回路
- 4 6 , 6 6 第 2 の保護素子
- 7 1 , 1 7 1 第 1 の二次電池
- 7 2 , 1 7 2 第 2 の二次電池
- 8 0 , 8 0 A , 8 0 B , 8 2 オフ状態検出回路
- 9 1 , 1 9 1 第 1 の負荷
- 9 2 , 1 9 2 第 2 の負荷
- 1 0 0 ~ 1 0 4 電池パック
- 1 1 0 ~ 1 1 4 二次電池保護回路

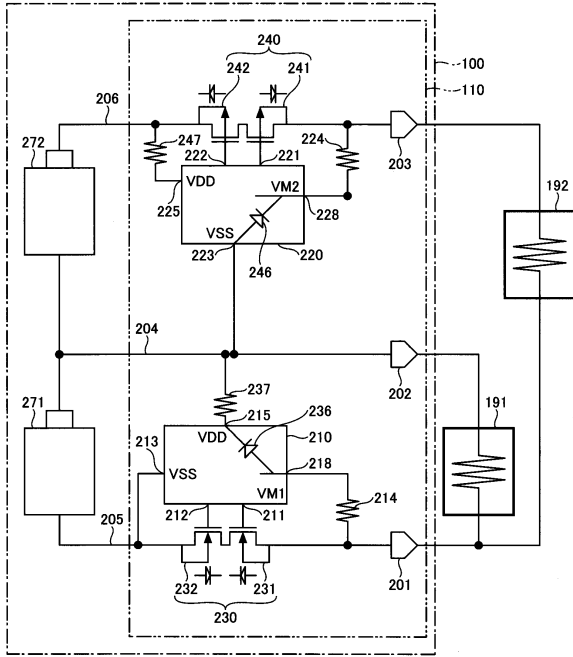
40

50

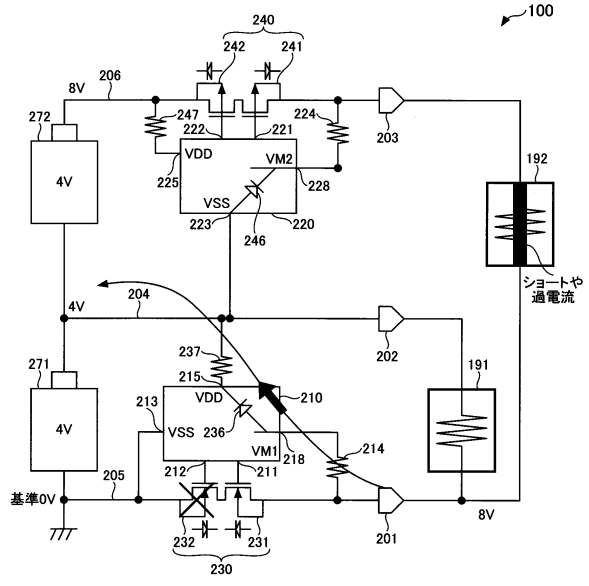
1 2 1 , 1 2 2 , 1 2 3 複合集積回路

【図面】

【図 1】



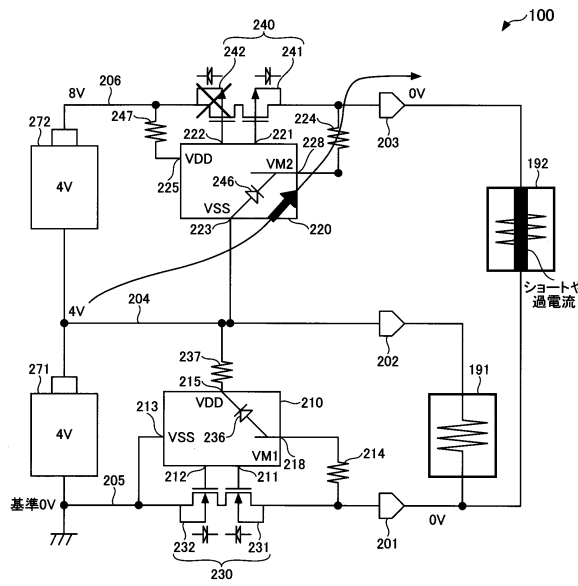
【図 2】



10

20

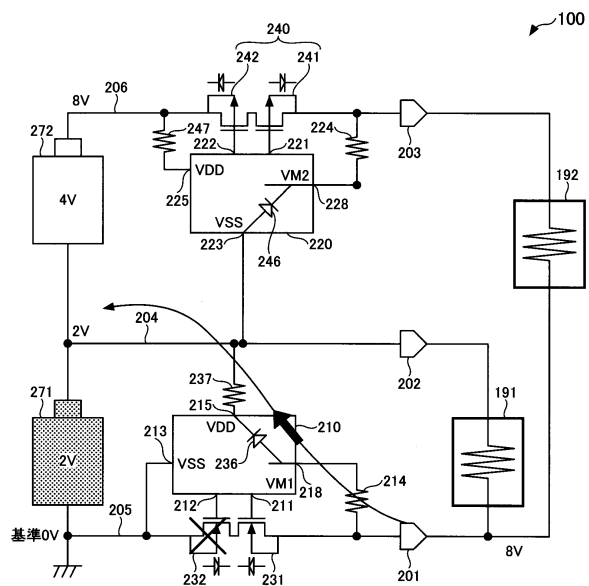
【図 3】



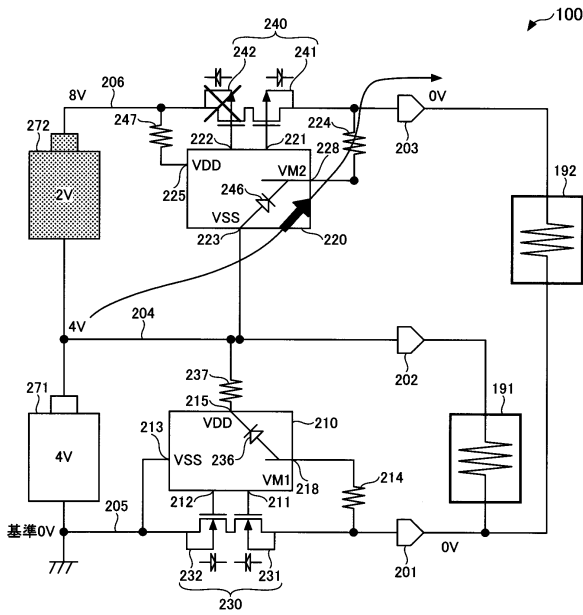
30

40

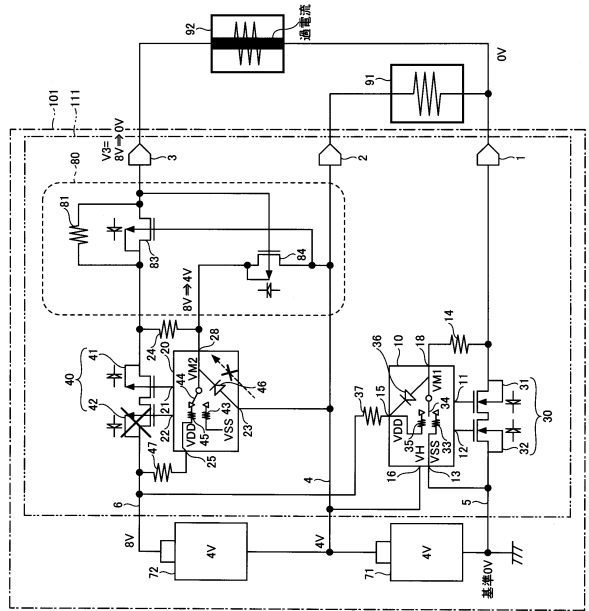
【図 4】



【図5】



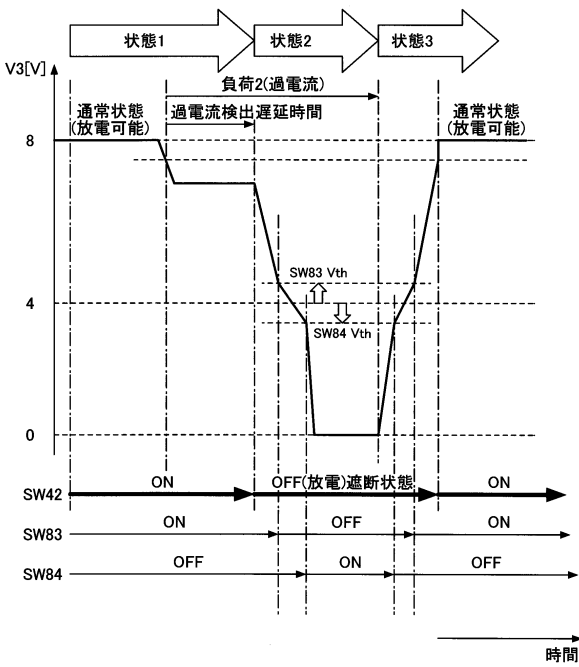
【図6】



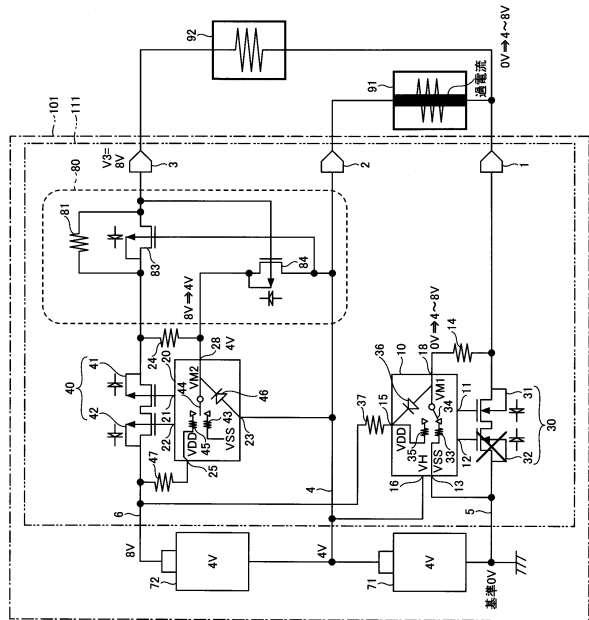
10

20

【図7】



【図8】

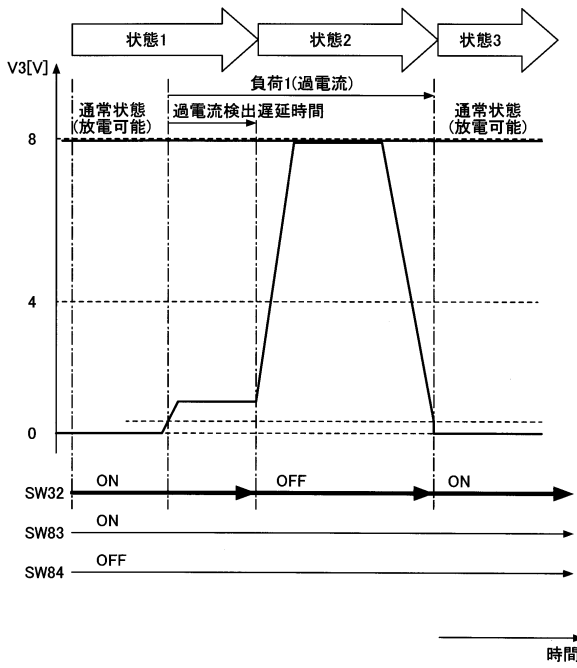


30

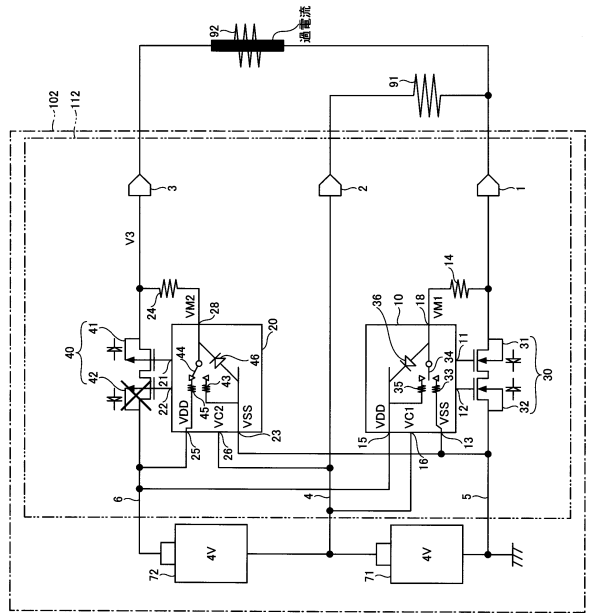
40

50

【 図 9 】



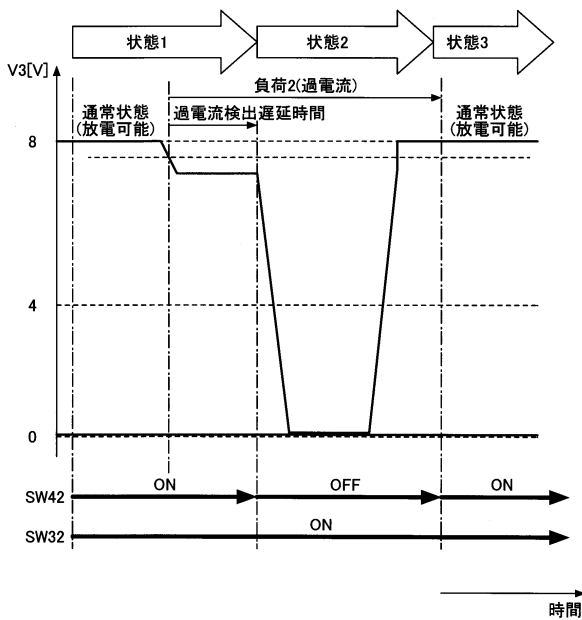
【 図 10 】



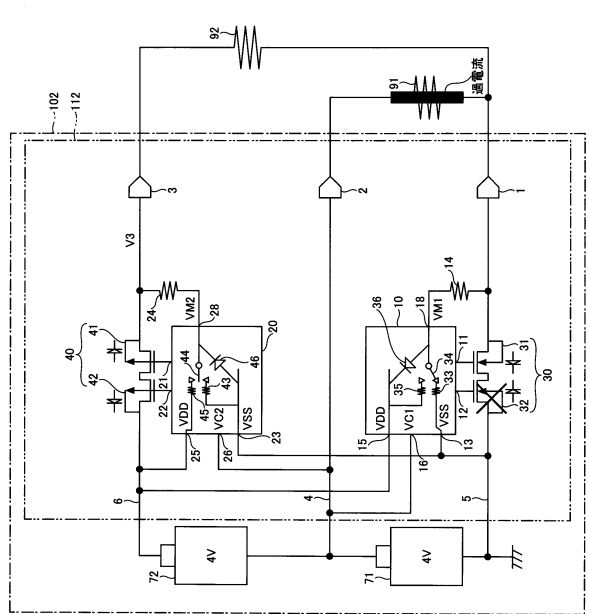
10

20

【 図 11 】



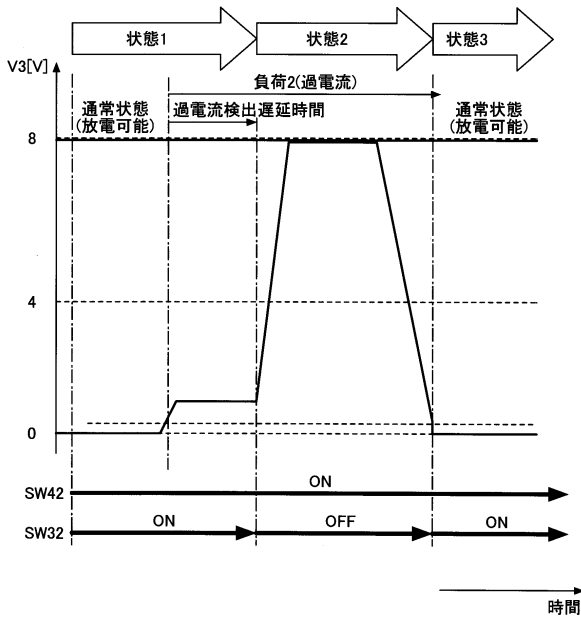
【 図 12 】



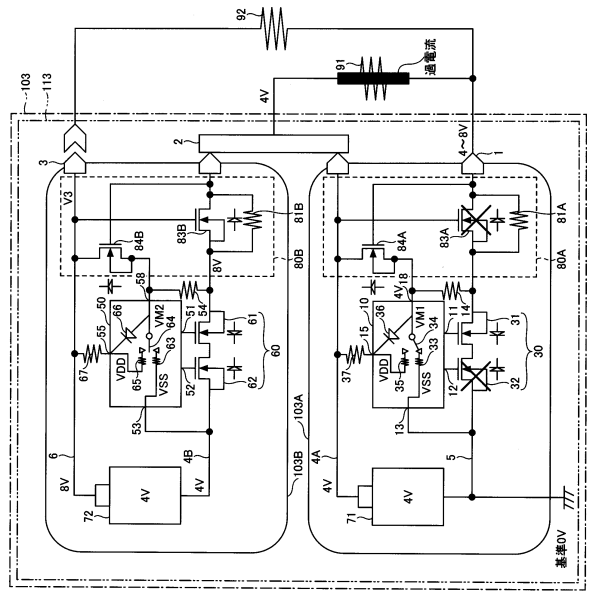
30

40

【図 1 3】



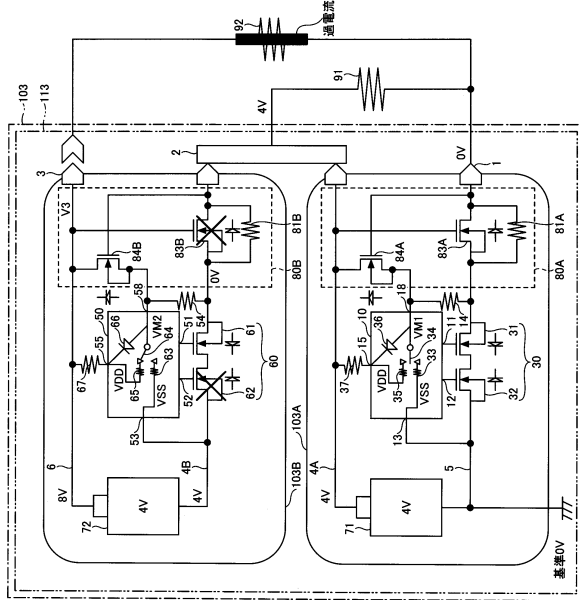
【図 1 4】



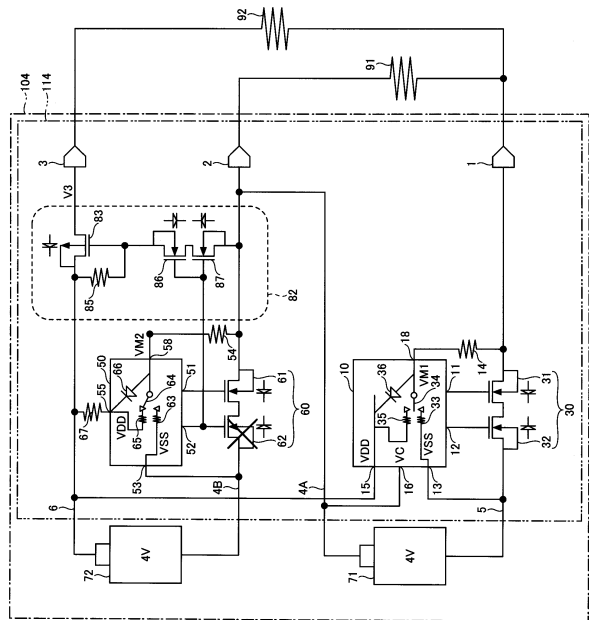
10

20

【図 1 5】



【図 1 6】

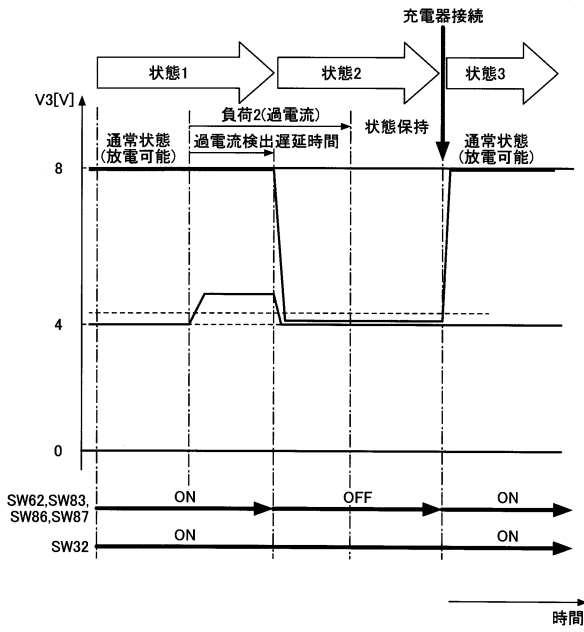


30

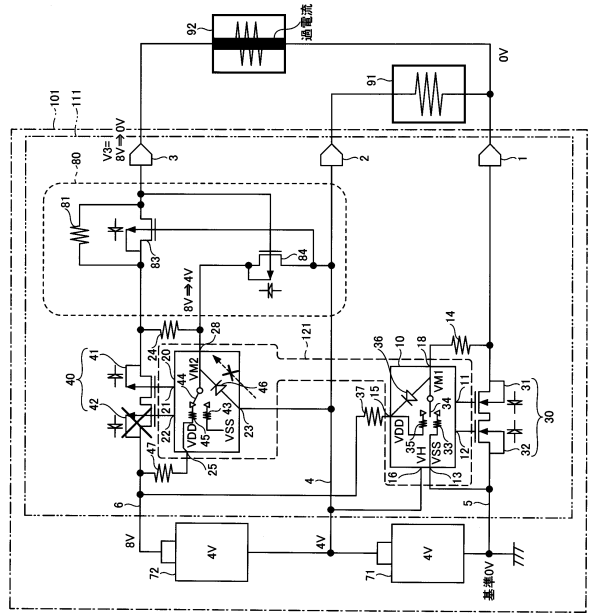
40

50

【図 17】



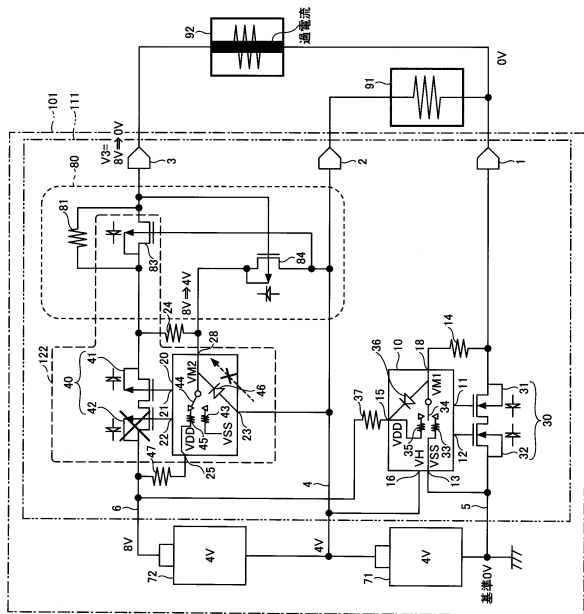
【図 18】



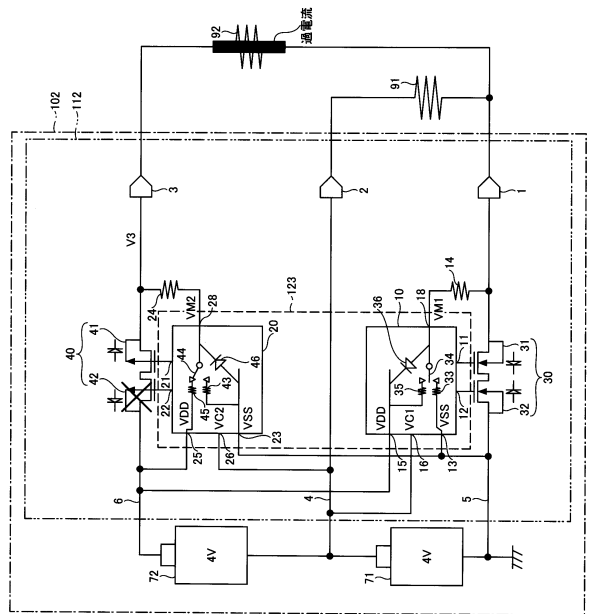
10

20

【図 19】



【図 20】



30

40

50

フロントページの続き

ツミ電機株式会社内

審査官 大濱 伸也

- (56)参考文献 特開2018-114869(JP,A)
国際公開第2018/147542(WO,A1)
特開2014-011917(JP,A)
特開2017-011775(JP,A)
国際公開第2016/121273(WO,A1)
特表2008-529456(JP,A)
特開2012-009339(JP,A)
特開2007-335337(JP,A)
特開2002-345161(JP,A)
特開2001-136735(JP,A)
特開2002-354690(JP,A)
- (58)調査した分野 (Int.Cl., DB名)
H02J 7/00 - 7/12
H02J 7/34 - 7/36
H01M 10/42 - 10/48
H02H 7/00