

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5321840号
(P5321840)

(45) 発行日 平成25年10月23日(2013.10.23)

(24) 登録日 平成25年7月26日(2013.7.26)

(51) Int.Cl.	F I	
HO 1 L 21/336 (2006.01)	HO 1 L 29/78	3 O 1 D
HO 1 L 29/78 (2006.01)	HO 1 L 27/08	1 O 2 B
HO 1 L 21/8234 (2006.01)	HO 1 L 27/08	3 2 1 E
HO 1 L 27/088 (2006.01)	HO 1 L 29/80	C
HO 1 L 21/8238 (2006.01)	HO 1 L 29/91	C

請求項の数 18 (全 66 頁) 最終頁に続く

(21) 出願番号	特願2009-513242 (P2009-513242)	(73) 特許権者	505052191
(86) (22) 出願日	平成19年5月30日 (2007.5.30)		アドバンスト・アナログック・テクノロジー・インコーポレイテッド
(65) 公表番号	特表2009-539259 (P2009-539259A)		ADVANCED ANALOGIC TECHNOLOGIES INCORPORATED
(43) 公表日	平成21年11月12日 (2009.11.12)		アメリカ合衆国、95054 カリフォルニア州、サンタ・クララ、スコット・ブルバード、3230
(86) 国際出願番号	PCT/US2007/012686	(74) 代理人	100064746
(87) 国際公開番号	W02007/142937		弁理士 深見 久郎
(87) 国際公開日	平成19年12月13日 (2007.12.13)	(74) 代理人	100085132
審査請求日	平成22年5月27日 (2010.5.27)		弁理士 森田 俊雄
(31) 優先権主張番号	11/443,745	(74) 代理人	100083703
(32) 優先日	平成18年5月31日 (2006.5.31)		弁理士 仲村 義平
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 高圧バイポーラCMOS-DMOS集積回路装置およびこれを形成するためのモジュール式方法

(57) 【特許請求の範囲】

【請求項1】

第1の導電型の半導体基板における縁部終端領域であって、基板はエピタキシャル層を含まず、縁部終端領域は、

基板に埋込まれた第2の導電型の注入された分離層を含み、分離層は基板の表面より下に上部境界を有し、

基板の表面から下向きに延在し、注入された分離層と統合される第2の導電型のサイドウォールウェルとを含み、分離層およびサイドウォールウェルはともに基板の分離されたポケットを形成する、

分離されたポケットの外部に位置し、サイドウォールウェルから横方向に間隔を置かれた基板の表面に隣接した第1の導電型の基板リングと、

基板の表面に重なる層間誘導体と、

層間誘導体の第1の開口部を通してサイドウォールウェルと電気的な接触をする第1の金属コンタクトとを含み、第1の金属コンタクトは層間誘導体の表面上の基板リングに向かって横方向に延在する第1のフィールドプレート部分を含み、さらに

基板リングと電気的にコンタクトする第2の金属コンタクトを含み、第2の金属コンタクトは層間誘導体の表面でサイドウォールウェルに向かって横方向に延在する第2のフィールドプレート部分をさらに含む、縁部終端領域。

【請求項2】

基板の表面およびサイドウォールウェルに隣接し、基板リングの方向に向かって延在す

る第2の導電型の領域をさらに含む、請求項1に記載の終端領域。

【請求項3】

層間誘導体の下の基板の表面にフィールド酸化膜層をさらに含み、フィールド酸化膜層はサイドウォールウェルと基板リングと間の領域の分離されたポケットの外部に位置する、請求項1に記載の終端領域。

【請求項4】

サイドウォールウェルは、異なるエネルギーで注入された垂直の一連のドーパント領域を含み、N-ウェルサイドウォールの垂直のドーピングプロファイルはレトログレードしている、請求項3に記載の終端領域。

【請求項5】

サイドウォールウェルはフィールド酸化膜層の部分の下で横方向に延在する、請求項4に記載の終端領域。

【請求項6】

フィールド酸化膜層と層間誘導体との間に第3の導電フィールドプレートをさらに含む、請求項5に記載の終端領域。

【請求項7】

フィールド酸化膜層と層間誘導体との間に第4の導電フィールドプレートをさらに含み、第3のフィールドプレートは第1の金属コンタクトの第1のフィールドプレート部分の下部にあり、第4のフィールドプレートは第2の金属コンタクトの第2のフィールドプレート部分の下部にある、請求項6に記載の終端領域。

【請求項8】

第3のフィールドプレートおよび第4のフィールドプレートはポリシリコンを含む、請求項7に記載の終端領域。

【請求項9】

サイドウォールウェルの上方の基板の表面上でフィールド酸化膜層に隣接する第2の酸化膜層と、

第2の酸化膜層上からフィールド酸化膜層の終端上にまで達する第3の導電フィールドプレートとをさらに含む、請求項3に記載の終端領域。

【請求項10】

層間誘導体の下の基板の表面にフィールド酸化膜層をさらに含み、フィールド酸化膜層は、基板リングに隣接し、フィールド酸化膜層がサイドウォールウェルから離間するような距離だけサイドウォールウェルに向けて延在する、請求項1に記載の終端領域。

【請求項11】

基板の表面およびサイドウォールウェルに隣接し、基板リングに向かう方向に延びる第2導電型の領域をさらに含み、領域はフィールド酸化膜層とコンフォーマルであり、フィールド酸化膜層の下にある浅い部分と、フィールド酸化膜層の下でないところにある深い部分とを含む、請求項10に記載の終端領域。

【請求項12】

基板の表面に隣接し、フィールド酸化膜層からサイドウォールウェルにまで延びる第2導電型の領域をさらに含む、請求項10に記載の終端領域。

【請求項13】

分離層は、サイドウォールウェルから基板リングの方向に横方向に延在する、請求項1に記載の終端領域。

【請求項14】

層間誘導体の下の基板の表面にフィールド酸化膜層をさらに含み、フィールド酸化膜層は、基板リングに隣接し、フィールド酸化膜層がサイドウォールウェルから離間するような距離だけサイドウォールウェルに向けて延在する、請求項13に記載の終端領域。

【請求項15】

分離層の終端はフィールド酸化膜層の終端の下層にある、請求項14に記載の終端領域

10

20

30

40

50

。

【請求項 16】

分離層はフィールド酸化膜層の下に延在し、フィールド酸化膜とコンフォーマルであり、フィールド酸化膜層の下にある浅い部分と、フィールド酸化膜層の下でないところにある深い部分とを含む、請求項 14 に記載の終端領域。

【請求項 17】

基板の表面に隣接し、フィールド酸化膜層からサイドウォールウェルにまで延びる第 2 導電型の領域をさらに含む、請求項 14 に記載の終端領域。

【請求項 18】

基板リングおよび基板の表面に隣接し、サイドウォールウェルの方向に延在する第 1 導電型のドリフト領域をさらに含む、請求項 13 に記載の終端領域。

10

【発明の詳細な説明】

【技術分野】

【0001】

関連出願の相互参照

この出願は、2002年9月29日に提出された出願番号第10/262,567号、現在の米国特許第6,855,985号に関連し、引用によってその全体が本願明細書に援用される。

【背景技術】

【0002】

発明の技術分野

この発明は半導体チップ製造に関し、特に、高圧および低圧バイポーラ、COMS、DMOSトランジスタならびに受動素子を、半導体チップにおいて、高温製造処理ステップの必要なしにモノリシックに製造し、統合し、電気的に分離するための方法に関する。

【0003】

発明の背景技術

半導体集積回路(IC)チップの製造では、チップの表面上に形成される装置を、特にこれらの構成要素が異なる電圧で作動する場合、電気的に分離することがしばしば必要である。このような完全な電気分離は、バイポーラ接合トランジスタおよびさまざまなパワーDMOSトランジスタを含む金属酸化物半導体(MOS)トランジスタを含む一定の型のトランジスタを統合するのに必要である。完全な分離は、CMOS制御回路が動作中に基板電位よりも十分高い電位にフロートすることを可能にするためにも必要である。

20

30

【0004】

完全な分離は、アナログ集積回路、パワー集積回路および混合信号集積回路の製造において特に重要である。多くの回路および応用例では、高圧装置の製造はその分離の電気特性を劣化させてはならず、その分離の製造ステップは高圧装置の特性を悪い方向に変えてはならないことに留意しつつ、分離された高圧装置と分離されていない高圧装置との両方を他の分離された構成要素と同じチップ上で統合することが必要とされるか、または望まれる。そのさまざまなやり方がある。

【0005】

P-型基板材料に製造された従来のCMOSは、NMOSトランジスタのボディ(バックゲート)を形成するすべてのP-型ウェルが、基板電位、典型的には最も負のオンチップ電位に短絡されるので、その装置の完全な分離を促進しない。エピタキシャル接合分離すなわちepi-JIは、実現に高温プロセスを必要とする、深いP-型シリコン基板の上に成長し、P-型分離拡散によって電気的に分離されたタブに分けられたN型エピタキシャル層を利用する。高温処理は、基板およびエピタキシャル層におけるドーパント原子の再分布を引起し、1つの共通のプロセスを用いて製造される相違する装置の製造において望まれないトレードオフおよび妥協を引起す。さらに、epi-JIプロセスで利用される高温拡散およびエピタキシは、サブミクロンのCMOS製造工場において一般的である大きなウェーハ径および高度な低温処理機器とは概して相容れない。

40

50

【 0 0 0 6 】

分離されたソース - ボディ短絡の利益

高圧または高電力装置では、ソース - ボディ短絡を統合した MOS トランジスタには、ソース - ボディ短絡のないものに比べて顕著な性能および残存性の利点がある。従来の論理および小信号装置と比較して、統合型ソース - ボディ短絡を備えた電源装置または高圧装置は、物理的に遠隔の個別のソースコンタクトおよびボディコンタクトを備えた装置よりも顕著な利点を有する。

【 0 0 0 7 】

多くの電源装置においてソース - ボディ短絡が必要となるのは、それらの応用例および電源回路の要求の結果である。所与の応用例における電源装置の電氣的な要件に素早くアクセスする 1 つのやり方は、負荷およびその動力源との位相関係を考慮することである。この関係は本願明細書において「スイッチ - 負荷位相」と呼ばれる。

10

【 0 0 0 8 】

図 1 A および図 1 B では、接地または負電位に接続されたパワー MOS F E T は、陽電位または供給 V_{cc} に接続された負荷と直列に接続される。MOS F E T 「スイッチ」が接地に接続されるので、たとえ電流源として用いられていても、本願明細書ではこれを位相上ローサイドスイッチまたは L S S と呼ぶ。図 1 A では、従来の分離されていない CMOS プロセスを用いて、回路 1 は、負荷 3、NMOS 2 を含む L S S、および電流検出抵抗器 4 を含む。このようなプロセスでは、MOS F E T 2 のボディコンタクトは必然的に基板に短絡、すなわち接地される。

20

【 0 0 0 9 】

検出抵抗器にわたる電圧を測定するために、電流感知は、NMOS 2 のソースがボディおよび基板に短絡されないこと、すなわち、 V_B 、 V_S を必要とする。ソースとボディとの間の電圧差はいくつかの問題を引起こす。特に、検出抵抗器 4 にわたって発生したいかなる電圧もソース - ボディ電位を増大させ、それが次には（「ボディ効果」として公知の現象によって）MOS F E T のしきい電圧を増大させる。高いしきい値は、次には飽和電流を低下させつつオン抵抗を増大させ、スイッチ性能に悪影響を及ぼす。ソースとボディとを切離すことの別の望ましくない効果は、ドレイン - ボディダイオード 5 におけるアバランシェ電流または変位電流が検出抵抗器を通過せず、したがって検出されないことである。最後に、低抵抗のボディコンタクトなしではスナップバック破壊が容易に生じる場合がある。

30

【 0 0 1 0 】

図 1 B の回路 1 0 における NMOS 1 2 などの統合型ソース - ボディ短絡を備えた L S S 装置を用いて、ドレイン - ボディダイオード 1 5 は MOS F E T のドレイン端子およびソース端子とアンチパラレルであり（すなわち逆バイアスだが並列、その結果、負荷 1 3 を通って流れるいかなる電流も、この電流が NMOS 1 2 のチャネルまたは逆バイアスダイオード 1 5 を通って流れるか否かにかかわらず、検出抵抗器 1 4 で検出される。なぜならば、ソース電位にかかわらず $V_{SB} = 0$ であり、ボディ効果は明白ではなく、トランジスタの導電特性は電流によっては実質的に変化しないからである。

【 0 0 1 1 】

ソース - ボディ短絡はまた、特にソース - ボディ短絡が単一の場所で一緒に短絡されるのではなく大面積装置にわたって均一に分散することができれば、スナップバック効果（下記に説明）の危険性を減らすことにより、アバランシェ耐性を向上させる。ソース - ボディ短絡の大面積 NMOS への統合は、離散的な電源装置においては一般的であるが、P - 型ボディが P - 型基板から統合された形で分離されることを必要とし、これは従来の CMOS が提供できないものである。このような分離を提供するプロセスは製造が複雑であり、しばしば高温製造ステップを必要とする。

40

【 0 0 1 2 】

図 1 C および図 1 D において、陽電位または供給 V_{cc} に接続されたパワー MOS F E T は、接地または負電位に接続された負荷と直列に接続される。MOS F E T 「スイッチ」

50

が正電源に接続されるので、たとえ電流源として用いられていても、本願明細書ではこれを位相上ハイサイドスイッチまたはHSSと呼ぶ。

【0013】

従来の分離されていないCMOSプロセスを用いて、図1Cの回路20は、負荷23、およびNMOS22を含むHSSを含む。このようなプロセスでは、MOSFET22のボディコンタクトは必然的に基板に短絡され、すなわち接地される。NMOSがオンであって V_S が V_{c} に近い電位まで増大すると、 $-V_{SB}$ の大きな逆バイアス電位がダイオード25にわたって発生する。結果として生じるボディ効果は、NMOS22のしきい値を実質的に増大させ、NMOS22の薄いゲート酸化膜を損傷することなく低いオン抵抗を達成するために適切なゲートドライブを与えることを困難にする。

10

【0014】

図1Dの回路30におけるNMOS32などの統合型ソース-ボディ短絡を備えた装置を用いると、負荷33における電流は、ボディ効果によるしきい値変動を中和する必要なしに容易に制御することができる。このような位相では、ドレイン-ボディダイオード35は、MOSFETのドレイン端子およびソース端子とアンチパラレルなままで(すなわち逆バイアスだが並列)、すべての正常運転条件下で逆バイアスのままである。ソース電位にかかわらず $V_{SB} = 0$ なので、ボディ効果は明白ではなく、トランジスタの導電特性は電流によっては実質的に変化しない。ソース-ボディ短絡はまた、特にソース-ボディ短絡が単一の場所で一緒に短絡されるのではなく大面積装置にわたって均一に分散することができれば、スナップバック効果(下記に説明)の危険性を減らすことにより、アバランシェ耐性を向上させる。ソース-ボディ短絡の大面積NMOSへの統合は、離散的な電源装置においては一般的であるが、P-型ボディがP-型基板から統合された形で分離されることを必要とし、これは従来のCMOSが提供できないものである。このような分離を提供するプロセスは製造が複雑であり、しばしば高温製造ステップを必要とする。

20

【0015】

図1E、図1Fおよび図1Gにおいて、パワーMOSFETは、ソースまたはドレインのいずれもが正または負の電源レールに恒久的に接続されていない双方向スイッチとして使用される。MOSFET「スイッチ」がいかなる供給にも接続されず、その代り、いずれの方向でも電流を遮断するかまたは電流を伝導することができるので、本願明細書ではこれを位相上ACスイッチ、または「パストラジスタ」と呼ぶ。

30

【0016】

従来のCMOS製造を用いると、図1Eのパストラジスタ40は、接地されたボディ接続を備えたNMOS41ならびに逆バイアスされたソース-ボディダイオード42およびドレイン-ボディダイオード43を含む。「ソース」および「ドレイン」という用語は、パストラジスタまたはACスイッチの応用例において多少とも任意である。なぜならば、 V_S でバイアスされた端子か V_D でバイアスされた端子かのいずれが所定の例においてより正であるかを決定することは、多くの場合不可能だからである。ダイオード42および43にわたる電圧が大きいので、ボディ効果がNMOS41のしきい値、オン抵抗および飽和電流に著しい変化を引起しかねず、性能の低いACスイッチにしてしまう。

【0017】

40

ソース-ボディ短絡を備えた少なくとも2つのNMOS装置を必要とするACスイッチを実現するための代替的手法が図1Fの回路45に示され、そこでは、ドレイン-ボディダイオード48および49が背中合わせに接続されるように、NMOSTランジスタ46および47が共通ソース V_S と直列に接続されている。そのオフ状態では、ゲート端子はソース端子 V_S にバイアスされ、それによってチャネル導電を防ぐ。直列に接続されたスイッチにわたって与えられた極性にかかわらず2つのダイオードのうち1つが逆バイアスのままなので、アンチパラレルボディダイオードを通る導電もまた妨げられる。

【0018】

そのオン状態では、共通ゲートがソース端子上でバイアスされている場合は常に、両方のトランジスタがオンになっているので、ACスイッチ45はいずれの方向にも電流を伝

50

導することができる。結果として生じるACスイッチは、双方向に遮断でき、双方向に導電できる。電圧 V_S が V_{D1} と V_{D2} との間の電位でフロートするという事実にもかかわらず、 $V_{SB} = 0$ なのでボディ効果は明白ではなく、すなわち各トランジスタは統合型ソース-ボディ短絡を有する。このような装置は、十分な分離を有するかまたはDMOS装置を統合することができるいかなるプロセスにも容易に統合され得る。このような装置は、分離なしでは、他の構成要素または回路にモノリシックに統合され得ない。装置は共通ソースではなく共通ドレインと接続され得るが、依然として分離されたソース-ボディを必要とすることに注意されるべきである。

【0019】

ACスイッチ45の不利益は、2つの直列に接続されたトランジスタが付加的な抵抗を示すので、その特定のオン抵抗が高いこと、すなわち $R_{DS(A)}$ が大きいことである。スイッチがどのようにでも並列に接続されていたならば、同じ領域スイッチでもスイッチ45の背中合わせの手法における抵抗の4分の1を示したであろう。

【0020】

このような1つのスイッチが図1Gの回路50に示され、対称なNMOS装置51およびボディ-バイアス発生(BBG)回路52を組合せる。BBG回路52の目的は、NMOS51のボディを装置にわたって与えられる最大の負電位へとバイアスすること、ドレイン-ボディダイオード55またはソース-ボディダイオード56のいずれかを、 V_S 端子または V_D 端子のいずれがより正であるかに依存して、逆バイアスすることである。このようにすることで、ダイオード導電はまず生じず、トランジスタのゲートがボディ電位にバイアスされると、装置がオフとなって双方向に遮断する。反対に、装置が対称であるので、ゲートが「オン」にバイアスされる場合、装置は双方向に導電するであろう。名称「ドレイン」および「ソース」は任意であり、単に回路素子を特定するために用いられることに注意されたい。

【0021】

例として示されたBBG回路は、相互結合型NMOSTランジスタ53および54を利用してNMOS51上のボディ電位 V_B を決定しバイアスするが、そうしながら、それら自体が基板から分離されたソース-ボディ短絡を含んでいなければならない。したがってスイッチ50は、ACスイッチ45の好ましい実現例が行なうようにはDMOSTランジスタを利用しない一方、他の回路とともにICに統合されるために依然として分離を必要とする。

【0022】

スナップバック破壊効果の抑制

従来のCMOSの別の制限は、NMOS装置に分離されたソース-ボディ短絡を統合する必要性に加えて、特にNMOSTランジスタにおいてMOSFET動作での望ましくないスナップバック破壊効果を防止できないことである。

【0023】

スナップバック破壊とは、ある範囲の動作条件について電流の増大がトランジスタの電圧保持性能の「低下」に対応するような、装置の負性抵抗に至る現象を指す。負性抵抗は、特にパワー電子回路において問題であり、過電流、発振および不安定性、電気雑音、局部加熱、熱暴走および装置破壊さえも引起す。

【0024】

パワーエレクトロニクスでは、装置に課される最大電圧または電流を意図的に劣化させるか制限するにあたって、通常ではない設計およびプロセス方法を伴う特別な装置構造を用いることを含む、また他の回路および適用方法による、どうにかして負性抵抗を防ぐとする方法が要求される。装置が過熱している場合でなければ、負の電気抵抗は概して、寄生パイポーラ導電、衝撃イオン化に起因する導電率変調、または双方の何らかの組合せのいずれかの結果である。

【0025】

たとえば図2Aでは、P型基板61、P+基板コンタクト62、N+ドレイン64、N

10

20

30

40

50

- ドリフト領域 65、MOS 絶縁ゲート 69、および N+ソース 63 を含む、低濃度ドーピングしたドレイン NMOS 60 が、そのオン状態で、そのドレインにいくらかの正の電圧 V_{cc} が与えられて、バイアスされている。概略的に装置に重ねられているのは、アバランシェ、衝撃イオン化、または接合リークのうちいずれかから発生するドレイン - 基板ダイオード電流を表わすドレインダイオード 59 である。P 型基板 61 に流れる多数キャリア基板電流または「ホール」は、直列接続される R_{DB} 基板抵抗 67 および R_{SB} 基板抵抗 68 によって概略的に表わされる、抵抗電圧降下を示す。基板抵抗に起因して、ソース 63 の下に位置するバルク基板における結果として生じる電圧 V_B は、P+コンタクト 62 に接続された接地端子より高圧に上昇する。この電圧が 1 ボルトの数十分の 1 に近づく場合、N+領域 63 は、装置における二次元の電界によって、この場合 N+ドレイン 64 である最も正の電位に当然に引寄せられる電子、すなわち少数キャリアを基板 61 に注入し始めることができる。この電子導電機構は、N+コレクタ 64、P 型基板ベース 61 および N+エミッタ 63 を含む、寄生 NPN バイポーラトランジスタ 66 によって表わされる。バイポーラトランジスタの電圧維持性能が簡単な P-N 接合ダイオードよりも（電流利得のために）低いので、NPN 66 の維持電圧は NMOS 自体よりも低く、電圧はより低い値 V_{CER} へとスナップバックする。この表記はバイポーラのコレクタ - エミッタ電圧を記述し、抵抗性で短絡されていないベースコンタクトを有する。

【0026】

図 2 B の断面図に示されたスナップバックに至る別の機構が、MOSFET のドレインにおける衝撃イオン化である。この場合、NMOS は、高圧 V_{cc} にバイアスされ、それによって、N+ドレイン 64 および P 型基板 61 を含むドレイン - 基板接合を逆バイアスする。電圧は、電圧 0 V (基板)、 V_1 、 V_2 、 V_3 、 V_4 および V_5 における等電位曲線 71 によって示された空乏領域にわたって降下し、曲線ごとに電圧電位の大きさが増大している。このようなバイアス条件下の N - ドリフト領域は空乏化し、等電位線が N - ドリフト領域と基板との間の接合境界を横断することを可能にする。

【0027】

理想的には、これらの等電位線はドリフト領域に沿って直線的に間隔を置かれ、与えられた電圧の半分がゲート 69 と N+ドレイン 64 との間のドリフト領域の中央にあるべきである。しかしながら、表面電荷および他の避けられない表面効果のために、等電位線は均一には広がらず、その代り、ゲート縁部の近くで「束になり (bunch up)」結果としてドリフト領域の終わりにおいて局所的な高電界を生じる。さらに悪いことに、高電界は物理的に大電流密度領域の近くに位置する。装置が電流を伝導しながら高ドレイン電位を有する飽和では、矢印 72 によって表示される主電流路はゲートの下を流れ、次いで、空乏化したドリフト領域 65 の縁部に接近するにつれて表面から離れて流れる。大電流密度および高電界の生成物は、結晶の原子構造と高速電子との衝突に起因して、衝撃イオン化すなわち局所的なキャリア生成を結果として生じる。この衝突によって価電子は原子を接合することから外され、価電子はさらに自由な導電電子に変換されて、次に局所的に高い電界によっても加速される。

【0028】

結果として生じる衝撃イオン化は、本願明細書では、発生の増大を表わす同心の輪郭 73 によって表わされる。衝撃イオン化が電子 - ホールの対を生成するので、2 つの望ましくない効果を結果として生じる。第 1 に、電子が結晶に相対して高エネルギーに加速され、すなわちエネルギー的に「熱く」なり、ゲート酸化膜に向かって流されて誘電体を破損し兼ねない。第 2 の現象は、生成されたホール電流が基板抵抗 R_{SB} にわたってさらなる電圧降下の一因となって NPN スナップバック効果を悪化させることである。

【0029】

さらに高速の衝撃イオン化および大電流では、別の現象が生じる。このような場合、生成されたキャリアは、局所的な空間電荷中立 (space charge neutrality) を変更するのに十分な追加の電荷の導入によりドリフト領域の局所的な導電率を変更し始める。追加の電子は追加のホールを引寄せ、それはドリフトドーピングの増大のように作用する。より

10

20

30

40

50

高濃度の有効なドーピングはN層に広がる空乏を減少させ、等電位がさらに束になるよう強制し、ドリフト領域の縁部で局所的な電界を実質的に増大させ、さらに衝撃イオン化を増大させる。その結果、より多くの衝撃イオン化が高い局所電場を引起し、さらにより大きな電流の一因となるので、負性抵抗の別の原因となる。さらに、2つの負性抵抗効果が同時に生じる場合があり、複雑で予測不能な態様で相互作用する。この機構にかかわらず、NMOSが所与の電流で維持することができるドレイン電圧が結果として低下する。

【0030】

電氣的に、スナップバックの現象は、図2Cのドレイン電流 I_D 対ドレイン電圧 V_D のグラフ75に示される。曲線76によって示される理想的な装置破壊 BV_{DSS} は、曲線77によって示されるスナップバック電圧 BV_{CER} よりも電圧において2倍以上も実質的に大きいことがある。ドレインが電圧 BV_{DSS} を維持しつつ大電流でアバランシェに駆動されると、突然 BV_{CER} に落下して電流の増大を引起し、装置を破壊し得る。NMOSが電流源として作動し、またはオンからオフへ切替えている場合、スナップバックの開始は、衝撃イオン化により増大した基板リークによって悪化し得る。曲線78、69、80および81は、装置が BV_{CER} より上のいかなる電圧で作動するにも有用ではないことを示す。

【0031】

スナップバックの開始の1つの理由は、特に基板が低濃度ドーピングされる場合、N+ソース63とボディコンタクト62と間の、およびその下の R_{SB} 基板抵抗68が大きすぎることである。他の効果は、低濃度ドーピングした基板には十分なベース電荷がないので、寄生NPN利得が大きすぎることである。NPNトランジスタの悪影響を減じる明らかな1つの方法は、基板ドーピングを増大させることであるが、不運にもそうすることによってドレインで電界を増大させることにもなり、さらにより多くの衝撃イオン化および基板電流を生じる。

【0032】

スナップバック効果は、MOSFETに関連付けられた寄生バイポーラを示すことによりしばしば概略的に表わされる。たとえば、図2Dの回路85は、寄生NPN87を備えたNMOS86、および抵抗器88を短絡するベースへの非線形のエミッタを示す。同様に、PMOSは寄生PNPを含むが、PNP利得がNPN利得よりもはるかに低いので、かつホットホールに引起された衝撃イオン化率が電子イオン化率よりもはるかに低いので、スナップバック現象はPMOSにおいてはNMOSにおいてほどは問題にならない。

【0033】

従来のDMOS製造

付加的なチャンネルドーピングを通してスナップバックを抑え、ドレイン電界を増大させずに基板抵抗を下げる1つの方法は、DMOS電界効果トランジスタを形成することによる。文字「D」が二重（元来は二重拡散）を表わす名称のDMOSは、ゲートの下チャンネルまたはボディのドーピングは均一ではないが、ドレイン領域の近くの電界を悪い方向に増大させることを回避するためにゲートのソース側の近くで濃縮されているか局所化されているところに構築される。このように、チャンネル濃度は衝撃イオン化またはドレイン電圧破壊電圧に影響を与えずに調整することができる。

【0034】

DMOS電界効果トランジスタは分離されたバージョンでも分離されないバージョンでもよい。従来の技術では、分離されたものは、一般にP型基板の上に成長されるN型エピタキシャルのエピタキシャル堆積の使用を必要とする。

【0035】

図3Aに示されるように、N型エピタキシャル層92はP型基板91の上に成長して、分離されたDMOS装置90を形成し、ゲートポリシリコン98、ゲート酸化膜99、N+ドレインコンタクト94、N+ソース96、P+ボディコンタクト97およびP型「ボディ」またはDMOSTランジスタに特有のPB領域93をさらに含む。N-ドリフト領域95は任意であり、低いオン抵抗を達成するのにエピタキシャルドーピングが十分な場

10

20

30

40

50

合には必要ではないかもしれない。破壊と抵抗との間のトレードオフを最適化するために追加のN - ドリフトドーピングが付加されてもよいが、ゲートがドリフト領域を並置する場合は衝撃イオン化効果によって制限されたままである。

【0036】

代替的形狀ではN型エピタキシャル層はP型エピタキシャル層または基板と置換することができるが、するとN - ドリフト領域95が装置動作のために必須となる。しかしながら、N型エピタキシャル層なしではDMOSは分離されず、そのP型ボディは電氣的に接地すなわち基板に短絡される。

【0037】

従来のDMOS製造が図3Bの断面100および図3Cの断面105に示される。示されるように、エピタキシャル層92はパターンングされたフォトレジスト101によって覆われ、低エネルギーでホウ素注入されて浅い層102を形成する。この注入は、典型的には50から100keVの低エネルギーで、たとえばウェーハの表面に3度だけ軸外してほぼ直交してゲート98の下に限定的に横方向に浸透するよう実行される。

【0038】

次いでこの注入層が駆動され、すなわち長時間高温で拡散されて、図3Cに示されるように、接合93を形成するようゲート98の下でドーパントを横方向に拡張する。7~24時間のいずれかの時間行なわれる拡散は、1050°Cを超える、典型的には1100°C以上の高温を必要とし、これは多くの近代的な低温製造施設および大きなウェーハ直径とは相容れないプロセスである。図3Cに示され、かつ時間 t_1 、 t_2 、および t_3 における拡散106によって示されるような拡散の進行は横方向にも垂直方向にも生じ、ここでは横方向の拡張は垂直の接合深さのおよそ80%である。示されたバージョンでは、ボディ拡散層は、ゲートが形成された後に注入されたので、ゲートに自己整合する。

【0039】

低温プロセスが必要な場合、DMOS装置を形成する別の自己整合した製造方法が図3Dに示される。この手法では、ボディ注入は典型的には数十万電子ボルトのより高エネルギーで実行されるが、より重要なことには、急な角度、たとえば45°で行なわれて、ボディドーパントが完全にN+ソース96を囲むのに十分な程度にゲート98の下で横方向に浸透することを保証する。横方向の注入方法は、ウェーハ上の4つのゲート配向をすべて覆うために注入を4時間実行しなければならないので、製造用としては複雑で望ましくない。注入中にウェーハを回転させることは均一な注入を困難にする。

【0040】

別のDMOS製造方法は、図3Eから図3Gまでに示されるように自己整合されないDMOS120を形成することである。図3Eでは、浅いホウ素注入層129が、パターンングされたフォトレジスト128によってマスクされたエピタキシャル層122に形成される。次いで注入層は、長期間の間、図3Fに示されるように高温で拡散される。P型領域は、増加する時間 t_1 、 t_2 、 t_3 、および t_4 においてP - N接合を表わす曲線123によって示されるように、垂直にも横方向にも拡散する。最後に、図3Gでは、下層のゲート酸化膜126を備えたゲート電極125が、表面での接合がゲート縁部127Aおよび127B間に位置するように、接合124の縁部の上に位置決めされる。ゲート125および接合124の相対的位置は自己整合されないので、製造中にマスク不整合にさらされる。

【0041】

記載されたすべての場合において、高温拡散のプロセスによって、DMOSボディ領域のドーパント濃度プロファイルがモノリシックに減少するに至り、ウェーハの表面で最も濃度が高い。不運にも、このようなプロファイルは、表面から遠ざかったバルクで表面電界がより高いことを意味し、強固なアバランシェ耐性のある装置の製造用としては理想的ではない。

【0042】

DMOSボディ製造に含まれる高温拡散は、従来のエピタキシャル接合分離を用いた回

10

20

30

40

50

路の十分な電気分離性を達成するために必要とされるステップによってさらに複雑になる。

【 0 0 4 3 】

図 4 A から図 4 I までに示されたような従来の先行技術プロセスでは、p 型基板 1 3 1 はフォトレジスト 1 3 2 によってマスクングされ、ヒ素またはアンチモン 1 3 3 によって注入され、次にフォトレジスト 1 3 4 によって再びマスクングされて、図 4 C に示されるようにホウ素 1 3 5 が注入される。次いで注入層はしばしば 1 2 0 0 にまでなる非常に高温で 2 4 時間もの間拡散され、エピタキシャル成長よりも前に、動きの遅いアンチモンを、基板に対し、かつ表面から離れるように拡散させる。そのような拡散の間に、埋込層のガス放出からの横方向のドーピングから表面を保護するために、酸化膜 1 3 8 が成長する。アンチモン N B L 層 1 3 6 A の上の酸化膜の成長率がホウ素 P B L 層 1 3 7 A の上おけるよりも速いので、この酸化もまたその後のマスク整合のためのウェーハにおけるパターンの規定を助けるために用いられる。

10

【 0 0 4 4 】

埋込層拡散後に、図 4 E に示されるように、酸化膜は剥がされて、エピタキシャル成長の最初にその場で H C I 酸性エッチングが実行され、それによって頂部のシリコン層を除去、接着を向上させ、かつエピタキシャル層の結晶欠陥を減じる。エピタキシャル成長の結果は図 4 F に示され、そこではエピタキシャル層がすでに拡張している N B L 領域 1 3 6 B および P B L 1 3 7 B をカバーし、その両方が高温成長中にエピタキシャル層の中へと上方拡散する。

20

【 0 0 4 5 】

次に、図 4 G および図 4 H に示されるように、高用量リン注入層 1 4 0 がマスク 1 4 1 を通して導入され、次にフォトレジストマスク 1 4 3 を通して高用量ホウ素注入 1 4 2 が続く。長い高温分離拡散の後、P 型分離領域 1 4 5 は、P 型埋込層 P B L 1 3 7 C の部分に接続する。同様に、N 型シンカ拡散 1 4 4 は埋込層 N B L 1 3 6 C に接続する。拡散の深さおよび必要となる時間は、エピタキシャル層 1 3 9 の厚さおよびプロセスでの他の続く高温拡散に依存する。高温拡散はまた、埋込層がさらに横方向に拡張して、前の処理ステップでのサイズすなわち 1 3 7 B および 1 3 6 B よりも大きな 1 3 7 C および 1 3 6 C を形成するために上方拡散する。

【 0 0 4 6 】

いかなる D M O S ボディ拡散も、すべての接合深さおよび埋込層の上の正味のエピタキシャル厚さをも変更し、これらすべてによって製造処理が複雑かつ特定のエピタキシャル厚さに特有のものとなる。e p i 厚さが装置の電圧定格を決定するので、プロセス全体および対応する設計ルールはすべて電圧に特有である。

30

【 0 0 4 7 】

高圧装置に対する低温モジュール製造の適応

以前に記載されたように、高圧装置を製造し、分離し、かつ統合するために用いられる従来のエピタキシャルプロセスおよび高温プロセスならびに生産方法の問題点は、各高温プロセスがすべての高圧装置および低圧装置に影響するドーパント再分布を引起こすことである。さらに高温製造によって、大きな直径のウェーハおよび近代的なサブマイクロウェーハ製造工場、すなわち高密度トランジスタ統合、大規模ダイ、および低製造コストでの高い歩留まりを可能にする製造工場の使用が妨げられる。

40

【 0 0 4 8 】

必要なものは、高温処理およびエピタキシの必要性をなくすような、低圧 C M O S の完全に分離されたフローティングポケット、バイポーラトランジスタ、ダイオードおよび受動回路構成要素と、高圧トランジスタおよび D M O S トランジスタとが統合されるプロセスである。理想的には、このような製造プロセスは、最終ドーパントプロファイルが、いかなるその後のウェーハ処理ステップによってもその本来の注入されたプロファイルから実質的に不変のままであるような、「注入されたままの (as-implanted)」ドーパントプロファイルを使用すべきである。理想的には、このプロセスは、プロセスの装置製造所

50

において利用可能な他の装置を変えることなく、装置が加えられたり省略されたり、統合された流れに対応するプロセスステップが加えられたり取除かれたりするような、モジュール式のアーキテクチャに構築されるべきである。

【発明の概要】

【課題を解決するための手段】

【0049】

発明の要約

この発明に従って、一連のプロセスが用いられ、高圧トランジスタおよびDMOSトランジスタが、低圧CMOSの完全に分離されたフローティングポケット、バイポーラトランジスタ、ダイオードおよび受動回路構成要素と統合される。このプロセスは、高温処理およびエピタキシの必要をなくし、最終ドーパントプロファイルが、いかなるその後のウェーハ処理ステップによってもその本来の注入されたプロファイルから実質的に不変のままであるような、「注入されたままの」ドーパントプロファイルを使用する。それとともに、このプロセスは、IC上の他の装置を生産するために用いられるプロセスを変える必要なく、装置がICに加えられたり省略されたりすることや、対応するプロセスステップが統合された流れに加えられたり取除かれたりすることを可能にする、モジュール式のアーキテクチャを形成する。

【0050】

有利には、このプロセスはエピタキシャル層のない基板上で実行され、エピタキシャル層の形成を含まない。

【0051】

これらの低温プロセスを使用すると、いくつかの独特の高圧装置および電源装置が製造されてモジュール方式でICに統合され得る。ここに含まれるのは、分離されないラテラルDMOS、分離されない拡張されたドレインMOS装置またはドリフトされたMOS装置、ラテラルトレンチDMOS、分離されたラテラルDMOS、JFETおよび空乏モード装置、ならびにP-Nダイオードクランプおよびレクチファイヤおよび基板に対して高圧にフロートする低圧構成要素のための接合終端部である。

【0052】

分離されないDMOSを製造するプロセスは、フィールド酸化膜層を通したコンフォーマルドリフト領域の注入と、フィールド酸化膜層の第1の端部におけるドリフト領域内のそのドレイン領域の注入と、フィールド酸化膜層の第2の端部のゲート形成と、フィールド酸化膜層の第2の端部近くのボディ領域の注入と、ボディ領域内のソース領域の注入とを含む。ドリフト領域およびボディ領域は、非ガウスの垂直ドーパントプロファイルを生成するために、連鎖状の注入層によって形成されてもよい。分離されないDMOSは、ドレイン中心の形状で製造されてもよい。1つの実施例では、フィールド酸化膜層は省略されてもよく、非ガウスの垂直ドーパントプロファイルを生成するために、ドリフト領域およびボディ領域は連鎖状の注入層で製造されてもよい。別の一連の実施例では、ラテラルDMOSは、より強固なアバランシェ耐性のある装置を生成するために、ツェナダイオードクランプを用いて形成されてもよい。装置は拡張されたドレインを伴って形成されてもよく、ゲートはドレインを囲んでも囲まなくてもよい。

【0053】

分離されていない拡張されたドレインまたはドリフトされたMOS装置を製造するプロセスは、ドレインを囲むことができるゲートに対して自己整合された拡張されたドレインを備えたドレイン中心の装置を生成することができる。この装置は非ガウスウェルに形成されてもよい。代替的实施例では、装置は非対称であってゲートはドレインを囲まない。この非対称の構造を用いてCMOSの対が製造されてもよい。

【0054】

ラテラルトレンチDMOS(LTDMOS)を製造するプロセスは、トレンチゲートの形成、トレンチの底部近くのレベルまで延在し得るドリフト層の形成、好ましくは注入エネルギーおよび用量が変動する連鎖注入層を用いることによる注入されたままのボディの形

10

20

30

40

50

成、ならびにソース領域およびドレイン領域の形成を含み得る。この装置は、トレンチゲート中心の形状で製造され得る。LTDMOSは、コンフォーマルドリフト領域に囲まれ得る深いドレイン領域を含んでいてもよい。装置はドレイン中心の形状に製造されてもよい。装置は、半導体材料の表面にフィールド酸化膜セグメントを適切に配置することによって、トレンチおよびドレインの近くにより深い部分を有するコンフォーマルドリフト領域を含んでいてもよい。

【0055】

分離されたラテラルDMOSを製造するプロセスは、典型的には基板と反対の導電性を有する深い層を注入することを含む。フィールド酸化膜層の開口部を通して深い層を注入することによって、深い層は受け皿の形になることができ、分離されたポケットを形成するように、縁部がフィールド酸化膜層の縁部まで上向きに延在する。ボディ領域は、連鎖注入層を用いて分離されたポケット内に注入されてもよい。ドリフト領域もまたポケットに注入されてもよい。代替的には、フィールド酸化膜層は省略されてもよく、その場合には、深い層は実質的に平らである。分離されたポケットは、半導体表面から下向きに延在して深い層と重なる、注入されたウェルを用いて形成されてもよい。ラテラルDMOSはボディ領域に対して対称であり得る。

10

【0056】

接合電界効果トランジスタ(JFET)を製造するプロセスは、基板と反対の導電型を有するドリフト領域の注入、ならびにドリフト領域内のソース、ドレインおよびボディ(ゲート)領域の注入を含んでいてもよい。ソース領域およびドレイン領域はドリフト領域と同じ導電型であり、ボディ(ゲート)は基板と同じ導電型である。ドレイン領域は深い連鎖注入層を含んでもよい。

20

【0057】

空乏モードMOS装置を製造するプロセスは、半導体表面の上にゲートを形成することと、ゲートに自己整合されたドリフト領域を注入することと、ソース領域およびドレイン領域を注入することとを含み得る。そのプロセスはまた、深いドレイン領域を形成するように連鎖注入層を用いることを含んでもよい。代替実施例では、ドリフト領域はゲートの形成に先立って注入され、したがって、ゲートに自己整合されない。さらに別の実施例では、深いコンフォーマルドリフト領域がゲートの形成に先立って注入される。先の実施例の各々は、NPN寄生バイポーラ導電の開始を減じ、かつスナップバック効果を抑えるために、表面下シールドを含むよう修正されてもよい。空乏モード装置はまた、深いドレインとしても機能し得る環状のサイドウォール分離ウェルが深い分離層に重ねられた、完全に分離された形で製造されてもよい。

30

【0058】

ダイオードを製造するプロセスは、アノードまたはカソードを形成するために複数の注入層または連鎖注入層を用いることを含んでもよく、それによって、より深い部分が表面部分よりも高濃度になる領域を形成する。分離されたダイオードは、深い層と、深い層に隣接してアノード領域およびカソード領域を囲む環状ウェルとを注入することにより、形成され得る。

【0059】

この発明のプロセスはまた、分離されたP-型ポケットを基板の上の高圧にフロートさせるための終端縁部を形成するために用いられてもよい。プロセスの変形例は、レベル間誘電体またはフィールド酸化膜層の上における金属またはポリシリコンのフィールドプレートの形成を含む。分離構造のサイドウォールを形成するN-ウェルは、フィールド酸化膜層の下で横方向に延在することができる。別の実施例は、N-ウェルの縁部と重なり、フィールド酸化膜層の上に延在する部分を有するポリシリコンフィールドプレートを含む。別の実施例では、終端は、N-ウェルに接続された、レベル間誘電体またはフィールド酸化膜層の下に延在する深いN-ドリフト領域を含む。いくつかの実施例では、分離構造の床を形成する深いN層は、分離されたポケットを越えて横方向に延在する。

40

【図面の簡単な説明】

50

【 0 0 6 0 】

【図 1 A】高圧および高電力の応用例で用いられる N M O S スイッチ負荷位相の概要図である。接地されたボディを備えたローサイドスイッチ (L S S) を示す図である。

【図 1 B】高圧および高電力の応用例で用いられる N M O S スイッチ負荷位相の概要図である。統合型ソース - ボディ短絡を備えた分離されたかまたは離散的なローサイドスイッチ (L S S) を示す。

【図 1 C】高圧および高電力の応用例で用いられる N M O S スイッチ負荷位相の概要図である。接地されたボディを備えたハイサイドスイッチ (H S S) を示す。

【図 1 D】高圧および高電力の応用例で用いられる N M O S スイッチ負荷位相の概要図である。統合型ソース - ボディ短絡を備えた分離されたかまたは離散的なハイサイドスイッチ (H S S) を示す。

10

【図 1 E】高圧および高電力の応用例で用いられる N M O S スイッチ負荷位相の概要図である。接地されたボディを備えたパストランジスタを示す。

【図 1 F】高圧および高電力の応用例で用いられる N M O S スイッチ負荷位相の概要図である。統合型ソース - ボディ短絡を備えた分離されたか離散的な A C スイッチを示す。

【図 1 G】高圧および高電力の応用例で用いられる N M O S スイッチ負荷位相の概要図である。ボディバイアスジェネレータを備えた分離された A C スイッチを示す。

【図 2 A】ラテラル M O S 装置におけるスナップバックの局面を示す図である。寄生 N P N の概略的なオーバーレイを備えた装置の断面図である。

【図 2 B】ラテラル M O S 装置におけるスナップバックの局面を示す図である。図 2 A に示される装置における衝撃イオン化の現象を示す。

20

【図 2 C】ラテラル M O S 装置におけるスナップバックの局面を示す図である。装置の電気的特性の $I_D - V_{DS}$ グラフである。

【図 2 D】ラテラル M O S 装置におけるスナップバックの局面を示す図である。装置の概略的な表示である。

【図 3 A】ラテラル D M O S 装置を製造する従来のプロセスを示す図である。完成した装置の断面図を示す。

【図 3 B】ラテラル D M O S 装置を製造する従来のプロセスを示す図である。自己整合されたボディ注入層を示す。

【図 3 C】ラテラル D M O S 装置を製造する従来のプロセスを示す図である。ボディ拡散を示す。

30

【図 3 D】ラテラル D M O S 装置を製造する従来のプロセスを示す図である。チルト注入層を用いた自己整合されたボディの形成を示す。

【図 3 E】ラテラル D M O S 装置を製造する従来のプロセスを示す図である。自己整合されないボディ注入層を示す。

【図 3 F】ラテラル D M O S 装置を製造する従来のプロセスを示す図である。ボディ拡散の段階を示す。

【図 3 G】ラテラル D M O S 装置を製造する従来のプロセスを示す図である。自己整合されないゲートの形成を示す。

【図 4 A】エピタキシャル層の高温接合分離の従来のプロセスを示す断面図である。

40

【図 4 B】エピタキシャル層の高温接合分離の従来のプロセスを示す断面図である。

【図 4 C】エピタキシャル層の高温接合分離の従来のプロセスを示す断面図である。

【図 4 D】エピタキシャル層の高温接合分離の従来のプロセスを示す断面図である。

【図 4 E】エピタキシャル層の高温接合分離の従来のプロセスを示す断面図である。

【図 4 F】エピタキシャル層の高温接合分離の従来のプロセスを示す断面図である。

【図 4 G】エピタキシャル層の高温接合分離の従来のプロセスを示す断面図である。

【図 4 H】エピタキシャル層の高温接合分離の従来のプロセスを示す断面図である。

【図 4 I】エピタキシャル層の高温接合分離の従来のプロセスを示す断面図である。

【図 5 A】分離されていないラテラル D M O S の低温製造を示す断面図である。

【図 5 B】分離されていないラテラル D M O S の低温製造を示す断面図である。

50

【図5C】分離されていないラテラルDMOSの低温製造を示す断面図である。

【図6】非ガウスのP-型ウェルおよびコンフォーマルN-型ドリフト領域を備えた分離されていないラテラルDMOSの断面図である。

【図7】非ガウスのP-型ウェルとコンフォーマルN-型連鎖注入されたウェルを含むドリフト領域とを備えた分離されていないラテラルDMOSの断面図である。

【図8】非ガウスのP-型ウェルと均一なN-型ドリフト領域とを備えた分離されていないラテラルDMOSの断面図である。

【図9】非ガウスのP-型ウェルと均一なN-型連鎖注入されたウェルを含むドリフト領域とを備えた分離されていないラテラルDMOSの断面図である。

【図10A】DMOSボディとしての非ガウスのP-型ウェルおよびアバランシェクランプドレインを備えた分離されていないラテラルDMOSの断面図である。DMOSは浅いN-ドリフトドレイン領域を有する。

10

【図10B】DMOSボディとしての非ガウスのP-型ウェルおよびアバランシェクランプドレインを備えた分離されていないラテラルDMOSの断面図である。DMOSはドレイン拡張部としての均一なN-型の深いドリフト領域を有する。

【図10C】DMOSボディとしての非ガウスのP-型ウェルおよびアバランシェクランプドレインを備えた分離されていないラテラルDMOSの断面図である。DMOSはドレイン拡張部としてのコンフォーマルN-型ドリフト領域を有する。

【図10D】DMOSボディとしての非ガウスのP-型ウェルおよびアバランシェクランプドレインを備えた分離されていないラテラルDMOSの断面図である。DMOSはドレイン拡張部としてのコンフォーマルN-型ウェルを有する。

20

【図11A】P-ボディ(またはP-ベース)を用いた、分離されていないラテラルDMOSのアバランシェクランプングの局面を示す図である。装置の断面図である。

【図11B】P-ボディ(またはP-ベース)を用いた、分離されていないラテラルDMOSのアバランシェクランプングの局面を示す図である。装置の概略的な表示である。

【図11C】P-ボディ(またはP-ベース)を用いた、分離されていないラテラルDMOSのアバランシェクランプングの局面を示す図である。装置の $I_D - V_{DS}$ 電気的特性を示す。

【図11D】P-ボディ(またはP-ベース)を用いた、分離されていないラテラルDMOSのアバランシェクランプングの局面を示す図である。高圧での装置における等電位分布を示す。

30

【図12】階層化されたドレインを備えた分離されていない拡張されたドレインPMOSの断面図である。

【図13】階層化されたドレインを備えた分離されていない拡張されたドレインNMOSの断面図である。

【図14】分離されていない拡張されたドレインCMOSの断面図である。

【図15A】ラテラルトレンチDMOSの製造を示す断面図である。

【図15B】ラテラルトレンチDMOSの製造を示す断面図である。

【図15C】ラテラルトレンチDMOSの製造を示す断面図である。

【図16A】均一な深いN-型のドリフトされたドレインを備えたトレンチラテラルDMOSの構造を示す断面図である。

40

【図16B】均一な深いN-型のドリフトされたドレインを備えたトレンチラテラルDMOSの構造を示す上面図である。

【図17A】トレンチラテラルDMOSの変形例を示す図である。N-ウェルドレインと並置されるP-ボディを示す。

【図17B】トレンチラテラルDMOSの変形例を示す図である。P-ボディおよびN-ウェルドレインの最小フィールド酸化膜間隔を示す。

【図17C】トレンチラテラルDMOSの変形例を示す図である。拡張された均一なドリフト領域を示す。

【図17D】トレンチラテラルDMOSの変形例を示す図である。拡張されたコンフォー

50

マルチドリフト領域を示す。

【図17E】トレンチラテラルDMOSの変形例を示す図である。P - ボディと重なるN - ウェルドレインを示す。

【図17F】トレンチラテラルDMOSの変形例を示す図である。N - ウェルドレインを有しない装置を示す。

【図18A】ドレインに囲まれたトレンチラテラルDMOSの構造を示す断面図である。

【図18B】ドレインに囲まれたトレンチラテラルDMOSの構造を示す。減じられたボディ幅を備えた装置の平面図である。

【図18C】ドレインに囲まれたトレンチラテラルDMOSの構造を示す。互い違いになったソース - ボディコンタクトを備えた装置の平面図である。

10

【図19A】分離されたラテラルDMOSの製造を示す断面図である。

【図19B】分離されたラテラルDMOSの製造を示す断面図である。

【図19C】分離されたラテラルDMOSの製造を示す断面図である。

【図20】コンフォーマルな深いドリフトドレイン領域を備えた分離されたラテラルDMOSの断面図である。

【図21】ドリフトされたドレイン領域として連鎖注入されたN - ウェルを備えた分離されたラテラルDMOSの断面図である。

【図22】浅いN - ドリフトドレイン領域を備えた分離されたラテラルDMOSの断面図である。

【図23】均一な深いドリフトされたドレイン領域を備えた高圧JFETの断面図である。

20

【図24】浅いLDDを備えた空乏モードNMOSの断面図である。

【図25】均一な深いドリフトされたドレイン領域を備えた空乏モードNMOSの断面図である。

【図26】コンフォーマルな深いドリフトされたドレイン領域を備えた空乏モードNMOSの断面図である。

【図27A】表面下ソースシールドを備えた空乏モードNMOSの変形例の断面図である。浅いLDDドレインを備えた装置を示す。

【図27B】表面下ソースシールドを備えた空乏モードNMOSの変形例の断面図である。均一な深いドリフトされたドレインを備えた装置を示す。

30

【図27C】表面下ソースシールドを備えた空乏モードNMOSの変形例の断面図である。コンフォーマルな深いドリフトされたドレインを備えた装置を示す。

【図28】浅いLDDを備えた分離された空乏モードNMOSの断面図である。

【図29A】ツェナクランピングダイオードの断面図である。分離されていないN + からP - ウェル、およびN + からP - ベースまたはP - ボディを備えた装置を示す。

【図29B】ツェナクランピングダイオードの断面図である。分離されたN + からP - ベースまたはP - ボディを備えた装置を示す図である。

【図29C】ツェナクランピングダイオードの断面図である。分離されたN + からP - ウェルを備えた装置を示す。

【図29D】ツェナクランピングダイオードの断面図である。マルチストライプの分離されたN - ウェルからP - ウェル埋込型ツェナを備えた装置を示す。

40

【図29E】ツェナクランピングダイオードの断面図である。分離されたP + からN - ベースを備えた装置を示す。

【図30A】分離されたP - 型ポケットの高圧終端の断面図である。

【図30B】分離されたP - 型ポケットの高圧終端の断面図である。

【図30C】分離されたP - 型ポケットの高圧終端の断面図である。

【図30D】分離されたP - 型ポケットの高圧終端の断面図である。

【図30E】分離されたP - 型ポケットの高圧終端の断面図である。

【図30F】分離されたP - 型ポケットの高圧終端の断面図である。

【図30G】分離されたP - 型ポケットの高圧終端の断面図である。

50

【図30H】分離されたP - 型ポケットの高圧終端の断面図である。

【図30I】分離されたP - 型ポケットの高圧終端の断面図である。

【図30J】分離されたP - 型ポケットの高圧終端の断面図である。

【図30K】分離されたP - 型ポケットの高圧終端の断面図である。

【発明を実施するための形態】

【0061】

発明の詳細な説明

米国特許第6,855,985号は、注入されたままの接合分離構造を用いる全低温製造方法を記載する。この方法は、分離拡散、エピタキシまたは高温プロセスの必要なしに、完全に分離されたバイポーラ、CMOSおよびDMOS装置を達成するために、湾曲した酸化膜を通して注入されたドーパントを備えた高エネルギーかつ連鎖注入を利用する。

10

【0062】

この出願の主題は上記に言及された特許に関連し、さまざまな種類の新規な、または向上した高圧装置およびDMOS装置、スナッチバック予防、分離されたクランピングダイオードおよびレクチファイヤの設計および統合、ならびに分離されたポケットにおける低電圧装置を基板電位を超える高圧にフロートさせる方法に焦点を合わせる。

【0063】

本願明細書に記載された高圧装置の低温製造は前述の特許および特許出願に記載されたモジュール式低温製造方法と互換性を有するが、モジュール式プロセスアーキテクチャに必ずしも限定されるわけではない。

20

【0064】

ウェーハ製造

特に明記しない限り、本願明細書に記載された高圧および高電力装置の製造は上記で参照された特許と同じプロセスシーケンスを利用する。基本的なプロセスの概略は以下を含む。

- ・ フィールド酸化膜の形成
- ・ 平坦化を含むトレンチおよびトレンチゲートの形成
- ・ 高エネルギー注入された深いドリフト層 (ND) の形成
- ・ 連鎖注入トレンチDMOSボディ (P - ボディ) の形成
- ・ リン高エネルギー注入された床分離 (DN) の形成
- ・ 第1の連鎖注入された非ガウスのN - ウェル (NW1 / NW1B) の形成
- ・ 第1の連鎖注入された非ガウスのP - ウェル (PW1 / PW1B) の形成
- ・ 第2の連鎖注入された非ガウスのN - ウェル (NW2 / NW2B) の形成
- ・ 第2の連鎖注入された非ガウスのP - ウェル (PW2 / PW2B) の形成
- ・ 2重ゲート酸化膜およびゲート電極の形成
- ・ N - ベース注入
- ・ P - ベース注入
- ・ 第1のN - LDD注入 (NLDD1)
- ・ 第1のP - LDD注入 (PLDD1)
- ・ 第2のN - LDD注入 (NLDD2)
- ・ 第2のP - LDD注入 (PLDD2)
- ・ サイドウォールスペーサの形成
- ・ ESD注入
- ・ N + 注入
- ・ P + 注入
- ・ 高速熱アニール (RTA注入活性化)
- ・ 多層金属相互接続プロセス
- ・ 不動態化

30

40

記載されたプロセスがドーパント再分布が僅かしかないかまたは全くない注入されたままのドーパントプロファイルを利用するので、P - ウェルおよびN - ウェル注入がゲート

50

形成に先行し、トレンチゲート形成がDMOSボディ注入に先行し、N-LDDおよびP-LDD注入はゲート形成に続くがサイドウォールスペーサ形成に先行し、N+およびP+注入がサイドウォールスペーサ形成に続くことが好ましいことを除いて、注入は実際にはいかなる順に実行されてもよい。このプロセスフローは、モジュール式であるよう設計されているので、そのIC設計にいずれの組の装置が必要かに依存して、所与のICの製造のための1つ以上のプロセスステップをなくすことが可能である。

【0065】

例として、表1は、この出願に記載された注入のための好ましい実施例および好ましい条件範囲を要約する。

【0066】

【表1-1】

注入層 (種類)	好ましい実施例 (エネルギー, 用量)	好ましい範囲 (エネルギー, 用量)
DN (P ⁺)	E= 2.0 MeV, Q= 2E13 cm ⁻²	E= 1.0 MeV ~ 3.0 keV, Q= 1E12 ~ 1E14 cm ⁻²
ND 深いドリフト (P ⁺)	E= 800 keV, Q= 2E12 cm ⁻² E= 600 keV, Q= 2E12 cm ⁻²	E= 400 keV ~ 1.2 MeV, Q= 5E11 ~ 5E12 cm ⁻² E= 300 keV ~ 900 keV, Q= 5E11 ~ 5E12 cm ⁻²
P- ボディ (B ⁺)	E= 120 keV, Q= 2E12 cm ⁻² E= 80 keV, Q= 4E12 cm ⁻²	E= 60 keV ~ 180 keV, Q= 5E11 ~ 5E12 cm ⁻² E= 40 keV ~ 120 keV, Q= 1E12 ~ 1E13 cm ⁻²
第1のP-ウェル+ (B ⁺)	E= 240 keV, Q= 1E13 cm ⁻² E= 120 keV, Q= 6E12 cm ⁻²	E= 120 keV ~ 360 keV, Q= 5E12 ~ 5E13 cm ⁻² E= 60 keV ~ 180 keV, Q= 1E12 ~ 1E13 cm ⁻²
第2のN-ウェル+ (P ⁺)	E= 460 keV, Q= 5E12 cm ⁻² E= 160 keV, Q= 1E12 cm ⁻²	E= 230 keV ~ 690 keV, Q= 1E12 ~ 1E13 cm ⁻² E= 80 keV ~ 240 keV, Q= 5E11 ~ 5E12 cm ⁻²

【0067】

10

20

30

40

【表 1 - 2】

注入層 (種類)	好ましい実施例 (エネルギー, 用量)	好ましい範囲 (エネルギー, 用量)
第2の P-ウェル+ (B ⁺)	E= 460 keV, Q= 1E13 cm ⁻² E= 160 keV, Q= 1E12 cm ⁻²	E= 230 keV ~ 690 keV, Q= 5E12 ~ 5E13 cm ⁻² E= 80 keV ~ 240 keV, Q= 5E11 ~ 5E12 cm ⁻²
第2の N-ウェル+ (P ⁺)	E= 950 keV, Q= 1E13 cm ⁻² E= 260 keV, Q= 1E12 cm ⁻²	E= 500 keV ~ 1.5 MeV, Q= 5E12 ~ 5E13 cm ⁻² E= 130 keV ~ 390 keV, Q= 5E11 ~ 5E12 cm ⁻²
N-ベース (P ⁺)	E= 300 keV, Q= 2E12 cm ⁻² E= 120 keV, Q= 9E12 cm ⁻²	E= 150 keV ~ 450 keV, Q= 5E11 ~ 5E12 cm ⁻² E= 60 keV ~ 180 keV, Q= 5E12 ~ 5E13 cm ⁻²
P-ベース (B ⁺)	E= 240 keV, Q= 6E12 cm ⁻² E= 100 keV, Q= 6E12 cm ⁻²	E= 120 keV ~ 360 keV, Q= 1E12 ~ 1E13 cm ⁻² E= 50 keV ~ 150 keV, Q= 1E12 ~ 1E13 cm ⁻²
NLDD1 (P ⁺)	E= 80 keV, Q= 2E13 cm ⁻²	E= 40 keV ~ 160 keV, Q= 5E12 ~ 5E13 cm ⁻²
PLDD1 (BF ₂ ⁺)	E= 80 keV, Q= 2E12 cm ⁻²	E= 40 keV ~ 160 keV, Q= 5E11 ~ 5E12 cm ⁻²
NLDD2 (P ⁺)	E= 80 keV, Q= 6E12 cm ⁻²	E= 40 keV ~ 160 keV, Q= 1E12 ~ 1E13 cm ⁻²
PLDD2 (BF ₂ ⁺)	E= 100 keV, Q= 3E12 cm ⁻²	E= 50 keV ~ 150 keV, Q= 1E12 ~ 1E13 cm ⁻²
N+ (As ⁺)	E= 30 keV, Q= 5E15 cm ⁻²	E= 20 keV ~ 60 keV, Q= 1E15 ~ 1E16 cm ⁻²
P+ (BF ₂ ⁺)	E= 30 keV, Q= 3E15 cm ⁻²	E= 20 keV ~ 60 keV, Q= 1E15 ~ 1E16 cm ⁻²

【 0 0 6 8 】

上記の注入のいくつかは、注入用量の合計が両面空乏拡散を支持するのに、またある場合にはアバランシェ降伏の開始に先立って層の完全な空乏を可能にするのに十分に低いので、高圧装置のドリフト領域を形成するのに潜在的に使用可能である。限定された注入用量（または電荷）の領域を十分に空乏化することによって装置における表面電界が高圧で減じられる現象はまた、「RESURF」、すなわち減じられた表面フィールド（reduce

10

20

30

40

50

d surface fields) の頭文字で呼ばれる。歴史的には、RESURF という用語は限定された電荷のエピタキシャル層に用いられる一方、LDD、ドリフト領域またはドレイン拡張部は注入された層を指す。浅いLDD領域が典型的にMOSゲートに自己整合される一方で(ND注入層などの)高エネルギー注入された深いドリフト領域は典型的にはゲート形成に先行することを除いては、浅いLDDの利点对深いドリフト領域の利点は本願明細書では区別されない。

【0069】

この発明の1つの実施例では、上記の表における第1のウェルおよび第2のウェルは、5Vおよび12VのCMOSの製造のために用いられた5Vおよび12VのP-ウェルおよびN-ウェルを指す。5Vおよび12Vという用語は限定するように用いられるのではなく、たとえば3Vおよび15V、12Vおよび30V、1.5Vおよび3Vなど、2つの異なるP-型ウェル濃度および2つの異なるN-型ウェル濃度を説明するためだけに用いられる。一般に、低圧ウェルは高圧ウェルよりも、特にシリコン表面の近くで高濃度ドーパされる傾向があるが、用量およびエネルギーが異なるさまざまな注入の組み合わせ、すなわち連鎖注入を含む非ガウスのドーパントプロファイルでは、低圧ウェルは、ピーク濃度、平均濃度、または注入された電荷(用量)合計では必ずしも高い方ではない。高圧ウェルはまた、低圧装置用に最適化されたN-ウェルよりも深い傾向がある。1つの実施例では、たとえば5VのCMOS用N-ウェルおよびP-ウェルは、0.4~0.5ミクロンの平均投影範囲の注入を利用する一方で、12VのCMOSに必要なとされるウェルは、活性領域の深さで0.7~1.1ミクロンの平均投影範囲を有している。フィールド酸化膜の下

10

20

【0070】

ドリフト領域または拡張されたドレインなどのウェルの適用可能性は、アバランシェの開始における二次元の電界分布に依存する。非ガウスおよびレトログレードドーパントプロファイルでは、表面電界および破壊電圧は、純粋なガウスドーパントプロファイルを含む従来の拡散ウェルにおいてほどは簡単には濃度を追跡しない。

【0071】

この観察と一致して、続く図では、各ウェルが2つの図式要素によって記載される。たとえば第1のP-ウェルとしてPW1とラベル付けされた頂部部分と、第1の埋込型P-ウェルとしてPW1Bとラベル付けされた埋込まれた部分またはより深い部分とである。ウェルの頂部部分の下に埋められるために、埋込部分はより高エネルギーで注入されてより大きな深さに達する。典型的には、ウェルの埋込部分はより高用量の注入をも用いて表面部分より高いピーク濃度を示す。すなわち、製造のためには必要ではないが、ドーパントプロファイルがレトログレードして、表面よりもバルクにおいて、より高濃度となる。レトログレードするプロファイルは、従来の拡散接合を用いては、以前に記載された費用のかかるエピタキシャル蒸着および高温埋込層拡散の必要なしに生成することができない。

30

【0072】

実際、ウェルは異なるエネルギーおよび注入用量のいかなる数の注入層も含むことができ、低圧CMOSおよび高圧装置の両方の製造に有用な任意のドーパントプロファイルを形成する。明瞭にするために、頂上および底部のウェル部分は、区別できるよう、しかし集団的に言及され、その組み合わせは1つとして記載される。たとえば、PW1およびPW1Bは合わせて第1のP-ウェル(たとえば5Vの装置用)を含む。その一方でPW2およびPW2Bは合わせて高圧での動作のための第2のウェルを含む。一般に、より低濃度ドーパされる第2のウェルは、高圧ドリフト領域として動作するためのよりよい候補であるが、実際はその表面濃度がより高い場合にはより悪い候補となりかねない。原則としては、高圧装置においてピーク濃度および電界が半導体のより深い、すなわち表面から遠い場所で生じるよう設計することにより、結果として高圧で有用なより強固な装置となるはずである。

40

50

【 0 0 7 3 】

前述のプロセスアーキテクチャを用いると、いくつかの独特の高圧および高電力装置が製造されてモジュール式でICに統合することができる。これらの新しい高圧装置は、分離されていないラテラルDMOS、分離されていない拡張されたドレインMOS装置またはドリフトされたMOS装置、ラテラルトレンチDMOS、分離されたラテラルDMOS、JFETおよび空乏モード装置、ならびにP-Nダイオードクランプおよびレクチファイヤならびに基板に対して高圧にフロートする低圧構成要素のための接合終端部を含む。

【 0 0 7 4 】

分離されていないラテラルDMOS

本願明細書に記載された低温製造方法を用いて製造される1つの種類の高圧トランジスタは、分離されていないラテラルDMOSトランジスタである。

10

【 0 0 7 5 】

分離されていないラテラルDMOSトランジスタ200の製造は、図5A - 図5Cの断面に示される。そのプロセスは、輪郭をとる酸化膜を通して低濃度ドーパされたN-型ドリフト領域の高エネルギーイオン注入を含んでいる。図5Aに示されたように、(たとえば)LOCOSを用いて基板201に形成されたフィールド酸化膜層204の輪郭をとる注入層は、フォトレジスト202によって選択的にマスクングされ、高エネルギーのリンドリフト注入で注入され、不均一なコンフォーマルドリフト領域203を形成する。これは酸化膜204の下により浅い部分203Aと、フィールド酸化膜層204によって覆われない活性領域の下により深い部分203Bおよび203Cとを備える(注:本願明細書に用いられた用語「コンフォーマルな」は、(a)半導体材料の表面で層(しばしば酸化膜層)を通した注入によって形成され、(b)半導体材料におけるその垂直の厚さおよび/または深さが、表面層に形成されたいかなる開口部も含む表面層の厚さおよび/または他の機構に従って変動する、ドーパントの領域または層を指す)。マスク202に浸透する注入層はない。より深い活性領域203Bおよび203Cの積算電荷Qの合計はより浅いドリフト領域203Aより大きい。シリコン中にある電荷の合計は以下によって与えられる。

20

【 0 0 7 6 】

【数1】

$$Q = \int_{x_1}^{x_2} N(x) dx$$

30

【 0 0 7 7 】

ここで活性領域 $x_1 = 0$ の場合、すなわちシリコン表面である。フィールド酸化膜の下の注入層については、 x_1 はフィールド酸化膜と下部シリコンとの間のインターフェースである。注入層が両方の領域で同じなので、フィールド酸化膜の下のシリコンにおけるドーパントは活性領域におけるよりも少ない。酸化膜がない場所から完全な厚さとなるまでの遷移領域、すなわちバースピーク領域の下においては、ドリフト電荷の合計は階層化されている。これは開示された製造プロセスの自然な生成物である。

40

【 0 0 7 8 】

図5Bに示されるように、P-型ウェル206がフォトレジストマスク205を通したイオン注入によってドリフト領域203に隣接した領域に導入される。最終装置では、このP-ウェルはラテラルDMOSのボディとして機能するが、ゲート形成に先行するので、トランジスタのゲートに自己整合しない。表面の近くにそのピーク濃度があって深さが増大するにつれてモノリシックに濃度が低下する従来の拡散ウェルと異なり、P型ウェル206はホウ素の高エネルギーイオン注入、好ましくは用量とエネルギーが異なる一連のホウ素注入層を含むホウ素連鎖注入層によって形成される。連鎖注入層はいかなる数の注入層も含んでもよいが、図面では2つの領域によって図解で表わされる。単一のマスクを通して、かつエピタキシの使用なしでイオン注入によって形成される表面層PW1および表面

50

下層PW1Bである。好ましい実施例では、より深い層は表面ウェルより高濃度である。

【0079】

図5Cでは、N - ウェル207がN型ドリフト領域203C内のDMOSドレイン領域に導入されて、トランジスタのドレイン抵抗を減じ、ドレインにおける電界をさらに形成し、プレアバランシェ衝撃イオン化を減じる。高温拡散からのドーパント再分布を回避するために、N - ウェル207はリンの高エネルギーイオン注入、好ましくは用量とエネルギーが異なる一連のリン注入層を含むリン連鎖注入層によって形成される。連鎖注入層はいかなる数の注入層も含んでもよいが、図面では2つの領域によって図解で表わされる。単一のマスクを通して、およびエピタキシの使用なしでイオン注入によって形成される表面層NW1および表面下層NW1Bである。好ましい実施例では、より深い層は表面のウェルより高濃度である。

10

【0080】

断面は第1のP - ウェル206および第1のN - ウェル207を示し、これらは5VのCMOSのために用いられる、たとえばP - ウェルPW1およびN - ウェルNW1を表わし、さらに、他の電圧CMOS、たとえば12V、20Vの装置のために最適化されたPW2およびNW2などの第2のP - ウェルおよび第2のN - ウェルを利用することも可能である。

【0081】

ウェル形成後、ゲート酸化膜209が成長し、ポリシリコン層が堆積しパターンニングされてゲート208を形成する。このゲートは、好ましくはP - 型ウェル206の部分およびドリフト層203の部分の上に位置決めされ、適切なトランジスタ作用を保證する。

20

【0082】

全低温製造および完全にモジュール式のプロセスアーキテクチャへの統合とは別に、NチャネルラテラルDMOS装置200は、従来の方で製造されたラテラルDMOSに対して他の利点がある。この利点は、ウェル表面濃度が低いことに起因するさほど熱くないキャリアの生成に対応してゲートの下の表面電界が低いこと、アバランシェ降伏をバルクに向かって半導体の表面から遠ざかるように強制する、P - ウェル206のより高濃度ドーピングされたより深い部分からの表面下の電界が強化されること、および、活性領域の上に位置するゲート208の長さがより短いことに起因して、利得が向上し、オン抵抗が低いことを含み、この短いゲートは連鎖注入されたP - ウェル206のほぼ垂直のサイドウォール接合によって可能になっている。対照的に、拡散ウェルDMOSは、高温拡散ウェルのより大きな横方向寸法をカバーするために、より長いゲートを必要とする。

30

【0083】

非ガウスP - 型ウェルおよびコンフォーマルN - 型ドリフトを用いるドレイン中心のラテラルDMOS220の一例が図6の断面図に示される。装置は、N - ウェルドレイン235を備えたフィールド酸化膜層222に一致するドリフト223、N + ドレイン236、低濃度ドーピングした拡張部230を備えたN + ソース228、P + ボディコンタクト229、ゲート酸化膜225の上に形成される重なったシリサイド227を備えたポリシリコンゲート226、レベル間誘電体(ILD)233、およびコンタクトバリア金属232を備えた金属相互接続231を含む。活性なゲートの縁部から活性なN - ウェルNW1の縁部まで測定されるドリフト長さ L_{D1} は、実質的に製造プロセスを変更することなく、装置の破壊電圧を選択するよう調整することができる。この装置では、DMOSボディは、ストライプのジオメトリまたは環状のジオメトリを含み得るP - ウェル224Aおよび224Bによって、すべての側面またはいくつかの側面でドレインを囲んで形成される。(注:本願明細書に用いられる「環状の」という用語は、ICチップにおける機構を横方向に囲む、ドーピングした領域または他の構造を指す。環状領域または構造は、円形、正方形、長方形、多角形、または他のいかなる形状でもよく、環状領域または他の構造は、それが横方向に囲む機構に接していても接していなくてもよい)。示されるように、P - ウェルは、頂部部分PW1および表面下部分PW1Bにより表わされる非ガウスか、非モノリシックなプロファイルを含み、好ましい実施例では、PW1BはPW1よりも高濃度にドー

40

50

プされ、代替実施例では、P - ウェル 2 2 4 A および 2 2 4 B は、用量およびエネルギーが異なる一連の連鎖注入を含む。

【 0 0 8 4 】

図 7 は、非ガウスの P - 型ウェルおよびコンフォーマル N - 型の連鎖注入されたウェルを含むドリフトを備えた分離されていないラテラル DMOS 2 4 0 を断面図で示す。この装置は、フィールド酸化膜層 2 4 2 に一致したドリフト 2 4 3、N + ドレイン 2 5 6、低濃度ドーブした拡張部 2 5 0 を備えた N + ソース 2 4 8、P + ボディコンタクト 2 4 9、ゲート酸化膜 2 4 5 の上に形成される重なったシリサイド 2 4 7 を備えたポリシリコンゲート 2 4 6、ILD 2 5 3、およびコンタクトバリア金属 2 5 2 を備えた金属相互接続 2 5 1 を含む。この装置では、DMOS ボディは、ストライプのジオメトリまたは環状のジオメトリを含み得る P - ウェル 2 2 4 A および 2 2 4 B によって、すべての側面またはいくつかの側面でドレインを囲んで形成される。P - ウェル 2 4 4 A および 2 4 4 B の各々は、頂部部分 PW 1 および表面下部分 PW 1 B により表わされる非ガウスまたは非モノリシックなプロファイルを含んで示され、好ましい実施例では、PW 1 B は PW 1 よりも高濃度にドーブされ、代替実施例では、P - ウェル 2 2 4 A および 2 2 4 B は、用量およびエネルギーが異なる一連の連鎖注入層を含む。

10

【 0 0 8 5 】

連鎖注入された N - ウェルから構築されるドリフト 2 4 3 は、深い部分 NW 1 B およびより浅い部分 NW 1 を含む。より浅い部分 NW 1 は 2 4 3 B などの活性領域に位置する。2 4 3 A などの非活性領域は深い部分 NW 1 B のみを含み、ゲート酸化膜 2 4 5 の下の電界を増大させることなく直列ドレイン抵抗を減じる。活性なゲートの縁部から活性な N - ウェル NW 1 の縁部まで測定されるドリフト長さ L_{D1} は、実質的に製造プロセスを変更することなく、装置の破壊電圧を選択するよう調整することができる。一般に、ドリフトにおいて積算電荷の合計がより大きいことは、低圧のドリフトされたドレイン装置において好ましい。第 1 の N - ウェルおよび P - ウェルは、ドーパントプロファイルおよび装置の意図する電圧範囲に依存して、さまざまな組み合わせにおける第 2 の N - ウェルおよび P - ウェルによって置換されてもよい。

20

【 0 0 8 6 】

図 8 は、(フィールド酸化膜の下ではなく) 活性な領域でのみ形成される非ガウスの P - 型ウェルおよび N - 型ドリフトを含む分離されていないラテラル DMOS 2 6 0 を断面図で示す。この装置は、ドリフト 2 6 3、N - ウェルドレイン 2 6 5、N + ドレイン 2 7 6、低濃度ドーブした拡張部 2 7 0 を備えた N + ソース 2 6 8、P + ボディコンタクト 2 6 9、ゲート酸化膜 2 6 5 の上に形成される重なったシリサイド 2 6 7 を備えたポリシリコンゲート 2 6 6、ILD 2 7 3、およびコンタクトバリア金属 2 7 2 を備えた金属相互接続 2 7 1 を含む。この装置では、ストライプのジオメトリまたは環状のジオメトリを含み得る P - ウェル 2 6 4 A および 2 6 4 B によって、すべての側面またはいくつかの側面でドレインを囲んで形成される。P - ウェルは、頂部部分 PW 1 および表面下部分 PW 1 B により表わされる非ガウスまたは非モノリシックなプロファイルを含んで示され、好ましい実施例では、PW 1 B は PW 1 よりも高濃度にドーブされ、代替実施例では、P - ウェル 2 6 4 A および 2 6 4 B は、用量およびエネルギーが異なる一連の連鎖注入層を含む。

30

40

【 0 0 8 7 】

高エネルギー注入されたドリフト層 ND から構築されたドリフト 2 6 3 は、アバランシェ特性および破壊特性のために最適化される。ドリフト層 ND を形成するためにさまざまな用量およびエネルギーの複数の注入層が組み合わせられ得る。ゲートの縁部から N - ウェル NW 1 の縁部まで測定されるドリフト長さ L_{D1} は、実質的に製造プロセスを変更することなく、装置の破壊電圧を選択するよう調整することができる。一般に、ドリフトにおいて積算電荷の合計がより大きいことが低圧のドリフトされたドレイン装置において望ましい。第 1 の N ウェルおよび P - ウェルは、ドーパントプロファイルおよび装置の意図した電圧範囲に依存して、さまざまな組み合わせにおける第 2 の N - ウェルおよび P - ウェルによって置換されてもよい。

50

【 0 0 8 8 】

ソース金属相互接続 271A および 271C は、ドリフト 263 の部分と重なるようにゲート 266 の上に、およびこれを越えて延在して示される。この任意のレイアウトは、ゲートの端部の近くに集まっている電界を減じるフィールドプレートとしてソース金属が機能することを可能にし、それによって、DMOS 260 の破壊電圧を増大させる。同様に、このレイアウトが任意であり、この説明における他のすべての DMOS 装置に適用されてもよいことに注意されたい。

【 0 0 8 9 】

図 9 は、非ガウスの P - 型ウェルおよび均一な N - 型の連鎖注入されたウェルを含むドリフト領域を備えた分離されていないラテラル DMOS 280 を断面図で示す。この装置は、(フィールド酸化膜の下ではなく) 活性領域のみで形成された連鎖注入された N - ウェル 283 を含むドリフト、N + ドレイン 296、低濃度ドーピングした拡張部 290 を備えた N + ソース 288、P + ボディコンタクト 289、ゲート酸化膜 285 の上に形成される重なったシリサイド 287 を備えたポリシリコンゲート 286、ILD 282、コンタクトバリア金属 292 を備えた金属相互接続 291 を利用する。この装置では、DMOS ボディは、ストライプのジオメトリまたは環状のジオメトリを含み得る P - ウェル 284 A および 284 B によって、すべての側面またはいくつかの側面でドレインを囲んで形成される。P - ウェル 284 A および 284 B の各々は、頂部部分 PW1 および表面下部分 PW1 B により表わされる非ガウスまたは非モノリシックなプロファイルを含んで示され、好ましい実施例では、PW1 B は PW1 よりも高濃度にドーピングされ、代替実施例では、P - ウェル 284 A および 284 B は、用量およびエネルギーが異なる一連の連鎖注入層を含む。

【 0 0 9 0 】

連鎖注入された N - ウェル 283 から構築されたドリフトは、頂部部分 NW1 および表面下部分 NW1 B により表わされる非ガウスまたは非モノリシックなプロファイルを含み、好ましい実施例では、NW1 B は NW1 よりも高濃度にドーピングされ、代替実施例では、N - ウェル 283 は、用量およびエネルギーが異なる一連の注入層を用いて構築される連鎖注入層を含む。

【 0 0 9 1 】

ゲート 286 の縁部から N + ドレイン 296 の縁部まで測定されるドリフト長さ L_{D1} は、実質的に製造プロセスを変更することなく、装置の破壊電圧を選択するよう調整することができる。一般に、ドリフトにおいて積算電荷の合計がより大きいことが低圧のドリフトされたドレイン装置において好ましい。第 1 の N - ウェルおよび P - ウェルは、装置のドーパントプロファイルおよび意図した電圧範囲に依存して、さまざまな組み合わせにおける第 2 の N - ウェルおよび P - ウェルによって置換されてもよい。

【 0 0 9 2 】

図 9 では、N + ソース 288 は P + ボディコンタクト 289 から離されて示され、ソース金属相互接続 291 B はボディ金属相互接続 291 A から離されて示される。この任意のレイアウトは、ソース電圧がソース - ボディ破壊電圧 (典型的には数ボルト) の制限内でボディ電圧を越えてフロートすることを可能にし、DMOS 280 を通して流れる電流の感知を可能にするために用いられ得る。同様に、このレイアウトが任意であってこの説明での他のすべての DMOS 装置に適用されてもよいことに注意されたい。

【 0 0 9 3 】

図 6 - 図 9 に示される多くの機構は例示目的でしかなく、これらの構造への修正がこの発明の範囲内であることに注意されたい。図 6 の低濃度ドーピングしたソース拡張部 230 は、たとえば、LDMOS 装置の動作には必要でなく、この領域がさらに高濃度ドーピングしたソース拡張部と置換され得る代替実施例によって、実際によりよいオン状態特性が与えられ得る。これらの例において単一のレベルの金属相互接続しか示されていないが、好ましい実施例は当然に、DMOS 装置のオン抵抗を低下させる役目をし、さらにソースおよび/またはドレインフィールドプレート、ゲートのための内部バスなどを形成することがで

10

20

30

40

50

きる付加的なレベルの金属化を含む。金属化層はILD層内に延在するよう示されるが、他の好ましい実施例は、ILD層のコンタクトホールを満たすための金属プラグ（たとえばタングステン）、およびILD層の上の平坦な金属化層を用いるだろう。フィールド酸化膜層はLOCOSを含むように示されるが、堆積した、または成長し、エッチバックされた酸化膜、埋込まれた酸化膜、および非酸化膜誘電材料などの代替構造もまた使用され得る。

【0094】

図10A - 図10Dは、ツェナダイオードクランプを備えた前述のラテラルDMOSの修正例を示す。これは、たとえば破壊電圧がクランプの存在によって減少しても、より強固なアバランシェ耐性のある装置を生産する。丈夫さが増大することは、MOSゲートから遠く離れた、ドレインの下のバルクシリコンに対してアバランシェを強制することに起因する。

10

【0095】

図10AのラテラルDMOS300では、たとえば、ツェナクランプは、N+ドレイン311の下に位置するP-ウェル319を含む。同じP-ウェル注入ステップが用いられてP-ウェル319およびP-ウェル302、ラテラルDMOS300の非ガウスのボディを形成することができる。代替的には、異なるP-ウェル注入ステップが用いられてP-ウェル319および302を形成することができる。示されるようなP-ウェル319および302は、頂部部分PW1および表面下部分PW1Bにより表わされる非ガウスまたは非モノリシックなプロファイルを含む。好ましい実施例では、PW1BはPW1よりも高濃度にドーブされ、代替実施例では、用量およびエネルギーが異なる複数の注入層の連鎖注入層を含む。この装置におけるドレイン拡張部は浅いN-ドリフト310を含み、それはまた12VのNMOS装置にも用いられ得る。装置の残りの要素は前述のラテラルDMOSに類似し、N+ソース304、P+ボディコンタクト303、ゲート酸化膜307、ポリゲート308、シリサイド309、サイドウォールスペーサ306、N-ソース拡張部305、ILD315、バリヤ金属312、および金属相互接続313を含む。

20

【0096】

アバランシェクラン普拉テラルDMOS320は、図8のDMOS260の電圧クランプバージョンに類似し、高エネルギー注入ドリフト330およびP-ウェルクランプ334とともに図10Bに示される。

30

【0097】

アバランシェクラン普拉テラルDMOS340は、図6のDMOS220の電圧クランプバージョンに類似し、コンフォーマル高エネルギー注入ドリフト350およびP-ウェルクランプ342Bとともに図10Cに示される。

【0098】

別のアバランシェクラン普拉テラルDMOS340は、図7のDMOS240の電圧クランプバージョンと類似し、連鎖注入されたN-ウェル370AをP-ウェルクランプ362Bを備えたドリフトとして用いて、図10Dに示される。

【0099】

図10A - 10Dの装置が、対称なものとして、装置の中心線が図面の右側にあるように示されることに注意される。しかしながら、これが必要というわけではない。

40

【0100】

ドレイン電圧クランプもまた、P-ウェルよりも浅いP-型領域を用いて達成することができる。図11AのラテラルDMOS380では、たとえば、ツェナクランプは、N+ドレイン393の下に位置するP-ベースまたはP-ボディ394を含む。P-ウェル382はラテラルDMOS380のボディを形成し、そこに頂部部分PW1および表面下の部分PW1Bによって表わされる非ガウスか、または非モノリシックなプロファイルを含む。好ましい実施例では、PW1BはPW1よりも高濃度にドーブされ、代替実施例では用量およびエネルギーが異なる複数の注入層の連鎖注入層を含む。この装置におけるドレイン拡張部は浅いN-ドリフト領域392を含み、それはまた12VのNMOS装置にも用

50

いられ得る。装置の残りの要素は前述のラテラルDMOS装置に類似し、N+ソース384、P+ボディコンタクト383、ゲート酸化膜387、ゲート388、シリサイド389、サイドウォールスペーサ386、N-ソース拡張部385、ILD391、バリア金属396、および金属相互接続395を含む。

【0101】

図11Bのサブ回路概略図400は、統合されたラテラルDMOS電圧クランプの概念を概略的に示し、NMOS401はN-チャンネルDMOSを示し、ダイオード402は、クランプされないトランジスタの BV_{DSS} を表わし、ツェナダイオード403は統合されたドレイン電圧クランプを示す。

【0102】

図11Cは、電圧クランプラテラルDMOSの $I_D - V_{DS}$ 特性410を例示する。曲線412、413、414および415のグループは、増大するゲート駆動に対応する、増大するドレイン電流を表わす。より大きな電流においては、最大保持電圧 BV_{CER} は、事実上ゲート駆動と無関係に曲線416によって示される。この電圧は、曲線411によって示されるオフ状態破壊 BV_{DSS} よりも実質的に下である。 BV_{DSS} 破壊411からより低い BV_{CER} 値416までのスナップバックは、結果として過電流および装置損傷を生じ得る。スナップバックを完全に回避するために、曲線418として示されるツェナ降伏電圧 BV_{Z2} を、 BV_{CER} 416よりも下に設定しなければならない。この程度の電圧クランプが電圧クランプされたラテラルDMOSの動作電圧範囲を過度に制限することもある。曲線413が実質的な負性抵抗を示すが、スナップバックを起動するには一定の電流レベル I_{D1} が必要であることに注意すると、曲線417によって示された、 BV_{DSS} より低い BV_{CER} より大きいクランプ電圧 BV_{Z1} が、実質的に動作電圧範囲を制限することなく強固な動作を達成するのに十分であろう。

【0103】

図11Dは、ドレイン電圧クランプのクランプ作用および等電位線438に対するその効果を示す、単純化された断面図430である。この装置では、N+ドレイン439上に与えられた電圧はN-ドリフト440を空乏化させ、それが等電位線438が電圧増分0、 V_1 、 V_2 および V_3 でドリフト領域435にわたって広がることを可能にし、それによってゲート酸化膜432およびゲート433の近くの低い電界を維持する。P-型層437の作用は、等電位線438と一緒に圧縮してこの領域の破壊を強制し、ゲート433からはるかに遠いドレイン439の下の電界を増大させることである。

【0104】

要約すると、本願明細書に記載されたドレイン電圧クランプ方法は、破壊場所をゲートから遠くへ動かすことによりラテラルDMOSアバランシェ性能を向上させ、装置破壊を減じてEOSにさらされた装置の残存率を向上させる。

【0105】

分離されていない拡張されたドレインMOS

ドレインアバランシェクランプ概念はまた、低濃度ドーピングしたドレイン(LDD)ドレイン拡張されたMOSトランジスタを含む、ラテラルDMOS以外の装置にも適用することができる。このような装置では、ドレイン拡張部または「ドリフト」 L_D の長さはゲートのサイドウォールスペーサよりも一般に長く、典型的には0.5ミクロンから最大数十ミクロンまでの長さである。より高濃度にドーピングされたウェルまたはボディがゲートの下に延在するソースを囲むラテラルDMOSと異なり、非DMOS装置は少なくとも活性領域内では横方向に均一なウェル濃度を用いる。本願明細書に記載された装置におけるP-ウェルおよびN-ウェルのドーピングプロファイルは注入されたままであり、長い高温拡散を必要とする従来の手段を通して生成されるのではない。したがって、装置における垂直、すなわちウェーハの表面に対して垂直のドーパントプロファイルは、オン状態の導電特性およびオフ状態の遮断特性の両方を最適化するために用いられる非ガウスプロファイルおよび非モノリシックプロファイルを含むことができる。

【0106】

10

20

30

40

50

このセクションでは、表題「分離されなかった」は、1つ以上の装置の下で床分離を形成するために用いられる専用注入層である、装置における高エネルギー注入DN層の欠如を指す。いずれのP-ウェルもDN注入層なしで電氣的にP-型基板に短絡され、これはすべての分離されていないNMOSトランジスタのボディまたはチャンネルが必然的に接地されることを意味する。他方ではP-チャンネル装置がN-ウェルに形成され、DN層の必要なしに当然に自己分離される。しかしながら、N-ウェルの表面下部分が典型的にはDN層ほど高濃縮でないので、(P-型ドレインがN-ウェルに対して順方向にバイアスされる場合)寄生PNP導電に起因する基板電流を防ぐN-ウェルの能力は、DN層がPMOS N-ウェルを囲む場合ほどには十分ではない。

【0107】

図12は、分離されていない拡張されたドレインPMOS450の断面図を示す。示される装置は対称かつドレイン中心である。すなわち示されるように、P+ドレイン463が、ゲート458(シリサイド459を含む)、ソース454およびN+ウェルコンタクト453に両側で囲まれる。装置はストライプのジオメトリを用いて構築されてもよく、または完全に囲まれた長方形もしくは多角形の形状を構成してもよい。ゲート酸化膜457は、高圧装置のための第1の薄いゲート酸化膜またはより厚いゲート酸化膜を含んでもよい。自己整合したP-ドリフト層462のドリフト長さ L_{D1} は、サイドウォールスペーサ460によるのではなく、ゲート458からP+ドレイン463までの距離によって決定される。サイドウォールスペーサ460が存在する結果として、低濃度ドーブしたソース領域455が形成される。この領域は、低圧PMOS装置と互換性をもつ既存のLdd注入を用いて注入されてもよく、またはPMOS450のために最適化された専用注入を用いてもよい。ILD461を通したコンタクトは下部のバリヤ金属464を備えた金属相互接続465を用いてなされる。

【0108】

示されたように、N-ウェル452A、452Bは、頂部部分NW1および表面下の部分NW1Bによって表わされる、非ガウスか、非モノリシックなプロファイルを含む。好ましい実施例では、NW1BはNW1よりも高濃度にドーブされ、代替実施例では、N-ウェル452A、452Bは、用量およびエネルギーが異なる一連の連鎖注入層を含む。N-ウェル452A、452Bがフィールド酸化膜層456の後に形成されるので、領域452Bによって示されるように、フィールド酸化膜の下のその接合深さはより浅く、領域452BはN-ウェルの埋込まれた部分NW1Bのみを実質的に含むことができる。埋込まれた部分NW2Bを備えた第2のウェルNW2が、第1のN-ウェルを置換するように用いられてもよい。

【0109】

ドレイン拡張部またはドリフト領域462は、ゲート458およびフィールド酸化膜層456の後に好ましくは形成される浅い注入部を含み、したがって、これらの層に完全に自己整合される。示されるように、ドリフト領域462はゲート458によって囲まれ、フィールド酸化膜層456には接触も当接もしない。

【0110】

P-ボディ注入層、P-ベース注入層または別の専用注入層のいずれかを含む任意のPB層466はP+ドレイン463を囲んで導入され、濃度を階層化することによりドレインを囲む表面電界を減じる。表面電界を減じることに加えてさらに、表面下のアバランシェを通してドレイン破壊を低下させることにより、トランジスタのアバランシェ耐性を向上させることができる。PMOS450では、このバルクアバランシェは、ダイオード469、P+ドレイン463を含む電圧クランプ、PB層466およびN-ウェル452Aとして概略的に表わされる。

【0111】

図13は、PMOS450と類似した分離されていない拡張されたドレインNMOS470の断面図を示す。示されるようなNMOS470は対称かつドレイン中心である。N+ドレイン483は、ゲート478(シリサイド479を含む)、ソース474、および

10

20

30

40

50

N + ウェル - コンタクト 473 によって両側で囲まれる。装置はストライプのジオメトリを用いて構築されてもよく、または完全に囲まれた長方形もしくは多角形の形状で構成されてもよい。ゲート酸化膜 477 は、高圧装置のための第 1 の薄いゲート酸化膜またはより厚いゲート酸化膜を含んでもよい。自己整合された N - ドリフト領域 482 の長さ L_{DP1} は、サイドウォールスペース 480 によるのではなく、ゲート 478 から N + ドレイン 483 への距離によって決定される。サイドウォールスペース 480 が存在する結果として、低濃度ドーブしたソース領域 475 が形成される。低濃度ドーブしたソース領域 475 は、低圧 NMOS 装置と互換性をもつ既存の L d d 注入を用いて注入されてもよく、または NMOS 470 のために最適化された専用注入を用いてもよい。ILD 481 を通る接触は、下部バリア金属 484 を備えた金属相互接続 485 を用いて行なわれる。

10

【0112】

示されるように、P - ウェル 472 A、472 B は、頂部部分 PW1 および表面下部分 PW1 B を表わす、非ガウスか、非モノリシックなプロファイルを含む。好ましい実施例では、PW1 B は PW1 よりも高濃度にドーブされ、代替実施例では、P - ウェル 472 A、472 B は、用量およびエネルギーが異なる一連の連鎖注入層を含む。P - ウェル 472 A、472 B がフィールド酸化膜層 476 の後に形成されるので、フィールド酸化膜層 476 の下のその接合深さは領域 472 B におけるように浅く、P - ウェルの埋込まれた部分 PW1 B のみを実質的に含むことができる。埋込まれた部分 PW2 B を備えた第 2 のウェル PW2 は第 1 の P - ウェルを置換するように用いられてもよい。

【0113】

20

ドレイン拡張部またはドリフト領域 482 は、ゲート 478 およびフィールド酸化膜層 476 の後に好ましくは形成される浅い注入層を含み、したがって、これらの層に完全に自己整合される。示される装置では、ドリフト領域 482 はゲート 478 によって囲まれ、フィールド酸化膜層 476 には接触も当接もしない。

【0114】

N - ボディ注入層、N - ベース注入層または別の専用注入層のいずれかを含む任意の N B 層 486 が N + ドレイン 483 を囲んで導入され、濃度を階層化することによりドレインを囲む表面電界を減じる。表面電界を減じることに加えてさらに、表面下のアバランシェを通してドレイン破壊を低下させることによりトランジスタのアバランシェ耐性を向上させることができる。

30

【0115】

分離されていないドレイン拡張部 PMOS 450 および NMOS 470 は装置に対して修正することができ、そこでドレインはすべての側においてゲートによって囲まれるわけではない。図 14 は、PMOS 500 A および NMOS 500 B を含む非対称の拡張されたドレイン CMOS 装置の概略的な断面を示し、ここではドレイン拡張部は一方側でゲートに当接し、1つ以上の他の側でフィールド酸化膜に当接している。

【0116】

非対称のドリフトされた PMOS 500 A は N - ウェル 502 において形成され、P + ドレイン 505 B を含み、一方側で P + ドレイン および ゲート 511 A の間に長さ L_{DP1} の P - ドリフト領域 507 A が介在して備えられる。長さ L_{DP2} の第 2 の P - ドリフト領域 507 B は、ドレイン 505 B およびフィールド酸化膜層 516 の間に置かれる。ドリフト領域 507 A、ドリフト領域 507 B およびソース拡張部 506 は、上述のプロセスフローの PLDD2 などの同じ注入ステップを用いて形成されてもよく、またはその具体的な機能のために個別に最適化された別個の注入層であってもよい。ドリフト領域 507 A および 507 B の L_{DP2} および L_{DP1} も、その機能のために個別に最適化されてもよい。たとえば、507 B の長さおよび抵抗性は PMOS 500 A の BV の決定について重要であるが、装置のオン状態性能またはホットキャリア信頼性 (HCI) には影響しない。一方、ドリフト領域 507 A のドーピングおよび長さは、BV、オン抵抗および HCI に影響する。

40

【0117】

50

同様に、非対称のドリフトされたNMOS500BはP-ウェル503に形成され、N+ドレイン504Bを含み、一方側でN+ドレインおよびゲート511Bの間に長さ L_{DN1} のN-ドリフト領域509Aが介在して備えられる。長さ L_{DN2} の第2のN-ドリフト領域509Bは、ドレイン504Bおよびフィールド酸化膜層516の間に置かれる。ドリフト領域509A、ドリフト領域509Bおよびソース拡張部508は、上述のフローのNLDD2などの一般的な注入ステップを用いて形成されてもよく、または、具体的な各機能のために個別に最適化される別個の注入ステップによって形成されてもよい。ドリフト領域509Aおよび509Bの L_{DP2} および L_{DP1} も、その機能のために個別に最適化されてもよい。たとえば、ドリフト領域509Bの長さおよび抵抗性はNMOSのBVの決定について重要であるが、装置のオン状態性能またはホットキャリア信頼性(HCI)には影響しない。一方、ドリフト領域509Aのドーピングおよび長さは、BV、オン抵抗およびHCIに影響する。1つの実施例では、破壊が常にゲート511Bから遠くで生じるように、ドリフト領域509BのBVは意図的にドリフト領域509AのBVよりも低くされている。

10

【0118】

好ましい実施例では、ソース拡張部508は高濃度にドーピングされてNMOSのソースからチャンネルまで低い抵抗を与えるが、ドリフト領域509Aは、ドレイン破壊電圧を支持して十分なHCIをもたらすように最適化された異なるドーピングプロファイルを有している。別の実施例では、ドリフト領域509Aはまた、オン抵抗とHCIとの間のよりよいトレードオフのために階層化されたドリフト領域ドーピングを与えるよう、N+ドレイン領域の近くによりドーピングの大きい第2の領域を含む。ドリフト領域509Aはまたより高エネルギーで注入されることができ、ほとんどの電流が繊細なゲート酸化膜シリコンインターフェースからさらに遠くに流れることを可能にすることにより、HCIを向上させるレトログレードプロファイルを与える。

20

【0119】

PMOS500AおよびNMOS500Bの構造および製造は、別の方法で図12および図13のPMOS装置およびNMOS装置と類似する。P+注入層は、PMOS500Aにおいてソース505Aおよびドレイン505Bを形成する一方で、NMOS500BにおいてP-ウェルコンタクト505Cを形成する。反対に、N+注入層は、NMOS500Bにおいてソース504Cおよびドレイン504Bを形成する一方で、PMOS500AにおいてN-ウェルコンタクト504Aを形成する。PMOS500AおよびNMOS500Bのゲート酸化膜510Aおよび510Bは同じでもよく、または個別に最適化されてもよい。

30

【0120】

図12および図13に示されるPB層466およびNB層486もPMOS500AおよびNMOS500Bに使用されてもよい。代替的には、より深い注入を用いてドレインの下へ、およびバルクシリコンの中へと破壊を強制することができる。PMOS500Aでは、任意のN型領域498はマスキングされてもよく、N-ウェル502に注入されて局所的に濃度を高め、P+ドレイン505BおよびN-ウェル502の間で形成される接合の破壊を低下させる。同様に、NMOS500Bでは、P型領域499はマスキングされてもよく、P-ウェル503に注入されて局所的に濃度を高め、N+ドレイン504BおよびP-ウェル503の間で形成される接合の破壊を低下する。

40

【0121】

ラテラルトレンチDMOS

シリコン表面上に位置し、シリコン表面に沿ってゲートの下にMOSチャンネルを形成するゲートを有する、前述の「平坦な」MOSトランジスタおよびDMOSトランジスタと比較すると、ラテラルトレンチゲート型DMOSトランジスタ(LTDMOS)は、トレンチゲートを利用して、ウェーハ表面に対して平行でなく直交して、エッチングされたトレンチの側を垂直に下るチャンネル電流を制御する。チャンネル電流が基板全体を垂直に、およびその背面の外に流れる垂直トレンチDMOSとは異なり、LTDMOSは、

50

電流がウェーハの上側表面上のドレインコンタクトに戻って流れる前に、垂直なチャネル電流をそのドレインに横方向に方向を変える。LTDMOSは従来の平坦なMOSトランジスタよりはるかに三次元である。トレンチゲート構造は、平坦なゲート装置よりも製造が困難である一方、装置の電気的性質については一定の利点を与える。

【0122】

0.4ミクロン以下のトレンチ開口部を用いて、ゲートは従来のMOSトランジスタ、特に0.5~0.6ミクロンのゲート長を必要とする5ボルトの装置、典型的には0.8ミクロン以上を必要とする12ボルトの装置、および最大4ミクロンまでのさらに長いゲート長を必要とする20ボルト以上の電圧よりも面積の消費が少ない。したがって、トレンチゲートについてはスペースの節約が単純に利益となる。

10

【0123】

LTDMOSの別の利益は、異なるエネルギーおよび用量の一連の連鎖注入層を用いて完全に自己整合したゲートを形成し、高温処理または長い拡散を必要とすることなく箱形状または他の非ガウスかつ/または非モノリシックなドーパントプロファイルを形成する能力である。これらの独特のドーパントプロファイルは、チャネルに広がる空乏を減じ、短絡チャネル効果を抑え、パンチスルーチャネルリークおよび破壊を抑制し、かつしきい値可変性を制限するのを助けるよう調整することができる。

【0124】

従来の態様で構築されたラテラルDMOSと比較して、本願明細書に記載されたLTDMOSの垂直の注入は簡単で便宜的であり、高温拡散を必要とすることなくDMOSボディ全体を注入するのに数秒しか要しない。この方法は、装置とゲート配向との方向上の不整合を回避するために注入中に正確なウェーハの回転を必要とする、図3CのDMOS装置105によって、または図3DのラテラルDMOS110の新種のチルト注入によって必要とされる、12-24時間の高温拡散と著しい対照をなす。また、図3Gの従来のDMOS装置120と異なり、この発明のLTDMOSはゲートに対して完全に自己整合し、破壊および衝撃イオン化をより一定かつ複製可能にする。

20

【0125】

LTDMOSの三次元構造の別の利益は、高電界の領域から大電流密度の領域を離す能力であって、それによって、図2Bの装置70の衝撃イオン化および望ましくないドリフト導電変調効果を抑える。装置はまた、ゲート酸化膜を、たとえば装置がアバランシェ降伏の状態にあるときであってもゲートが数ボルトを支持すればよいような、非常に低い電界にさらすよう開発することができる。ゲートにわたる低電界は、より薄いゲート酸化膜を装置の構造に利用することを可能にし、ゲート電圧駆動要件を減じて、高压装置に対してさえもオン抵抗を低く維持する。

30

【0126】

LTDMOSがそのドレイン内にボディ領域を包含しており、そのボディ内にソースを包含しているので、ソース-ボディ短絡を装置の全体にわたって均一に、かつ接地された基板に必然的にボディを短絡することなく利用することが便利である。「局所的な」ボディコンタクトを与える能力により、ソース-ボディの分巻抵抗 R_{SB} が抑えられ、それによって図2Aの装置60の悩みであるスナップバック現象が有効に減じられるか、またはなくなりさえする。

40

【0127】

別の利点は、全低温処理を用いることによって、LTDMOS製造が統合されたプロセスでの他のバイポーラ装置およびCMOS装置の統合に影響しないか、他の方法で影響を及ぼさないことであり、装置および対応するプロセス工程の包含および排除がモジュール式の態様で支持される。全低温処理では、直径の小さいウェーハに製造が限定されるわけではない。

【0128】

図15Aから図15Cは、この発明によるLTDMOS装置の全低温製造におけるいくつかのキーとなる工程を示す。図15Aを参照して、LTDMOS550の製造は、基板

50

551にポリシリコンゲート554およびゲート酸化膜553を備えたトレンチゲート552を形成する、エッチングステップ、酸化ステップ、ポリシリコン堆積ステップ、ならびに平坦化ステップで始まる。次いで、深いドリフト(ND)領域555が高エネルギーまたは連鎖注入によって典型的にはトレンチ552の底部の深さに近い深さに導入されるが、深さはより浅くてもより深くても可能である。トレンチ552より深いND領域の形成は、たとえば、ハイサイドスイッチアプリケーションで用いられるラテラルトレンチDMOS装置におけるゲート電界をさらに減じるために用いられてもよい。

【0129】

図15Bに示されるように、このプロセスはさらに、好ましくはホウ素注入エネルギーおよび用量が変動する連鎖注入を用いて、パターンニングされたフォトレジスト556によって選択的にマスクングされる、注入されたままのP-型ボディ559の形成を含む。ボディ注入は、少なくとも下部部分NW1Bおよび上部部分NW1を含む連鎖注入された非ガウスN-ウェルを理想的には含む、任意のN-ウェル557の形成に先行しても続いてもよく、ここで好ましい実施例では、特にトレンチラテラルDMOS550と一緒に製造される他の装置において同じN-ウェルが構造的、電気的な要素として含まれることになっている場合は、下部部分NW1Bが上部部分よりも高濃度にドーピングされる。たとえば、第2のN-ウェルが第1のN-ウェルよりも高濃度の平均ドーピングを有する場合などは、所望により第2のN-ウェルを第1のN-ウェルの代わりに用いることができる。

【0130】

P-型ボディ559の存在は、ドリフト領域555を2つの領域、すなわちボディ559の下に挟まれた領域555A、およびP-型ボディ層によって挟まれない領域555Bに分割する。図15Cに示されるように、注入が用いられてN+ソース領域560Aおよび560Bならびにドレインコンタクト560Cを形成する。別の注入が用いられてP+ボディコンタクト561Aおよび561Bを形成する。電流Iは、トレンチ552の側を下って垂直の経路を通して流れ、横方向の導電経路をまず挟まれたドリフト領域555Aを通り、次に挟まれないドリフト領域555Bに向かって拡大し、最終的にN+ドレインコンタクト560Cによって集められるように流れる。任意のN-ウェル557がオン抵抗を減じるのを助けてもよい。

【0131】

図16Aおよび図16Bは、非コンフォーマルな深いN-型ドリフト領域582を含むラテラルトレンチDMOS580の1つの可能な構造を示す。図16Aは、N+ソース587B、P+ボディコンタクト586B、連鎖注入されたP型ボディ583、ND領域582、N+ドレインコンタクト587A、基板コンタクト586A、ILD590、バリア金属588、および相互接続589に囲まれた、トレンチゲートポリシリコン585およびゲート酸化膜584を含む、ゲート中心の設計を断面図で示す。

【0132】

トレンチゲートの底部を除いて、ゲートおよびドレイン構造全体は、p-ボディによって挟まれない部分582Aと、P-型ボディ583によって挟まれた部分582Bとを含む、注入ドリフト領域582によって垂直に包含され、かつ横方向に囲まれる。ゲートポリシリコン585の縁部からP-ボディ領域583の縁部まで延在する、挟まれた部分582Bは長さ L_J を有し(JFET様の領域を表示する)、その一方でP-ボディ583の縁部から任意のN-ウェルドレイン591の縁部へは、ドリフト長さ L_{D1} として規定される。これらのドリフト領域長さ L_J および L_{D1} のいずれかまたは両方を延長することはLTDMOS580のBVを増大させるが、そのオン抵抗をも増大させる。

【0133】

N-ウェルドレイン591およびP基板581の間のLTDMOS580の外端は、ND領域582Aの拡張部の長さ L_{D2} と、P+基板コンタクト586Aによって境界付けされる長さ L_{D3} の基板領域とを含む。外端の長さは、 L_{D1} のドーピングおよび長さが影響するようには、装置の導電特性に影響しない。装置全体はエピタキシを必要とすることなくP基板581に形成される。

10

20

30

40

50

【0134】

図16Bは、ND領域601を囲むP+基板リング602A、任意のN-ウェル領域604Aおよび604B、N+ドレインコンタクト605Aおよび605B、ポリシリコンがトレンチ609の外部でシリコン表面の上に位置している電極窓607によって接触されるトレンチポリ608およびトレンチ609を備えたP+ボディコンタクト領域602Bに当接するN+ソース領域605Cおよび605Dを備えたP-ボディ領域603を含む、LTDMOS580の上面図を示す。ソースコンタクト606は、N+ソース領域605CおよびP+ボディコンタクト領域602Bの両方にまたがる衝突コンタクトとして示される。代替的には、ソースコンタクトおよびボディコンタクトが別個であってもよい。

10

【0135】

ドリフト長さ L_{D1} 、 L_{D2} 、 L_{D3} は、規定するドーパント領域に対して特定される。「ユニットセル」として規定された部分は、より大型の装置を形成するために繰り返され得る部分を説明しており、ND領域601およびP+基板リング602Aもこの大型装置を収容するためにさらに拡張する限り、繰り返され得る。N-ウェルドレインもまた完全にボディ領域603を囲むことができる。

【0136】

図17Aおよび図17Bは、トレンチがドレインに囲まれるのとは逆にドレインがトレンチに囲まれること以外は図16AのLTDMOS装置に構造上類似している、LTDMOS装置のいくつかのドレイン中心の変形例を示す。

20

【0137】

図17Aは、P+ボディコンタクト領域627Bおよび627C、連鎖注入されたP-型ボディ626A、626B、626Cおよび626D、トレンチゲートポリシリコン625およびゲート酸化膜624、N+ソース領域628A、628B、628Cおよび628D、ILD631、バリヤ金属629および相互接続金属630に囲まれるN-ウェルの深いドレイン領域623およびN+ドレインコンタクト領域628Eを含む、ドレイン中心のLTDMOS620を示す。装置全体は、エピタキシを必要とすることなく、非コンフォーマルND領域622およびP-型基板621内に形成される。

【0138】

電氣的に、N-ウェル623が装置のドリフト領域を形成し、そこではP-ボディ626Cの縁部からN+ドレインコンタクト領域628Eの縁部までドリフト長さ L_{D1} が規定される。このドリフト領域を延長することで多少は破壊が増大し得るが、N-ウェル623のより高濃度なドーピングによって、トランジスタドレイン抵抗におけるほぼ線形の増大にもかかわらず、結果として破壊の最小限の増大しか生じ得ない。基板コンタクト注入およびコンタクトリングおよび装置の外端は示されないが、図16Aおよび図16Bに示されるLTDMOS580の設計に類似の設計を用いて、外部ボディ領域を越えてドリフト領域622を拡張することにより達成され得る。

30

【0139】

図17Bは、コンフォーマルドリフト領域を備えたLTDMOS640を示す。この装置は、任意の深いドレイン領域643、フィールド酸化膜層652に囲まれたN+ドレインコンタクト領域648E、P+ボディコンタクト領域647Aおよび647B、連鎖注入されたP-型ボディ646A、646B、646Cおよび646D、トレンチゲートポリシリコン645およびゲート酸化膜644、N+ソース領域648A、648B、648Cおよび648D、ILD651、バリヤ金属649および相互接続金属650を含む。装置全体は、エピタキシを必要とすることなく、コンフォーマルND領域642Aおよび642B、ならびにP-型基板641内に形成される。

40

【0140】

電氣的に、領域642Aおよび642Bが装置のドリフト領域を形成し、P-ボディ646Cの縁部から深いドレイン領域643の縁部までドリフト長さ L_{D1} が規定される。示されるように、これはほぼフィールド酸化膜層652の長さと同じであり得るが、必須で

50

はない。ゲート縁部からP - ボディ領域646Bの縁部まで延在する挟まれたドリフト領域642Aは長さ L_J (JFET様の領域を表示する)を有する。これらのドリフト領域長さ L_J および L_{D1} のいずれかまたは両方を延長することがLTDMOSのBVを増大させ得るが、そのオン抵抗をも増大させる。基板コンタクト注入およびコンタクトリング、ならびに装置の外端は示されないが、図16の装置に類似する設計を用いて、外部ボディ領域を越えてND領域642を拡張することにより達成され得る。

【0141】

図17Cは、ドリフト領域662Aに囲まれた深いドレイン領域663およびN+ドレインコンタクト668C、P+ボディコンタクト667、連鎖注入されたP - 型ボディ666Aおよび666B、トレンチゲートポリシリコン665およびゲート酸化膜664、N+ソース領域668Aおよび668B、ILD671、バリヤ金属669、ならびに相互接続金属670を含む、LTDMOS660を示す。装置全体は、エピタキシを必要とすることなく、高エネルギー注入されたドリフト領域662およびP - 型基板661内に形成される。示されるように、N+ドレイン668Cの中心が対称な装置の中心線である。

10

【0142】

電氣的に、ND領域662が装置のドリフト領域を形成し、そこではフィールド酸化膜の存在なしに、任意のN - ウェル663の縁部からP - ボディ666Bの縁部までドリフト長さ L_{D1} が規定される。図17BのLTDMOS640と異なり、LTDMOS660のドリフト領域662はフィールド酸化膜層を通して注入されていない。したがって、ドリフト領域662の結果として生じる深さは、その全長に沿って実質的に一定である。 L_{D1} を増大させることはLTDMOS660のBVを増大させ得るが、これはまたオン抵抗をも増大させる。基板コンタクト注入およびコンタクトリングならびに装置の外端は示されないが、図16Aおよび図16Bに示されるLTDMOS580の設計に類似の設計を用いて、外部のボディ領域を越えてドリフト領域662を拡張することにより達成され得る。

20

【0143】

図17Dは、挟まれた部分682B、フィールド酸化膜層691の下の挟まれていない部分682A、およびフィールド酸化膜層691の下にない挟まれていない部分682Cを含むコンフォーマルドリフト領域682に囲まれた、任意の深いドレイン領域683およびN+ドレインコンタクト688Cを含む、LTDMOS680を示す。LTDMOS680はさらに、P+ボディコンタクト687、連鎖注入されたP - 型ボディ686Aおよび686B、トレンチゲートポリシリコン685およびゲート酸化膜684、N+ソース領域688Aおよび688B、ILD692、バリヤ金属689ならびに相互接続金属690を含む。装置全体は、エピタキシを必要とすることなく、コンフォーマル注入ドリフト領域682A、682B、および682C、ならびにP - 型基板681の内に形成される。示されるように、N+ドレイン688Cの中心が対称な装置の中心線である。

30

【0144】

電氣的に、ドリフト領域682Aが装置のドリフト領域を形成し、N+ドレインコンタクト688Cまたは任意の深いドレイン683の縁部からP - ボディ686Bの縁部までドリフト長さ L_{D1} が規定される。示されるように、フィールド酸化膜層691の長さは L_{D1} と同じでもよく、またはこれらの長さは実質的に異なってもよい。 L_{D1} を増大させることは破壊を増大させ得るが、オン抵抗をも増大させ得る。基板コンタクト注入およびコンタクトリングならびに装置の外端は示されないが、図16Aおよび図16Bに示されるLTDMOS580の設計に類似の設計を用いて、外部のボディ領域を越えてドリフト領域682Aを拡張することにより達成され得る。

40

【0145】

図17Eに示されるLTDMOS700は、N - ウェル703に囲まれたN+ドレインコンタクト708E、P+ボディコンタクト707Aおよび707B、連鎖注入されたP - 型ボディ領域706A、706B、706Cおよび706D、トレンチゲートポリシリコン705およびゲート酸化膜704、N+ソース領域708A、708B、708Cお

50

よび708D、ILD711、バリヤ金属709、ならびに相互接続金属710を含む。装置全体は、エピタキシを必要とすることなく、高エネルギー注入されたドリフト領域702およびP-型基板701内に形成される。示されるように、N+ドレイン708コンタクトEの中心が対称な装置の中心線である。

【0146】

電氣的に、ND領域702のN-ウェル703および挟まれた部分が装置のドリフト領域を形成し、N+ドレインコンタクト708Eの縁部からP-ボディ706Bの縁部までドリフト長さ L_{D1} が規定される。ゲートポリシリコン705の縁部からN-ウェル703の縁部まで延在する、ND領域702の挟まれた部分は長さ L_J を有する。これらのうちいずれかまたは両方のドリフト長さ L_J および L_{D1} を延長することはLTD MOS 700のBVを増大させ得るが、そのオン抵抗をも増大させる。 L_J および/または L_{D1} を縮小することは、N-ウェル703がチャネル領域に干渉することを引き起こし得る。

10

【0147】

基板コンタクト注入層およびコンタクトリング、ならびに装置の外端は示されないが、図16Aおよび図16Bに示されるLTD MOS 580の設計に類似の設計を用いて、外部のボディ領域を越えてドリフト領域702を拡張することにより達成され得る。

【0148】

図17Fは、P-ボディ726Bによって挟まれない部分722AおよびP-型ボディ726Bによって挟まれる部分722Bを含むドリフト領域722に囲まれた、N+ドレインコンタクト728Eを有するLTD MOS 720を示す。装置はさらに、P+ボディコンタクト727Bおよび727C、連鎖注入されたP-型ボディ領域726A、726B、726Cおよび726D、トレンチゲートポリシリコン725およびゲート酸化膜724、N+ソース領域728A、728B、728Cおよび728D、ILD731、バリヤ金属729および相互接続金属730を含む。図17Eに示されるLTD MOS 700と異なり、LTD MOS 720はN-ウェルの深いドレインを含んでいない。装置全体はエピタキシを必要とすることなくP-型基板721内に形成される。示されるように、N+ドレインコンタクト728Eの中心は対称な装置の中心線である。

20

【0149】

電氣的に、装置のドリフト領域は、N+728Eの縁部からP-ボディ726Bの縁部まで規定される長さ L_{D1} の第1の部分、および、ゲート縁部からP-ボディ726Bの縁部まで規定された第2の部分 L_J を含む。これらのドリフト長さ L_J および L_{D1} のうちいずれかまたは両方を延長することはLTD MOSのBVを増大させ得るが、そのオン抵抗をも増大させる。基板コンタクト注入層およびコンタクトリング、ならびに装置の外端は示されないが、図16の装置に類似の設計を用いて、外部のボディ領域を越えてND領域722を拡張することにより達成され得る。

30

【0150】

図18A-図18Cは、好ましくはLOCOSプロセスによって形成される、フィールド酸化膜層771にコンフォーマルに形成されたND領域762を含む、LTD MOS 760の構造を示す。図18Aの断面図に示されるように、LTD MOS 760は、トレンチゲートポリシリコン765、ゲート酸化膜764、N+ソース768B、P+ボディコンタクト767A、連鎖注入されたP-型ボディ766、任意のN-ウェルの深いドレイン領域763、N+ドレインコンタクト768A、基板コンタクト767B、ILD772、バリヤ金属769、および相互接続金属770を含む、ゲート中心の設計を有する。

40

【0151】

トレンチゲートの底部を除いて、ゲートおよびドレイン構造全体は、P-ボディ766によって挟まれない部分762A、762Cおよび762D、ならびにP-型ボディ766によって挟まれた部分762Bを含む、注入された領域ND領域762内に垂直に包含され、横方向に囲まれている。ゲート縁部からP-型ボディ766の縁部まで延在する挟まれた部分が長さ L_J を有する(JFET様の領域を表示する)一方、P-ボディ766の縁部からN+ドレイン768Aの縁部、または任意のN-ウェルの深いドレイン763

50

までがドリフト長さ L_{D1} として規定される。ND領域762はフィールド酸化膜層771に一致し、それにより、フィールド酸化膜層771の下の領域762Cにおいては深さがより浅く電荷はより低く、ドレイン領域762Aとボディおよびゲート領域762Bにおいては深さより深く形成される。 L_J および L_{D1} を延長することはLTDMOS760のBVを増大させるが、そのオン抵抗をも増大させる。

【0152】

ドレインとP基板761との間の外端は、ドリフト領域762Dの拡張部を長さ L_{D2} だけと、P+基板コンタクト767Bによって境界付けされる長さ L_{D3} の基板領域とを含む。外端長さおよびドーピングはLTDMOS760のBVに影響するが、その導電特性には影響しない。装置全体はエピタキシを必要とすることなく基板761に形成される。

10

【0153】

図18BはP+基板コンタクト767Bを含むLTDMOS780の上面図を示し、これはND領域762を囲むリングの形であって、N-ウェル領域763、N+ドレインコンタクト768A、P+ボディコンタクト767Aに当接するN+ソース領域768Bを備えたP-ボディ領域766、ポリシリコンがトレンチ791の外部でシリコン表面の上に位置している電極窓789によって接触されたトレンチ791およびトレンチポリシリコン765を含む。ソースコンタクト787は、P+ボディコンタクト767Aが側面に沿って狭すぎて接触できないので、N+ソース領域768Bと接触して示される。この設計により、P-ボディ領域766の幅とドリフト領域の挟まれた部分762Bの対応する長さ L_J とが減じられる。P+ボディコンタクト767Aは別個のコンタクト788によって各フィンガの端部で接触される。代替的には、そのソースは、付加的なP+コンタクト領域を容易にするゲートフィンガに沿って、周期的に中断されてもよい。

20

【0154】

規定するドーパント領域に対してドリフト長さ L_{D1} 、 L_{D2} および L_{D3} が特定される。「ユニットセル」として規定された部分は、より大型の装置を形成するために繰り返される部分を説明しており、ND領域762およびP+基板コンタクト767Bもこの大型装置を収容するためにさらに拡張する限り、繰り返され得る。ND領域762もまた完全にP-ボディ766を囲むことができる。

【0155】

代替実施例では、ゲートに沿ったP+領域およびN+領域の幅が、交互のコンタクトを支持するために交互にされてもよい。この手法は図18Cに示され、そこでは交互の周期性において、ソースコンタクト808はN+ソース領域768Bのより広い部分に接触し、ボディコンタクト807はP+ボディコンタクト767Aのより広い部分に接触している。構造全体はP-ボディ766の横方向のフットプリント内に含まれる。この設計により、P-ボディ766の幅とドリフト領域の挟まれた部分の対応する長さ L_J とが減じられる。

30

【0156】

この代替実施例の残りは、ここでもND領域762を囲むリングの形をしたP+基板コンタクト767B、N-ウェル763、N+ドレインコンタクト768A、トレンチ811、および、ポリシリコンがトレンチ811の外部でシリコン表面の上に位置している電極窓809によって接触されるトレンチポリシリコン765を含む。

40

【0157】

分離されたラテラルDMOS

エピタキシなしにN-チャネルラテラルDMOSを分離することは、高エネルギー注入された深いN-型(DN)層の使用を必要とする。DN層は、特にその形成に高温処理を必要としない点で従来の高温用と区別される独特の特性を有するが、通常エピタキシャル層と下部基板との間のインターフェースに及ぶ従来のエピタキシャル埋込層の代替と考えることができる。

【0158】

図19Aから図19Cは分離されたラテラルDMOS840の製造における注入された

50

DN層の使用を示し、好ましくはLOCOSプロセスシーケンスを用いたフィールド酸化膜層844の輪郭をとる注入層の形成から始まる。DN注入層は次にフォトレジスト845または他の適切なマスクによって選択的にマスクングされ、P-型基板841に対するN-型ドーパント、好ましくはリンの、1つ以上の高エネルギー注入によってDN分離層842が形成され、分離されたポケット843を形成する。DN層842はフィールド酸化膜層844の下では接合深さがより浅く、活性なトランジスタ領域の下の十分な深さからLOCOS酸化膜の下の深さまで、段階的な遷移を作る。好ましい実施例では、分離ポケットのサイドウォールはLOCOSバースピーク遷移領域の下で自己形成される。

【0159】

図19Bに示されるように、P-型ウェル847はフォトレジストマスク846を通るイオン注入によって規定された活性領域に導入される。最終装置においてこのP-ウェルはラテラルDMOSのボディとして機能するが、ゲート形成に先行するのでトランジスタのゲートに対して自己整合しない。表面近くでピーク濃度を有し、深さが増大すると濃度がモノリシックに減少する従来の拡散ウェルとは異なり、P-型ウェル247は、P型ドーパントの高エネルギーイオン注入、好ましくは用量およびエネルギーが異なる一連のホウ素注入層を含む連鎖注入層によって形成される。連鎖注入層はいかなる数の注入層も含んでもよいが、図面では2つの領域によって図解で表わされる。単一のマスクを通して、かつエピタキシの使用なしでイオン注入によって形成された、表面層PW1および表層下層PW1Bである。好ましい実施例では、より深い層のドーピング濃度は表面ウェルの濃度よりも高い。P-ウェル847は、他のNMOSTランジスタを統合するために用いられるP-ウェルを含んでもよく、または専用注入層を含んでもよい。第1のドーピングとは異なるドーピングを有する第2のP-ウェル、たとえばPW2およびPW2Bが、第1のP-ウェルを置換してもよい。

【0160】

図19Cでは、深いN-型ドリフト(ND)領域849は、フォトレジスト848によって選択的にマスクングされ、分離されたポケット843内の領域に高エネルギー注入される。LOCOS酸化膜844を通して注入された場合、このND領域849はフィールド酸化膜プロファイルに一致し、「コンフォーマルな」ドリフトを形成する。代替的には、ND領域849は活性領域だけに形成されてもよい。この発明の別の実施例では、分離されていない拡張されたドレインMOS装置に関して上述されたように、ドリフトはポリシリコンゲートの後に形成される浅いN-注入層を含んでもよい。次いで、ゲート酸化膜、ポリシリコンゲート、N+ソース、N+ドレイン、P-ウェル接触のためのP+注入、および相互連結(示されない)が加えられて装置製造が完成する。付加的なN-ウェルもまた、深いドレインとして、または必要に応じてP-型ポケットのサイドウォール分離を完成するために、用いられてもよい。

【0161】

図20は、上述のプロセスフローを用いて形成され得るコンフォーマルな深いND領域864を備えた分離された対称なラテラルDMOS860を示す。示されるような装置は、深いドレインコンタクトとして、およびフィールド酸化膜層873の下ではなく活性領域のDN床分離層862のより深い部分862Bと重なるサイドウォール分離として、N-ウェル878を利用する。分離されたDMOS860のボディは、上述のように、フィールド酸化膜層873の下ではなくDN床分離層862のより深い部分862Aの上に位置する、分離されたP-型ポケット863に形成された連鎖注入されたP-ウェル865を含む。コンフォーマルなND領域864はDN床分離層862のより浅い部分862Cと重なり、フィールド酸化膜層873の下の部分では接合深さがより浅い。

【0162】

図20のDMOS860はさらに、ゲート酸化膜870、ポリシリコンゲート871、ゲートシリサイド872、P-ウェルに接触するP+領域868A、基板に接触するP+領域868B、N+ソース領域867Aおよび867B、N+ドレイン領域867C、およびサイドウォールスペーサ酸化膜869の下の低濃度ドーブした領域866を含む。パ

10

20

30

40

50

リヤ金属 874 を備えた金属 875 は I L D 879 を通して装置と接触する。

【0163】

示されるような装置 860 は、P + 領域 868 A の中心に対称線を有して対称である。LOCOS 酸化膜 873 の長さであるドリフト長さ L_{D1} は、分離された接合の破壊、すなわち DMOS ドレイン - ボディ破壊に影響を及ぼし、さらに装置のオン抵抗に影響する。しかしながら、アバランシェ降伏を増大させるためにドリフト長さを増大させることは、P - ウェル 865 と DN 層 862 の部分 862 A との間の破壊によって設定される最大電圧までに限定される。N + ドレイン領域 867 C から P + 基板コンタクト 868 B までのスペースとして規定されたドリフト長さ L_{D3} は、周囲の基板 861 に対する分離された装置の破壊を決定する。

10

【0164】

図 21 は、ドリフト領域の上にフィールド酸化膜層を備えていない分離されたラテラル DMOS 880 を示す。連鎖注入された N - ウェル 883 が DN 分離層 882 の上に重なってドリフト領域を形成し、サイドウォール分離として機能する。フィールド酸化膜が存在しない活性領域で装置全体が製造されるので、装置は以前の例のようにコンフォーマルな接合を利用しない。

【0165】

分離された DMOS 880 のボディは、分離された P - 型ポケット 885 において上述のように形成される連鎖注入された P - ウェル 884 を含む。装置はさらに、ゲート酸化膜 890、ポリシリコンゲート 891、ゲートシリサイド 892、P - ウェル 884 に接

20

【0166】

示されるような DMOS 880 は、P + 領域 888 A の中心に中心線を備えて対称である。N + ドレイン領域 887 C とゲート 891 との間のスペースであるドリフト長さ L_{D1} は、分離された接合の破壊、すなわち DMOS ドレイン - ボディ破壊に影響を及ぼし、装置オン抵抗にも影響する。しかしながら、アバランシェ降伏を増大させるためにドリフト長さを増大させることは、P - ウェル 884 と DN 層 882 との間の破壊によって設定される最大電圧までに限定される。N - ウェル 883 から P + 基板コンタクト 888 B までのスペースとして規定されたドリフト長さ L_{D3} は、周囲の基板 881 に対する分離された装置の破壊を決定する。

30

【0167】

図 22 は、ドリフト領域を形成するために浅い N - 型領域 909 A および 909 B を用いる、分離されたラテラル DMOS 900 を示す。サイドウォール分離は、DN 層 902 の上に重なる N - ウェル 903 A および 903 B を用いて形成される。フィールド酸化膜の存在しない活性領域において装置全体が製造されるので、装置は半導体表面における不連続なフィールド酸化膜層の存在によって生成されるコンフォーマルな接合を利用しない。

40

【0168】

分離された DMOS のボディは、分離された P - 型ポケット 905 に上述のように形成される連鎖注入された P - ウェル 904 を含む。装置はさらに、ゲート酸化膜 911、ポリシリコンゲート 912、ゲートシリサイド 913、P - ウェル 904 に接触する P + 領域 908 A、基板 901 に接触する P + 領域 908 B、N + ソース領域 907 A、N + ドレイン領域 907 C、ならびにサイドウォールスペーサ酸化膜 910 の下で低濃度ドーブした N 領域 906 を含む。バリヤ金属 915 を備えた金属 916 は I L D 914 を通して装置と接触する。

【0169】

示されたような装置 900 は対称ではないが、その代り、長さ L_{D1} のゲート - ドレイン

50

ドリフト領域および L_{D2} と L_{D4} との和に等しいP - ウェル904からN - ウェル903Aまでのスペースを含む。N - ウェル903Bとゲート911との間のスペースであるドリフト長さ L_{D1} は、分離された接合の破壊、すなわちDMOSドレイン - ボディ破壊に影響を及ぼし、装置オン抵抗にも影響する。しかしながら、アバランシェ降伏を増大させるためにドリフト長さを増大させることは、P - ウェル904とDN層902との間の破壊によって設定される最大電圧までに限定される。ドリフト長さ L_{D2} 、すなわちN - ドリフト領域909Bの長さ、およびP - ウェル904とN - ドリフト領域909Bとの間のスペースである L_{D4} は破壊だけに影響し、トランジスタ導電特性には影響しない。N - ドリフト領域909Cの長さとして規定されたドリフト長さ L_{D3} 、およびN - ドリフト領域909Cから基板コンタクト908Bへのスペースである L_{D5} は、周囲の基板901に対する分離された装置の破壊を決定する。

10

【0170】

JFETおよび空乏モードMOS装置

この発明のプロセスによって製造することができる別のクラスのトランジスタは、通常オンのトランジスタ、または空乏モード電界効果トランジスタである。ソースにゲートがバイアスされた状態（すなわち $V_{GS} = 0$ のとき）では導電しないエンハンスメントモードまたは通常オフのトランジスタとは異なり、通常オンのトランジスタは、ゼロゲート駆動すなわち $I_{DSS} \gg 0$ についてさえも、リーク電流より実質的に大きいドレイン電流を伝導する。空乏モード装置は、スタートアップ回路において、または定電流源を実現するために、特にスイッチング電源制御回路にバイアス電流を供給する高圧入力について、有益

20

【0171】

このプロセスアーキテクチャで製造された通常オンのトランジスタは、N - チャネル空乏モードMOS電界効果トランジスタ（またはMOSFET）およびN - チャネル接合電界効果トランジスタ（またはJFET）を含む。N - チャネルの通常オンの装置は負のしきい値（ $V_{TN} < 0$ ）を示し、ドレイン電流を遮断するか大きさを減じるために、さらに大きい負のゲート - ソースバイアスを必要とする。正のゲート電位を与えることによって適度にドレイン電流を増大させることができる。

30

【0172】

空乏モードMOSトランジスタのゲートは、空乏領域を形成するための静電気制御を用いて、自由キャリアのチャネル材料を空乏化することによりチャネル電流を減じ、したがって用語「電界効果トランジスタ」が用いられる。ゲートが完全にチャネル領域を空乏化することができれば、装置のチャネル電流は完全に抑えられるか「ピンチオフ」され得る。しかしながら、空乏領域が完全にチャネルを空乏化するのに十分に深くなければ、装置は常にいくらかの電流を伝導する。これは一般に電源回路の応用例において望ましくない特徴である。定常状態では、空乏領域の最大深さは表面反転層の形成によって限定される。この電圧を越えてゲートバイアスを増大させることは、空乏領域の深さを増大させない。

40

【0173】

MOSトランジスタが絶縁ゲートを有するので、そのゲートはドレイン電流を増強したり抑えたりするためにバイアスすることができる。正のゲートバイアスまたは負のゲートバイアスについて、MOS空乏モードトランジスタの最大安全ゲート電圧はゲート酸化膜破壊電圧に限定され、信頼性目的で約4MV/cmにまで軽減されている。ゲートは電流を伝導せずにいずれかの極性にバイアスされ得るが、チャネルキャリアを空乏化するのではなく蓄積するようにゲートをバイアスすることによりチャネル導電を増強することは、導電率における漸近的な改善を示し、したがって、利益は限定的である。

【0174】

空乏モードMOSトランジスタの絶縁ゲートとは対照的に、JFETは逆バイアスされ

50

た P - N 接合をゲートとして利用して、静電気学によって空乏領域を誘導する。MOS ゲート制御された装置のように、逆バイアスされたゲート - ボディ (チャンネル) は、ドレイン電流を抑えるためにキャリアのチャンネルを空乏化する。空乏領域が完全にチャンネル領域を空乏化することができれば、装置のチャンネル電流は完全に抑えられるか、または「ピンチオフ」され得る。しかしながら、空乏領域が完全にチャンネルを空乏化するのに十分に深くなければ、装置は常にいくらかの電流を伝導する。これは一般に電源回路応用例において望ましくない特徴である。

【 0 1 7 5 】

ドレイン電流を抑えるためまたは J F E T を遮断するための最大のゲート電圧は、そのドレイン - ゲート接合破壊 $B V_{DG}$ またはゲート - ソース接合破壊電圧すなわち $B V_{GS}$ によって限定される。対照的に、導電を増強する最大電圧は、J F E T ゲートの順方向バイアスに限定され、すなわちシリコン P - N 接合ゲートについて 0 . 6 V である。チャンネルキャリアを空乏化するのではなく蓄積するようにゲートをバイアスすることにより導電を増強することは漸近的であって、特にゲートバイアスを増強する際の可能な限定範囲を考慮すると利益は限定的である。

10

【 0 1 7 6 】

空乏モードまたは J F E T の装置の統合は、特に高圧動作においては、従来の集積回路プロセスにおいて一般に可能ではない。それらの製造は高温プロセスおよび拡散をしばしば含み、MOS しきい値または J F E T ピンチオフ電圧の制御が不十分となる。しかしながら、この発明の装置は高温プロセスに依存せず、それによって、オフ状態リークが少ない優れたピンチオフ制御性能を提供する。

20

【 0 1 7 7 】

図 2 3 は、開示された低温プロセスを用いて製造され、好ましくは 1 つ以上の高エネルギー注入ステップを用いて形成された、ND 領域 9 2 2 を備えた高圧 J F E T 9 2 0 を示す。この装置では、N + 領域 9 2 4 A は J F E T ソースを形成し、N + 領域 9 2 4 B および任意の N - ウェル 9 2 3 は J F E T ドレインを形成し、P + 領域 9 2 5 B は ND 領域 9 2 2 とともに作られた P N 接合を介して J F E T ゲートを形成する。P + 領域 9 2 5 B の下で挟まれた ND 領域 9 2 2 の部分は J F E T のチャンネルとして機能し、P + 領域 9 2 5 B から N + 領域 9 2 4 B または任意の N - ウェル 9 2 3 まで延在する ND 領域 9 2 2 の部分は、長さ L_{D1} の高圧ドリフト領域を形成する。ND 領域 9 2 2 と P - 型基板 9 2 1 との間で形成される P - N 接合からいくらかのチャンネルピンチが生じるが、このバックゲート効果は、P + ゲート領域 9 2 5 B 上のバイアスの影響よりも実質的に小さい。ピンチオフは、J F E T ゲートの一部として任意の P - ボディまたは P - ベース層 9 2 6 を含めることにより、さらに調整することができる。ゲート、ソースおよびドレインは、ILD 9 2 9 を通って延在する相互接続金属 9 2 8 およびバリア金属 9 2 7 で接触される。

30

【 0 1 7 8 】

J F E T 9 2 0 のソース電圧は、たとえばハイサイド装置として、P + 基板コンタクト領域 9 2 5 A を N + ソース領域 9 2 4 A から適切に間隔をおくことによって、基板の上の電位にフロートされてもよい。この距離は、長さ L_{D2} の ND 領域 9 2 2 の部分および ND 領域 9 2 2 から P + 基板コンタクト領域 9 2 5 A までの距離 L_{D3} を含む。示されるように、装置は、ドレイン N + 9 2 4 B の中心にある対称線で対称である。

40

【 0 1 7 9 】

図 2 4 は、低濃度ドーピングしたドレイン (LDD) ドリフト領域 9 4 2 A を備えた空乏モード NMOS 9 4 0 を示す。従来のエンハンスメントモード NMOS またはラテラル DMOS と異なり、NMOS 9 4 0 は、ソースを囲んだり、そうでなければ装置を囲んだりする P - ウェルを有しない。低いしきい値は、低濃度ドーピングした基板 9 4 1 のドーピング、ゲート酸化膜 9 4 7 の厚さ、およびゲート材料 9 4 8 によって設定される。これらのパラメータの適切な調整で、0 V から - 1 V までの装置しきい電圧が可能である。

【 0 1 8 0 】

空乏モード NMOS 9 4 0 はまた、N + ソース 9 4 4 A、N + ドレイン 9 4 4 B、任意

50

のN - ウェルの深いドレイン943、第1または第2のゲート酸化膜を含み得るゲート酸化膜947、任意のシリサイド949を備えたゲート948、サイドウォールスペーサ946、ソース拡張部954、P + 基板コンタクト領域945、フィールド酸化膜層955、ILD952、金属相互接続951、およびバリヤ金属950を含む。

【0181】

ゲート948およびフィールド酸化膜層955に続いて導入され、これらに自己整合されるドリフト領域942は、ドレイン944Bを囲んで包み、長さ L_{D1} のN - ドリフト領域942Aとしてゲート948に対して横方向に延在し、長さ L_{D2} のN - ドリフト領域942Bとしてフィールド酸化膜層955まで延在する。ゲート948に当接するドリフト領域942Aの縁部にある電界を減じるために、任意で金属フィールドプレート953が

10

【0182】

低濃度P - 型基板941では、ドリフトドレイン942AとN + ソース944Aとの間のパンチスルー破壊を防ぐのに、最小寸法を超えるポリシリコンゲート948のゲート長を必要とする。任意の高エネルギー注入された深いP - 型(DP)層956もまた、パンチスルーを防ぐために用いられてもよい。示されるように、この層はゲート948の部分と重なってもよく、またはドーピングレベルおよび装置構造に依存して、さらに多く(942Aの部分と重なって)もしくは少なく(954を越えて延在しない)拡張してもよい。注入条件に依存して、DPドーピングの尾部がゲート948の下のチャンネル領域まで延在し、

20

【0183】

図25は、ゲート形成に先立って注入されたND領域962を備えた空乏モードNMOS960を示す。従来のエンハンスメントモードNMOSまたはラテラルDMOSと異なり、NMOS960は、ソースを囲んだり、そうでなければ装置を囲んだりするP - ウェルを有しない。低いしきい値は、低濃度ドーピングした基板961のドーピング、ゲート酸化膜968の厚さ、およびゲート材料969によって設定される。これらのパラメータの適切な調整により、0Vから-1Vまでの装置しきい電圧が可能である。

【0184】

空乏モードNMOS960はさらに、N + ソース領域964A、N + ドレイン領域964B、任意の深いドレインN - ウェル963、第1または第2のゲート酸化膜を含み得るゲート酸化膜968、ゲート969、任意のゲートシリサイド970、サイドウォールスペーサ967、Nソース拡張部966、P + 基板コンタクト965、フィールド酸化膜層970、ILD971、金属相互接続973およびバリヤ金属972を含む。

30

【0185】

深い注入されたND領域962はゲート969に先立って導入されたので、これに対して自己整合されない。フィールド酸化膜層970はドレイン964Bを囲み、包む。ND領域962は長さ L_{D1} でゲート969まで横方向に延在し、長さ L_{D2} でフィールド酸化膜層970まで横方向に延在する。ゲート969に当接するドリフト領域962の縁部で電界を減じるために、金属フィールドプレート974は、ゲート964の上に、かつこれを

40

【0186】

図26は、ゲート形成に先立って注入された深いコンフォーマルなN - 型ドリフト領域982を備えた空乏モードNMOS980を示す。低いしきい値は、低濃度ドーピングした基板981および薄いゲート989によって設定される。上述のように、DMOS980は、ソースを囲んだり、そうでなければ装置を囲んだりするP - ウェルを有しない。したがって、0Vから-1Vまでの装置しきい電圧が可能である。

50

【 0 1 8 7 】

D MOS 9 8 0 はまた、N + ソース領域 9 8 4 A、N + ドレイン領域 9 8 4 B、任意の深いドレイン N - ウェル 9 8 3、第 1 または第 2 のゲート酸化膜を含み得るゲート酸化膜 9 8 8、ゲート 9 8 9、任意のゲートシリサイド 9 9 0、サイドウォールスペーサ 9 8 7、N ソース拡張部 9 8 6、P + 基板コンタクト 9 8 5、フィールド酸化膜層 9 9 1、ILD 9 9 4、金属相互接続 9 9 3 およびバリヤ金属 9 9 2 を含む。

【 0 1 8 8 】

深い注入されたコンフォーマルな ND 領域 9 8 2 は、ゲート 9 8 9 およびフィールド酸化膜層 9 9 1 に先立って導入されたので、これらに対して自己整合されず、ドレイン 9 8 4 B を囲んで包み、フィールド酸化膜層 9 9 1 の長さに対応する長さ L_{D1} のドリフト領域 9 8 2 A として活性なゲート 9 8 9 まで横方向に延在する。ND 領域 9 8 2 の部分 9 8 2 D は、ゲートに直面しない側のフィールド酸化膜の下で横方向に長さ L_{D2} だけ延在する。フィールド酸化膜層 9 9 1 の下のコンフォーマルな ND 領域 9 8 2 の深さは、ND 領域 9 8 2 の部分 9 8 2 A および 9 8 2 D によって示されたように、ドレイン 9 8 4 B およびゲート 9 8 9 の下に位置する ND 領域 9 8 2 の部分 9 8 2 B および 9 8 2 C よりも浅い。低濃度 P - 型基板 9 8 1 では、ND 領域 9 8 2 の深い部分 9 8 2 C と N + ソース領域 9 8 4 A との間のパンチスルー破壊を防ぐのに、最小寸法を超えるかこれと等しいポリシリコンゲート 9 8 9 のゲート長を必要とする。上述の DP 層 9 5 6 に類似の DP 層もまた NMOS 9 8 0 に含まれていることができる。

【 0 1 8 9 】

図 2 7 A - 図 2 7 C は、P - 型表面下シールドを含むよう修正された、図 2 4 から図 2 6 に示される 3 つの空乏モード NMOS 装置を示す。このシールドは、NPN 寄生バイポーラ導電の開始を減じ、かつスナップバック効果を抑えるために含まれている。

【 0 1 9 0 】

図 2 4 の NMOS 9 4 0 に類似の例として、図 2 7 A は、浅い N - 低濃度ドーブしたドレイン (LDD) および表面下シールド 1 0 0 2 を備えた空乏モード NMOS 1 0 0 0 を示す。低いしきい値は、低濃度ドーブした基板 1 0 0 1 および薄いゲート酸化膜 1 0 0 7 によって設定される。従来のエンハンスメントモード NMOS またはラテラル DMOS と異なり、NMOS 9 4 0 は、ソースを越えて、またはゲートの下のチャネルにまで延在する P - ウェルは有さないが、LOCOS フィールド酸化膜層 1 0 1 0 の下から N + ソース領域 1 0 1 5 A の下に延在する連鎖注入された P - ウェル 1 0 0 2 A および 1 0 0 2 B を含む。P 基板 1 0 0 1 のドーピング濃度およびゲート酸化膜 1 0 0 7 の厚さに依存して、0 V から - 1 V までの装置しきい値が結果として生じる。

【 0 1 9 1 】

NMOS 9 4 0 はまた、N + ドレイン 1 0 1 5 B、任意の N - ウェルの深いドレイン 1 0 0 3、第 1 または第 2 のゲート酸化膜を含み得るゲート酸化膜 1 0 0 7、ゲートポリシリコン 1 0 0 8、ゲートシリサイド 1 0 0 9、サイドウォール酸化膜 1 0 0 6、短い低濃度ドーブした N ソース拡張部 1 0 0 4 (サイドウォールスペーサ製造プロセスの生成物)、浅い LDD ドリフト領域 1 0 0 5、ILD 1 0 1 1、金属相互接続 1 0 1 4、およびバリヤ金属 1 0 1 3 を含む。

【 0 1 9 2 】

図 2 7 B は、図 2 5 に示される NMOS 9 6 0 に類似した、ゲート形成に先立って注入された深い N - 型ドリフト 1 0 2 5 を備えた空乏モード NMOS 1 0 2 0 を示す。低いしきい値は、低濃度ドーブした基板 1 0 2 1 および薄いゲート酸化膜 1 0 2 8 によって設定されるが、表面下シールド 1 0 2 2 が追加される。従来のエンハンスメントモード NMOS またはラテラル DMOS と異なり、空乏モード NMOS 1 0 2 0 は、ソースを越えて、またはゲートの下のチャネルにまで延在する P - ウェルを有さないが、フィールド酸化膜層 1 0 3 4 の下から N + ソース領域 1 0 2 3 A の下まで延在する連鎖注入された P - ウェル 1 0 2 2 A および 1 0 2 2 B を含む。P 基板 1 0 2 1 のドーピング濃度およびゲート酸化膜 1 0 2 8 の厚さに依存して、0 V から - 1 V までの装置しきい値が結果として生じる

10

20

30

40

50

【 0 1 9 3 】

NMOS 1020 はさらに、N+ドレイン1023B、連鎖注入された深いドレインN-ウェル1024、ゲート酸化膜層1028、ゲート1029、ゲートシリサイド1030、サイドウォールスペーサ1027、Nソース拡張部1026（サイドウォールスペーサ製造プロセスの生成物）、深い注入された均一なND領域1025、フィールド酸化膜層1034、ILD1033、金属相互接続1032およびバリヤ金属1031を含む。

【 0 1 9 4 】

図26のNMOS980に類似の別の变形例において、図27CのNMOS1040は、ゲート形成に先立って注入された深いコンフォーマルなND領域1044Aから1044Cを備えた、空乏モードNMOS1040を示す。表面下シールド1042は、LOCOSフィールド酸化膜層1049の下にP-ウェル1042Aを、N+ソース領域1045Aの下に横方向に延在するより深い部分1042Bを含む。低いしきい値は、低濃度ドーピングしたP基板1041および薄いゲート酸化膜1046によって設定される。P基板1041のドーピング濃度およびゲート酸化膜1046の厚さに依存して、0Vから-1Vまでの装置しきい値が結果として生じる。

10

【 0 1 9 5 】

NMOS1040はまた、N+ドレイン領域1045B、連鎖注入された深いドレインN-ウェル1043、ゲート1047、任意のゲートシリサイド1048、サイドウォールスペーサ1053、Nソース拡張部1054、深い注入されたコンフォーマルなND領域1044Aから1044C、フィールド酸化膜層1044、ILD1050、金属相互接続1052およびバリヤ金属1051を含む。

20

【 0 1 9 6 】

この発明の別の実施例として、図28は、高温処理または拡散なしで形成された浅いLDDを備えた完全に分離された空乏モードNMOS1060を示す。この装置では、DN床分離層1062は、ゲート1071に自己整合した浅いND領域1068AおよびLOCOSフィールド酸化膜1076に自己整合したND領域1068Bを備えたN-ウェル1063Aおよび1063Bを含む、環状のサイドウォール分離および深いドレインによって重ねられる。ドレインは、N+領域1066B、金属1074およびバリヤ金属1073を通して接触される。

30

【 0 1 9 7 】

N+ソース領域1066Aはサイドウォールスペーサ1069に当接する一方、Nソース拡張部1067はゲート酸化膜1070の上に位置するゲート1071に自己整合し、シリサイド1072によって分巻される。連鎖注入されたP-型領域を含むP-ウェル1064は、NPN寄生導電およびスナップバックを抑えるためにN+ソース領域1066Aの下に横方向に延在するが、分離されたエンハンスメントモードラテラルDMOSの場合には行うような、ゲート1071の下に重なるほど十分な横方向の延在はしない。分離された装置のしきい値は分離されたポケット1065のドーピング濃度によって設定され、それは好ましくはP基板1061のドーピング濃度と同じである。

【 0 1 9 8 】

P-Nダイオードおよび接合終端

電源回路での別の重要な機能は、ノイズスパイクおよび限定された持続時間電圧過渡による薄いゲート酸化膜の偶然の破損の危険性を回避するために、繊細なMOS回路に電圧をクランプする必要があることである。これはダイオードの使用によって行なわれ得、これは接地を基準とし、または分離されたタブに「フロート」してもよく、保護されているいかなる回路または構成要素よりも低い破壊電圧を有し得る。たとえ実際の破壊導電機構がアバランシェプロセスであって量子力学的な機械的トンネリングではなくても、これらの電圧クランプは一般にツェナダイオードと呼ばれる。本願明細書では、接合破壊の物理的な機構に配慮をせず、用語ツェナおよび電圧クランプを交換可能に用いる。

40

【 0 1 9 9 】

50

従来の集積回路プロセスで利用可能なダイオードは高温拡散を用いて形成されるので、結果として表面が高濃度となって表面近くの破壊を強制し、そこでアバランシェキャリア操作が繊細な酸化膜を破損し、装置信頼性または電圧安定性に悪影響を及ぼす。対照的に、この発明のダイオードは、高温拡散の必要なく高エネルギーおよび連鎖注入を用いて形成される注入されたままのドーパントプロファイルを用い、さほど損傷が起こりそうにない表面下のバルクシリコンに埋込まれたアバランシェ降伏を示す。

【0200】

図29A - 図29Cは、この発明によるプロセスで作ることができるさまざまツェナダイオードを示す。たとえば、図29Aは、接地されたアノード接続を備えたN+埋込クラウンダイオードK1およびK2を示す。ダイオードK1はP-ウェルをアノードとして用い、ダイオードK2はP-ベースまたはP-ボディ領域をアノードとして用いる。ダイオードK1のカソードはLOCOSフィールド酸化膜層1087に自己整合するN+領域1083を含む。ダイオードK1のアノードはP-ウェル1084を含み、これはN+カソード1083よりも小さな横方向の寸法を有し、この中に横方向に囲まれる。P-ウェル1084は、P+コンタクト1082によってILD1088の開口部を通して金属相互接続1090およびバリヤ金属1089から形成される電極「A」に接続される。

【0201】

表面近くでピーク濃度を有し、深さが増大すると濃度が減少する従来の拡散ウェルと異なり、P-ウェル1084はホウ素の高エネルギーイオン注入によって、好ましくは用量およびエネルギーが異なる一連のホウ素注入層を含むホウ素連鎖注入層によって、形成される。連鎖注入層はいかなる数の注入層を含んでもよいが、図面では2つの領域によって図解で表わされる。単一のマスクを通して、かつエピタキシの使用なくイオン注入によって形成された、表面層PW1および表層下層PW1Bである。たとえば、P-ウェル1084は、表1に記載された第1または第2のP-ウェルのいずれかを含むことができる。

【0202】

ダイオードK2では、注入されたP-型アノード1087はN+カソード1087の下に形成されてこの中に横方向に包含され、カソード接続1090およびアノード接続Aを有する。P-ボディ型注入層は単一の高エネルギーホウ素注入層または連鎖注入層を含み得る。たとえば、P-ウェル1087は、表1に記載されたP-ボディまたはP-ベース領域のいずれかを含むことができる。典型的には、P-ボディまたはP-ベース領域とP-ウェル領域との間の主な差は特定のドーピングプロファイルであり、後者は前者よりもより高濃度にドーピングした表面下層を有する。

【0203】

P-ベースまたはP-ボディ領域をアノードとして用いる埋込ツェナダイオードの分離されたバージョンが、図29Bに示される。ダイオード1100は、ダイオード1100を包含してP基板1101から分離するP-型領域1103を含む。フローティングP-型領域1103は、高エネルギー注入されたDN床分離層1102と、環状の形状を有し、DN層1102の上に垂直に重なるサイドウォール分離N-ウェル1105Aおよび1105Bとによって分離される。N+カソード1106はLOCOSフィールド酸化膜領域1108間の表面にわたって延在し、DN層1102の分離構造との電気的な接触を形成し、そのN-ウェル1105Aおよび1105Bとの接触を介して、N-ウェル1105Aおよび1105Bとも電気的なコンタクトを形成する。N+カソード領域1106は、バリヤ金属1110を備えるKとラベル付けされる金属1111によって、ILD1109を介して接触され、また電気的に接続される。P-ボディまたはP-ベースアノード1104は分離されたP-型領域1103内に包含され、分離されたP-型領域1103内でP+領域に接触される。このP+コンタクト領域は、典型的には、ページに向かう三次元に位置するので、示されない。分離されていないP-型基板1101への接触がP+領域1107Aおよび1107Bによって容易になり、好ましい実施例ではこれがリング外接ダイオード1100を形成する。

【0204】

P - ウェル領域をアノードとして用いる埋込ツェナダイオードの分離されたバージョンが図29Cの断面1120に示される。ツェナダイオード1120は、ツェナダイオード1120を包含しており、これをP - 型基板1121から分離する、分離されたP - 型領域1131において形成される。フローティングP - 型領域1131は、高エネルギー注入されたDN床分離層1122と、環状の形状を有し、DN層1122の上に垂直に重なるサイドウォール分離N - ウェル1123Aおよび1124Bとによって分離される。N + カソード領域1125は、LOCOS酸化膜領域1129間の表面にわたって延在し、DN層1102の分離構造との電氣的な接触を形成し、そのN - ウェル1123Aおよび1123Bとの接触を介して、N - ウェル1123Aおよび1123Bとも電氣的な接触を形成する。N + カソード領域は、バリヤ金属1127を備える金属1128にILD1130を介して接触され、また電氣的に接続される。P - ウェルアノード1124は分離されたP - 型領域1131内に包含され、分離されたP - 型領域1131内でP + 領域に典型的に三次元で接触される(示されない)。P基板1121の分離されていない部分への接触がP + 領域1126Aおよび1126Bによって容易になり、好ましい実施例ではこれがリング外接ダイオード1120を形成する。

【0205】

表面近くにピーク濃度を有し、深さが増大すると濃度がモノリシックに低下する従来の拡散ウェルとは異なり、P - ウェル1124はホウ素の高エネルギーイオン注入によって、好ましくは用量およびエネルギーが異なる一連のホウ素注入層を含むホウ素連鎖注入層によって形成される。連鎖注入層はいかなる数の注入層を含んでもよいが、図面では2つの領域によって図解で表わされる。単一のマスクを通して、かつエピタキシの使用なしでイオン注入によって形成された表面層PW1および表層下層PW1Bである。好ましい実施例では、より深い層は表面ウェルよりもさらに高濃度である。代替的には、P - ウェル1124は、異なる破壊電圧を達成するために異なるドーパントプロファイルを有してもよい。

【0206】

図29Dの断面1140に示されるように開示されたプロセスで利用可能な別の分離された埋込型ツェナは、基板から分離されたフローティングアイランドにすべて包含されるN - ウェル - P - ウェル接合のストライプの並列の組合せを含む。ダイオードは、高エネルギー注入されたDN床分離層1142の上にすべて位置する、P + 領域1146Dおよび1146Cに接触される複数の分離されたP - ウェル1144Aおよび1144Bと、N + 領域1145A、1145Bおよび1145Cに接触される複数のN - ウェル1143A、1143Bおよび1143Cとを含む。N - ウェル1143Aおよび1143Cは、基板1141からツェナ全体を分離する環状構造を形成する。装置は、LOCOS1149とP + 基板リング1146Aおよび1146Bとによって外接される。ツェナダイオードのさまざまなストライプの相互連結が、バリヤ金属1147を備えた金属1148を通して容易になる。

【0207】

表面の近くにピーク濃度を有し、深さが増大すると濃度がモノリシックに低下する従来の拡散ウェルとは異なり、第1のP - 型ウェル1144Aおよび1144Bは、第1のN - ウェル1143A、1143Bおよび1143Cとともに、高エネルギーイオン注入によって、好ましくは用量およびエネルギーが異なる一連の注入層を含む連鎖注入層によって形成される。連鎖注入層はいかなる数の注入層も含んでもよいが、図面では2つの領域によって図解で表わされる。単一のマスクを通して、かつエピタキシの使用なしにイオン注入によって形成された表面層PW1およびNW1と、表層下層PW1BおよびNW1Bである。好ましい実施例では、より深い層NW1BおよびPW1Bは表面ウェルよりもさらに高濃度であり、その結果、表面より十分に下の場所でツェナの破壊を生じさせる。代替的に、異なる破壊を達成するために、異なるドーパントプロファイルを有する第2のP - ウェルおよび第2のN - ウェルが、第1のP - ウェルもしくは第1のN - ウェルまたはその両方に代替できる。

10

20

30

40

50

【0208】

図29Eの断面1160は、P+からN-ベースへの埋込ツエナを包含し、これをP-型基板1161から分離する、分離されたP-型領域1163を含む、分離されたP+からN-ベースへの埋込ツエナを示す。フローティングP-型領域1163は、高エネルギー注入されたDN床分離層1162と、環状の形状を有し、DN層1162の上に垂直に重なるサイドウォール分離N-ウェル1165Aおよび1165Bとによって分離され、かつN+領域1168Aおよび1168Bに接触される。P+アノード1167Aは表面にわたって延在し、分離されたP-型領域1163との、およびN-ベース1166を包含する連鎖注入されたP-ウェル1164との、電気的な接触を形成する。破壊は、P+1167AとN-ベース1166との間の埋込インターフェースの濃度によって決定される。Aとラベル付けされたP+アノードは、バリア金属1169を備えた金属1170にILD1172を介して接触され、また電氣的に接続される。N-ベースカソード1166は三次元においてN+に接触される(示されない)。分離されていないP-型基板1161への接触がP+領域1167Cおよび1167Bによって容易になり、好ましい実施例ではこれが前記ダイオードに外接するリングを形成する。

10

【0209】

表面近くにピーク濃度を有し、深さが増大すると濃度がモノリシックに低下する従来の拡散ウェルとは異なり、第1のP-型ウェル1164はホウ素の高エネルギーイオン注入、好ましくは用量およびエネルギーが異なる一連のホウ素注入層を含むホウ素連鎖注入層によって形成される。連鎖注入層はいかなる数の注入層も含んでもよいが、図面では2つの領域によって図解で表わされる。単一のマスクを通して、かつエピタキシの使用なくイオン注入によって形成される表面層PW1および表層下層PW1Bである。好ましい実施例では、より深い層は表面ウェルよりもさらに高濃度であり、その結果、表面より十分に下の場所でツエナの破壊を生じさせる。代替的に、異なる破壊を達成するために、異なるドーパントプロファイルを有する第2のP-ウェルが第1のP-ウェルに代替できる。

20

【0210】

このプロセスでの別の創造的なP-Nダイオードは、分離されたP-型ポケットを基板を超えた高圧にフロートさせるために用いられる終端である。典型的に、終端縁部の目的はN-型サイドウォール分離の縁部の電界を形成することであり、そこでは典型的にサイドウォールは高エネルギー注入されたDN床分離層に重なるN-ウェルを含む。

30

【0211】

図30Aに示される実施例では、分離されたP-型ポケット1204は、DN床分離層1202およびN-ウェル1203によって分離され、P-基板1201およびP+基板リング1205Aに囲まれる。この例において、終端は、ILD1210の上に横方向に延在する金属フィールドプレート1211および1212を含む。終端は、P+基板リング1205AからN-ウェル1203までの距離として規定された長さ L_{D3} を有する。

【0212】

図30Bに示される実施例では、分離されたP-型ポケット1224は、DN床分離層1222およびN-ウェル1223によって分離され、P-型基板1221およびP+基板リング1225Aに囲まれる。この例で、終端は、LOCOSフィールド酸化膜層1230の上のポリシリコンフィールドプレート1231および1232、ILD1233の上に横方向に延在する金属フィールドプレート1234および1235を含む。他の実施例では、ポリシリコンまたは金属フィールドプレートだけが、終端のP+またはN-ウェル側で用いられてもよい。フィールドプレートおよびその間隔の長さは、終端のBVを増大させるために好ましくは調整される。終端は、P+基板リング1225AからN-ウェル1223までの距離として規定された長さ L_{D3} を有する。この実施例では、N-ウェル1223は、LOCOSフィールド酸化膜層1230の下で横方向に延在し、その結果、底部部分NW1Bが表面に接近して、結合したNW1およびNW1Bよりも浅くてより低濃度ドーパされる接合拡張領域を形成するようにさせる。これがDN層1222の縁部の近くに群がる電界を減じ、したがってこの終端のBVを向上させるよう機能することがで

40

50

きる。

【0213】

図30Cに示される実施例では、分離されたP-型ポケット1244は、DN床分離層1242およびN-ウェル1243によって分離され、P-型基板1241およびP+基板リング1245Aに囲まれる。この実施例では、終端は、ILD1253およびLOCOSフィールド酸化膜層1250の上に横方向に延在する金属フィールドプレート1251および1252を含む。終端は、P+基板リング1245AからN-ウェル1243までの距離として規定された長さ L_{D3} を有する。この実施例では、N-ウェル1243はLOCOSフィールド酸化膜層1250の下で延在しない。さらに示されるのは、N-ウェル1243の縁部と重なり、薄い酸化膜1255上に位置する部分、およびLOCOSフィールド酸化膜層1250にわたる延在する部分を有する、任意のポリシリコンフィールドプレート1254である。ポリシリコンフィールドプレート1254は、金属フィールドプレート1152と組合されて、フィールドプレートと下部シリコンとの間に最大3つの異なる厚さの誘電体を備えたフィールドプレートを形成することを可能にする。

10

【0214】

図30Dに示される実施例では、分離されたP-型ポケット1264は、DN床分離層1262およびN-ウェル1263によって分離され、P-型基板1261およびP+基板リング1265Aに囲まれる。この実施例では、終端は、N-ウェル1263に接続され、長さ L_{D3} だけフィールド酸化膜層1270の下で延在してP+基板リング1265Aと距離 L_{D4} だけ間隔を置かれた、深いND領域1266を含む。終端はさらに、ILD1270の上に延在する金属フィールドプレート1271および1272を含んでもよい。

20

【0215】

図30Eに示される実施例では、分離されたP-型ポケット1284は、DN床分離層1282およびN-ウェル1283によって分離され、P-型基板1281およびP+基板リング1285Aに囲まれる。N-ウェル1283は、示されるように、LOCOSフィールド酸化膜層1290の下で延在し、NW1Bによって形成される第1の接合拡張領域を与える。代替実施例では、N-ウェル1283は、示されるように、N+領域1287を囲むことができるが、LOCOSフィールド酸化膜層1290の下で横方向に延在しない。この実施例では、終端はさらに、N-ウェル1283に接続されて、長さ L_{D3} だけLOCOSフィールド酸化膜層1290の下で延在し、P+基板リング1285Aから距離 L_{D4} だけ間隔を置かれる、コンフォーマルな深いND領域1286を含む。終端はさらに、ILD1293の上に重なる金属フィールドプレート1291および1292を含んでもよい。

30

【0216】

図30Fの実施例では、分離されたP-型ポケット1304は、DN床分離層1302およびN-ウェル1303によって分離され、P-型基板1301およびP+基板リング1305Aによって囲まれる。この実施例では、終端は、長さ L_{D3A} を備えた活性領域内の部分1306Aと長さ L_{D3B} を備えたLOCOSフィールド酸化膜層1310の下の部分1306Bとを含むコンフォーマルな深いND領域1306を含み、P+基板リング1305Aから距離 L_{D4} だけ間隔を置かれる。

40

【0217】

図30Gの実施例では、分離されたP-型ポケット1324は、DN床分離層1322およびN-ウェル1323によって分離され、P-型基板1321およびP+基板リング1325Aに囲まれる。この実施例では、終端は、N-ウェル1323に接続され、長さ L_{D3} だけフィールドILD1330の下で延在する、浅いN-ドリフト領域1326を含む。P+基板リング1325AおよびN-ドリフト領域1326は、LOCOSフィールド酸化膜層1331に自己整合され、距離 L_{D4} だけ間隔を置かれる。

【0218】

図30Hの実施例では、分離されたP-型ポケット1344は、DN床分離層1342およびN-ウェル1343によって分離され、P-型基板1341AおよびP+基板リン

50

グ 1 3 4 5 A に囲まれる。この実施例では、基板 1 3 4 1 A は、LOCOS フィールド酸化膜層 1 3 5 0 および ILD 1 3 5 1 の下の領域 1 3 4 1 B を含み、これは、P + 基板リング 1 3 4 5 A から N - ウェル 1 3 4 3 までの距離として規定された長さ L_{D3} を有する。DN 床分離層 1 3 4 2 の部分は N - ウェル 1 3 4 3 を越えて P + 基板リング 1 3 4 5 A に向かって延在し、表面の電界を減じるのを助ける。N - ウェル 1 3 4 3 を越える DN 層 1 3 4 2 の拡張部は、この例の LOCOS 1 3 5 0 の下には延在せず、したがって、DN 層 1 3 4 2 の深さは終端領域において実質的に一定である。

【 0 2 1 9 】

図 3 0 I の実施例では、分離された P - 型ポケット 1 3 6 4 は、DN 床分離層 1 3 6 2 および N - ウェル 1 3 6 3 によって分離され、P - 型基板 1 3 6 1 A および P + 基板リング 1 3 6 5 A に囲まれる。この実施例では、基板 1 3 6 1 A は、P + 基板リング 1 3 6 5 A から N - ウェル 1 3 6 3 の距離として規定された長さ L_{D3} を有する、ILD 1 3 7 2 および LOCOS フィールド酸化膜層 1 3 7 0 の下の領域 1 3 6 1 B を含む。DN 層 1 3 6 2 の部分は N - ウェル 1 3 6 3 を越えて P + 基板リング 1 3 6 5 A に向かって延在し、表面の電界を減じるのを助ける。DN 層 1 3 6 2 の拡張部は、この例の LOCOS フィールド酸化膜層 1 3 7 0 の部分の下に延在するので、DN 層 1 3 6 2 の深さは、終端領域の LOCOS フィールド酸化膜層 1 3 7 0 にコンフォーマルである。

10

【 0 2 2 0 】

図 3 0 J の実施例では、分離された P - 型ポケット 1 3 8 4 は、DN 床分離層 1 3 8 2 および N - ウェル 1 3 8 3 によって分離され、P - 型基板 1 3 8 1 A および P + 基板リング 1 3 8 5 A に囲まれる。この実施例では、基板 1 3 8 1 A は、P + 基板リング 1 3 8 5 A と N - ドリフト領域 1 3 8 6 と間の長さ L_{D4} および LOCOS フィールド酸化膜層 1 3 9 0 と N - ウェル 1 3 8 3 との間の長さ L_{D3} を有する、LOCOS フィールド酸化膜層 1 3 9 0 および ILD 1 3 9 1 の下の領域 1 3 8 1 B を含む。P + 基板リング 1 3 8 5 A および ND 領域 1 3 8 6 は LOCOS フィールド酸化膜層 1 3 9 0 に自己整合される。DN 層 1 3 8 2 の部分は N - ウェル 1 3 8 3 を越えて P + 基板リング 1 3 8 5 A に向かって延在し、表面の電界を減じるのを助ける。DN 層 1 3 8 2 は、示されるように、DN 層 1 3 8 2 の深さが実質的に一定であるように LOCOS フィールド酸化膜層 1 3 9 0 から後退され、または、図 3 0 I の実施例におけるように、LOCOS フィールド酸化膜層 1 3 9 0 に一致する深さを有するように、代替的に LOCOS フィールド酸化膜層 1 3 9 0 の下に延在してもよい。N - ウェル 1 3 8 3 から LOCOS 1 3 9 0 まで延在する表面の終端として、浅い ND 領域 1 3 8 6 が含まれる。

20

30

【 0 2 2 1 】

図 3 0 K の実施例では、分離された P - 型ポケット 1 4 0 4 は、DN 床分離層 1 4 0 2 および N - ウェル 1 4 0 3 によって分離され、P - 型基板 1 4 0 1 A および P + 基板リング 1 4 0 5 A に囲まれる。この実施例では、基板 1 4 0 1 A は、ILD 1 4 1 1 の下の領域 1 4 0 1 B を含む。DN 層 1 4 0 2 の部分は、N - ウェル 1 4 0 3 を越えて P + 基板リング 1 4 0 5 A に向かって延在し、表面の電界を減じるのを助ける。浅い P - ドリフト領域 1 4 0 6 もまた、P + 1 4 0 5 A から N - ウェル 1 4 0 3 に向かって延在する表面の終端として含まれている。終端は、P + 基板リング 1 4 0 5 A と、P - ドリフト領域 1 4 0 6 の縁部との間の長さ L_{D4} 、および P - ドリフト領域 1 4 0 6 の縁部と N - ウェル 1 4 0 3 と間の長さ L_{D3} を有する。

40

【 0 2 2 2 】

図 3 0 A - 図 3 0 K の終端例で示されるさまざまな機構は、この発明のプロセスと互換性を持ち、分離された領域の BV の最適化ができる終端を例示する。所与の実現例のための最良の終端構造に至る異なる図の機構を組合せることは、十分にこの発明の範囲内である。たとえば図 3 0 B および図 3 0 C の複層ポリシリコンおよび金属フィールドプレート、図 3 0 I のコンフォーマルな DN 層、および図 3 0 I の N - ドリフト領域がすべて組合されてもよく、さらに、開示された要素の他の多くの組み合わせが可能である。公知の処理手法に従って示された構造を修正することもまたこの発明の範囲内である。たとえば、示

50

された単一の金属層の上に金属相互接続層を加えて、付加的なレベルのフィールドプレートとしてこれらの層を用いることが可能である。堆積され、または埋込まれたフィールド酸化膜などの代替的なフィールド誘電性スキームによってLOCOSフィールド酸化膜を代替することもさらに可能である。

【0223】

この発明の具体的な実施例が記載されているが、これらの実施例が例示のみであり限定するものではないことが理解されるべきである。この発明の大原則に従う多くの付加的または代替実施例が当業者には明らかである。

【図1A】

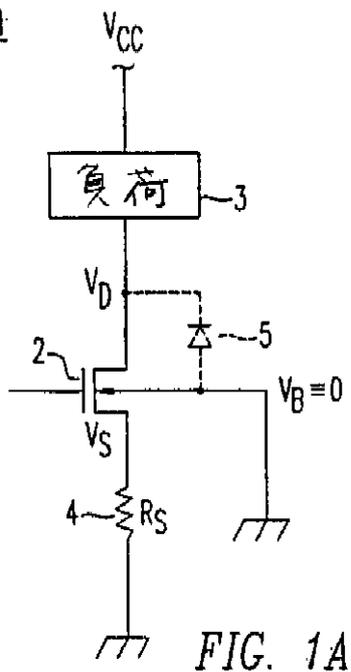


FIG. 1A
(Prior Art)

【図1B】

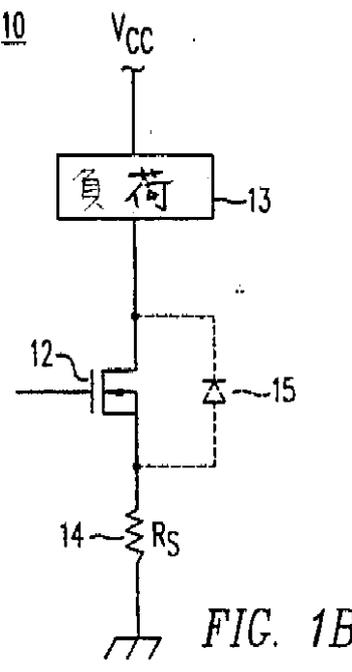


FIG. 1B

【 図 1 C 】

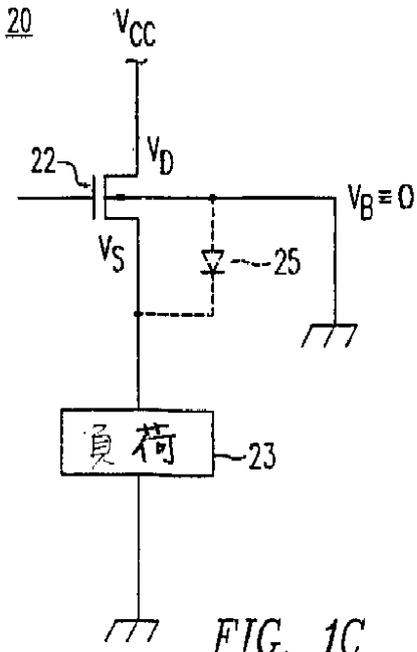


FIG. 1C
(Prior Art)

【 図 1 D 】

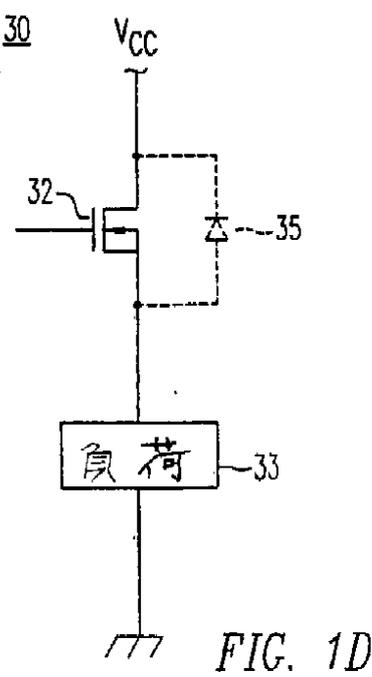


FIG. 1D

【 図 1 E 】

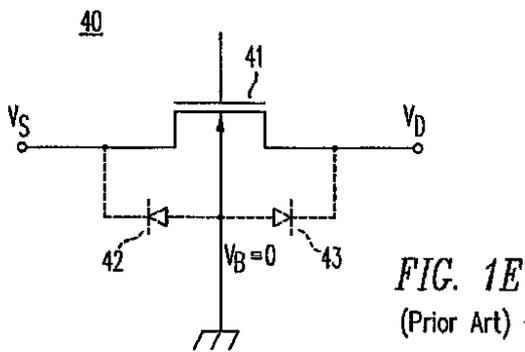


FIG. 1E
(Prior Art)

【 図 1 F 】

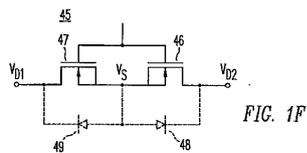


FIG. 1F

【 図 1 G 】

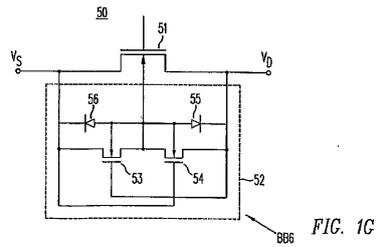


FIG. 1G

【 図 2 A 】

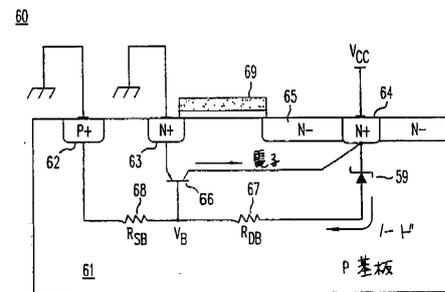


FIG. 2A
(Prior Art)

【 2 B 】

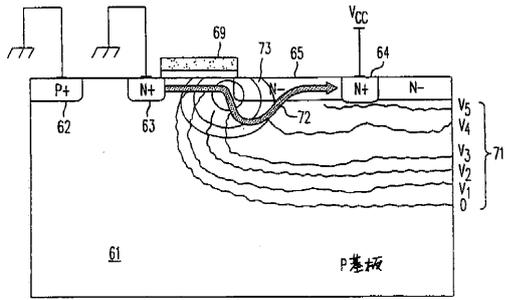


FIG. 2B
(Prior Art)

【 2 C 】

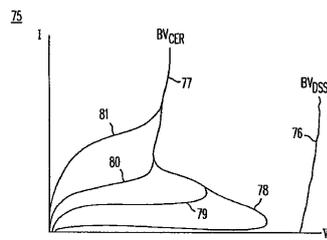


FIG. 2C
(Prior Art)

【 2 D 】

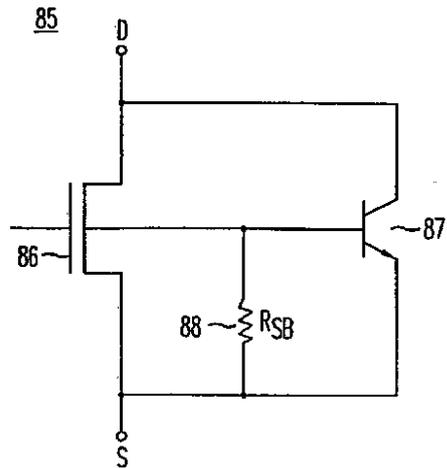


FIG. 2D

【 3 A 】

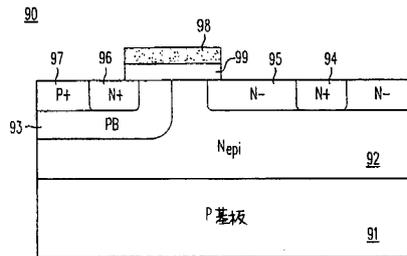


FIG. 3A
(Prior Art)

【 3 C 】

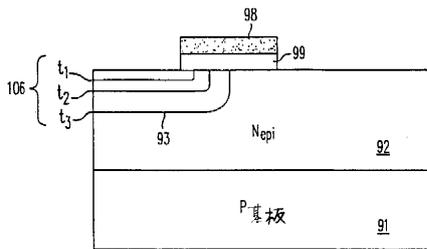


FIG. 3C
(Prior Art)

【 3 B 】

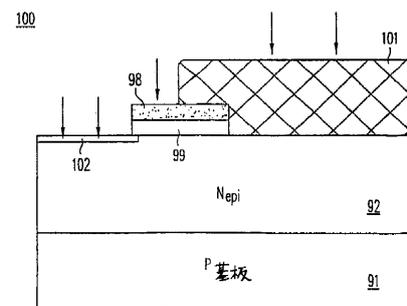


FIG. 3B
(Prior Art)

【 3 D 】

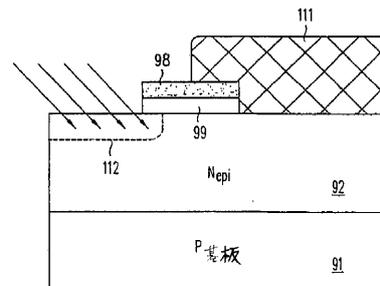


FIG. 3D
(Prior Art)

【 図 3 E 】

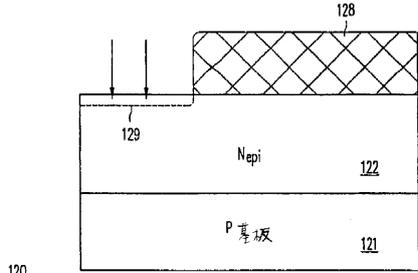


FIG. 3E
(Prior Art)

【 図 3 F 】

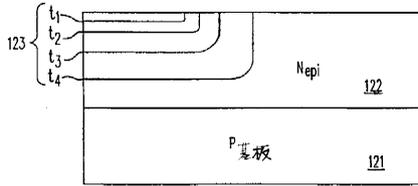


FIG. 3F
(Prior Art)

【 図 3 G 】

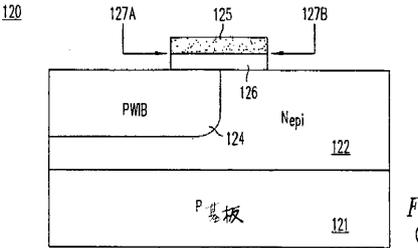


FIG. 3G
(Prior Art)

【 図 4 E 】

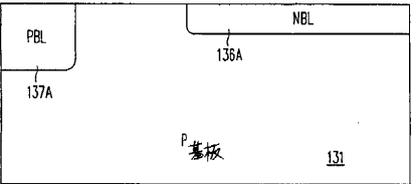


FIG. 4E
(Prior Art)

【 図 4 F 】

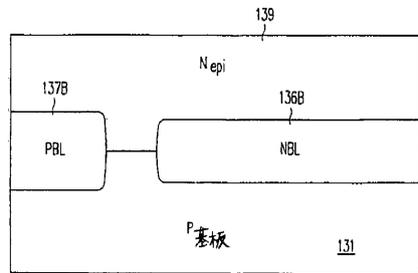


FIG. 4F
(Prior Art)

【 図 4 G 】

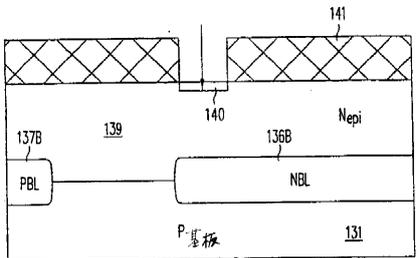


FIG. 4G
(Prior Art)

【 図 4 A 】



FIG. 4A
(Prior Art)

【 図 4 B 】

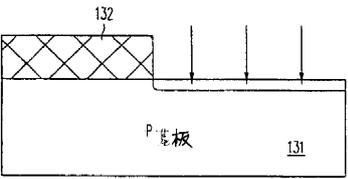


FIG. 4B
(Prior Art)

【 図 4 C 】

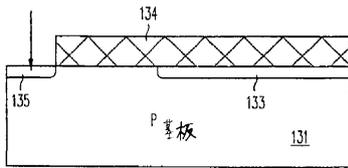


FIG. 4C
(Prior Art)

【 図 4 D 】

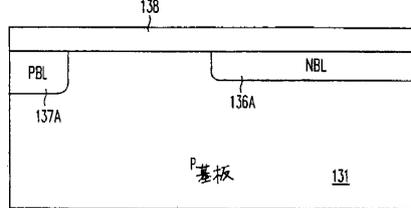


FIG. 4D
(Prior Art)

【 図 4 H 】

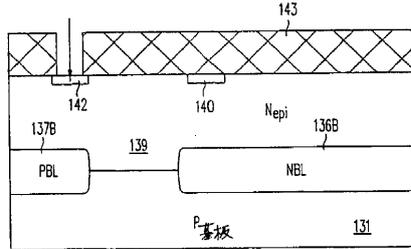


FIG. 4H
(Prior Art)

【 図 4 I 】

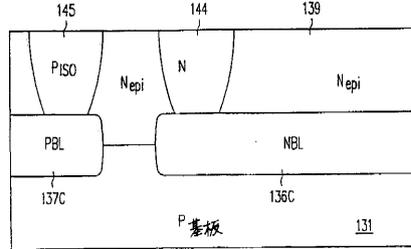
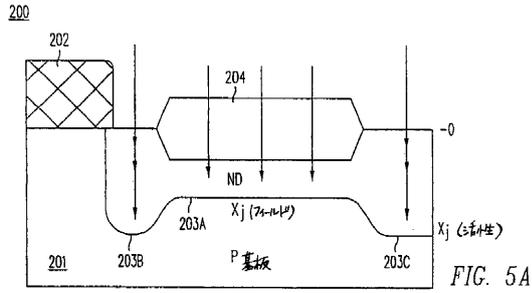
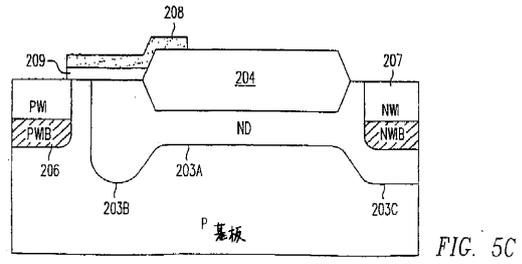


FIG. 4I
(Prior Art)

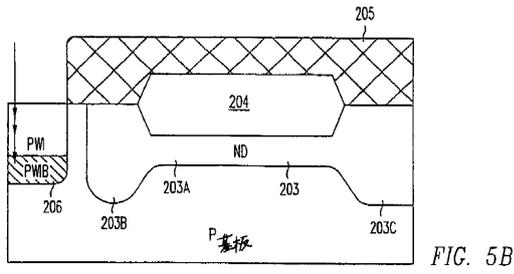
【図 5 A】



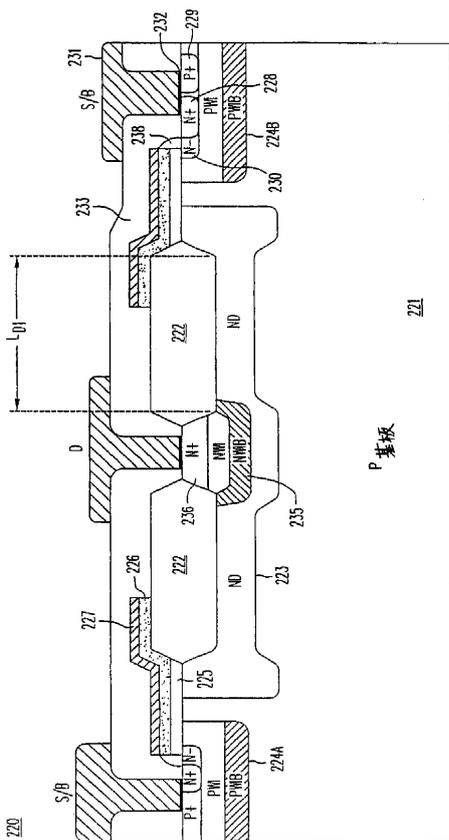
【図 5 C】



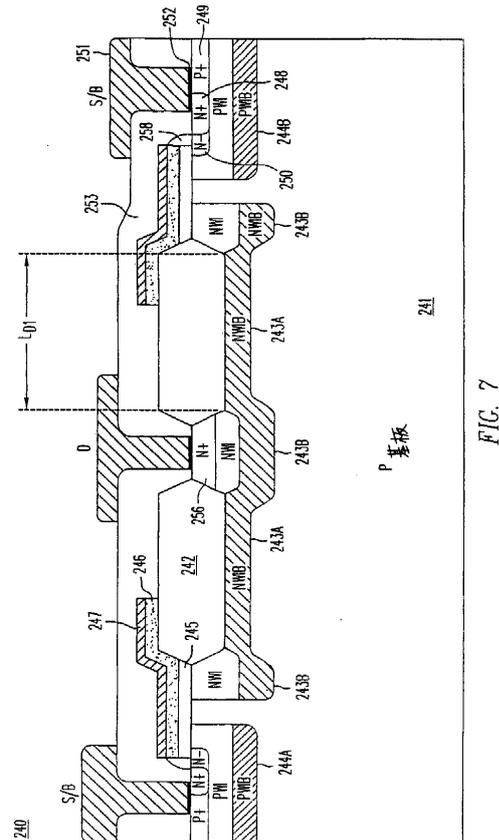
【図 5 B】



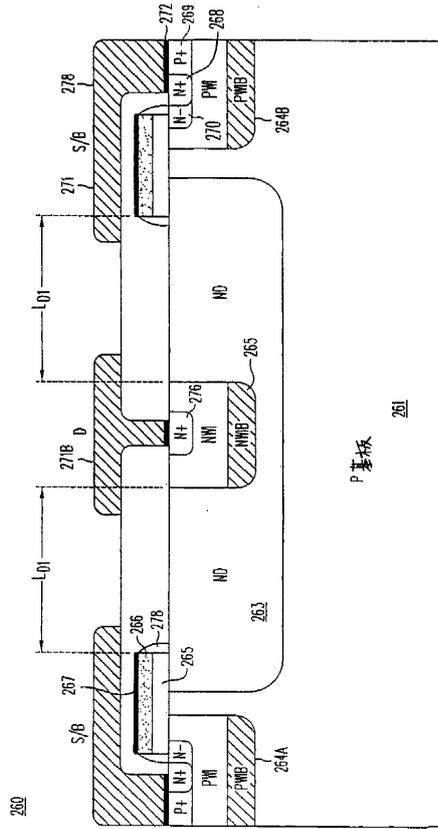
【図 6】



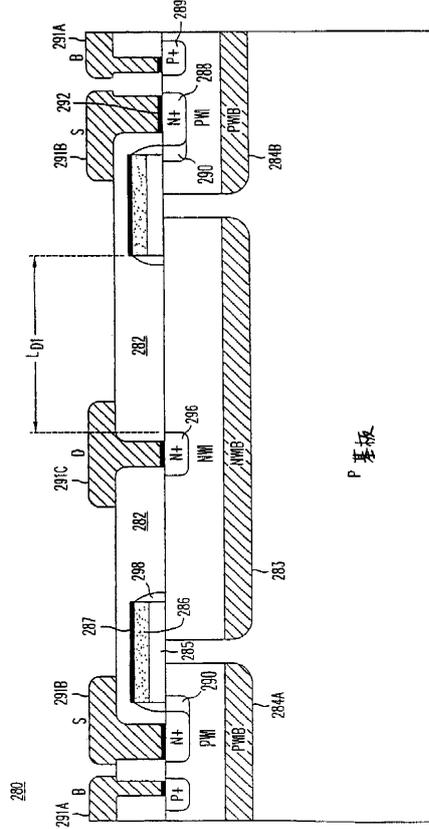
【図 7】



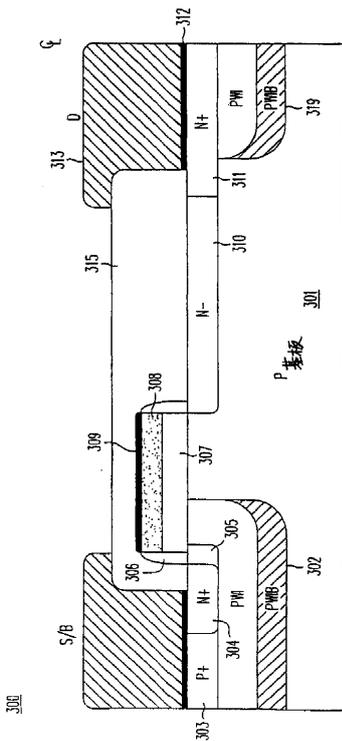
【 図 8 】



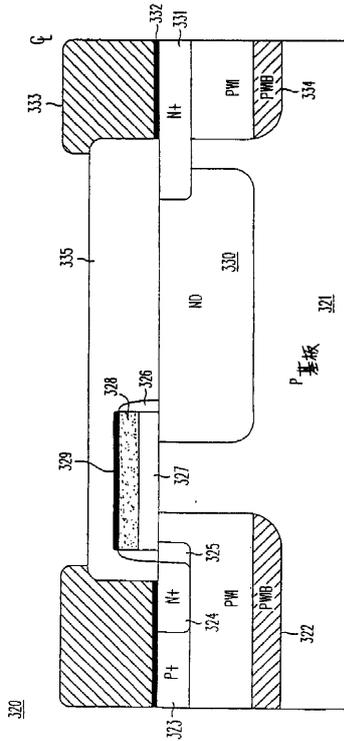
【 図 9 】



【 図 10 A 】



【 図 10 B 】



【 10 C 】

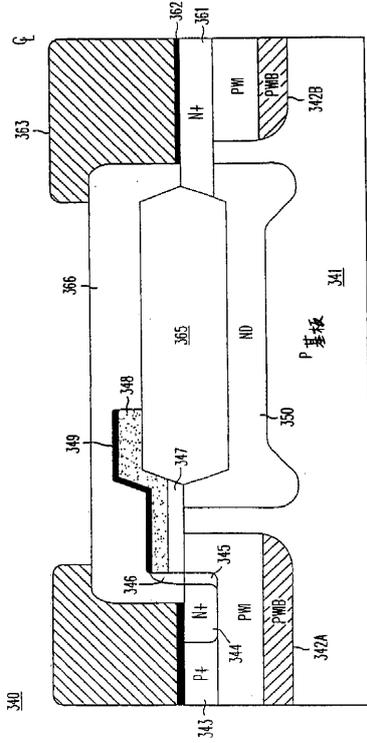


FIG. 10C

【 10 D 】

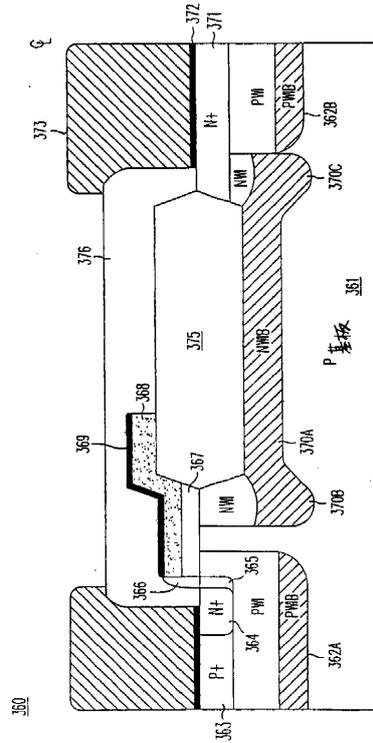


FIG. 10D

【 11 A 】

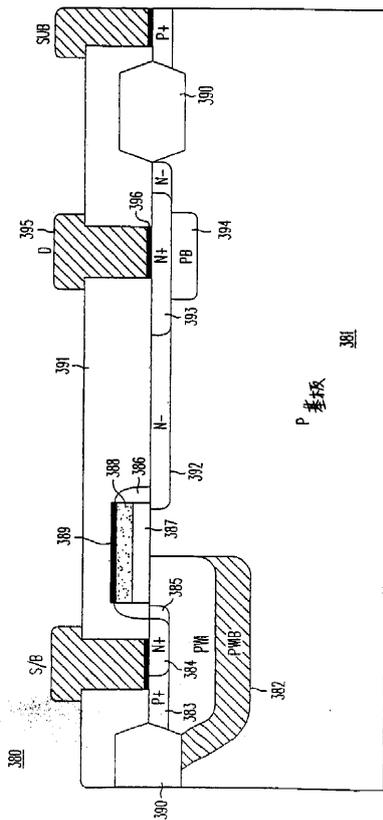


FIG. 11A

【 11 B 】

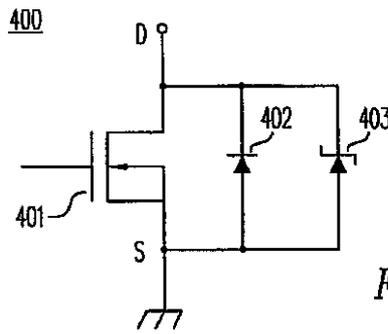


FIG. 11B

【 11 C 】

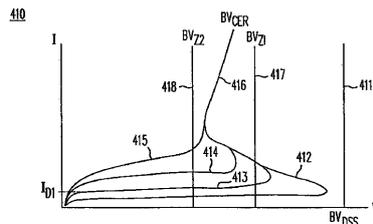


FIG. 11C

【 15 A】

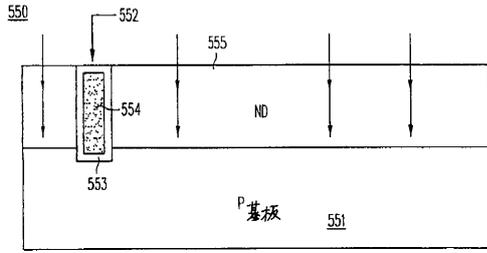


FIG. 15A

【 15 B】

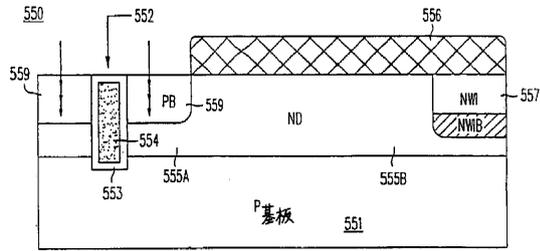


FIG. 15B

【 15 C】

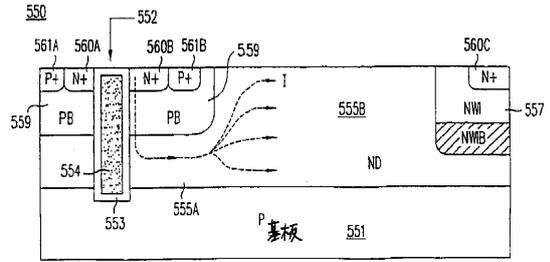


FIG. 15C

【 16 A】

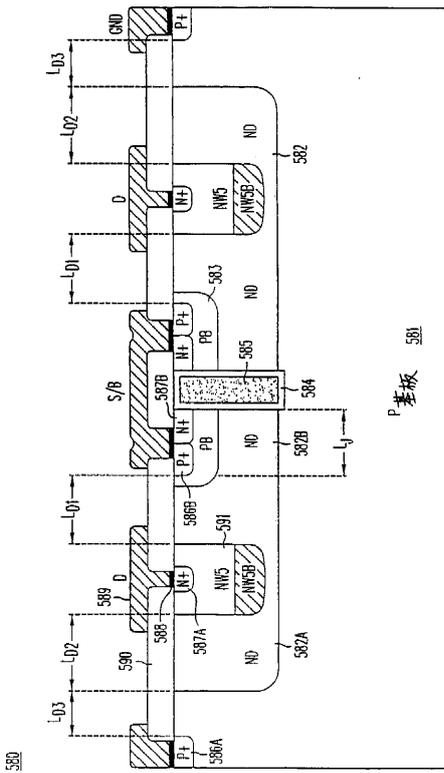


FIG. 16A

【 16 B】

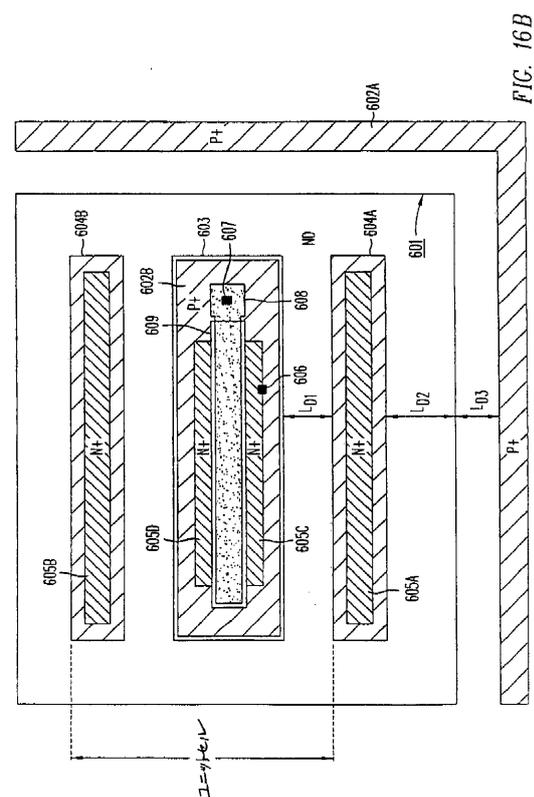


FIG. 16B

【 17 A 】

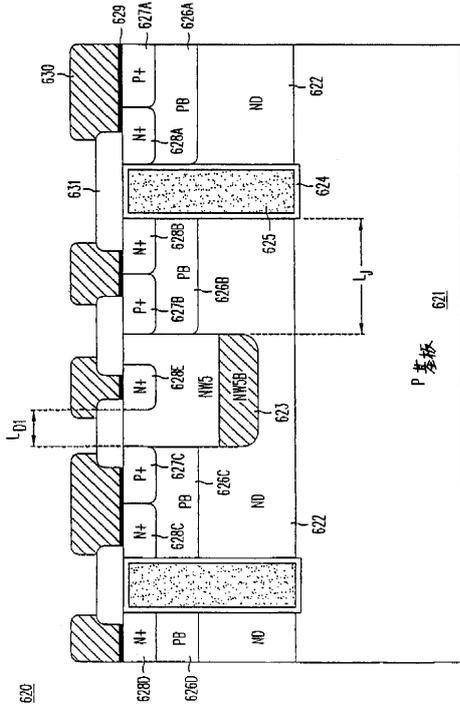


FIG. 17A

【 17 B 】

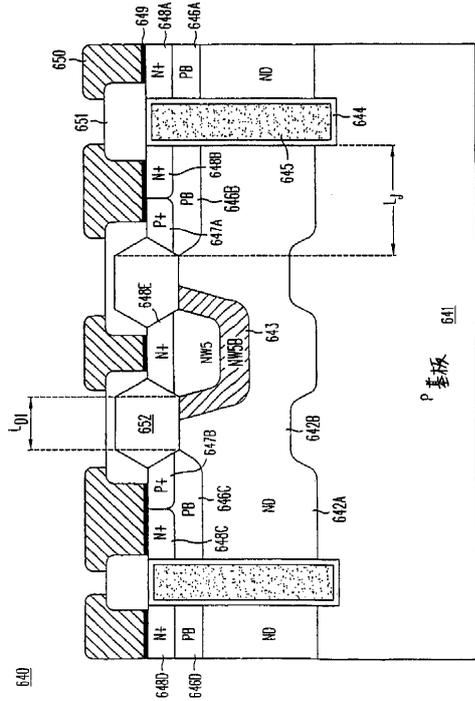


FIG. 17B

【 17 C 】

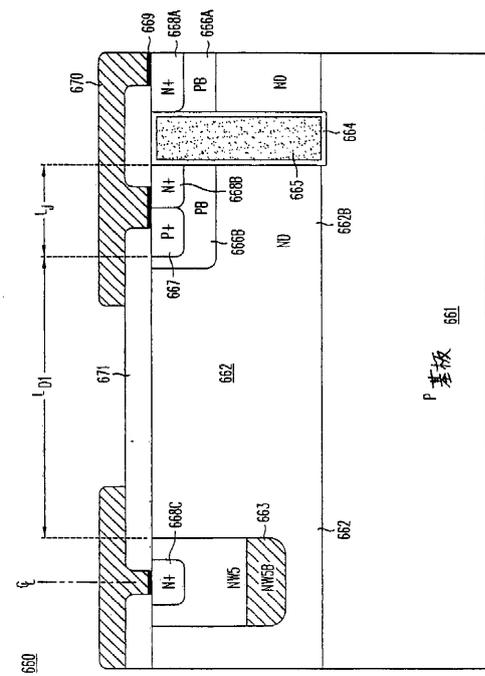


FIG. 17C

【 17 D 】

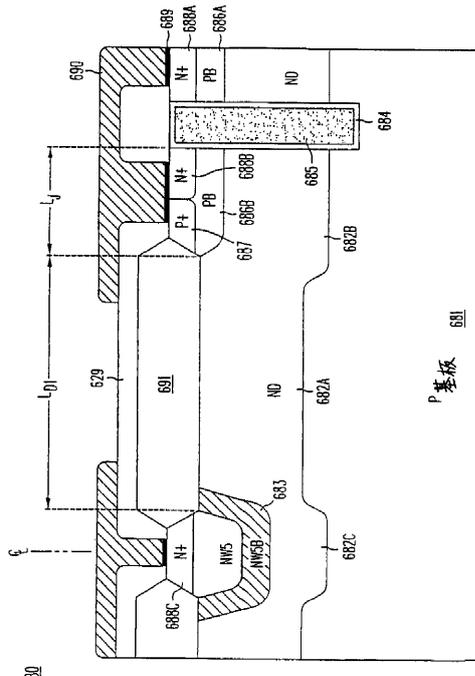


FIG. 17D

【図17E】

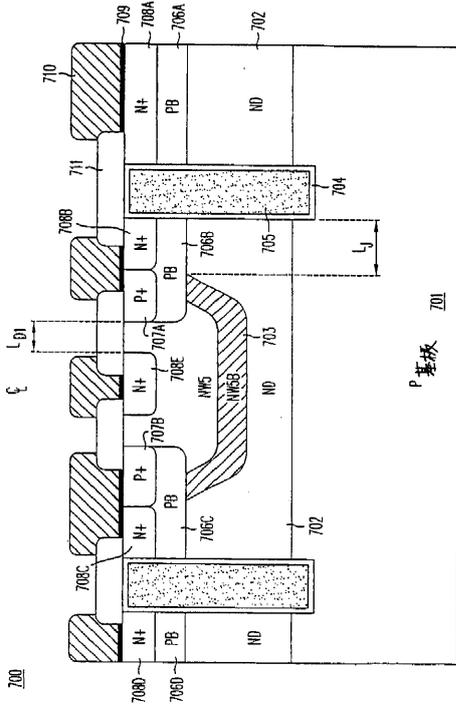


FIG. 17E

【図17F】

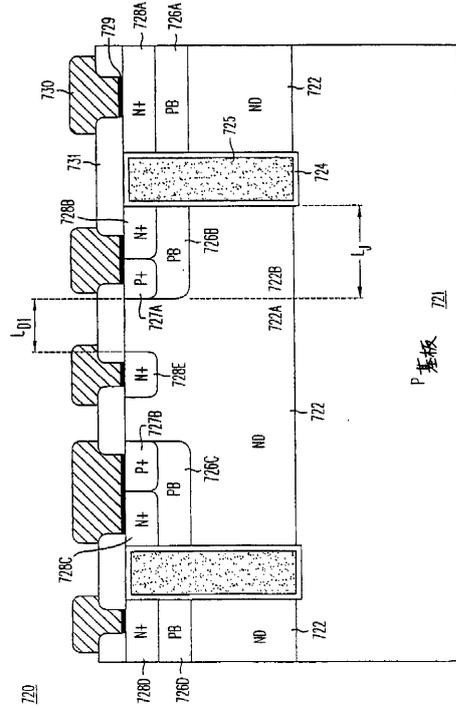


FIG. 17F

【図18A】

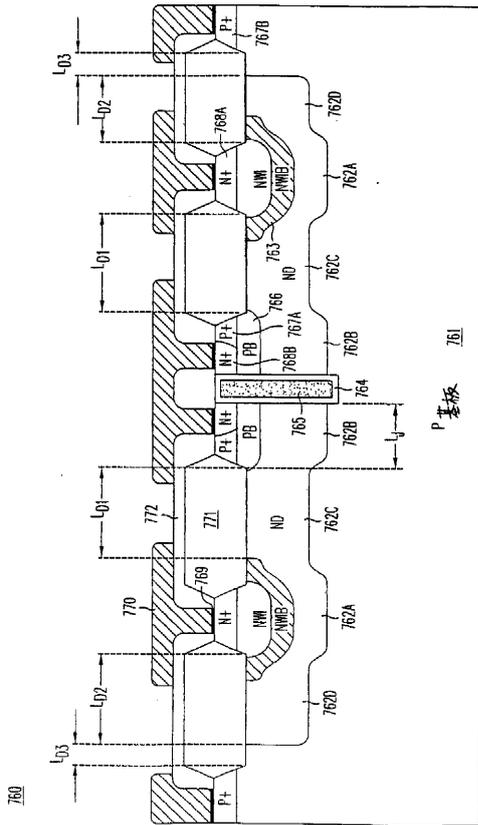


FIG. 18A

【図18B】

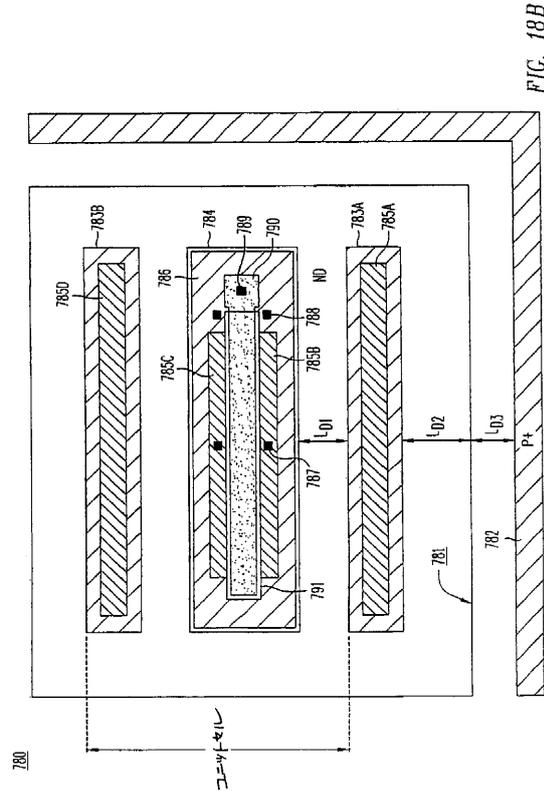


FIG. 18B

【図18C】

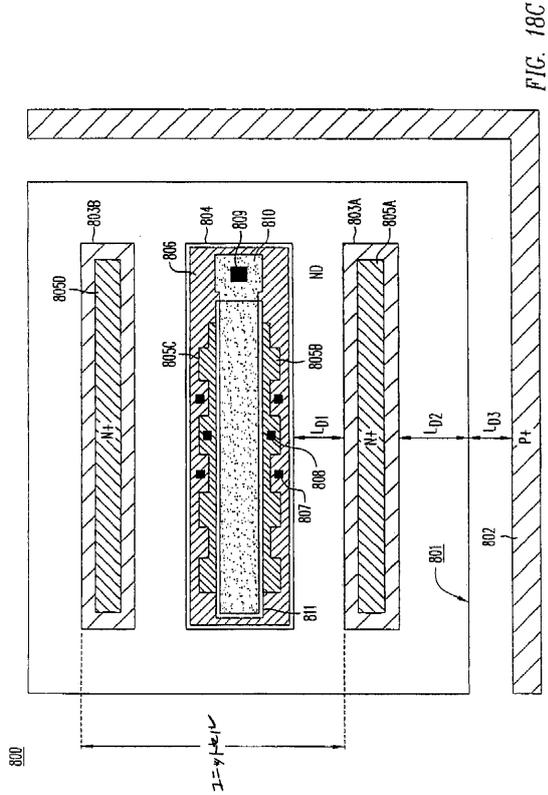


FIG. 18C

【図19A】

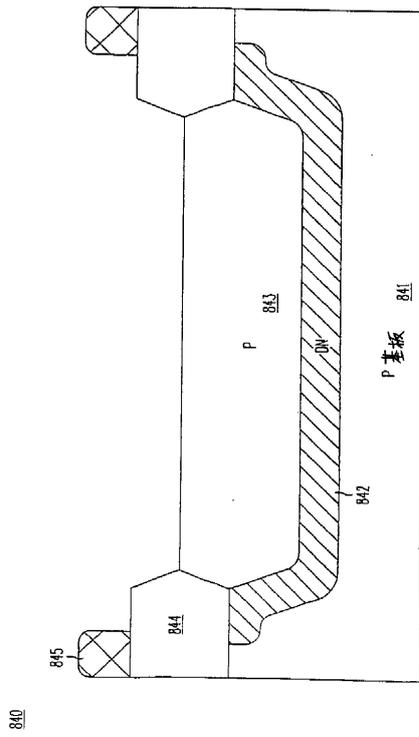


FIG. 19A

【図19B】

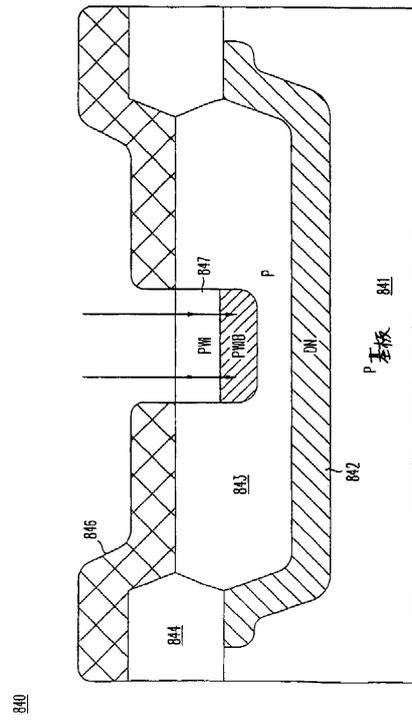


FIG. 19B

【図19C】

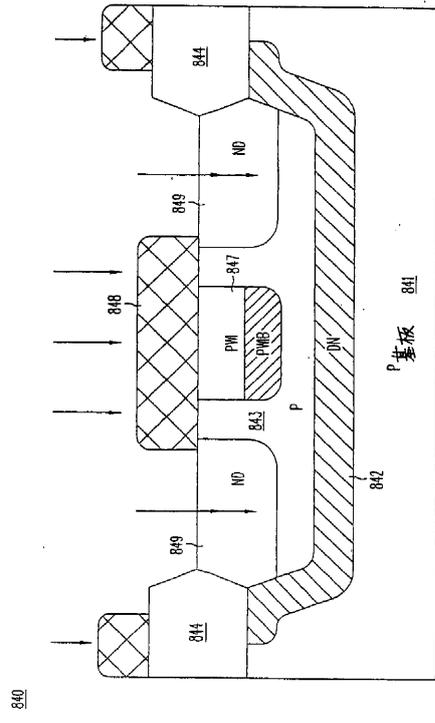
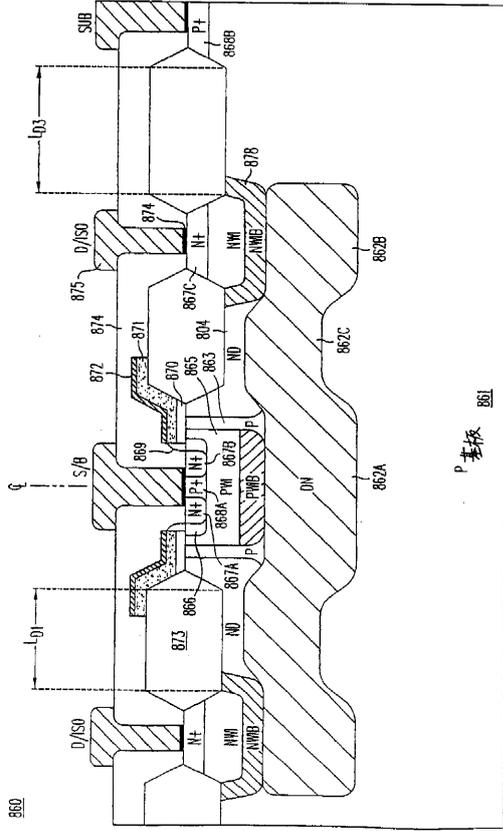
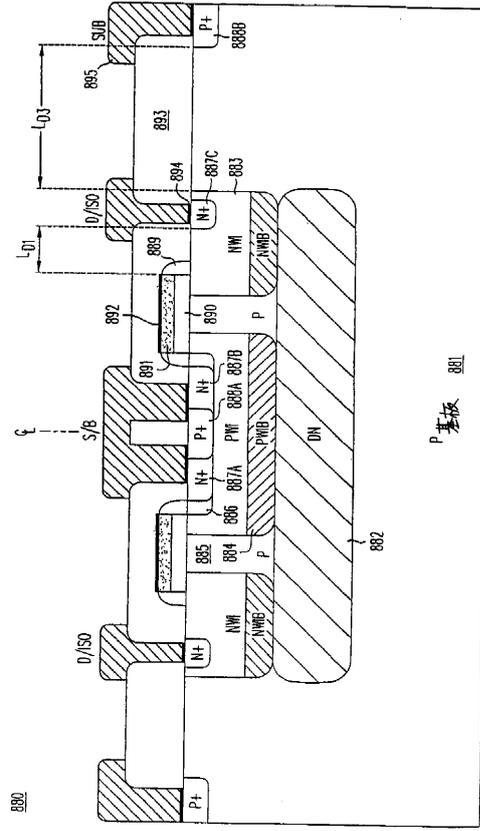


FIG. 19C

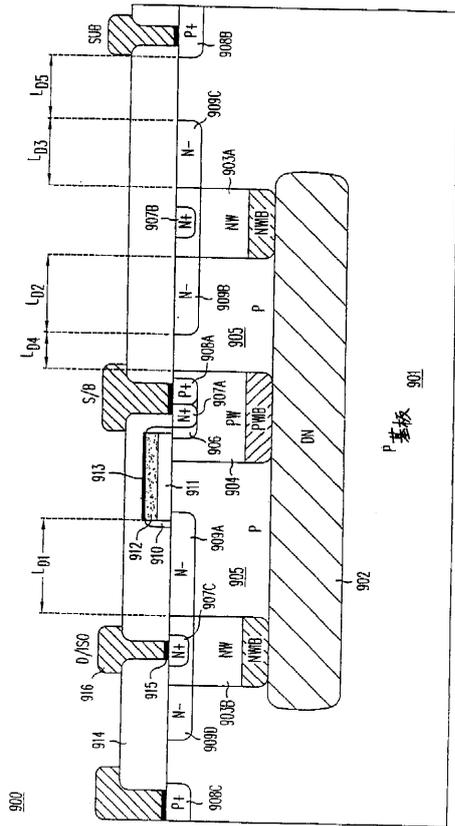
【図 20】



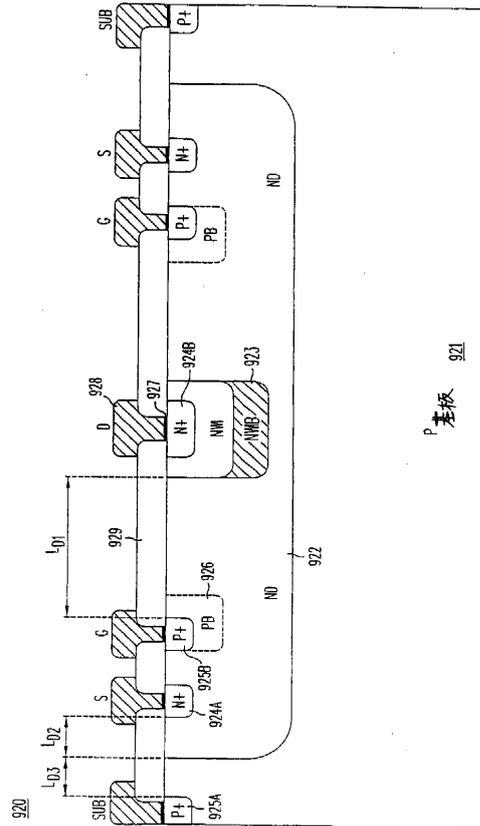
【図 21】



【図 22】



【図 23】



【図 24】

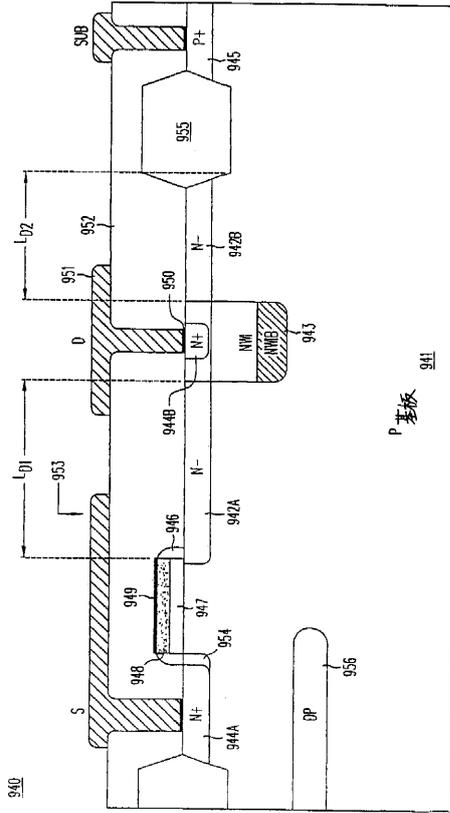


FIG. 24

【図 25】

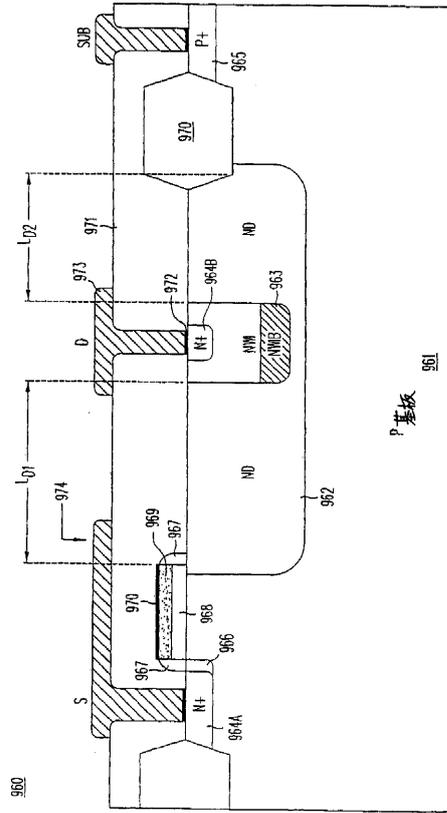


FIG. 25

【図 26】

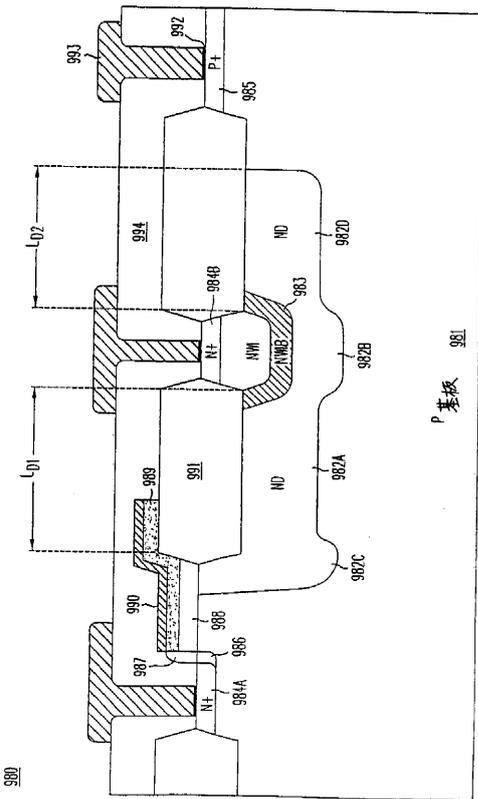


FIG. 26

【図 27A】

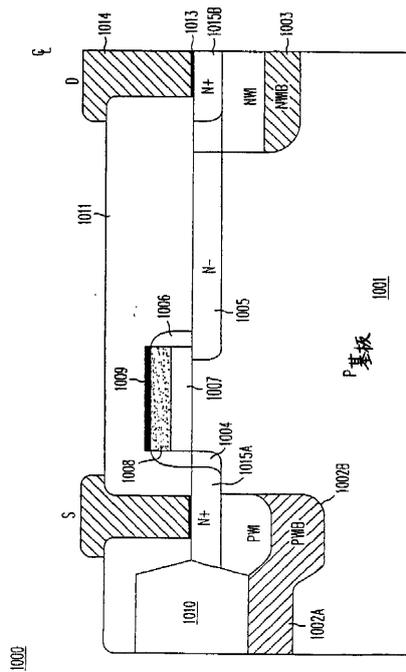


FIG. 27A

【 27 B 】

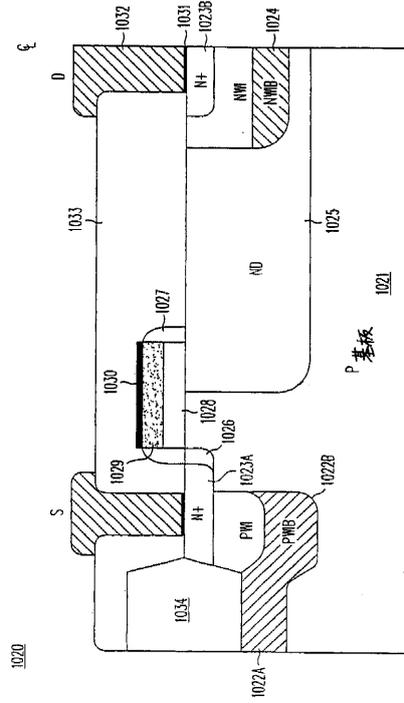


FIG. 27B

【 27 C 】

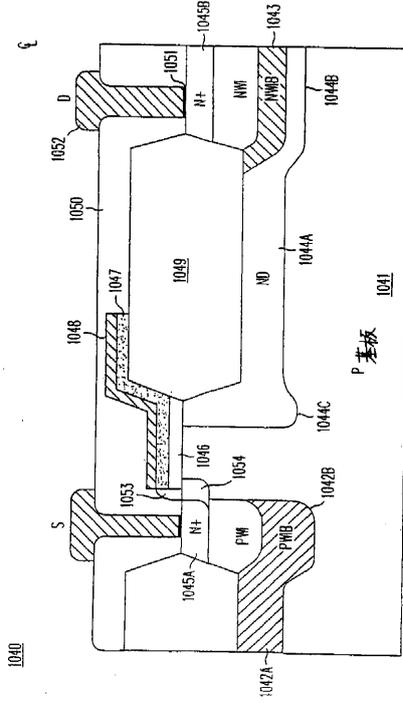
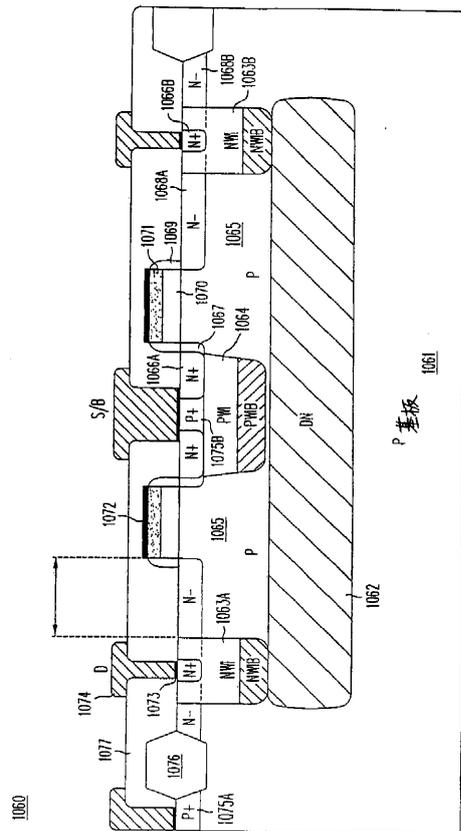


FIG. 27C

【 28 】



【 29 B 】

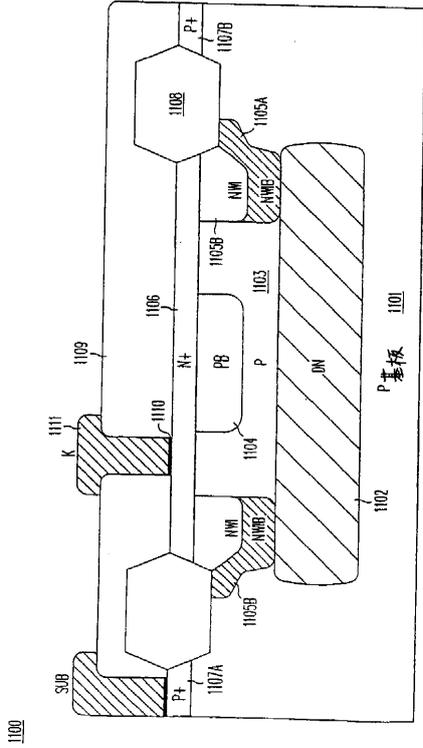


FIG. 29B

【 29 C 】

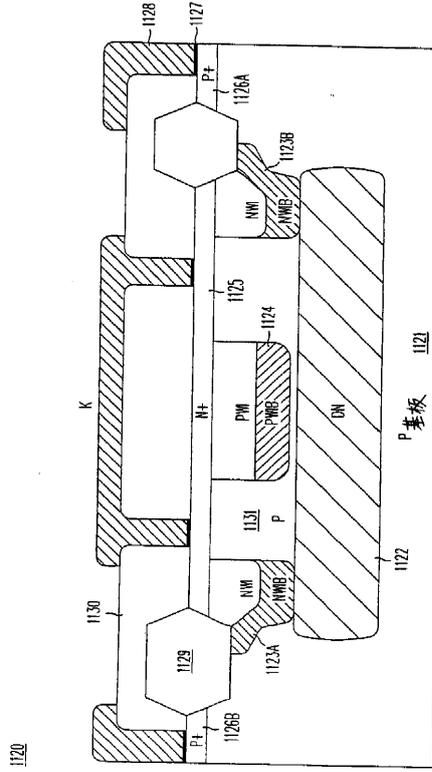


FIG. 29C

【 29 D 】

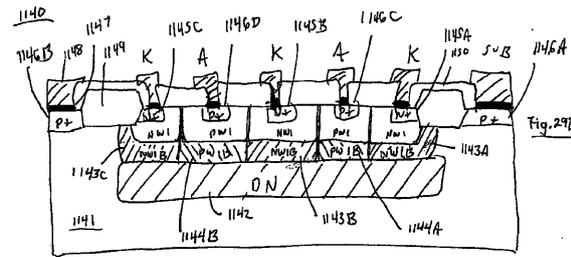


Fig. 29D

【 30 A 】

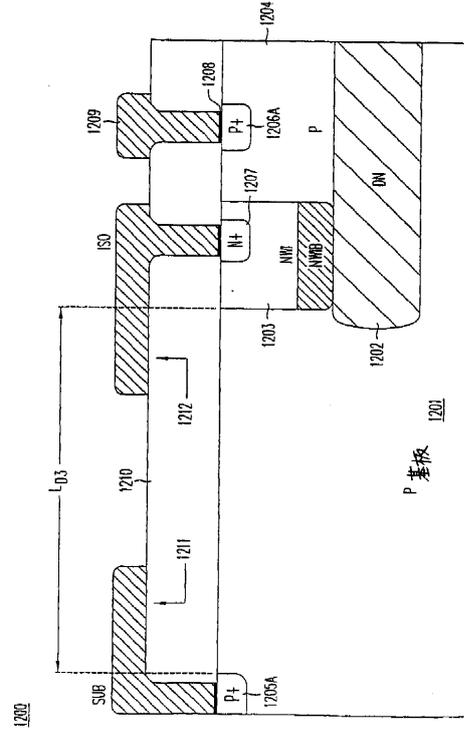
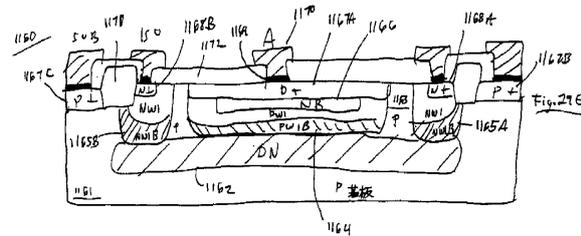


FIG. 30A

【 29 E 】



【 図 30 B 】

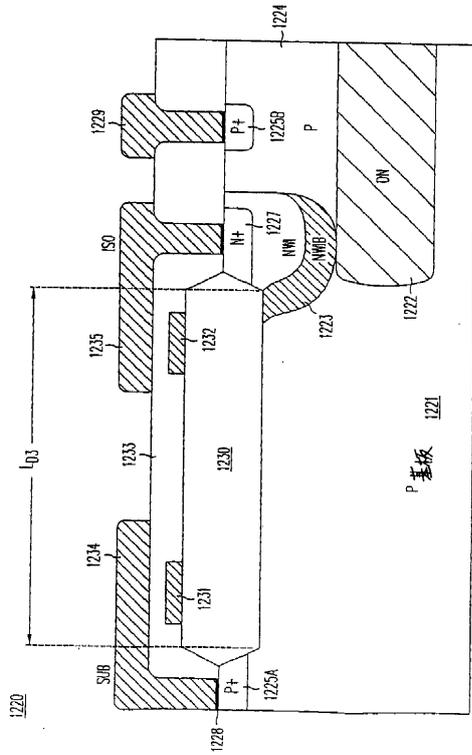


FIG. 30B

【 図 30 C 】

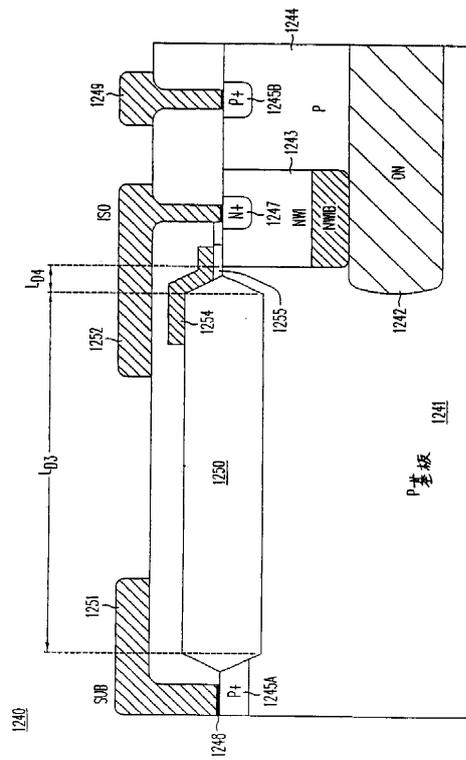


FIG. 30C

【 図 30 D 】

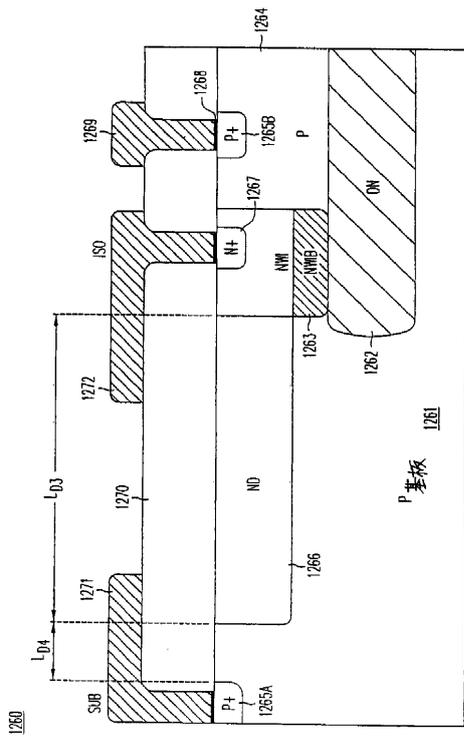


FIG. 30D

【 図 30 E 】

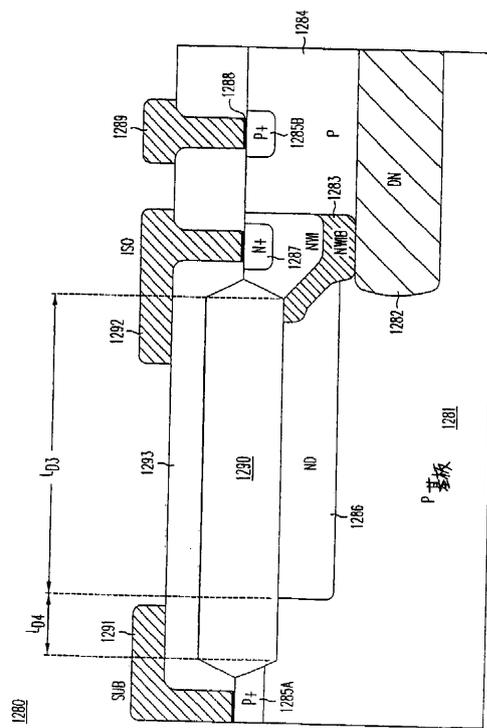


FIG. 30E

フロントページの続き

(51)Int.Cl.

F I

H 0 1 L 27/092 (2006.01)
 H 0 1 L 21/337 (2006.01)
 H 0 1 L 27/098 (2006.01)
 H 0 1 L 29/808 (2006.01)
 H 0 1 L 29/861 (2006.01)
 H 0 1 L 29/868 (2006.01)

(74)代理人 100096781

弁理士 堀井 豊

(74)代理人 100098316

弁理士 野田 久登

(74)代理人 100109162

弁理士 酒井 将行

(74)代理人 100111246

弁理士 荒川 伸夫

(72)発明者 ウィリアムズ, リチャード・ケイ

アメリカ合衆国、9 5 0 1 5 カリフォルニア州、クパチーノ、ノルウィッチ・アベニュー、1 0 2 9 2

(72)発明者 デイズニー, ドナルド・レイ

アメリカ合衆国、9 5 0 1 4 カリフォルニア州、クパチーノ、トニ・コート、1 0 2 0 8

(72)発明者 チェン, ユン・ウェイ

アメリカ合衆国、9 5 0 7 0 カリフォルニア州、サラトガ、ブレイマー・ドライブ、1 9 7 2 5

(72)発明者 チャン, ワイ・ティエン

中華人民共和国、香港、エヌ・ティ、タイ・ポー、シャン・トン・ロード、1 8、ジェイ・シー・キャッスル、ハウス・8 0 ・ピー、セカンド・フロア

(72)発明者 リュウ, ヒュンシク

アメリカ合衆国、9 5 1 2 0 カリフォルニア州、サン・ノゼ、マッキントッシュ・クリーク・ドライブ、1 1 1 4

審査官 井上 弘巨

(56)参考文献 特開平10-242068(JP,A)

特表2005-536057(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 3 3 6
 H 0 1 L 2 1 / 3 3 7
 H 0 1 L 2 1 / 8 2 3 4
 H 0 1 L 2 1 / 8 2 3 8
 H 0 1 L 2 7 / 0 8 8
 H 0 1 L 2 7 / 0 9 2
 H 0 1 L 2 7 / 0 9 8
 H 0 1 L 2 9 / 7 8
 H 0 1 L 2 9 / 8 0 8
 H 0 1 L 2 9 / 8 6 1
 H 0 1 L 2 9 / 8 6 8