

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-243390

(P2013-243390A)

(43) 公開日 平成25年12月5日(2013.12.5)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/8236 (2006.01)	HO 1 L 27/08 3 1 1 A	5 F 0 3 8
HO 1 L 27/088 (2006.01)	HO 1 L 27/04 B	5 F 0 4 8
HO 1 L 21/822 (2006.01)		
HO 1 L 27/04 (2006.01)		

審査請求 有 請求項の数 6 O L (全 16 頁)

(21) 出願番号	特願2013-153212 (P2013-153212)	(71) 出願人	000005234 富士電機株式会社
(22) 出願日	平成25年7月24日 (2013. 7. 24)		神奈川県川崎市川崎区田辺新田1番1号
(62) 分割の表示	特願2007-238924 (P2007-238924) の分割	(74) 代理人	100150441 弁理士 松本 洋一
原出願日	平成19年9月14日 (2007. 9. 14)	(72) 発明者	山路 将晴 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内
		(72) 発明者	北村 明夫 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内
		Fターム(参考)	5F038 BB02 BB05 BG09 EZ14 EZ20 5F048 AB08 AC02 BA01 BA02 BA06 BA12 BD04 BE02 BE03 BE05 BE09 BF15 BF16 BF18 BG12

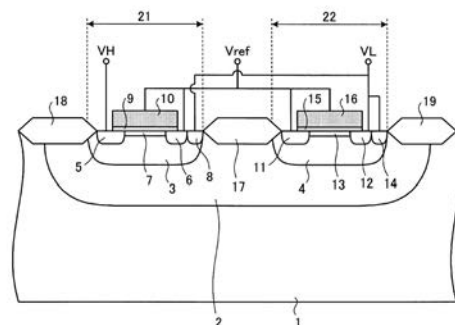
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 任意の電位に対する基準電圧を出力可能にすること。また、バッテリーのセルごとに高精度な電圧検出をおこなうこと。

【解決手段】 グランド端子GNDから分離したフローティング構造のデプレッション型MOSFET 2 1およびエンハンスメント型MOSFET 2 2を有する半導体装置において、デプレッション型MOSFET 2 1とエンハンスメント型MOSFET 2 2とを直列に接続する。そして、デプレッション型MOSFET 2 1を高電位側の端子に接続し、エンハンスメント型MOSFET 2 2を低電位側の端子に接続する。この半導体装置を、複数セルを有するバッテリーに対する制御回路ICなどの電圧検出回路部に設ける。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 導電型の基板の表面層に設けられた第 2 導電型の第 1 ウェル層と、
 前記第 1 ウェル層の表面層の一部に設けられた第 1 導電型の第 2 ウェル層と、
 前記第 1 ウェル層の表面層の一部に、前記第 2 ウェル層と離れて設けられた第 1 導電型
 の第 3 ウェル層と、
 前記第 2 ウェル層に設けられたデプレッション型 MOS F E T と、
 前記第 3 ウェル層に設けられたエンハンスメント型 MOS F E T と、
 を備え、
前記第 1 ウェル層はフローティング電位にすることを特徴とする半導体装置。

10

【請求項 2】

第 1 導電型の基板に第 2 導電型の埋め込み層を介して設けられた第 1 導電型のエピタキ
 シャル層と、
 前記エピタキシャル層の表面層に設けられた第 1 導電型のウェル層と、
 前記ウェル層の表面層の一部に設けられたデプレッション型 MOS F E T と、
 前記ウェル層の表面層の一部に、前記デプレッション型 MOS F E T と離れて設けられ
 たエンハンスメント型 MOS F E T と、
 を備え、
前記エピタキシャル層はフローティング電位にすることを特徴とする半導体装置。

20

【請求項 3】

前記デプレッション型 MOS F E T は、
 前記第 2 ウェル層の表面層の一部に設けられた第 2 導電型の第 1 ドレイン層と、
 前記第 2 ウェル層の表面層の一部に、前記第 1 ドレイン層と離れて設けられた第 2 導電
 型の第 1 ソース層と、
 前記第 2 ウェル層の表面層の一部に、前記第 1 ドレイン層と、前記第 1 ソース層と、に
 接するように設けられた第 2 導電型のデプレッション層と、
 前記第 2 ウェル層の表面層の一部に設けられた第 1 導電型の第 1 ピックアップ層と、
 前記デプレッション層の上に、第 1 ゲート酸化膜を介して設けられた第 1 ゲート電極と

30

、
 を備え、
 前記エンハンスメント型 MOS F E T は、
 前記第 3 ウェル層の表面層の一部に設けられた第 2 導電型の第 2 ドレイン層と、
 前記第 3 ウェル層の表面層の一部に、前記第 2 ドレイン層と離れて設けられた第 2 導電
 型の第 2 ソース層と、
 前記第 3 ウェル層の表面層の一部に、前記第 2 ドレイン層と、前記第 2 ソース層と、に
 接するように設けられた第 1 導電型のチャネル層と、
 前記第 3 ウェル層の表面層の一部に設けられた第 1 導電型の第 2 ピックアップ層と、
 前記チャネル層の上に、第 2 ゲート酸化膜を介して設けられた第 2 ゲート電極と、
 を備えることを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】

前記第 1 ゲート電極および前記第 1 ソース層と、前記第 2 ゲート電極および前記第 2 ド
 レイン層と、に電氣的に接続された出力端子と、
 前記第 1 ドレイン層に、電氣的に接続された高電位側端子と、
 前記第 1 ピックアップ層と、前記第 2 ソース層および前記第 2 ピックアップ層と、に電
 氣的に接続された低電位側端子と、
 を備えることを特徴とする請求項 3 に記載の半導体装置。

40

【請求項 5】

前記デプレッション型 MOS F E T は、
 前記ウェル層の表面層の一部に設けられた第 2 導電型の第 1 ドレイン層と、
 前記ウェル層の表面層の一部に、前記第 1 ドレイン層と離れて設けられた第 2 導電型の

50

第 1 ソース層と、

前記ウェル層の表面層の一部に、前記第 1 ドレイン層と、前記第 1 ソース層と、に接するように設けられた第 2 導電型のデプレッション層と、

前記ウェル層の表面層の一部に設けられた第 1 導電型の第 1 ピックアップ層と、

前記デプレッション層の上に、第 1 ゲート酸化膜を介して設けられた第 1 ゲート電極と

、

を備え、

前記エンハンスメント型 MOSFET は、

前記ウェル層の表面層の一部に設けられた第 2 導電型の第 2 ドレイン層と、

前記ウェル層の表面層の一部に、前記第 2 ドレイン層と離れて設けられた第 2 導電型の第 2 ソース層と、

前記ウェル層の表面層の一部に、前記第 2 ドレイン層と、前記第 2 ソース層と、に接するように設けられた第 1 導電型のチャネル層と、

前記チャネル層の上に、第 2 ゲート酸化膜を介して設けられた第 2 ゲート電極と、

を備えることを特徴とする請求項 2 に記載の半導体装置。

【請求項 6】

前記第 1 ゲート電極および前記第 1 ソース層と、前記第 2 ゲート電極および前記第 2 ドレイン層と、に電氣的に接続された出力端子と、

前記第 1 ドレイン層に、電氣的に接続された高電位側端子と、

前記第 1 ピックアップ層と、前記第 2 ソース層および前記第 2 ピックアップ層と、に電氣的に接続された低電位側端子と、

を備えることを特徴とする請求項 5 に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、半導体装置に関し、特に、基準電圧を出力する半導体装置に関する。

【背景技術】

【0002】

従来、基準電圧回路は、IC (Integrated Circuit: 集積回路) 内ですべての制御回路の基準として用いられる。したがって、基準電圧回路は、温度や電源電圧の変動にも影響されず、常に一定の電圧を出力することが要求される。図 6 は、従来の MOS 基準電圧回路を構成する半導体装置の構造を示す断面図である。図 6 に示すように、この半導体装置は、p 基板 1 を用いて作製されている。p 基板 1 の表面層には、p ウェル層 73 が設けられている。そして、p ウェル層 73 の表面層に、デプレッション型 MOSFET 101 と、エンハンスメント型 MOSFET 102 と、がフィールド酸化膜 17 を隔てて設けられている (たとえば、下記特許文献 1 参照。)。

【0003】

デプレッション型 MOSFET 101 において、p ウェル層 73 の表面層の一部には、n⁺ドレイン層 5 と、n⁺ソース層 6 と、が互いに離れて設けられている。n⁻デプレッション層 7 は、p ウェル層 73 の表面層の一部に、n⁺ドレイン層 5 と、n⁺ソース層 6 と、に接するように設けられている。n⁻デプレッション層 7 の上には、ゲート酸化膜 9 を介してゲート電極 10 が設けられている。また、エンハンスメント型 MOSFET 102 において、p ウェル層 73 の表面層の一部には、n⁺ドレイン層 11 と、n⁺ソース層 12 と、が互いに離れて設けられている。p チャネル層 13 は、p ウェル層 73 の表面層の一部に、n⁺ドレイン層 11 と、n⁺ソース層 12 と、に接するように設けられている。p チャネル層 13 の上には、ゲート酸化膜 15 を介してゲート電極 16 が設けられている。さらに、p ウェル層 73 の表面層の一部には、p⁺ピックアップ層 74 が設けられている。p⁺ピックアップ層 74 は、フィールド酸化膜 19 によってエンハンスメント型 MOSFET 102 と隔てられている。

【0004】

10

20

30

40

50

電源高電位端子 V_{cc} は、デプレッション型 MOSFET 101 の n^+ ドレイン層 5 に電氣的に接続されている。基準電圧を出力する出力端子 V_{ref} は、デプレッション型 MOSFET 101 の n^+ ソース層 6 およびゲート電極 10 と、エンハンスメント型 MOSFET 102 の n^+ ドレイン層 11 およびゲート電極 16 と、に電氣的に接続されている。グランド端子 GND は、エンハンスメント型 MOSFET 102 の n^+ ソース層 12 および p^+ ピックアップ層 74 に電氣的に接続されている。このような構成の MOS 基準電圧回路を用いることで、たとえば、セル数が 1 つのリチウムイオンバッテリーのセル電圧を高精度に検出することができる。

【0005】

つぎに、従来の半導体装置を MOS 基準電圧回路として用いた電圧検出回路の構成について説明する。図 7 は、従来の半導体装置を用いた電圧検出回路の構成を示す回路図である。図 7 に示すように、電圧検出回路 110 は、高抵抗 R_1 と、抵抗 R_2 と、電圧検出回路部 112 と、を備えている。電圧検出回路部 112 は、コンパレータ 114 と、MOS 基準電圧回路 113 と、を備えている。コンパレータ 114 の基準電位側には、MOS 基準電圧回路 113 から出力される基準電圧が印加される。コンパレータ 114 の入力電位側には、複数のリチウム電池セル 111 が直列に接続されたリチウムイオンバッテリーの出力電圧を R_1 と R_2 で抵抗分圧した電圧が印加される。

10

【0006】

このように、電圧検出の方法としては、高電圧を抵抗分圧して、低電圧に下げたから、基準電圧と比較する方法がある。また、他の方法としては、高電圧を差動増幅回路などで低電圧に下げたから、基準電圧と比較する方法がある。

20

【特許文献 1】特開 2003 - 31678 号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

しかしながら、複数のセルを有するバッテリーに対する充電制御 IC などの電圧検出回路部においては、バッテリーの電圧が高い程、基準電圧レベルまで電圧を下げる際の電圧差が大きくなり、高精度な電圧検出が難しいという問題がある。また、基準電圧回路が 1 つしかないため、各セルごとの電圧検出ができないという問題がある。

【0008】

この発明は、上述した従来技術による問題点を解消するため、任意の電位に対する基準電圧を出力可能な半導体装置を提供することを目的とする。また、この発明は、バッテリーのセルごとに高精度な電圧検出をおこなうことができる半導体装置を提供することを目的とする。

30

【課題を解決するための手段】

【0009】

上述した課題を解決し、目的を達成するため、請求項 1 の発明にかかる半導体装置は、第 1 導電型の基板の表面層に、第 2 導電型の第 1 ウェル層が設けられている。第 1 ウェル層の表面層の一部には、第 1 導電型の第 2 ウェル層が設けられている。また、第 1 ウェル層の表面層の一部には、第 1 導電型の第 3 ウェル層が、第 2 ウェル層と離れて設けられている。第 2 ウェル層には、デプレッション型 MOSFET が設けられている。また、第 3 ウェル層には、エンハンスメント型 MOSFET が設けられ、前記第 1 ウェル層はフローティング電位にすることを特徴とする。

40

【0010】

また、請求項 2 の発明にかかる半導体装置は、第 1 導電型の基板に、第 1 導電型のエピタキシャル層が、第 2 導電型の埋め込み層を介して設けられている。エピタキシャル層の表面層には、第 2 導電型の第 1 ウェル層が設けられている。第 1 ウェル層の表面層の一部には、第 1 導電型の第 2 ウェル層が設けられている。また、第 1 ウェル層の表面層の一部には、第 1 導電型の第 3 ウェル層が、第 2 ウェル層と離れて設けられている。第 2 ウェル層には、デプレッション型 MOSFET が設けられている。また、第 3 ウェル層には、エ

50

ンハンスメント型MOSFETが設けられ、前記エピタキシャル層はフローティング電位にすることを特徴とする。

【0011】

また、請求項3の発明にかかる半導体装置は、請求項1に記載の発明において、デプレッション型MOSFETには、第2ウェル層の表面層の一部に、第2導電型の第1ドレイン層が設けられている。第2ウェル層の表面層の一部には、第2導電型の第1ソース層が、第1ドレイン層と離れて設けられている。また、第2ウェル層の表面層の一部には、第2導電型のデプレッション層が、第1ドレイン層と、第1ソース層と、に接するように設けられている。さらに、第2ウェル層の表面層の一部には、第1導電型の第1ピックアップ層が設けられている。デプレッション層の上には、第1ゲート酸化膜を介して第1ゲート電極が設けられている。また、エンハンスメント型MOSFETには、第3ウェル層の表面層の一部に、第2導電型の第2ドレイン層が設けられている。第3ウェル層の表面層の一部には、第2導電型の第2ソース層が、第2ドレイン層と離れて設けられている。第3ウェル層の表面層の一部には、第1導電型のチャンネル層が、第2ドレイン層と、第2ソース層と、に接するように設けられている。さらに、第3ウェル層の表面層の一部には、第1導電型の第2ピックアップ層が設けられている。チャンネル層の上に、第2ゲート酸化膜を介して第2ゲート電極が設けられていることを特徴とする。

10

【0012】

また、請求項4の発明にかかる半導体装置は、請求項3に記載の発明において、第1ゲート電極および第1ソース層と、第2ゲート電極および第2ドレイン層と、に出力端子が電氣的に接続されている。また、第1ドレイン層に、高電位側端子が電氣的に接続されている。さらに、第1ピックアップ層と、第2ソース層および第2ピックアップ層と、に低電位側端子が電氣的に接続されていることを特徴とする。

20

【0013】

また、請求項5の発明にかかる半導体装置は、請求項2に記載の発明において、デプレッション型MOSFETは、ウェル層の表面層の一部に、第2導電型の第1ドレイン層が設けられている。ウェル層の表面層の一部に、第1ドレイン層と離れて第2導電型の第1ソース層が設けられている。ウェル層の表面層の一部に、第1ドレイン層と、第1ソース層と、に接するように第2導電型のデプレッション層が設けられている。ウェル層の表面層の一部に第1導電型の第1ピックアップ層が設けられている。そして、デプレッション層の上に、第1ゲート酸化膜を介して第1ゲート電極が設けられている。エンハンスメント型MOSFETは、ウェル層の表面層の一部に第2導電型の第2ドレイン層が設けられている。ウェル層の表面層の一部に、第2ドレイン層と離れて第2導電型の第2ソース層が設けられている。ウェル層の表面層の一部に、第2ドレイン層と、第2ソース層と、に接するように第1導電型のチャンネル層が設けられている。チャンネル層の上に、第2ゲート酸化膜を介して第2ゲート電極が設けられていることを特徴とする。また、請求項6の発明に係る半導体装置は、請求項5に記載の発明において、第1ゲート電極および第1ソース層と、第2ゲート電極および第2ドレイン層と、に電氣的に接続された出力端子と、第1ドレイン層に、電氣的に接続された高電位側端子と、第1ピックアップ層および第2ソース層に電氣的に接続された低電位側端子と、を備えることを特徴とする。

30

40

【0014】

上述の各発明によれば、デプレッション型MOSFETおよびエンハンスメント型MOSFETが、グランド端子から分離されたフローティング構造となっているため、この半導体装置を基準電圧回路として用いることによって、複数のセルを有するバッテリーに対してセルごとに電圧検出をおこなうことができる。また、セルごとに基準電圧と比較するため、低抵抗によってセルの電圧を分圧すればよいので、電圧降下による誤差が減少し、高精度な電圧検出をおこなうことができる。

【発明の効果】

【0015】

50

本発明にかかる半導体装置によれば、任意の電位に対する基準電圧を出力可能であるという効果を奏する。また、この半導体装置によれば、バッテリーのセルごとに高精度な電圧検出をおこなうことができるという効果を奏する。

【発明を実施するための最良の形態】

【0016】

以下に添付図面を参照して、この発明にかかる半導体装置の好適な実施の形態を詳細に説明する。

(実施の形態1)

図1は、実施の形態1にかかる半導体装置の構造を示す断面図である。また、図2は、実施の形態1にかかる半導体装置の構成を示す回路図である。図1に示すように、実施の形態1にかかる半導体装置は、p基板1の表面層にnウェル層2が設けられている。このnウェル層2は、フローティング層としての機能を果たしている。nウェル層2の表面層の一部には、pウェル層3と、pウェル層4とが、互いに離れて設けられている。pウェル層3の表面層には、デプレッション型NMOSFET21が設けられ、pウェル層4の表面層には、エンハンスメント型NMOSFET22が設けられている。

10

【0017】

デプレッション型NMOSFET21において、n⁺ドレイン層5は、pウェル層3の表面層の一部に設けられている。n⁺ソース層6は、pウェル層3の表面層の一部に、n⁺ドレイン層5と離れて設けられている。n⁻デプレッション層7は、pウェル層3の表面層の一部に、n⁺ドレイン層5およびn⁺ソース層6と接するように設けられている。n⁻デプレッション層7には、たとえば、リン(P₃₁)などの不純物がドーブされている。p⁺ピックアップ層8は、pウェル層3の表面層の一部に設けられている。n⁻デプレッション層7の上には、ゲート酸化膜9を介してゲート電極10が設けられている。ゲート酸化膜9は、たとえば、厚さが170 Åである。

20

【0018】

エンハンスメント型NMOSFET22において、n⁺ドレイン層11は、pウェル層4の表面層の一部に設けられている。n⁺ソース層12は、pウェル層4の表面層の一部に、n⁺ドレイン層11と離れて設けられている。p⁻チャネル層13は、pウェル層4の表面層の一部に、n⁺ドレイン層11およびn⁺ソース層12と接するように設けられている。p⁺ピックアップ層14は、pウェル層4の表面層の一部に設けられている。p⁻チャネル層13の上には、ゲート酸化膜15を介してゲート電極16が設けられている。ゲート酸化膜15は、たとえば、厚さが170 Åである。

30

【0019】

また、フィールド酸化膜17は、nウェル層2の表面層の一部に設けられており、デプレッション型NMOSFET21とエンハンスメント型NMOSFET22を分離している。フィールド酸化膜18は、デプレッション型NMOSFET21を、図示しない他の素子から分離している。フィールド酸化膜19は、エンハンスメント型NMOSFET22を、図示しない他の素子から分離している。

【0020】

出力端子V_{ref}は、デプレッション型NMOSFET21のn⁺ソース層6およびゲート電極10と、エンハンスメント型NMOSFET22のn⁺ドレイン層11およびゲート電極16と、に電氣的に接続される。高電位側端子V_Hは、デプレッション型NMOSFET21のn⁺ドレイン層5に電氣的に接続される。また、低電位側端子V_Lは、デプレッション型NMOSFET21のp⁺ピックアップ層8と、エンハンスメント型NMOSFET22のn⁺ソース層12およびp⁺ピックアップ層14と、に電氣的に接続される。

40

【0021】

つぎに、実施の形態1にかかるMOS基準電圧回路の製造方法について説明する。まず、p基板1の表面層にnウェル層2を形成する。ついで、フィールド酸化膜17, 18, 19を形成する。nウェル層2の表面層に、pウェル層3およびpウェル層4を形成する

50

。ここで、pウェル層3の表面層にn⁻デプレッション層7を形成する。n⁻デプレッション層7には、たとえば、リン(P₃₁)をドーブする。ついで、n⁻デプレッション層7の上に、ゲート酸化膜9を、たとえば、170 の厚さで形成する。さらに、ゲート酸化膜9の上に、ゲート電極10を堆積する。

【0022】

一方、pウェル層4に、p⁻チャネル層13を形成する。ついで、p⁻チャネル層13の上に、ゲート酸化膜15を、たとえば、170 の厚さで形成する。さらに、ゲート酸化膜15の上に、ゲート電極16を堆積する。

【0023】

ついで、n⁺領域以外にマスク遮蔽をして、ゲート電極10、16とフィールド酸化膜17、18、19越しにインプラして、n⁺ドレイン層5、11とn⁺ソース層6、12を形成する。また、p⁺領域以外にマスク遮蔽をして、ゲート電極10、16とフィールド酸化膜17、18、19越しにインプラして、p⁺ピックアップ層8、14を形成する。

10

【0024】

ついで、出力端子V_{ref}を、デプレッション型NMOSFET21のn⁺ソース層6およびゲート電極10と、エンハンスメント型NMOSFET22のn⁺ドレイン層11およびゲート電極16と、に電氣的に接続する。また、高電位側端子V_Hを、デプレッション型NMOSFET21のn⁺ドレイン層5に電氣的に接続する。また、低電位側端子V_Lを、デプレッション型NMOSFET21のp⁺ピックアップ層8と、エンハンスメント型NMOSFET22のn⁺ソース層12およびp⁺ピックアップ層14に電氣的に接続する。図2において、符号31がデプレッション型NMOSFETであり、符号32がエンハンスメント型NMOSFETである。

20

【0025】

図3は、実施の形態1にかかる半導体装置を用いた電圧検出回路の構成を示す回路図である。図3に示すように、電圧検出回路40の電圧検出回路部42は、複数のリチウム電池セル41のそれぞれに接続されるコンパレータ44と、各コンパレータ44に基準電圧を供給するMOS基準電圧回路43と、を備えている。このMOS基準電圧回路43は、図1および図2に示す半導体装置により構成される。

【0026】

ここで、たとえば、リチウム電池セル41の電池電圧を4.0Vとすると、図3に示す4つのリチウム電池セル41を備えるバッテリーにおいては、高電位側の電圧は16Vとなる。また、実施の形態1にかかるMOS基準電圧回路43は、各リチウム電池セル41の基準電位側に接続されている。このため、4.0Vの電位差を分圧して、各コンパレータ44の入力電位側に供給すればよい。

30

【0027】

実施の形態1にかかるMOS基準電圧回路によれば、リチウム電池セル41ごとにコンパレータ44が備えられているので、各リチウム電池セル41ごとに電圧検出をおこなうことができる。さらに、たとえば、4つのリチウム電池セル41を備える構成の場合、高電圧のセル電位から低電圧に分圧する際に、抵抗によって生じる誤差も1/4となるため高精度な電圧検出をおこなうことができる。

40

【0028】

具体的には、4つのリチウム電池セル41を備える構成の場合、従来技術では、メーカーによって過充電検出電圧が数十mV単位で異なるため、また、充電検出電圧などを細かにトリミングするため、分圧抵抗R1(図7参照)として、16M~20M程度の抵抗が必要である。それに対して、本発明のように各セルごとに分圧する場合、各セルごとに4M~5M程度の抵抗があればよい。したがって、抵抗分圧による誤差は、従来技術の約1/4となる。

【0029】

これらによって、複数セルを有するバッテリーの電圧検出の精度が向上し、バッテリー充電時などの安全性が向上する。また、実施の形態1によれば、複数セルを有するバッテリーの

50

電圧をセルごとに検出する回路を、1チップで構成することができる。

(実施の形態2)

図4は、実施の形態2にかかる半導体装置の構造を示す断面図である。実施の形態2にかかる半導体装置は、実施の形態1にかかる半導体装置と異なり、ゲート酸化膜51, 52の厚さが300程度である。一般的に、MOSFETでは、ゲート酸化膜の厚さに対して3.0~3.3MV/cmの範囲が推奨動作電圧となっているため、耐圧が10V程度であれば、ゲート酸化膜の厚さが300となる。

【0030】

実施の形態2にかかる半導体装置によれば、10V程度の耐圧が求められる場合においても、高精度な電圧検出をおこなうことができる。

10

(実施の形態3)

図5は、実施の形態3にかかる半導体装置の構造を示す断面図である。実施の形態3にかかる半導体装置は、実施の形態1または実施の形態2にかかる半導体装置と異なり、エピタキシャル基板を用いて作製されている。図5に示すように、エピタキシャル基板は、p基板1上にn埋め込み層71を介して、pエピタキシャル層72を積層した構成となっている。pエピタキシャル層72は、フローティング層としての機能を果たしている。pエピタキシャル層72の表面層には、pウェル層73が設けられている。pウェル層73の表面層の一部には、デプレッション型NMOSFET101と、エンハンスメント型NMOSFET102と、が互いに離れて設けられている。

【0031】

実施の形態3にかかる半導体装置によれば、pエピタキシャル層72の電位をフローティング電位にすることで、実施の形態1または実施の形態2と同様の効果を得ることができる。

20

【産業上の利用可能性】

【0032】

以上のように、本発明にかかる半導体装置は、基準電圧回路に有用であり、特に、リチウムイオンバッテリーなどのバッテリーの電圧検出回路に適している。

【図面の簡単な説明】

【0033】

【図1】実施の形態1にかかる半導体装置の構造を示す断面図である。

30

【図2】実施の形態1にかかる半導体装置の構成を示す回路図である。

【図3】実施の形態1にかかる半導体装置を用いた電圧検出回路の構成を示す回路図である。

【図4】実施の形態2にかかる半導体装置の構造を示す断面図である。

【図5】実施の形態3にかかる半導体装置の構造を示す断面図である。

【図6】従来の半導体装置の構造を示す断面図である。

【図7】従来の半導体装置を用いた電圧検出回路の構成を示す回路図である。

【符号の説明】

【0034】

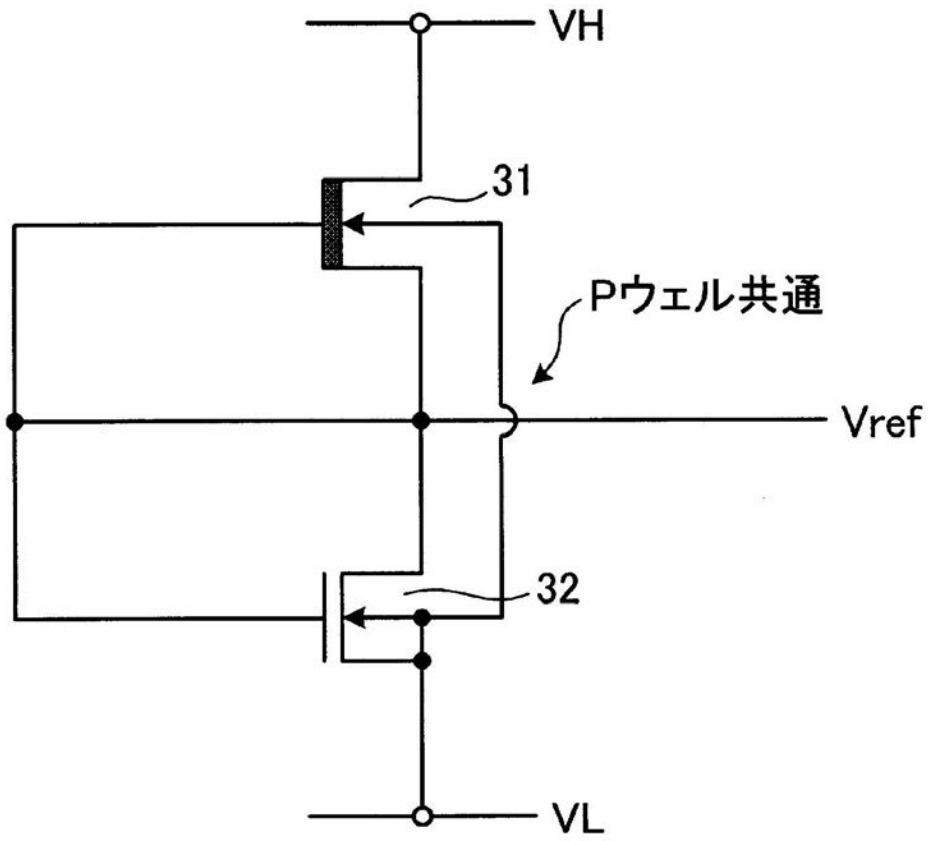
- 1 p基板
- 2 nウェル層
- 3, 4 pウェル層
- 5, 11 n⁺ドレイン層
- 6, 12 n⁺ソース層
- 7 n⁻デプレッション層
- 8, 14 p⁺ピックアップ層
- 9, 15 ゲート酸化膜
- 10, 16 ゲート電極
- 17, 18, 19 フィールド酸化膜
- 21 デプレッション型NMOSFET

40

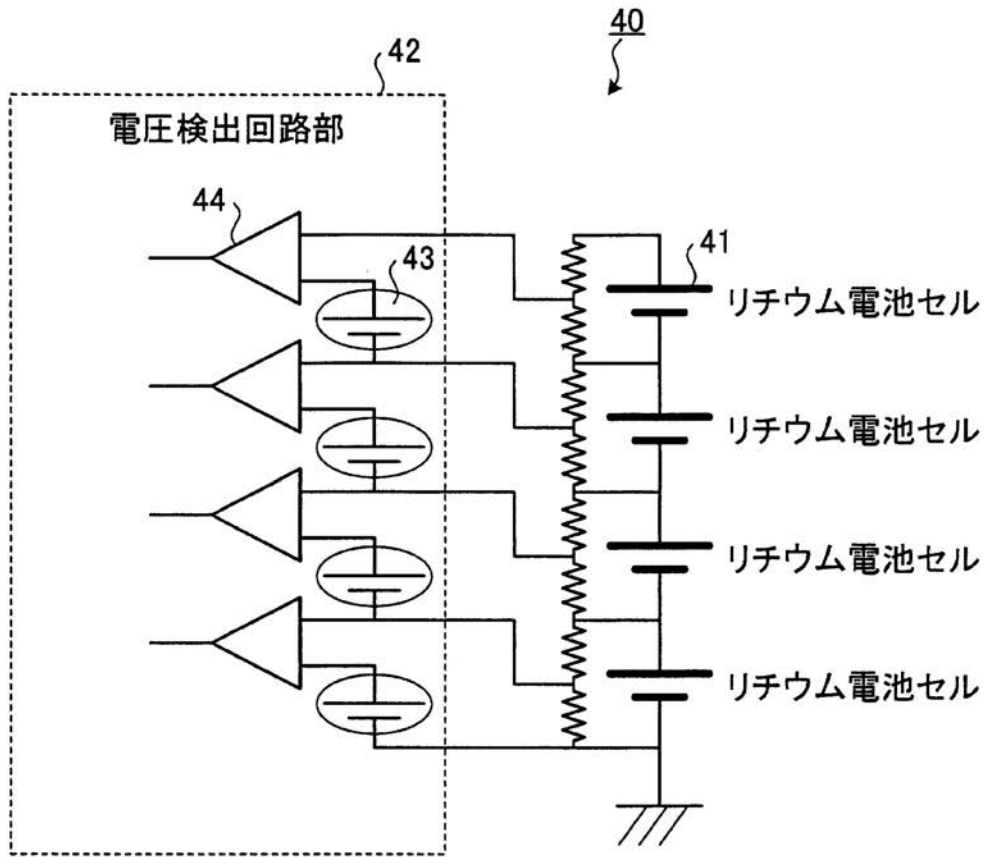
50

2 2 エンハンスメント型 N M O S F E T

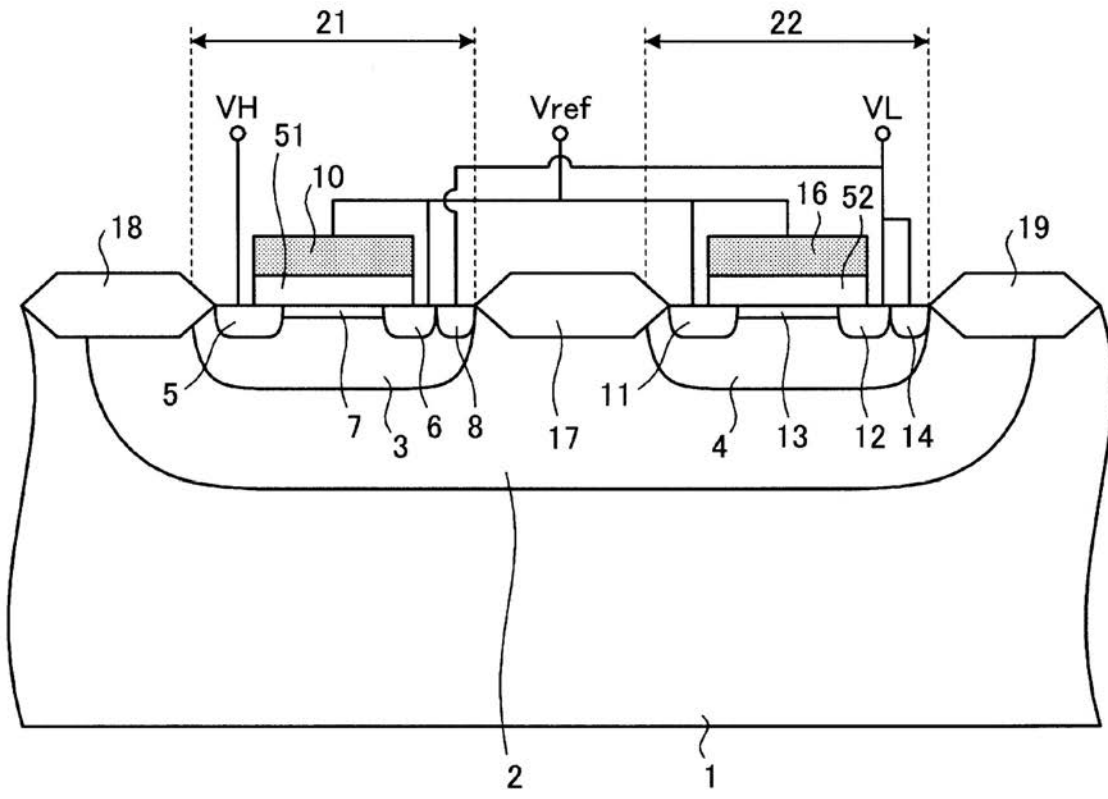
【 図 2 】



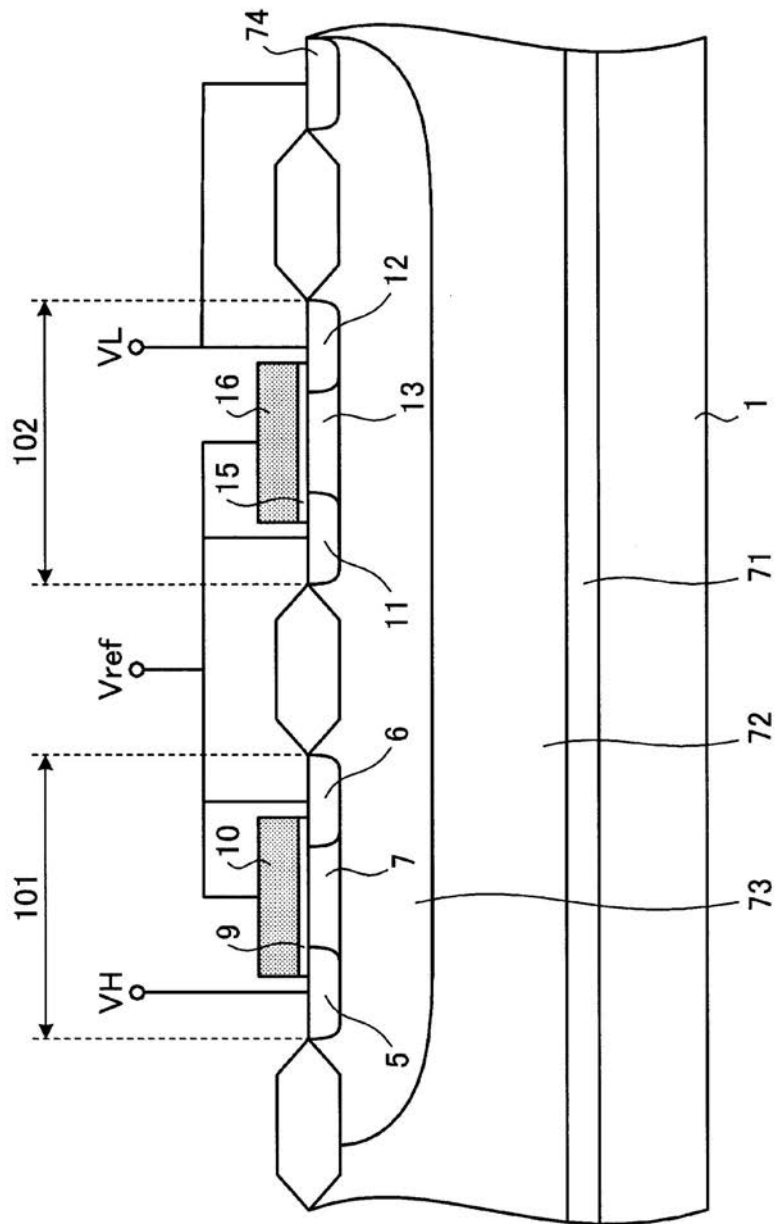
【 図 3 】



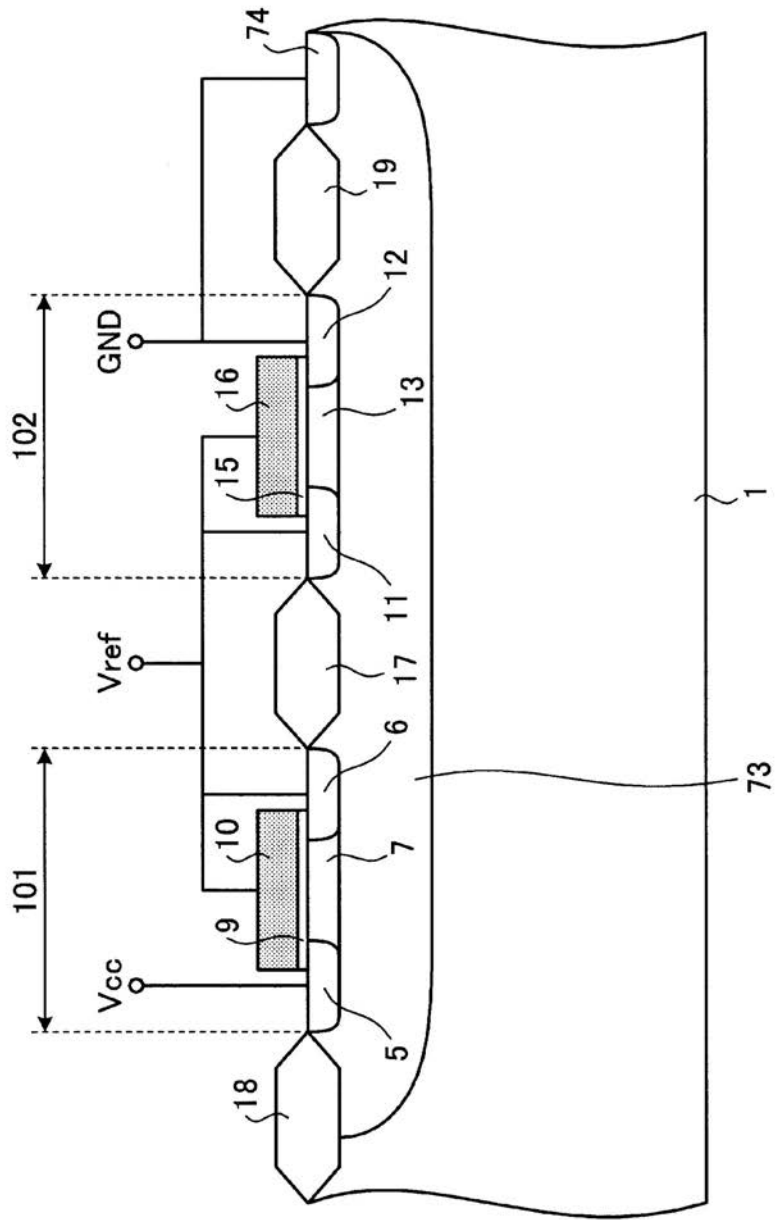
【 図 4 】



【図5】



【図 6】



【図7】

