



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0076319
(43) 공개일자 2018년07월05일

(51) 국제특허분류(Int. Cl.)
H01L 27/11524 (2017.01) H01L 27/11529 (2017.01)
H01L 27/11568 (2017.01) H01L 27/11573 (2017.01)
(52) CPC특허분류
H01L 27/11524 (2013.01)
H01L 27/11529 (2013.01)
(21) 출원번호 10-2017-0177037
(22) 출원일자 2017년12월21일
심사청구일자 없음
(30) 우선권주장
JP-P-2016-252691 2016년12월27일 일본(JP)

(71) 출원인
르네사스 일렉트로닉스 가부시키키가이샤
일본 도쿄도 고토쿠 도요스 3쵸메 2방 24고
(72) 발명자
가와시마 요시유키
일본 도쿄도 고후또우꾸 도요스 3쵸메 2-24 르네사스 일렉트로닉스 가부시키키가이샤 내
하시모토 다카시
일본 도쿄도 고후또우꾸 도요스 3쵸메 2-24 르네사스 일렉트로닉스 가부시키키가이샤 내
(74) 대리인
장수길, 이중희

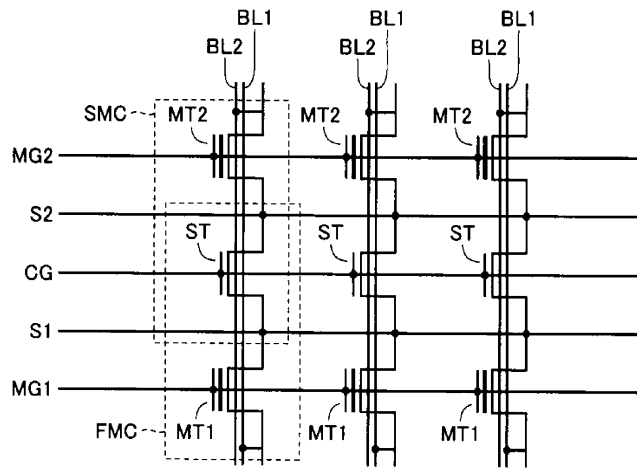
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 반도체 장치 및 그 제조 방법

(57) 요약

셀 사이즈를 작게 할 수 있음과 함께, 판독 동작 시의 디스터브의 발생을 억제할 수 있는 반도체 장치 및 그 제조 방법을 제공한다. 제1 메모리 셀 FMC는 기억용 트랜지스터 MT1을 갖는다. 제2 메모리 셀 SMC는 제2 기억용 트랜지스터 MT2를 갖는다. 제어 게이트 CG는, 제1 메모리 셀 FMC와 제2 메모리 셀 SMC에서 공유되고 있다. 제어 게이트 CG는, 평면에서 보아, 기억용 트랜지스터 MT1의 기억 게이트 MG1과 기억용 트랜지스터 MT2의 기억 게이트 MG2 사이에 끼워져 있다.

대표도 - 도2



(52) CPC특허분류

H01L 27/11568 (2013.01)

H01L 27/11573 (2013.01)

명세서

청구범위

청구항 1

주표면을 갖는 반도체 기판과,

제1 기억용 트랜지스터를 갖는 제1 메모리 셀과,

제2 기억용 트랜지스터를 갖는 제2 메모리 셀을 구비하고,

상기 제1 기억용 트랜지스터는, 상기 반도체 기판의 상기 주표면 상에 배치된 제1 전하 축적막과, 상기 제1 전하 축적막 상에 배치된 제1 기억 게이트를 갖고,

상기 제2 기억용 트랜지스터는, 상기 반도체 기판의 상기 주표면 상에 배치된 제2 전하 축적막과, 상기 제2 전하 축적막 상에 배치된 제2 기억 게이트를 갖고,

상기 제1 메모리 셀과 상기 제2 메모리 셀에서 공유되며, 또한 상기 제1 기억용 트랜지스터와 상기 제2 기억용 트랜지스터를 선택하는 제어 게이트를 더 구비하고,

상기 제어 게이트는, 평면에서 보아 상기 제1 기억 게이트와 상기 제2 기억 게이트 사이에 끼워져 있는 반도체 장치.

청구항 2

제1항에 있어서,

상기 반도체 기판의 상기 주표면에 배치되며, 또한 평면에서 보아 상기 제어 게이트와 상기 제1 기억 게이트 사이에 배치된 제1 불순물 영역과,

상기 제1 불순물 영역에 전기적으로 접속된 제1 소스 배선과,

상기 반도체 기판의 상기 주표면에 배치되며, 또한 평면에서 보아 상기 제어 게이트와 상기 제2 기억 게이트 사이에 배치된 제2 불순물 영역과,

상기 제2 불순물 영역에 전기적으로 접속된 제2 소스 배선을 더 구비한 반도체 장치.

청구항 3

제2항에 있어서,

상기 반도체 기판의 상기 주표면에 배치되며, 또한 평면에서 보아 상기 제1 불순물 영역과의 사이에 상기 제1 기억 게이트를 두는 제3 불순물 영역과,

상기 반도체 기판의 상기 주표면에 배치되며, 또한 평면에서 보아 상기 제2 불순물 영역과의 사이에 상기 제2 기억 게이트를 두는 제4 불순물 영역과,

상기 제3 불순물 영역에 전기적으로 접속된 제1 비트 배선과,

상기 제4 불순물 영역에 전기적으로 접속되며, 또한 평면에서 보아 상기 제1 비트 배선과 병주하는 제2 비트 배선을 더 구비한 반도체 장치.

청구항 4

제1항에 있어서,

상기 제1 기억 게이트와 상기 반도체 기판의 상기 주표면 사이, 상기 제2 기억 게이트와 상기 반도체 기판의 상기 주표면 사이, 및 상기 제어 게이트와 상기 반도체 기판의 상기 주표면 사이의 각각에, 제1 실리콘 산화막과 실리콘 질화막과 제2 실리콘 산화막이 순서대로 적층되어 이루어지는 적층 구조가 배치되어 있는 반도체 장치.

청구항 5

주표면을 갖는 반도체 기판과,

상기 반도체 기판의 상기 주표면 상에 배치된 제1 전하 축적막과, 상기 제1 전하 축적막 상에 배치된 제1 기억 게이트를 갖는 제1 기억용 트랜지스터와,

상기 반도체 기판의 상기 주표면 상에 상기 반도체 기판과 절연하도록 배치된 제어 게이트를 갖는 선택용 트랜지스터와,

제1 소스 배선을 구비하고,

상기 제1 기억용 트랜지스터와 상기 선택용 트랜지스터는, 평면에서 보아 상기 제1 기억 게이트와 상기 제어 게이트 사이에 배치된 제1 불순물 영역을 공유하고,

상기 제1 소스 배선은, 상기 제1 불순물 영역에 전기적으로 접속되어 있는 반도체 장치.

청구항 6

제5항에 있어서,

상기 반도체 기판의 상기 주표면 상에 배치된 제2 전하 축적막과, 상기 제2 전하 축적막 상에 배치된 제2 기억 게이트를 갖는 제2 기억용 트랜지스터와,

제2 소스 배선을 더 구비하고,

상기 제2 기억용 트랜지스터와 상기 선택용 트랜지스터는, 평면에서 보아 상기 제2 기억 게이트와 상기 제어 게이트 사이에 배치된 제2 불순물 영역을 공유하고,

상기 제2 소스 배선은, 상기 제2 불순물 영역에 전기적으로 접속되어 있는 반도체 장치.

청구항 7

제6항에 있어서,

상기 제1 기억용 트랜지스터, 상기 제2 기억용 트랜지스터 및 상기 선택용 트랜지스터의 각각의 게이트 절연막은, 제1 실리콘 산화막과 실리콘 질화막과 제2 실리콘 산화막이 순서대로 적층되어 이루어지는 적층 구조를 갖고 있는 반도체 장치.

청구항 8

반도체 기판의 주표면 상에 배치된 제1 전하 축적막과, 상기 제1 전하 축적막 상에 배치된 제1 기억 게이트를 포함하는 제1 기억용 트랜지스터를 갖는 제1 메모리 셀을 형성하는 공정과,

상기 반도체 기판의 상기 주표면 상에 배치된 제2 전하 축적막과, 상기 제2 전하 축적막 상에 배치된 제2 기억 게이트를 포함하는 제2 기억용 트랜지스터를 갖는 제2 메모리 셀을 형성하는 공정과,

상기 제1 메모리 셀과 상기 제2 메모리 셀에서 공유되며, 또한 상기 제1 기억용 트랜지스터와 상기 제2 기억용 트랜지스터를 선택하는 제어 게이트를 형성하는 공정을 구비하고,

상기 제어 게이트는, 평면에서 보아 상기 제1 기억 게이트와 상기 제2 기억 게이트 사이에 끼워지도록 형성되는 반도체 장치의 제조 방법.

청구항 9

제8항에 있어서,

상기 제1 기억 게이트와, 상기 제2 기억 게이트와, 상기 제어 게이트가, 동일한 게이트용 도전층으로 형성된 부분을 포함하도록 형성되는 반도체 장치의 제조 방법.

청구항 10

제8항에 있어서,

상기 제1 기억 게이트와 상기 반도체 기관의 상기 주표면 사이, 상기 제2 기억 게이트와 상기 반도체 기관의 상기 주표면 사이, 및 상기 제어 게이트와 상기 반도체 기관의 상기 주표면 사이의 각각에, 제1 실리콘 산화막과 실리콘 질화막과 제2 실리콘 산화막이 순서대로 적층되어 이루어지는 적층 구조가 형성되는 반도체 장치의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 장치 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 반도체 장치에는 불휘발성 메모리를 갖는 것이 있다. 불휘발성 메모리란, 전원을 꺼도 기억 정보가 남는 소자이다. 이 불휘발성 메모리를 논리용 반도체 장치와 동일한 반도체 기관 상에 혼재함으로써, 고기능의 반도체 장치를 실현할 수 있다. 이와 같은 불휘발성 메모리를 혼재한 반도체 장치는, 내장형 마이크로컴퓨터로서, 산업 기계, 가전품, 자동차 탑재 장치 등에 널리 사용되고 있다.

[0003] 이와 같은 불휘발성 메모리의 셀 구조로서, 선택용 트랜지스터와, 기억용 트랜지스터의 2개의 트랜지스터를 포함하는 셀 구조가 있다. 이와 같은 셀 구조는, 예를 들어 일본 특허 공개 제2004-200504호 공보(특허문헌 1)에 개시되어 있다.

[0004] 여기서 선택용 트랜지스터는, 불휘발성 메모리의 셀을 선택하는 것이다. 기억용 트랜지스터는, 전하의 축적에 의해 역치 전압을 변동시킴으로써 정보를 기억하는 것이다. 이 기억용 트랜지스터는 MONOS(Metal Oxide Nitride Oxide Semiconductor) 구조를 갖고 있다.

[0005] 또한 불휘발성 메모리의 셀 구조로서, 전하 축적용의 메모리 기억용 트랜지스터만을 포함하는 구조도 있다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 일본 특허 공개 제2004-200504호 공보

발명의 내용

해결하려는 과제

[0007] 상기 2개의 트랜지스터를 포함하는 메모리 셀 구조에 있어서는, 트랜지스터가 2개 필요하기 때문에 셀 사이즈가 커진다는 문제가 있다.

[0008] 또한 상기 1개만의 트랜지스터를 포함하는 메모리 셀 구조에 있어서는, 판독 동작 시에 디스터브가 발생하기 때문에 신뢰성이 낮다는 문제가 있다.

[0009] 그 밖의 과제와 신규 특징은, 본 명세서의 기술 및 첨부 도면으로부터 명백하게 될 것이다.

과제의 해결 수단

[0010] 일 실시 형태에 따르면, 제1 메모리 셀은 제1 기억용 트랜지스터를 갖는다. 제2 메모리 셀은 제2 기억용 트랜지스터를 갖는다. 제어 게이트는, 제1 메모리 셀과 제2 메모리 셀에서 공유되고 있다. 제어 게이트는, 평면에서 보아, 제1 기억용 트랜지스터의 제1 기억 게이트와 제2 기억용 트랜지스터의 제2 기억 게이트 사이에 끼워져 있다.

[0011] 다른 실시 형태에 따르면, 제1 기억용 트랜지스터는 제1 기억 게이트를 갖는다. 선택용 트랜지스터는 제어 게이트를 갖는다. 제1 기억용 트랜지스터와 선택용 트랜지스터는, 평면에서 보아 제1 기억 게이트와 제어 게이트 사이에 배치된 제1 불순물 영역을 공유한다. 제1 소스 배선은 제1 불순물 영역에 전기적으로 접속되어 있다.

발명의 효과

[0012] 상기 일 및 다른 실시 형태에 따르면, 셀 사이즈를 작게 할 수 있음과 함께, 관독 동작 시의 디스터브의 발생을 억제할 수 있는 반도체 장치 및 그 제조 방법을 실현할 수 있다.

도면의 간단한 설명

- [0013] 도 1은 실시 형태 1에 있어서의 칩 상태의 반도체 장치의 구성을 개략적으로 도시하는 평면도.
- 도 2는 도 1의 반도체 장치의 메모리 셀 어레이에 형성되는 메모리 셀의 회로도.
- 도 3은 도 1의 반도체 장치의 메모리 셀 어레이 영역의 일부를 도시하는 평면도.
- 도 4는 도 3의 IV-IV선을 따르는 개략 단면도.
- 도 5는 도 3 및 도 4에 도시한 메모리의 관독 동작(A) 및 기입 동작(B)을 설명하기 위한 도면.
- 도 6은 도 3 및 도 4에 도시한 반도체 장치의 제조 방법의 제1 공정을 도시하는 개략 단면도.
- 도 7은 도 3 및 도 4에 도시한 반도체 장치의 제조 방법의 제2 공정을 도시하는 개략 단면도.
- 도 8은 도 3 및 도 4에 도시한 반도체 장치의 제조 방법의 제3 공정을 도시하는 개략 단면도.
- 도 9는 도 3 및 도 4에 도시한 반도체 장치의 제조 방법의 제4 공정을 도시하는 개략 단면도.
- 도 10은 도 3 및 도 4에 도시한 반도체 장치의 제조 방법의 제5 공정을 도시하는 개략 단면도.
- 도 11은 도 3 및 도 4에 도시한 반도체 장치의 제조 방법의 제6 공정을 도시하는 개략 단면도.
- 도 12는 도 3 및 도 4에 도시한 반도체 장치의 제조 방법의 제7 공정을 도시하는 개략 단면도.
- 도 13은 도 3 및 도 4에 도시한 반도체 장치의 제조 방법의 제8 공정을 도시하는 개략 단면도.
- 도 14는 도 3 및 도 4에 도시한 반도체 장치의 제조 방법의 제9 공정을 도시하는 개략 단면도.
- 도 15는 도 3 및 도 4에 도시한 반도체 장치의 제조 방법의 제10 공정을 도시하는 개략 단면도.
- 도 16은 도 3 및 도 4에 도시한 반도체 장치의 제조 방법의 제11 공정을 도시하는 개략 단면도.
- 도 17은 도 3 및 도 4에 도시한 반도체 장치의 제조 방법의 제12 공정을 도시하는 개략 단면도.
- 도 18은 비교예 1의 구성을 모식적으로 도시하는 개략 단면도.
- 도 19는 비교예 2의 구성을 모식적으로 도시하는 개략 단면도.
- 도 20은 비교예 1(A)과, 비교예 2(B)와, 실시 형태 1(C)의 구성을 도시하는 평면도.
- 도 21은 비교예 2에 있어서는 관독 동작 시에 디스터브가 발생하는 것을 설명하기 위한 개략 단면도.
- 도 22는 1개의 메모리 셀이 기억용 트랜지스터와 선택용 트랜지스터를 포함함으로써 관독 동작 시의 디스터브를 억제할 수 있는 것을 설명하기 위한 개략 단면도.
- 도 23은 실시 형태 2에 있어서의 반도체 장치의 관독 동작(A) 및 기입 동작(B)을 설명하기 위한 도면.
- 도 24는 실시 형태 3에 있어서의 반도체 장치의 구성을 개략적으로 도시하는 단면도.
- 도 25는 실시 형태 3에 있어서의 반도체 장치의 제조 방법의 제1 공정을 도시하는 개략 단면도.
- 도 26은 실시 형태 3에 있어서의 반도체 장치의 제조 방법의 제2 공정을 도시하는 개략 단면도.

발명을 실시하기 위한 구체적인 내용

- [0014] 이하, 실시 형태에 대하여 도면에 기초하여 설명한다.
- [0015] (실시 형태 1)
- [0016] 도 1에 도시된 바와 같이, 본 실시 형태의 반도체 장치 CHI는 칩 상태이며, 반도체 기판을 갖고 있다. 반도체 기판의 주표면에는, RAM(Random Access Memory), CPU(Central Processing Unit), 플래시 메모리, 전원, 주변

회로 등의 각 영역이 배치되어 있다.

- [0017] 또한 본 실시 형태의 반도체 장치는, 반도체 칩에 한정되지 않고, 웨이퍼 상태여도 되고, 또한 밀봉 수지로 밀봉된 패키지 상태여도 된다.
- [0018] 다음에, 본 실시 형태의 반도체 장치의 회로 구성에 대하여 도 2를 사용하여 설명한다.
- [0019] 도 2에 도시된 바와 같이, 메모리 셀 어레이에 있어서는, 복수의 메모리 셀이 행렬 형상으로 배치되어 있다. 복수의 메모리 셀의 각각은, 기억용 트랜지스터와, 선택용 트랜지스터를 갖고 있다. 비트 배선의 연장 방향에 있어서 서로 인접하는 2개의 메모리 셀은 선택용 트랜지스터를 공유하고 있다. 구체적으로는 이하와 같다.
- [0020] 복수의 메모리 셀 중 제1 메모리 셀 FMC는, 기억용 트랜지스터 MT1(제1 기억용 트랜지스터)과, 선택용 트랜지스터 ST를 갖고 있다. 기억용 트랜지스터 MT1의 소스/드레인으로 되는 1쌍의 불순물 영역의 한쪽과, 선택용 트랜지스터 ST의 소스/드레인으로 되는 1쌍의 불순물 영역의 한쪽은 서로 전기적으로 접속되어 있다.
- [0021] 기억용 트랜지스터 MT1의 소스/드레인으로 되는 1쌍의 불순물 영역의 한쪽과, 선택용 트랜지스터 ST의 소스/드레인으로 되는 1쌍의 불순물 영역의 한쪽의 양쪽은, 소스 배선 S1(제1 소스 배선)에 전기적으로 접속되어 있다. 기억용 트랜지스터 MT1의 소스/드레인으로 되는 1쌍의 불순물 영역의 다른 쪽은 비트 배선 BL1(제1 비트 배선)에 전기적으로 접속되어 있다.
- [0022] 복수의 메모리 셀 중 제2 메모리 셀 SMC는, 기억용 트랜지스터 MT2(제2 기억용 트랜지스터)와, 선택용 트랜지스터 ST를 갖고 있다. 기억용 트랜지스터 MT2의 소스/드레인으로 되는 1쌍의 불순물 영역의 한쪽과, 선택용 트랜지스터 ST의 소스/드레인으로 되는 1쌍의 불순물 영역의 다른 쪽은 서로 전기적으로 접속되어 있다.
- [0023] 기억용 트랜지스터 MT2의 소스/드레인으로 되는 1쌍의 불순물 영역의 한쪽과, 선택용 트랜지스터 ST의 소스/드레인으로 되는 1쌍의 불순물 영역의 다른 쪽의 양쪽은, 소스 배선 S2(제2 소스 배선)에 전기적으로 접속되어 있다. 기억용 트랜지스터 MT2의 소스/드레인으로 되는 1쌍의 불순물 영역의 다른 쪽은 비트 배선 BL2(제2 비트 배선)에 전기적으로 접속되어 있다.
- [0024] 제1 메모리 셀 FMC와 제2 메모리 셀 SMC는, 비트 배선 BL1, BL2의 각각의 연장 방향에 있어서 서로 인접하고 있다. 제1 메모리 셀 FMC와 제2 메모리 셀 SMC는, 선택용 트랜지스터 ST를 공유하고 있다. 이 때문에, 비트 배선 BL1, BL2의 연장 방향으로 배열되는 기억용 트랜지스터 MT1과 기억용 트랜지스터 MT2 사이에는, 1개의 선택용 트랜지스터 ST만이 배치되어 있다.
- [0025] 상기와 같은 제1 메모리 셀 FMC와 제2 메모리 셀 SMC의 조합이, 행 방향(기억 게이트 MG1, MG2의 연장 방향) 및 열 방향(비트 배선 BL1, BL2의 연장 방향)으로 반복하여 배치되어 있다.
- [0026] 행 방향으로 배치된 복수의 기억용 트랜지스터 MT1의 각 기억 게이트 MG1은 서로 전기적으로 접속되어 있다. 또한 행 방향으로 배치된 복수의 기억용 트랜지스터 MT2의 각 기억 게이트 MG2는 서로 전기적으로 접속되어 있다. 또한 행 방향으로 배치된 복수의 선택용 트랜지스터 ST의 각 제어 게이트 CG는 서로 전기적으로 접속되어 있다.
- [0027] 행 방향으로 배치된 복수의 제1 메모리 셀 FMC의 각각에 있어서의 기억용 트랜지스터 MT1과 선택용 트랜지스터 ST의 접속부는, 소스 배선 S1에 의해 전기적으로 접속되어 있다. 행 방향으로 배치된 복수의 제2 메모리 셀 SMC의 각각에 있어서의 기억용 트랜지스터 MT2와 선택용 트랜지스터 ST의 접속부는, 소스 배선 S2에 의해 전기적으로 접속되어 있다.
- [0028] 또한 열 방향으로 배치된 복수의 제1 메모리 셀 FMC의 각각에 있어서의 기억용 트랜지스터 MT1의 1쌍의 불순물 영역의 다른 쪽은, 비트 배선 BL1에 의해 전기적으로 접속되어 있다. 또한 열 방향으로 배치된 복수의 제2 메모리 셀 SMC의 각각에 있어서의 기억용 트랜지스터 MT2의 1쌍의 불순물 영역의 다른 쪽은, 비트 배선 BL2에 의해 전기적으로 접속되어 있다.
- [0029] 다음에, 본 실시 형태의 반도체 장치의 구체적 구성에 대하여 도 3 및 도 4를 사용하여 설명한다.
- [0030] 주로 도 4에 도시된 바와 같이, 반도체 기판 SUB에는, 웰 영역 WL이 배치되어 있다. 반도체 기판 SUB에는, 웰 영역 WL과 접하도록 채널 형성 영역 CHA가 배치되어 있다. 채널 형성 영역 CHA는 반도체 기판 SUB의 주표면 MS에 위치하고 있다.
- [0031] 이 반도체 기판 SUB의 주표면 MS에, 제1 메모리 셀 FMC와 제2 메모리 셀 SMC가 배치되어 있다. 구체적으로는

반도체 기판 SUB의 주표면 MS에는, 제1 메모리 셀 FMC와 제2 메모리 셀 SMC를 구성하는 기억용 트랜지스터 MT1, MT2와, 선택용 트랜지스터 ST의 각각이 형성되어 있다.

- [0032] 기억용 트랜지스터 MT1은, 불순물 영역 IR1(제1 불순물 영역)과, 불순물 영역 IR3(제3 불순물 영역)과, 게이트 절연막 GI1과, 기억 게이트 MG1(제1 기억 게이트)을 갖고 있다.
- [0033] 불순물 영역 IR1과 불순물 영역 IR3은, 기억용 트랜지스터 MT1의 1쌍의 소스/드레인을 구성하고 있다. 불순물 영역 IR1, IR3의 각각은, 반도체 기판 SUB의 주표면에 서로 간격을 두고 배치되어 있다. 불순물 영역 IR1, IR3의 각각은, 예를 들어 LDD(Lightly Doped Drain) 구조를 갖고 있고, 고농도 불순물 영역 HI와 저농도 불순물 영역 LI를 갖고 있다. 불순물 영역 IR1, IR3의 각각에 접하도록 실리사이드층 SC1이 배치되어 있다.
- [0034] 게이트 절연막 GI1은, 불순물 영역 IR1과 불순물 영역 IR3 사이에 끼워지는 반도체 기판 SUB의 영역 상이며, 반도체 기판 SUB의 주표면 상에 배치되어 있다. 이 게이트 절연막 GI1은, 전하 축적막 SN(제1 전하 축적막)을 갖고 있다. 게이트 절연막 GI1은, 예를 들어 제1 실리콘 산화막 SO1과, 실리콘 질화막 SN과, 제2 실리콘 산화막 SO2가 순서대로 적층되어 이루어지는 적층 구조를 갖고 있다.
- [0035] 기억 게이트 MG1은, 전하 축적막 SN(게이트 절연막 GI1) 상에 배치되어 있다. 기억 게이트 MG1은 도전막 CL과, 실리사이드층 SC2를 갖고 있다. 도전막 CL은, 예를 들어 불순물이 도입된 다결정 실리콘(도프트 폴리실리콘)을 포함하고 있다. 실리사이드층 SC2는, 이 도전막 CL 상에 배치되어 있다. 이 기억 게이트 MG1의 측벽에는, 사이드 월 형상의 측벽 절연막 SW가 형성되어 있다.
- [0036] 기억용 트랜지스터 MT2는, 불순물 영역 IR2(제2 불순물 영역)와, 불순물 영역 IR4(제4 불순물 영역)와, 게이트 절연막 GI1과, 기억 게이트 MG2(제2 기억 게이트)를 갖고 있다.
- [0037] 불순물 영역 IR2와 불순물 영역 IR4는, 기억용 트랜지스터 MT2의 1쌍의 소스/드레인을 구성하고 있다. 불순물 영역 IR2, IR4의 각각은, 반도체 기판 SUB의 주표면에 서로 간격을 두고 배치되어 있다. 불순물 영역 IR2, IR4의 각각은, 예를 들어 LDD 구조를 갖고 있고, 고농도 불순물 영역 HI와 저농도 불순물 영역 LI를 갖고 있다. 불순물 영역 IR2, IR4의 각각에 접하도록 실리사이드층 SC1이 배치되어 있다.
- [0038] 게이트 절연막 GI1은, 불순물 영역 IR2와 불순물 영역 IR4 사이에 끼워지는 반도체 기판 SUB의 영역 상이며, 반도체 기판 SUB의 주표면 상에 배치되어 있다. 이 게이트 절연막 GI1은, 전하 축적막 SN(제2 전하 축적막)을 갖고 있다. 게이트 절연막 GI1은, 예를 들어 제1 실리콘 산화막 SO1과 실리콘 질화막 SN과 제2 실리콘 산화막 SO2가 순서대로 적층되어 이루어지는 적층 구조를 갖고 있다.
- [0039] 기억 게이트 MG2는, 전하 축적막 SN(게이트 절연막 GI1) 상에 배치되어 있다. 기억 게이트 MG2는 도전막 CL과, 실리사이드층 SC2를 갖고 있다. 도전막 CL은, 예를 들어 도프트 폴리실리콘을 포함하고 있다. 실리사이드층 SC2는, 이 도전막 CL 상에 배치되어 있다. 이 기억 게이트 MG2의 측벽에는, 사이드 월 형상의 측벽 절연막 SW가 형성되어 있다.
- [0040] 선택용 트랜지스터 ST는, 기억용 트랜지스터 MT1과 기억용 트랜지스터 MT2 사이에 배치되어 있다. 선택용 트랜지스터 ST는, 불순물 영역 IR1과, 불순물 영역 IR2와, 게이트 절연막 GI2와, 제어 게이트 CG를 갖고 있다.
- [0041] 불순물 영역 IR1과 불순물 영역 IR2는, 선택용 트랜지스터 ST의 1쌍의 소스/드레인을 구성하고 있다. 불순물 영역 IR1, IR2의 각각은, 반도체 기판 SUB의 주표면에 서로 간격을 두고 배치되어 있다.
- [0042] 게이트 절연막 GI2는, 불순물 영역 IR1과 불순물 영역 IR2 사이에 끼워지는 반도체 기판 SUB의 영역 상이며, 반도체 기판 SUB의 주표면 MS 상에 배치되어 있다. 이 게이트 절연막 GI1은, 절연막을 포함하고 있고, 예를 들어 실리콘 산화막 단층이다.
- [0043] 제어 게이트 CG는, 게이트 절연막 GI2 상에 배치되어 있다. 이에 의해 제어 게이트 CG는, 반도체 기판 SUB와 절연하도록 배치되어 있다. 제어 게이트 CG는, 도전막 CL과, 실리사이드층 SC2를 갖고 있다. 도전막 CL은, 예를 들어 도프트 폴리실리콘을 포함하고 있다. 실리사이드층 SC2는, 이 도전막 CL 상에 배치되어 있다. 이 제어 게이트 CG의 측벽에는, 사이드 월 형상의 측벽 절연막 SW가 형성되어 있다.
- [0044] 상기의 실리사이드층 SC1, SC2의 각각은, 예를 들어 NiSi를 포함하고 있다.
- [0045] 기억용 트랜지스터 MT1의 불순물 영역 IR1과 선택용 트랜지스터 ST의 불순물 영역 IR1은, 동일한 불순물 영역이다. 즉, 기억용 트랜지스터 MT1과 선택용 트랜지스터 ST는, 불순물 영역 IR1을 공유하고 있다.

- [0046] 또한 기억용 트랜지스터 MT2의 불순물 영역 IR2와 선택용 트랜지스터 ST의 불순물 영역 IR2는, 동일한 불순물 영역이다. 즉, 기억용 트랜지스터 MT2와 선택용 트랜지스터 ST는, 불순물 영역 IR2를 공유하고 있다.
- [0047] 제1 메모리 셀 FMC와 제2 메모리 셀 SMC는, 선택용 트랜지스터 ST를 공유하고 있다. 이 때문에, 제1 메모리 셀 FMC와 제2 메모리 셀 SMC는, 제어 게이트 CG를 공유하고 있다. 이 제어 게이트 CG는, 기억용 트랜지스터 MT1과 기억용 트랜지스터 MT2를 선택할 수 있다.
- [0048] 반도체 기판 SUB의 주표면 MS 상에 층간 절연막 II가 배치되어 있다. 층간 절연막 II는, 기억용 트랜지스터 MT1, MT2와 선택용 트랜지스터 ST를 덮고 있다. 층간 절연막 II는, 복수의 콘택트 홀 CH를 갖고 있다. 복수의 콘택트 홀 CH의 각각은 실리사이드층 SC1에 도달하고 있다.
- [0049] 복수의 콘택트 홀 CH의 각각의 내부에는 플러그 도전막 PL이 배치되어 있다. 불순물 영역 IR3에는, 플러그 도전막 PL과 실리사이드층 SC1을 개재하여 비트 배선 BL1(제1 비트 배선)이 전기적으로 접속되어 있다. 불순물 영역 IR4에는, 플러그 도전막 PL과 실리사이드층 SC1을 개재하여 비트 배선 BL2(제2 비트 배선)가 전기적으로 접속되어 있다.
- [0050] 불순물 영역 IR1에는, 플러그 도전막 PL과 실리사이드층 SC1을 개재하여 소스 배선 S1(제1 소스 배선)이 전기적으로 접속되어 있다. 불순물 영역 IR2에는, 플러그 도전막 PL과 실리사이드층 SC1을 개재하여 소스 배선 S2(제2 소스 배선)가 전기적으로 접속되어 있다.
- [0051] 제1 메모리 셀 FMC 및 제2 메모리 셀 SMC는, 메모리 셀 유닛 MCU를 구성하고 있다. 열 방향(비트 배선 BL1, BL2의 연장 방향)으로 서로 인접하는 2개의 메모리 셀 유닛 MCU는, 2개의 메모리 셀 유닛 MCU의 경계선 A에 대하여 대칭(선대칭)이다.
- [0052] 한쪽의 메모리 셀 유닛 MCU의 기억용 트랜지스터 MT1과 다른 쪽의 메모리 셀 유닛 MCU의 기억용 트랜지스터 MT1은, 불순물 영역 IR3을 공유하고 있다.
- [0053] 주로 도 3에 도시된 바와 같이, 평면에서 보아, 기억 게이트 MG1과, 기억 게이트 MG2와, 제어 게이트 CG는 서로 병주하도록 연장되어 있다. 또한 평면에서 보아, 비트 배선 BL1과 비트 배선 BL2는 서로 병주하도록 연장되어 있다. 평면에서 보아, 복수의 게이트(기억 게이트 MG1, 기억 게이트 MG2, 제어 게이트 CG)의 각각과, 복수의 비트 배선 BL1, BL2의 각각은 서로 교차(예를 들어 직교)하고 있다.
- [0054] 제어 게이트 CG는, 평면에서 보아 기억 게이트 MG1과 기억 게이트 MG2 사이에 끼워져 있다. 불순물 영역 IR1은, 평면에서 보아 제어 게이트 CG와 기억 게이트 MG1 사이에 끼워져 있다. 불순물 영역 IR2는, 평면에서 보아 제어 게이트 CG와 기억 게이트 MG2 사이에 끼워져 있다.
- [0055] 기억 게이트 MG1은, 평면에서 보아 불순물 영역 IR1과 불순물 영역 IR3 사이에 끼워져 있다. 기억 게이트 MG2는, 평면에서 보아 불순물 영역 IR2와 불순물 영역 IR4 사이에 끼워져 있다.
- [0056] 또한 본 개시에 있어서 평면에서 보아란, 도 3에 도시된 바와 같이 반도체 기판 SUB의 주표면 MS에 대하여 직교하는 방향으로부터 본 시점을 의미한다.
- [0057] 다음에, 본 실시 형태의 반도체 장치의 동작에 대하여 도 5를 사용하여 설명한다.
- [0058] 이하의 설명에 있어서는, 기억용 트랜지스터 MT1, MT2의 전하 축적층인 실리콘 질화막에의 전자의 주입을 「기입」, 홀(정공)의 주입을 「소거」라 한다.
- [0059] 도 5의 (A)에 도시된 바와 같이, 기억용 트랜지스터 MT1에 기억된 데이터를 관독할 때에는, 비트 배선 BL1 및 제어 게이트 CG에는 예를 들어 전원 전위 VDD가 인가된다. 또한 소스 배선 S1은 예를 들어 OPEN으로 되고, 기억 게이트 MG1 및 소스 배선 S2는 예를 들어 0V로 된다. 또한 기억 게이트 MG2, 비트 배선 BL2 및 반도체 기판 SUB의 각각은 예를 들어 0V로 된다.
- [0060] 관독 시의 기억 게이트 MG1에 인가하는 전압을, 기억용 트랜지스터 MT1의 기입 상태에 있어서의 역치 전압과 소거 상태에 있어서의 역치 전압 사이의 값으로 함으로써, 기입 상태와 소거 상태를 판별할 수 있다.
- [0061] 또한 기억용 트랜지스터 MT2에 기억된 데이터를 관독할 때에는, 비트 배선 BL2 및 제어 게이트 CG에는 예를 들어 전원 전위 VDD가 인가된다. 또한 소스 배선 S2는 예를 들어 OPEN으로 되고, 기억 게이트 MG2 및 소스 배선 S1은 예를 들어 0V로 된다. 또한 기억 게이트 MG1, 비트 배선 BL1 및 반도체 기판 SUB의 각각은 예를 들어 0V로 된다.

- [0062] 도 5의 (B)에 도시된 바와 같이, 기억용 트랜지스터 MT1에 데이터를 기입할 때에는, 비트 배선 BL1에 예를 들어 -4V가 인가되고, 기억 게이트 MG1에 예를 들어 4V가 인가되고, 소스 배선 S1이 예를 들어 OPEN으로 된다. 또한 소스 배선 S2는 예를 들어 OPEN으로 되고, 제어 게이트 CG, 기억 게이트 MG2 및 비트 배선 BL2의 각각은 예를 들어 0V로 되고, 반도체 기판 SUB는 예를 들어 -4V로 된다.
- [0063] 비트 배선 BL1과 기억 게이트 MG1의 전위차가 커짐으로써, 비트 배선 BL1로부터 전하 축적층인 실리콘 질화막에 전자가 주입된다. 이에 의해, 기억용 트랜지스터 MT1의 역치 전압이 상승하여, 기입이 행해진다.
- [0064] 기억용 트랜지스터 MT2에 데이터를 기입할 때에는, 비트 배선 BL2에 예를 들어 -4V가 인가되고, 기억 게이트 MG2에 예를 들어 4V가 인가되고, 소스 배선 S2가 예를 들어 OPEN으로 된다. 또한 소스 배선 S1은 예를 들어 OPEN으로 되고, 제어 게이트 CG, 기억 게이트 MG1 및 비트 배선 BL1의 각각은 예를 들어 0V로 되고, 반도체 기판 SUB는 예를 들어 -4V로 된다.
- [0065] 또한 기억용 트랜지스터 MT1, MT2의 데이터를 소거할 때에는, 비트 배선 BL1, BL2, 소스 배선 S1, S2 및 반도체 기판 SUB에 예를 들어 5V가 인가된다. 또한 기억 게이트 MG1, MG2에는 -5V가 인가되고, 제어 게이트 CG는 0V로 된다. 이에 의해, 기억용 트랜지스터 MT1, MT2의 각각의 전하 축적막인 실리콘 질화막으로부터 전자가 비트 배선 BL1, BL2, 소스 배선 S1, S2로 방출된다. 이에 의해, 기억용 트랜지스터 MT1, MT2의 각각의 역치 전압이 저하되어, 소거가 행해진다.
- [0066] 다음에, 본 실시 형태의 반도체 장치의 제조 방법에 대하여 도 6~도 17을 사용하여 설명한다. 이하에 있어서는, 도 3 및 도 4에 도시한 메모리 셀을 고내압 MOS(Metal Oxide Semiconductor) 트랜지스터 및 저압 MOS 트랜지스터와 함께 형성하는 경우에 대하여 설명한다.
- [0067] 도 6에 도시된 바와 같이, 반도체 기판 SUB의 주표면 MS에, 소자 분리 구조 EI로서, 예를 들어 STI(Shallow Trench Isolation)가 형성된다. 이 STI는, 반도체 기판 SUB의 주표면 MS에 홈 TR을 형성하고, 그 홈 TR 내를 매립하도록 매립 절연막 BI를 매립함으로써 형성된다.
- [0068] 반도체 기판 SUB의 웰 영역 WL 상에 채널 형성 영역 CHA가 형성된다. 또한 웰 영역 WL 상에 채널 형성 영역 CHA가 형성된 후에, STI가 형성되어도 된다.
- [0069] 도 7에 도시된 바와 같이, 반도체 기판 SUB의 주표면 MS에, 절연막 GI2가 형성된다. 이 절연막 GI2는, 예를 들어 실리콘 산화막에 의해 형성된다.
- [0070] 도 8에 도시된 바와 같이, 통상의 사진 제판 기술 및 에칭 기술에 의해 절연막 GI2가 패터닝된다. 이에 의해 선택용 트랜지스터 ST, 고내압 MOS 트랜지스터 및 저압 MOS 트랜지스터의 각 형성 영역에 절연막 GI2가 잔존되고, 그 이외의 절연막 GI2가 제거된다.
- [0071] 도 9에 도시된 바와 같이, 반도체 기판 SUB의 주표면 MS 상에, 제1 실리콘 산화막 SO1과 실리콘 질화막 SN과 제2 실리콘 산화막 SO2가 순서대로 적층된다. 이 적층 구조는 절연막 GI2 상을 덮도록 형성된다.
- [0072] 도 10에 도시된 바와 같이, 통상의 사진 제판 기술 및 에칭 기술에 의해, 제2 실리콘 산화막 SO2와 실리콘 질화막 SN과 제1 실리콘 산화막 SO1이 순서대로 패터닝된다. 이에 의해, 기억용 트랜지스터 MT1, MT2의 각각의 형성 영역에, 제1 실리콘 산화막 SO1과 실리콘 질화막 SN과 제2 실리콘 산화막 SO2의 적층 구조가 잔존된다.
- [0073] 도 11에 도시된 바와 같이, 저압 MOS 트랜지스터의 형성 영역의 절연막 GI2가 제거된다.
- [0074] 도 12에 도시된 바와 같이, 노출된 반도체 기판 SUB의 주표면 MS가 산화된다. 이에 의해, 노출된 반도체 기판 SUB의 주표면 MS에, 실리콘 산화막을 포함하는 절연막 GI가 형성된다.
- [0075] 도 13에 도시된 바와 같이, 반도체 기판 SUB의 주표면 MS 상에, 예를 들어 도프트 폴리실리콘을 포함하는 도전막 CL이 형성된다.
- [0076] 도 14에 도시된 바와 같이, 통상의 사진 제판 기술 및 에칭 기술에 의해, 도전막 CL이 게이트의 형상으로 되도록 패터닝된다. 또한 제1 실리콘 산화막 SO1, 실리콘 질화막 SN 및 제2 실리콘 산화막 SO2도 패터닝된다. 또한 절연막 GI, GI2도 패터닝된다. 이에 의해 게이트 절연막 GI, GI1, GI2가 형성된다.
- [0077] 도 15에 도시된 바와 같이, 도전막 CL을 마스크로 하여, 반도체 기판 SUB의 주표면 MS에 불순물이 이온 주입된다. 이에 의해, 반도체 기판 SUB의 주표면 MS에 저농도 불순물 영역 LI가 형성된다.
- [0078] 도 16에 도시된 바와 같이, 각 도전막 CL의 측벽에, 사이드 월 형상의 측벽 절연막 SW가 형성된다. 도전막 CL

과 측벽 절연막 SW를 마스크로 하여, 반도체 기판 SUB의 주표면 MS에 불순물이 이온 주입된다. 이에 의해, 반도체 기판 SUB의 주표면 MS에 고농도 불순물 영역 HI가 형성된다. 이 고농도 불순물 영역 HI와 저농도 불순물 영역 LI에 의해 LDD 구조의 불순물 영역 IR, IR1~IR4가 형성된다.

- [0079] 이후, 불순물 영역 IR, IR1~IR4의 각각에 접하는 실리사이드층 SC1과, 도전막 CL에 접하는 실리사이드층 SC2가 형성된다. 이에 의해 도전막 CL과 실리사이드층 SC2를 포함하는 각 게이트 MG1, MG2, CG, GE가 형성된다. 또한 실리사이드층 SC1, SC2의 각각은, 예를 들어 NiSi에 의해 형성된다.
- [0080] 상기에 의해, 기억용 트랜지스터 MT1, MT2, 선택용 트랜지스터 ST, 고내압 MOS 트랜지스터 및 저압 MOS 트랜지스터가 형성된다.
- [0081] 도 17에 도시된 바와 같이, 각 트랜지스터를 덮도록 반도체 기판 SUB의 주표면 MS에 층간 절연막 II가 형성된다. 이 층간 절연막 II에, 통상의 사진 제판 기술 및 에칭 기술에 의해, 복수의 콘택트 홀 CH가 형성된다. 이 복수의 콘택트 홀 CH의 각각을 매립하도록 플러그 도전막 PL이 형성된다. 이후, 비트 배선 BL1, BL2 등이 형성되어 도 3, 도 4에 도시한 본 실시 형태의 반도체 장치가 제조된다.
- [0082] 다음에, 본 실시 형태의 작용 효과에 대하여, 도 18에 도시한 비교예 1 및 도 19에 도시한 비교예 2와 대비하여 설명한다.
- [0083] 도 18에 도시된 바와 같이, 비교예 1에 있어서는, 1개의 메모리 셀이, 전하 축적용의 MONOS 트랜지스터 MT와, 메모리 선택용의 트랜지스터 ST의 2개의 트랜지스터를 포함하고 있다. 또한 도 19에 도시된 바와 같이, 비교예 2에 있어서는, 1개의 메모리 셀은 1개의 MONOS 트랜지스터만을 포함하고 있다.
- [0084] 도 18에 도시된 비교예 1은 1개의 메모리 셀이 2개의 트랜지스터를 포함하고 있다. 이 때문에 도 20의 (A)에 도시된 바와 같이, 비교예 1의 메모리 셀을 2개 배열하면, 도 20의 (C)에 도시된 본 실시 형태의 구성보다도, 메모리 셀의 평면 점유 면적이 커진다.
- [0085] 한편, 도 19에 도시된 비교예 2는 1개의 트랜지스터만을 포함하고 있다. 이 때문에 도 20의 (B)에 도시된 바와 같이, 비교예 2의 메모리 셀의 셀 사이즈는, 도 20의 (A)에 도시된 비교예 1의 셀 사이즈보다도 작아진다. 그러나, 비교예 2에 있어서는 판독 동작 시의 디스터브가 발생한다.
- [0086] 도 21은 비교예 2에 있어서 판독 동작 시에 디스터브가 발생하는 것을 설명하기 위한 모식도이다. 도 21에 도시된 바와 같이, 판독 동작 시에는, 기억 게이트 MG에 워드 배선 WD로부터 정전위가 인가된다. 이때, 전자가 반도체 기판 SUB로부터 서서히 전하 축적막 SN에 주입된다. 이에 의해, MONOS 트랜지스터 MT의 역치 전압이 변동되어, 디스터브가 발생한다.
- [0087] 이에 반해, 도 22에 도시된 바와 같이, 1개의 메모리 셀이 전하 축적용의 트랜지스터 MT와, 메모리 선택용의 트랜지스터 ST를 포함하고 있는 경우, 판독 동작 시에는, 제어 게이트 CG에는 정전위가 인가되지만, 기억 게이트 MG는 항상 0V로 된다. 이 때문에, 판독 시에는, 기억 게이트 MG 아래의 전하 축적막 SN에 전자는 주입되지 않아, 디스터브의 발생은 억제된다.
- [0088] 이상으로부터 본 실시 형태에 있어서는, 도 20의 (C)에 도시된 바와 같이, 2개의 메모리 셀에 있어서 선택용 트랜지스터가 공유되고 있다. 이 때문에, 기억 게이트 MG1과 기억 게이트 MG2 사이에 끼워지는 게이트는, 1개의 제어 게이트 CG만으로 된다. 이에 의해 2개의 메모리 셀을 배열한 경우, 3개의 트랜지스터(3개의 게이트)가 배열되게 된다. 이 때문에 본 실시 형태에서는, 도 20의 (A)에 도시한 비교예 1과 같이 4개의 트랜지스터(4개의 게이트)는 필요하지 않아, 비교예 1보다도 셀 사이즈를 작게 할 수 있다.
- [0089] 또한 도 3 및 도 4에 도시한 바와 같이, 본 실시 형태에 있어서는 1개의 메모리 셀이 기억용 트랜지스터 MT1과 선택용 트랜지스터 ST를 포함하고 있다. 또한 판독 동작 시에는, 도 5에 도시된 바와 같이 기억 게이트 MG1, MG2의 전위는 0V로 된다. 이 때문에 판독 동작 시에는, 이 기억 게이트 MG1, MG2 아래의 전하 축적막 SN에 전자가 주입되지 않아, 디스터브의 발생은 억제된다.
- [0090] 또한 본 실시 형태에 있어서는, 도 3 및 도 4에 도시된 바와 같이, 소스 배선 S1이 평면에서 보아 기억 게이트 MG1과 제어 게이트 CG 사이에 끼워지는 불순물 영역 IR1에 전기적으로 접속되어 있다. 또한 소스 배선 S2가 평면에서 보아 기억 게이트 MG2와 제어 게이트 CG 사이에 끼워지는 불순물 영역 IR2에 전기적으로 접속되어 있다. 이에 의해, 제1 메모리 셀 FMC와 제2 메모리 셀 SMC 사이에서, 게이트로서 제어 게이트 CG만을 배치하는 것이 가능해져, 2개의 메모리 셀 FMC, SMC에 있어서 선택용 트랜지스터를 공유하는 것이 가능해진다.

- [0091] 또한 본 실시 형태에 있어서는, 도 3에 도시된 바와 같이, 평면에서 보아 비트 배선 BL1, BL2가 연장되는 방향을 따라서, 비트 배선 BL1이 플러그 도전막 PL에 접속되는 부분과, 비트 배선 BL1이 플러그 도전막 PL에 접속되는 부분이 교대로 배치되어 있다. 이에 의해 비트 배선 BL1, BL2의 설계가 용이해진다.
- [0092] (실시 형태 2)
- [0093] 도 23에 도시된 바와 같이, 본 실시 형태는, 실시 형태 1과 비교하여, 반도체 장치의 구성은 동일하지만 동작에 있어서 상이하다.
- [0094] 본 실시 형태에 있어서는, 데이터의 기입에 CHE(Channel Hot Electron) 방식이 사용된다. 구체적으로는 도 23의 (B)에 도시된 바와 같이, 기억용 트랜지스터 MT1에 데이터를 기입할 때에는, 비트 배선 BL1이 예를 들어 0V로 되고, 기억 게이트 MG1 및 소스 배선 S1의 각각에 예를 들어 5V가 인가된다. 또한 제어 게이트 CG, 기억 게이트 MG2, 소스 배선 S2, 비트 배선 BL2 및 반도체 기판 SUB의 각각은 예를 들어 0V로 된다.
- [0095] 이에 의해 채널 영역에 전류가 흐른다. 이 채널 전류는, 소스 배선 S1의 고전계에 의해 가속되어 핫 일렉트론으로 되어, 전하 축적막 SN에 주입된다. 이 전하 축적막 SN에의 전자의 주입에 의해, 기억용 트랜지스터 MT1의 역치 전압이 상승하여, 기입이 행해진다.
- [0096] 기억용 트랜지스터 MT2에 데이터를 기입할 때에는, 비트 배선 BL2가 예를 들어 0V로 되고, 기억 게이트 MG2 및 소스 배선 S2의 각각에 예를 들어 5V가 인가된다. 또한 제어 게이트 CG, 기억 게이트 MG1, 소스 배선 S1, 비트 배선 BL1 및 반도체 기판 SUB의 각각은 예를 들어 0V로 된다.
- [0097] 또한 본 실시 형태에 있어서의 판독 동작은 도 23의 (A)에 도시된 바와 같이, 실시 형태 1과 동일하기 때문에, 그 설명을 반복하지 않는다. 또한 본 실시 형태에 있어서의 소거 동작도, 실시 형태 1과 동일하기 때문에, 그 설명을 반복하지 않는다.
- [0098] (실시 형태 3)
- [0099] 도 24에 도시된 바와 같이, 본 실시 형태의 구성은, 실시 형태 1의 구성과 비교하여 선택용 트랜지스터 ST의 게이트 절연막 GI2의 구성에 있어서 상이하다. 본 실시 형태에 있어서는, 선택용 트랜지스터 ST의 게이트 절연막 GI2는, 제1 실리콘 산화막 SO1과, 실리콘 질화막 SN과, 제2 실리콘 산화막 SO2가 순서대로 적층되어 이루어지는 적층 구조를 갖고 있다. 이에 의해, 기억용 트랜지스터 MT1, MT2 및 선택용 트랜지스터 ST의 각각의 게이트 절연막 GI1, GI2는, 상기 적층 구조를 갖고 있으며, 동일한 구조를 갖고 있다.
- [0100] 또한, 상기 이외의 본 실시 형태의 구성은, 실시 형태 1의 구성과 거의 동일하기 때문에, 실시 형태 1과 동일한 요소에 대해서는 동일한 부호를 붙이고, 그 설명을 반복하지 않는다.
- [0101] 본 실시 형태의 제조 방법은, 먼저 도 6~도 7에 도시한 실시 형태 1과 마찬가지로의 공정을 거친다. 이후, 도 8의 공정에 있어서, 고내압 MOS 트랜지스터 및 저압 MOS 트랜지스터의 형성 영역에 절연막 GI2가 잔존되고, 기억용 트랜지스터 MT1, MT2 및 선택용 트랜지스터 ST의 형성 영역의 절연막 GI2가 제거된다. 이후, 본 실시 형태의 제조 방법은, 도 9~도 12에 도시한 실시 형태 1과 마찬가지로의 공정을 거친다.
- [0102] 이에 의해 도 25에 도시된 바와 같이, 기억용 트랜지스터 MT1, MT2 및 선택용 트랜지스터 ST의 형성 영역에는, 제1 실리콘 산화막 SO1과, 실리콘 질화막 SN과, 제2 실리콘 산화막 SO2의 적층 구조가 형성된다. 또한 고내압 MOS 트랜지스터의 형성 영역에는 절연막 GI2가 형성된다. 또한 저압 MOS 트랜지스터의 형성 영역에는 절연막 GI1가 형성된다.
- [0103] 이후, 반도체 기판 SUB의 주표면 MS 상에, 예를 들어 도프드 폴리실리콘을 포함하는 도전막 CL이 형성된다.
- [0104] 도 26에 도시된 바와 같이, 통상의 사진 제판 기술 및 에칭 기술에 의해, 도전막 CL이 게이트의 형상으로 되도록 패터닝된다. 또한 제1 실리콘 산화막 SO1, 실리콘 질화막 SN 및 제2 실리콘 산화막 SO2도 패터닝된다. 또한 절연막 GI, GI2도 패터닝된다. 이에 의해 게이트 절연막 GI, GI1, GI2가 형성된다. 본 실시 형태에서는, 기억용 트랜지스터 MT1, MT2 및 선택용 트랜지스터 ST의 각각의 게이트 절연막은, 제1 실리콘 산화막 SO1과 실리콘 질화막 SN과 제2 실리콘 산화막 SO2의 적층 구조에 의해 형성된다.
- [0105] 이후, 도 15~도 17에 도시한 실시 형태 1과 마찬가지로의 공정이 행해짐으로써, 도 24에 도시한 본 실시 형태의 반도체 장치가 제조된다.
- [0106] 본 실시 형태에 따르면, 기억용 트랜지스터 MT1, MT2와 선택용 트랜지스터 ST의 각 게이트 절연막 GI1, GI2가

동일한 구조를 갖고 있다. 이 때문에, 기억용 트랜지스터 MT1, MT2와 선택용 트랜지스터 ST에 있어서 게이트 절연막 GI1, GI2를 구분 제작할 필요가 없다. 따라서 본 실시 형태에서는, 기억용 트랜지스터 MT1, MT2와 선택용 트랜지스터 ST의 게이트 절연막 GI1, GI2를 구분 제작한 경우와 비교하여, 기억 게이트 MG1, MG2와 제어 게이트 CG 사이의 거리를 좁히는 것이 가능해진다.

[0107] 또한 상기의 실시 형태에 있어서는, 전하 축적막이 예를 들어 실리콘 질화막과 같은 절연막인 경우에 대하여 설명하였지만, 전하 축적막은 플로팅 게이트와 같은 도전막이어도 된다.

[0108] 이상, 본 발명자에 의해 이루어진 발명을 실시 형태에 기초하여 구체적으로 설명하였지만, 본 발명은 상기 실시 형태에 한정되는 것은 아니고, 그 요지를 일탈하지 않는 범위에서 다양하게 변경 가능한 것은 물론이다.

부호의 설명

- [0109] BI : 매립 절연막
 GI, GI1, GI2 : 게이트 절연막
 BL1, BL2 : 비트 배선
 CG : 제어 게이트
 CH : 콘택트 홀
 CHA : 채널 형성 영역
 CHI : 반도체 장치
 CL : 도전막
 EI : 소자 분리 구조
 FMC : 제1 메모리 셀
 GI, GI1, GI2 : 게이트 절연막
 HI : 고농도 불순물 영역
 II : 층간 절연막
 IR, IR1~IR4 : 불순물 영역
 LI : 저농도 불순물 영역
 MCU : 메모리 셀 유닛
 MG1, MG2 : 기억 게이트
 MS : 주표면
 MT1, MT2 : 기억용 트랜지스터
 PL : 플러그 도전막
 S1, S2 : 소스 배선
 SC1, SC2 : 실리사이드층
 SMC : 제2 메모리 셀
 SN : 전하 축적막(실리콘 질화막)
 SO1 : 제1 실리콘 산화막
 SO2 : 제2 실리콘 산화막
 ST : 선택용 트랜지스터
 SUB : 반도체 기판

SW : 측벽 절연막

TR : 홈

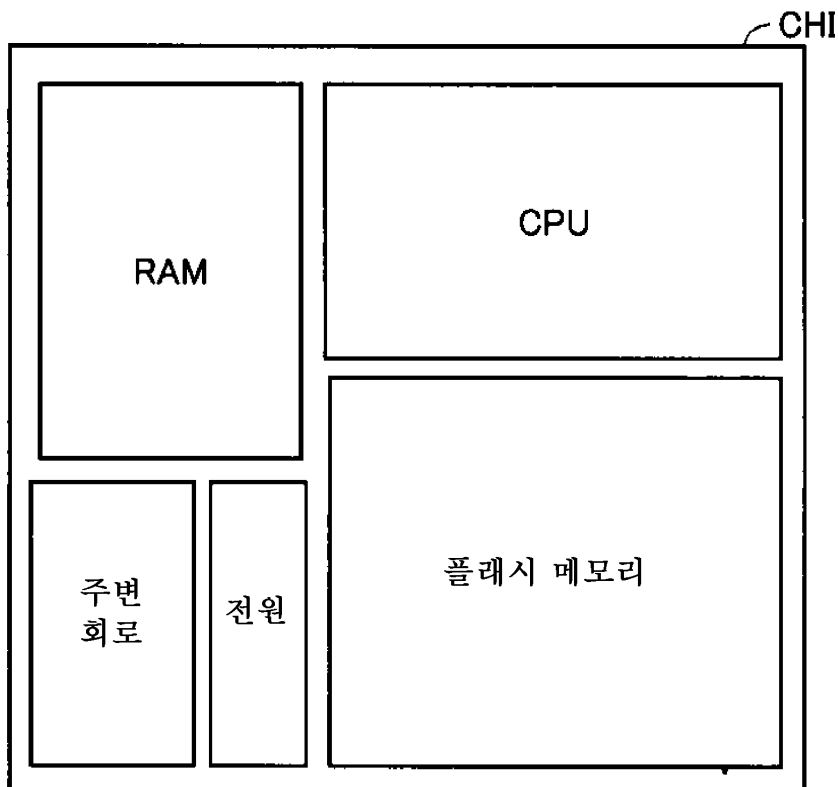
VDD : 전원 전위

WD : 워드 배선

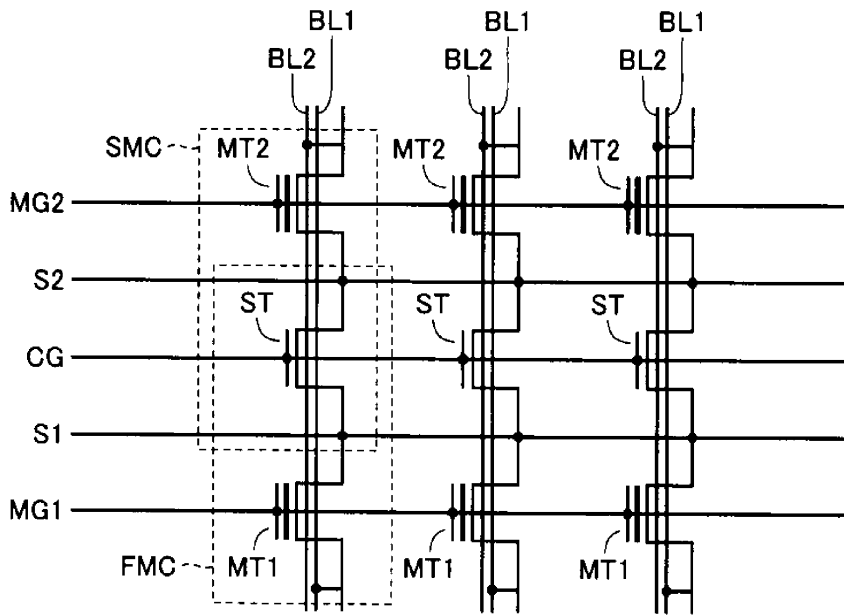
WL : 웰 영역

도면

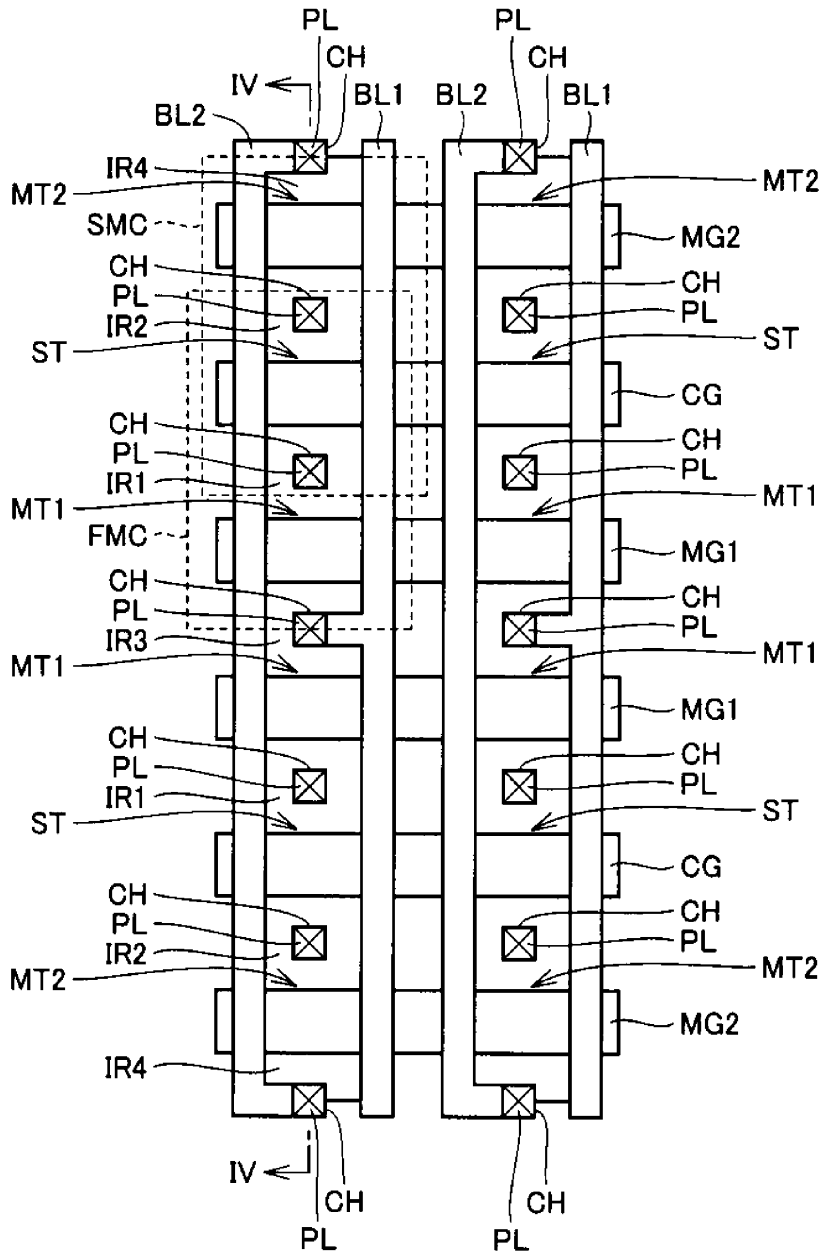
도면1



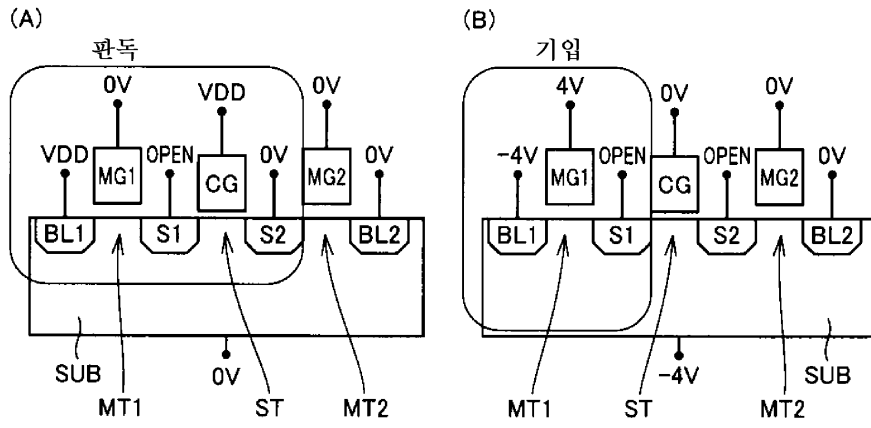
도면2



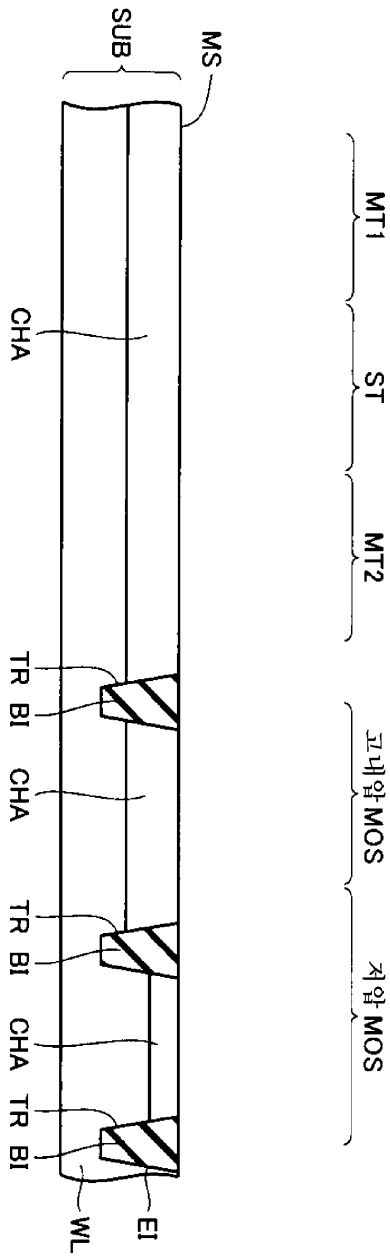
도면3



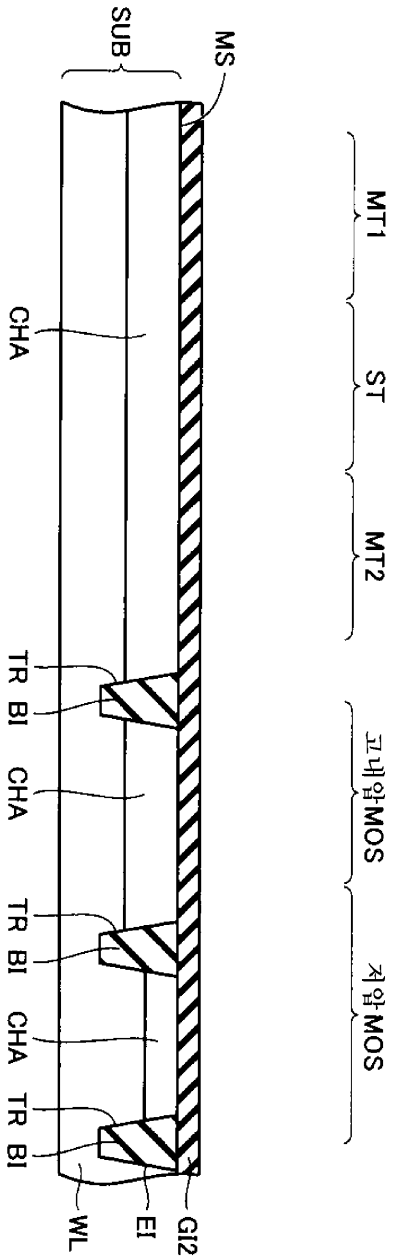
도면5



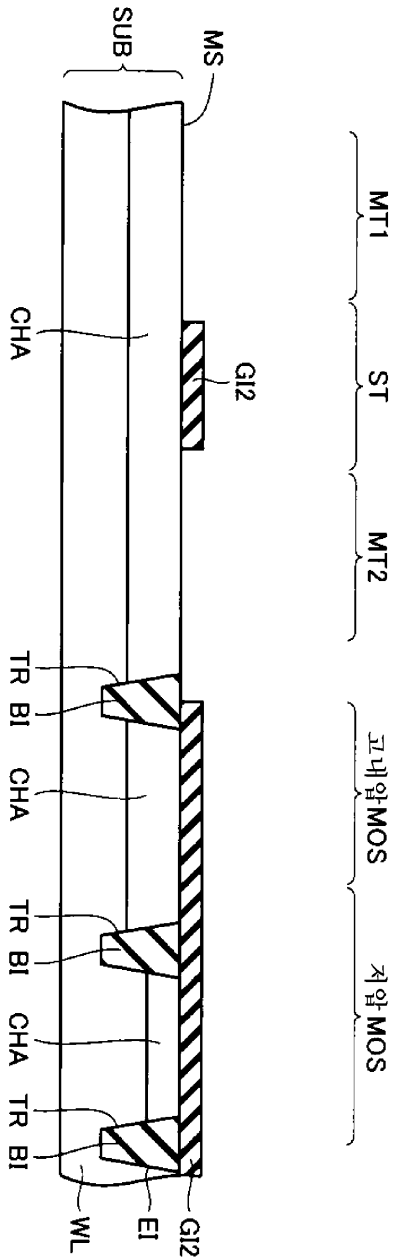
도면6



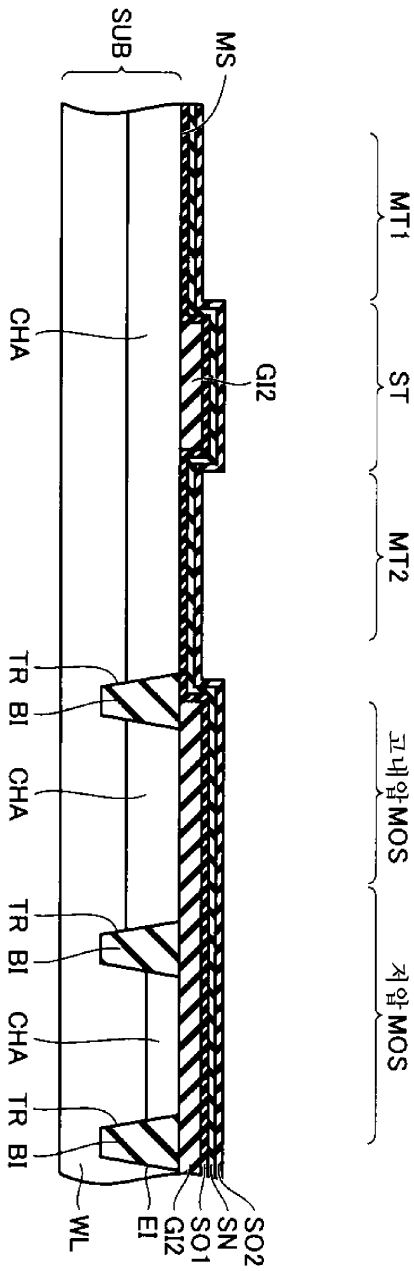
도면7



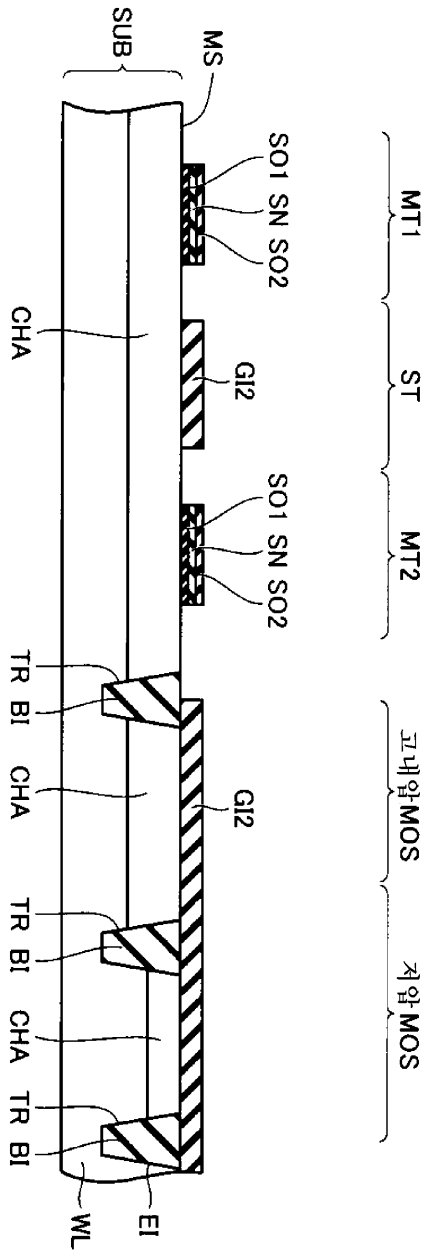
도면8



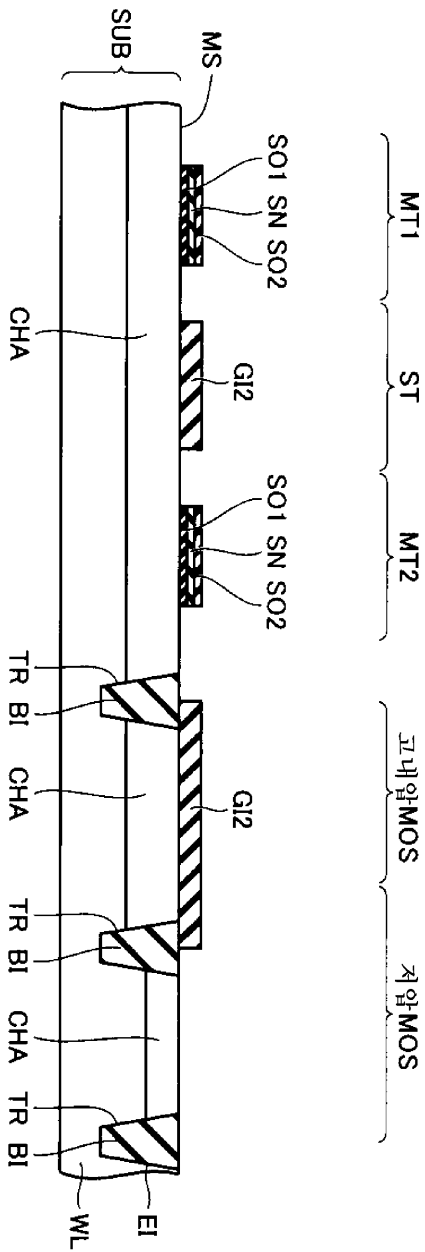
도면9



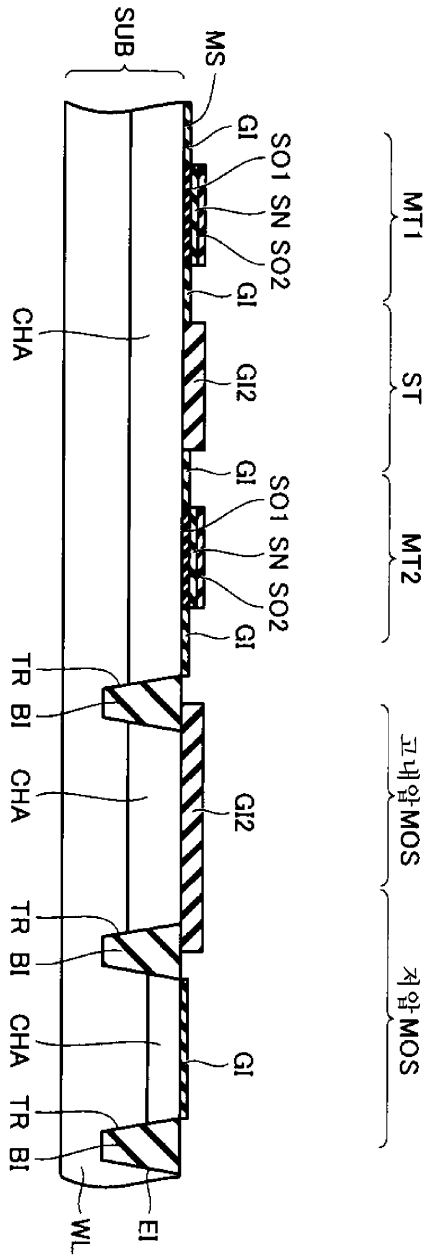
도면10



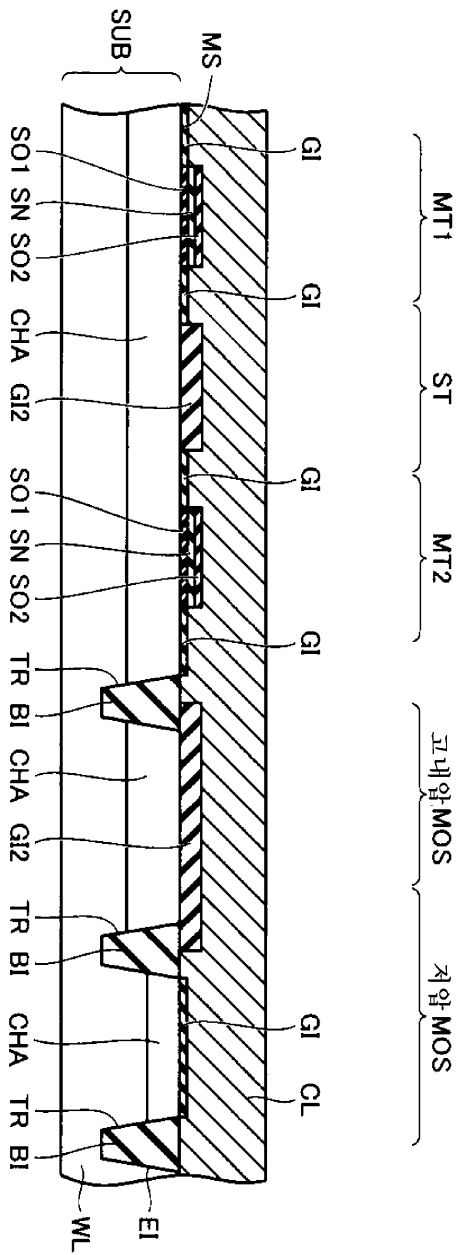
도면11



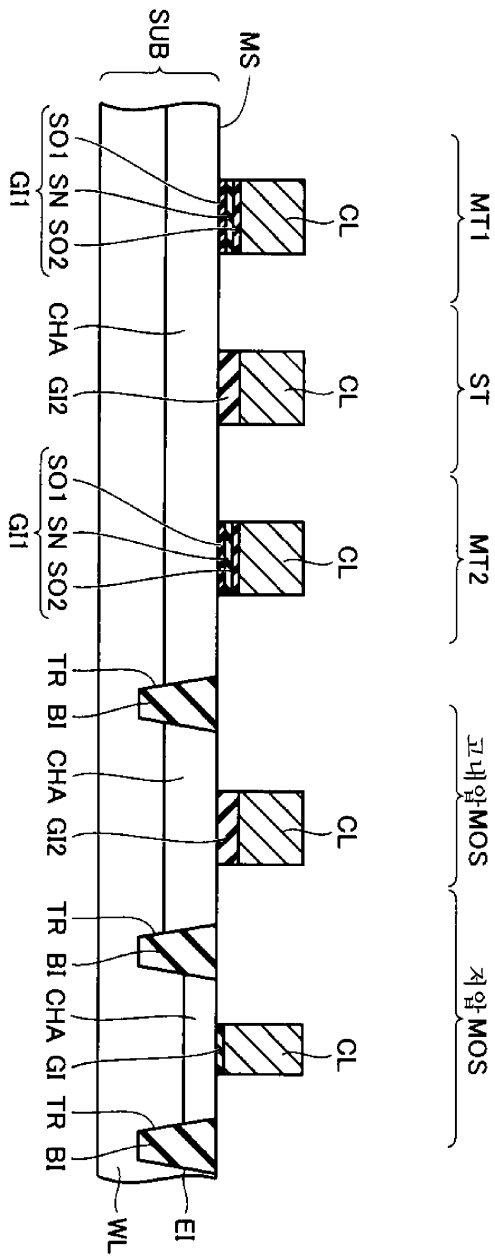
도면12



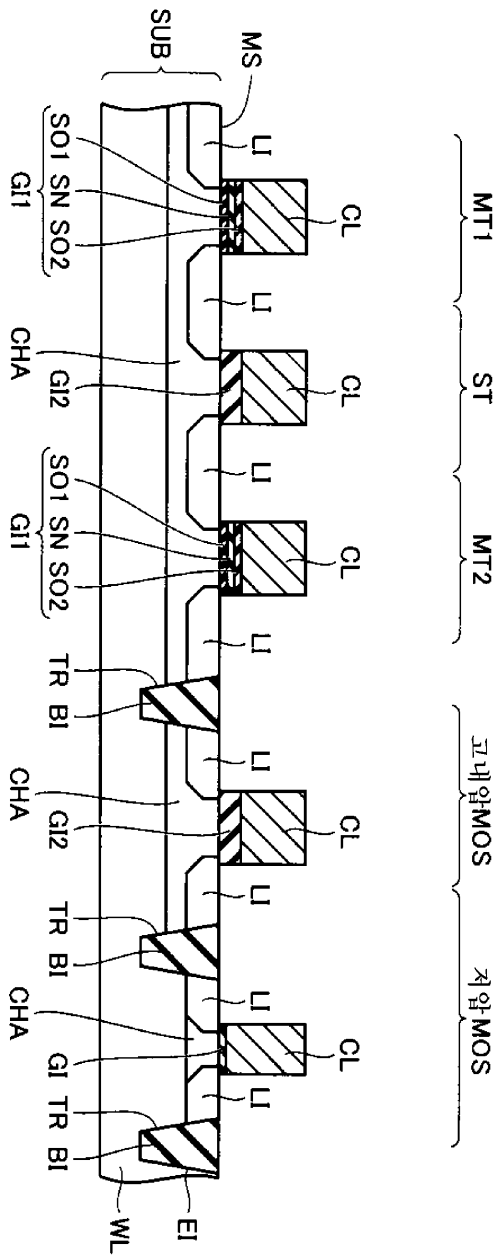
도면13



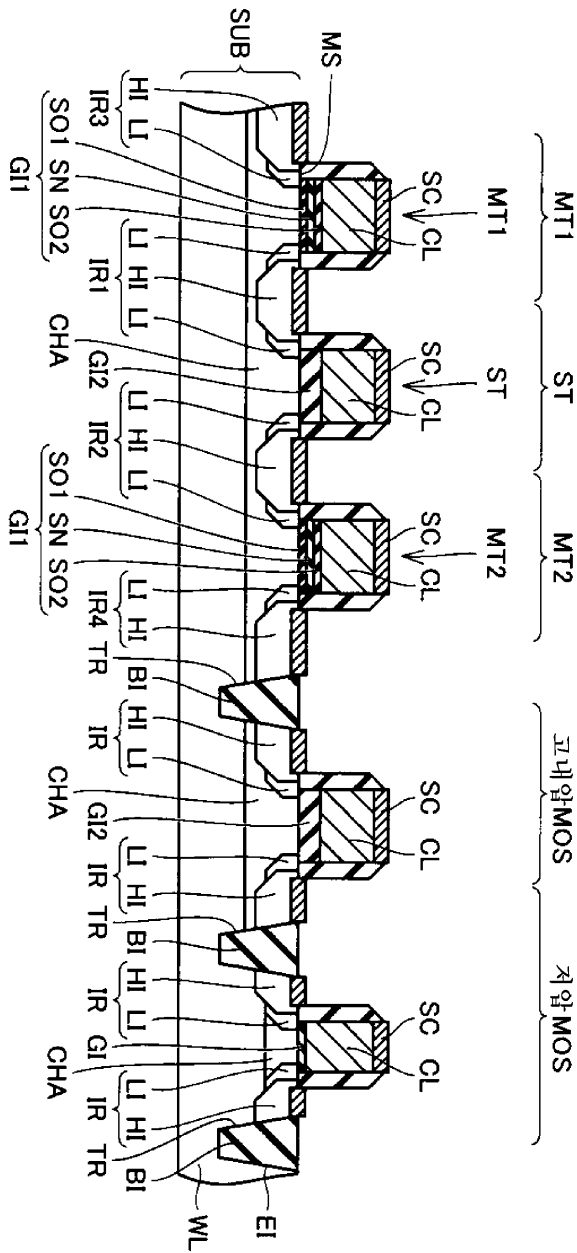
도면14



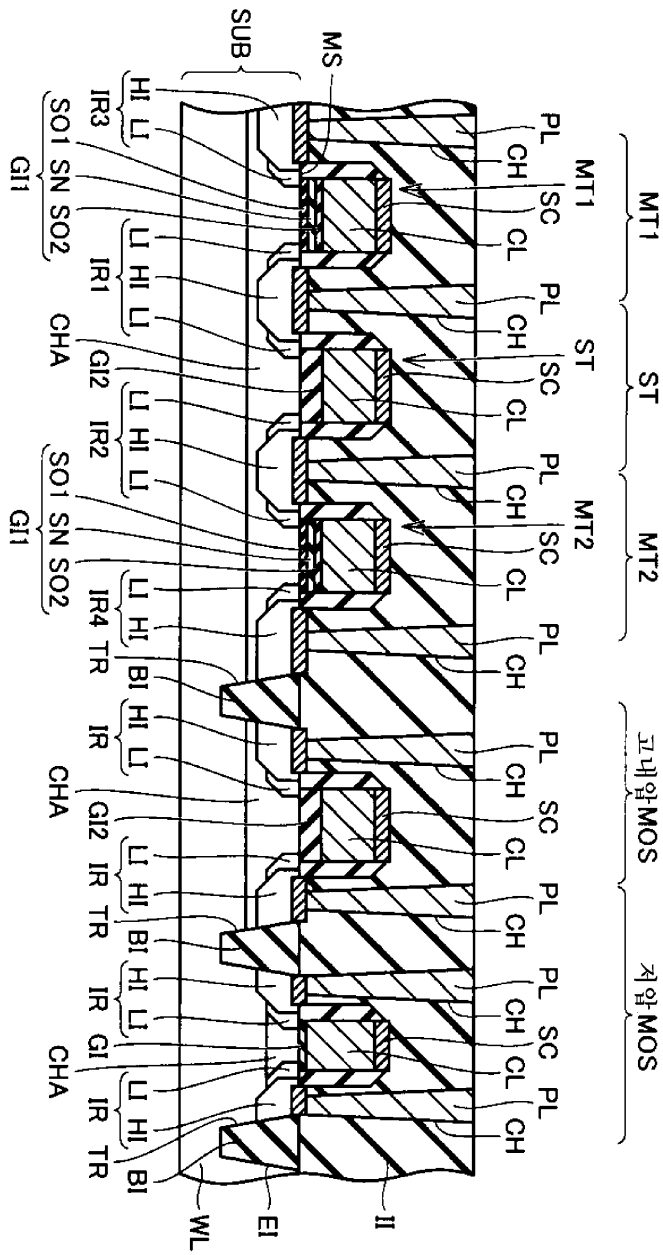
도면15



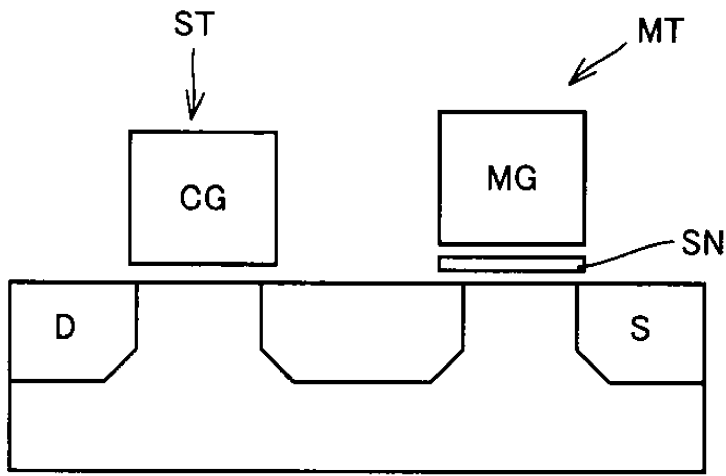
도면16



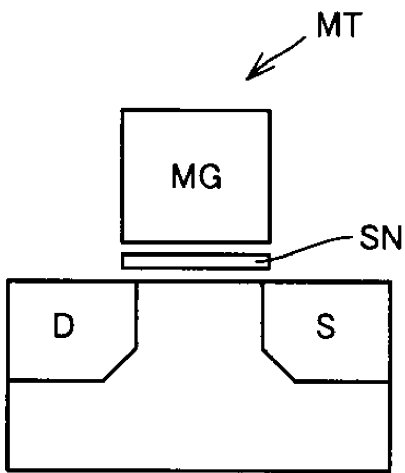
도면17



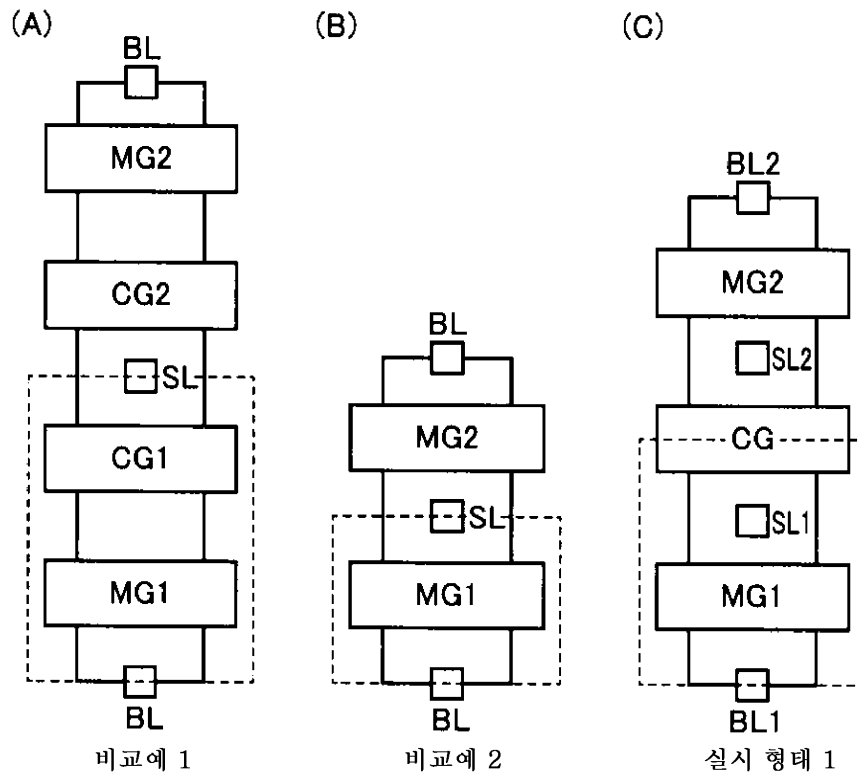
도면18



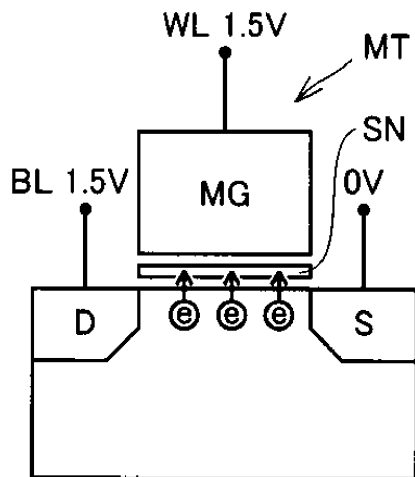
도면19



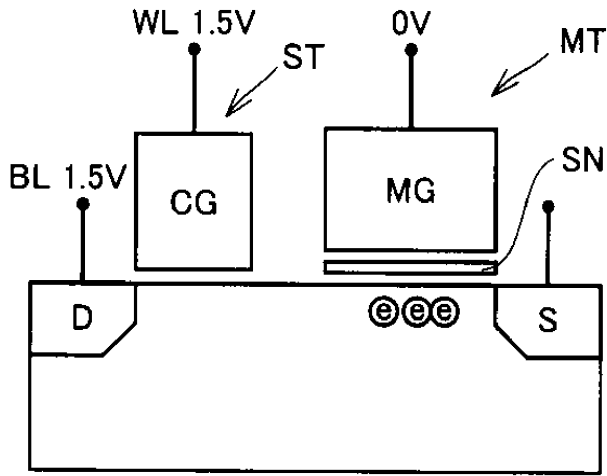
도면20



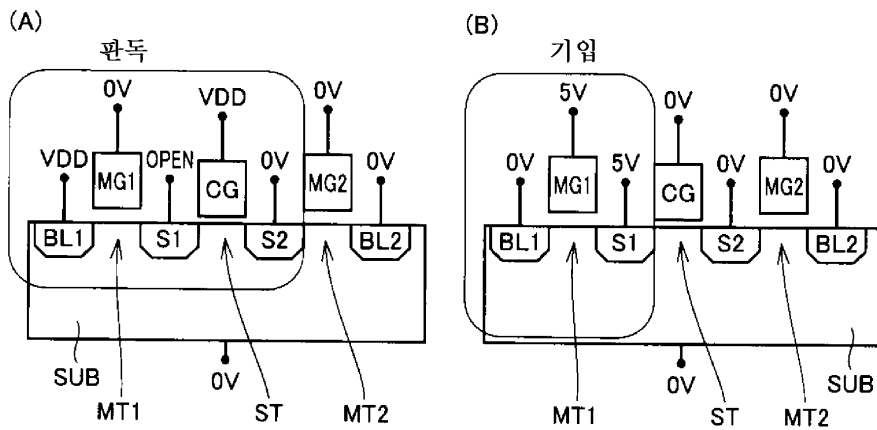
도면21



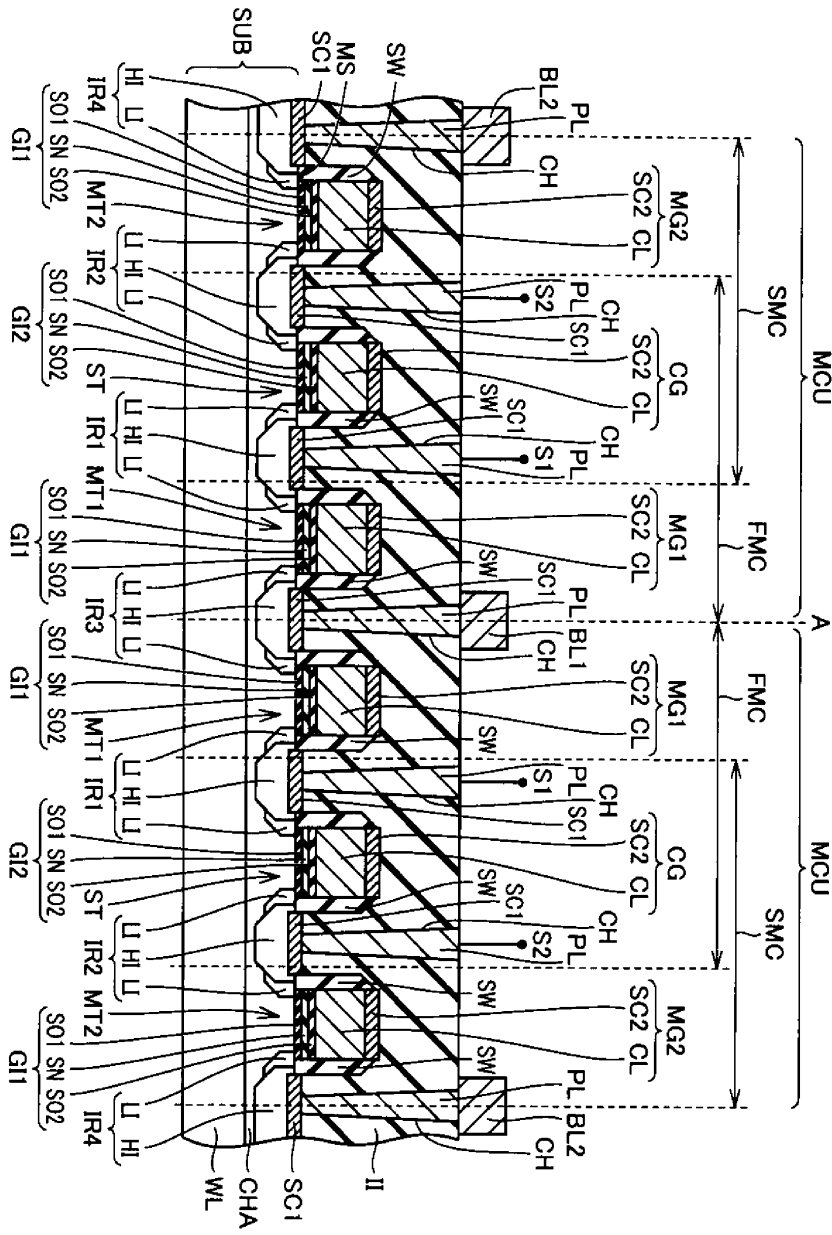
도면22



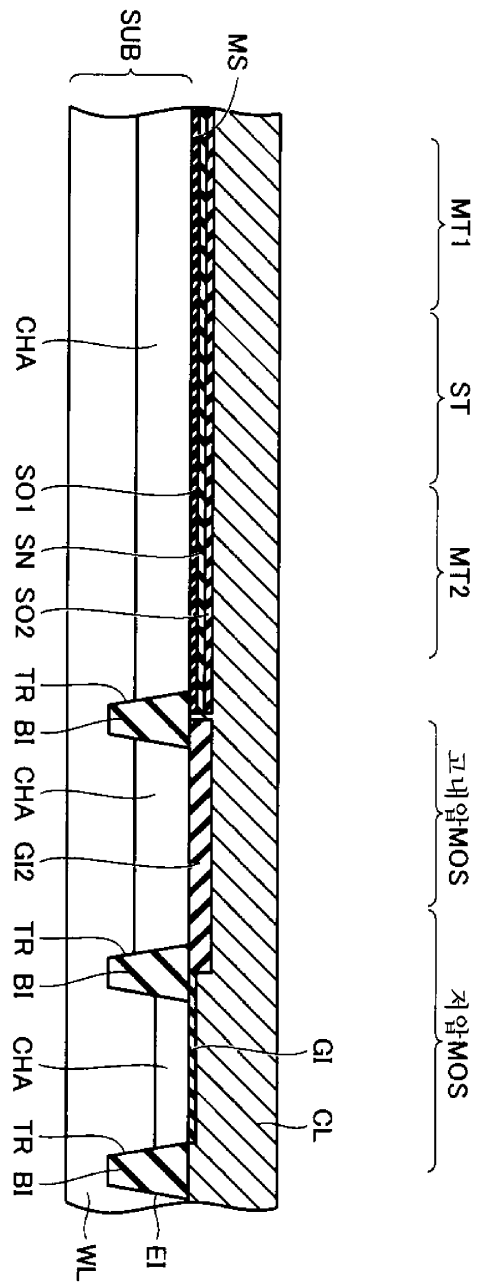
도면23



도면24



도면25



도면26

