

(19)日本国特許庁(JP)

## (12)特許公報(B2)

(11)特許番号  
特許第7011151号  
(P7011151)

(45)発行日 令和4年2月10日(2022.2.10)

(24)登録日 令和4年1月18日(2022.1.18)

(51)国際特許分類	F I
H 0 4 L 69/14 (2022.01)	H 0 4 L 69/14
H 0 4 L 1/00 (2006.01)	H 0 4 L 1/00 B

請求項の数 14 (全18頁)

(21)出願番号	特願2017-163337(P2017-163337)	(73)特許権者	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番1号
(22)出願日	平成29年8月28日(2017.8.28)	(74)代理人	100090273 弁理士 國分 孝悦
(65)公開番号	特開2019-41323(P2019-41323A)	(72)発明者	草地 宗太 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
(43)公開日	平成31年3月14日(2019.3.14)	(72)発明者	國井 穰二 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
審査請求日	令和2年5月14日(2020.5.14)	(72)発明者	安島 雄一郎 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

最終頁に続く

(54)【発明の名称】 送信装置、送受信システム及び送受信システムの制御方法

## (57)【特許請求の範囲】

## 【請求項1】

第1の複数の伝送路の各々の使用可否情報を受信する受信部と、データを複数の送信ブロックに分割し、前記第1の複数の伝送路の各々の使用可否情報を基に、前記第1の複数の伝送路のうち、前記使用可否情報が使用可能である旨を示す第1の伝送路には、前記複数の送信ブロックを分配して送信し、前記使用可否情報が使用不可能である旨を示す第1の伝送路には、前記使用可否情報が使用可能である旨を示す第1の伝送路に送信する送信ブロックと同じ送信ブロックを送信する送信部とを有することを特徴とする送信装置。

## 【請求項2】

前記受信部は、第2の複数の伝送路の各々から同一の前記使用可否情報を受信することを特徴とする請求項1に記載の送信装置。

## 【請求項3】

前記送信部は、前記分配の方法を示す情報を前記第1の複数の伝送路の各々に送信することを特徴とする請求項2に記載の送信装置。

## 【請求項4】

前記受信部は、前記第2の複数の伝送路から複数の受信ブロックを受信し、前記第2の複数の伝送路の各々のエラー頻度を基に、前記第2の複数の伝送路の各々の使用可否情報を生成し、

前記送信部は、前記第2の複数の伝送路の各々の使用可否情報を前記第1の複数の伝送路

の各々に送信することを特徴とする請求項 3 に記載の送信装置。

【請求項 5】

前記送信部は、前記第 1 の複数の伝送路の各々に対して、送信する送信ブロックのエラーチェック情報を送信し、

前記受信部は、前記第 2 の複数の伝送路の各々からエラーチェック情報を受信し、前記エラーチェック情報を基に前記第 2 の複数の伝送路の各々のエラー頻度を演算することを特徴とする請求項 4 に記載の送信装置。

【請求項 6】

前記受信部は、前記複数の受信ブロックを前記第 2 の複数の伝送路に分配した方法を示す情報を前記第 2 の複数の伝送路の各々から受信し、前記受信した分配した方法を示す情報を基に、前記複数の受信ブロックを結合することによりデータを復元することを特徴とする請求項 4 又は 5 に記載の送信装置。

10

【請求項 7】

前記送信部は、前記第 2 の複数の伝送路の各々の使用可否情報を、前記分配された送信ブロックに付加して、前記第 1 の複数の伝送路の各々に送信することを特徴とする請求項 4 ~ 6 のいずれか 1 項に記載の送信装置。

【請求項 8】

さらに、定期的にデータリンク層パケットを前記データとして前記送信部に出力するパケット出力部を有し、

前記送信部は、前記受信部が前記第 2 の複数の伝送路から複数の前記データリンク層パケットを受信する間隔が閾値以上である場合には、前記第 1 の複数の伝送路のうち、他の伝送路と同じ送信ブロックを送信する伝送路の数を増やすことを特徴とする請求項 4 ~ 7 のいずれか 1 項に記載の送信装置。

20

【請求項 9】

送信装置と、

第 1 の複数の伝送路を介して前記送信装置から受信し、第 2 の複数の伝送路を介して前記送信装置に送信する受信装置とを有し、

前記送信装置は、

前記受信装置から前記第 2 の複数の伝送路の各々を介して前記第 1 の複数の伝送路の各々の使用可否情報を受信する第 1 の受信部と、

30

データを複数のブロックに分割し、前記第 1 の複数の伝送路の各々の使用可否情報を基に、前記第 1 の複数の伝送路のうち、前記使用可否情報が使用可能である旨を示す第 1 の伝送路には、前記複数のブロックを分配して送信し、前記使用可否情報が使用不可能である旨を示す第 1 の伝送路には、前記使用可否情報が使用可能である旨を示す第 1 の伝送路に送信するブロックと同じブロックを送信する第 1 の送信部とを有し、

前記受信装置は、

前記第 1 の複数の伝送路から前記複数のブロックを受信し、前記第 1 の複数の伝送路の各々のエラー頻度を基に、前記第 1 の複数の伝送路の各々の使用可否情報を生成する第 2 の受信部と、

前記第 1 の複数の伝送路の各々の使用可否情報を前記第 2 の複数の伝送路の各々に送信する第 2 の送信部とを有することを特徴とする送受信システム。

40

【請求項 10】

前記第 1 の送信部は、前記第 1 の複数の伝送路の各々に対して、送信する送信ブロックのエラーチェック情報を送信し、

前記第 2 の受信部は、前記第 1 の複数の伝送路の各々から前記エラーチェック情報を受信し、前記エラーチェック情報を基に前記第 1 の複数の伝送路の各々のエラー頻度を演算することを特徴とする請求項 9 に記載の送受信システム。

【請求項 11】

前記第 1 の送信部は、前記分配の方法を示す情報を前記第 1 の複数の伝送路の各々に送信し、

50

前記第 2 の受信部は、前記分配の方法を示す情報を前記第 1 の複数の伝送路の各々から受信し、前記分配の方法を示す情報を基に、前記複数のブロックを結合することによりデータを復元することを特徴とする請求項 9 又は 10 に記載の送受信システム。

【請求項 12】

前記第 2 の送信部は、データを複数のブロックに分割し、前記第 2 の複数の伝送路に前記複数のブロックを分配し、前記第 1 の複数の伝送路の各々の使用可否情報を、前記分配されたブロックに付加して、前記第 2 の複数の伝送路の各々に送信することを特徴とする請求項 9 ~ 11 のいずれか 1 項に記載の送受信システム。

【請求項 13】

前記受信装置は、定期的にデータリンク層パケットを前記データとして前記第 2 の送信部 10 10 に出力するパケット出力部を有し、

前記第 1 の送信部は、前記第 1 の受信部が前記第 2 の複数の伝送路から複数の前記データリンク層パケットを受信する間隔が閾値以上である場合には、前記第 1 の複数の伝送路のうち、他の伝送路と同じ送信ブロックを送信する伝送路の数を増やすことを特徴とする請求項 12 に記載の送受信システム。

【請求項 14】

送信装置と、

第 1 の複数の伝送路を介して前記送信装置から受信し、第 2 の複数の伝送路を介して前記送信装置に送信する受信装置とを有する送受信システムの制御方法であって、

前記受信装置が有する第 2 の受信部が、前記第 1 の複数の伝送路から複数のブロックを受信し、前記第 1 の複数の伝送路の各々のエラー頻度を基に、前記第 1 の複数の伝送路の各々の使用可否情報を生成し、

前記受信装置が有する第 2 の送信部が、前記第 1 の複数の伝送路の各々の使用可否情報を前記第 2 の複数の伝送路の各々に送信し、

前記送信装置が有する第 1 の受信部が、前記受信装置から前記第 2 の複数の伝送路の各々を介して前記第 1 の複数の伝送路の各々の使用可否情報を受信し、

前記送信装置が有する第 1 の送信部が、データを複数のブロックに分割し、前記第 1 の複数の伝送路の各々の使用可否情報を基に、前記第 1 の複数の伝送路のうち、前記使用可否情報が使用可能である旨を示す第 1 の伝送路には、前記複数のブロックを分配して送信し、前記使用可否情報が使用不可能である旨を示す第 1 の伝送路には、前記使用可否情報が使用可能である旨を示す第 1 の伝送路に送信するブロックと同じブロックを送信することを特徴とする送受信システムの制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、送信装置、送受信システム及び送受信システムの制御方法に関する。

【背景技術】

【0002】

伝送パケットの受信状況を監視し、送信装置へその受信状況を返却する受信装置と、伝送路の状態に合わせた誤り耐性を有する伝送パケットを作成し、受信装置の処理負荷を軽減させる送信装置が知られている（特許文献 1 参照）。受信装置は、受信バッファ部、誤り判定部、データパケット送出部、誤り位置特定部、誤り訂正部、及び伝送パケットモニタ部を有する。伝送パケットモニタ部は、受信バッファ部、及び誤り判定部を監視し、伝送パケットの受信間隔、破棄パケット数、スループット等を取得し、送信装置へ取得結果を送信する。また、送信装置は、フレーム化部、パケット分割部、パケット生成部、伝送パラメータ決定部を有する。伝送パラメータ決定部は、受信装置からの情報を元に、インターリーブ長、ペイロード長を決定する。

【0003】

また、伝送データとエラー検出用情報とを含むデータユニットから構成されるパケットを生成するパケット生成装置が知られている（特許文献 2 参照）。エラー発生状況監視部は

10

20

30

40

50

、送信したパケットに関して受信側から返信される伝送結果を用いて、エラー発生状況をデータユニット単位で監視する。ユニットサイズ算出部は、エラー発生状況を用いてエラー発生確率を算出する。そして、ユニットサイズ算出部は、パケット長が同じ範囲における、エラー発生確率、データユニット数、及びオーバーヘッドの相関関係に基づいて、パケットに含める伝送データを分割する分割数を補正データユニット数として算出する。パケット生成部は、伝送対象となるデータと補正データユニット数とを用いて、パケットを生成する。

【先行技術文献】

【特許文献】

【0004】

【文献】特開2004-32283号公報

特開2010-118894号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

特許文献1では、受信装置は、伝送パケットの受信状況を監視し、送信装置へその受信状況を返却し、送信装置は、伝送路の状態にあわせた誤り耐性を有する伝送パケットを作成し、受信装置の処理負荷を軽減させる。しかし、受信装置の受信状況は、変わらず、改善されない。

【0006】

1つの側面では、本発明の目的は、送信装置から受信する受信装置の受信エラーを低減することができる送信装置、送受信システム及び送受信システムの制御方法を提供することである。

【課題を解決するための手段】

【0007】

送信装置は、第1の複数の伝送路の各々の使用可否情報を受信する受信部と、データを複数の送信ブロックに分割し、前記第1の複数の伝送路の各々の使用可否情報を基に、前記第1の複数の伝送路のうち、前記使用可否情報が使用可能である旨を示す第1の伝送路には、前記複数の送信ブロックを分配して送信し、前記使用可否情報が使用不可能である旨を示す第1の伝送路には、前記使用可否情報が使用可能である旨を示す第1の伝送路に送信する送信ブロックと同じ送信ブロックを送信する送信部とを有する。

【発明の効果】

【0008】

1つの側面では、送信装置から第1の複数の伝送路を介して受信する受信装置の受信エラーを低減することができる。

【図面の簡単な説明】

【0009】

【図1】図1は、第1の実施形態による送受信システムの構成例を示す図である。

【図2】図2は、スライスパターンを示す図である。

【図3】図3(A)～(C)は、パケットを複数の送信ブロックに分割し、複数の送信ブロックを複数のレーンに分配する方法を示す図である。

【図4】図4(A)及び(B)は、送受信システムの制御方法を示すフローチャートである。

【図5】図5は、第2の実施形態による送受信システムの構成例を示す図である。

【発明を実施するための形態】

【0010】

(第1の実施形態)

図1は、第1の実施形態による送受信システム100の構成例を示す図である。送受信システム100は、半導体チップ101aと、半導体チップ101bと、レーン部151の複数のレーンLN0～LN3と、レーン部152の複数のレーンLN0～LN3とを有す

10

20

30

40

50

る。レーン部 151 の複数のレーン LN0 ~ LN3 は、例えば光ケーブル又は電線であり、半導体チップ 101 a から半導体チップ 101 b へ送信するための複数の伝送路である。レーン部 152 の複数のレーン LN0 ~ LN3 は、例えば光ケーブル又は電線であり、半導体チップ 101 b から半導体チップ 101 a へ送信するための複数の伝送路である。半導体チップ 101 b は、レーン部 151 の複数のレーン LN0 ~ LN3 を介して半導体チップ 101 a から受信し、レーン部 152 の複数のレーン LN0 ~ LN3 を介して半導体チップ 101 a に送信する。

#### 【0011】

半導体チップ 101 a は、例えば送信装置であり、ポート 111 a と、送信データ生成部 112 a と、パケット生成部 113 a と、パケット処理部 114 a とを有する。ポート 111 a は、送信回路 121 a と、受信回路 122 a とを有する。送信回路 121 a は、スライス生成部 131 a と、巡回冗長チェック (CRC) 付加部 132 a と、スライスパターン生成部 133 a とを有する。受信回路 122 a は、エラー発生情報検出部 141 a と、スライス復元部 142 a とを有する。エラー発生情報検出部 141 a は、タイム 144 a を有する。

10

#### 【0012】

半導体チップ 101 b は、例えば受信装置であり、ポート 111 b と、送信データ生成部 112 b と、パケット生成部 113 b と、パケット処理部 114 b とを有する。ポート 111 b は、送信回路 121 b と、受信回路 122 b とを有する。受信回路 122 b は、エラーチェック部 143 b と、スライス復元部 142 b とを有する。送信回路 121 b は、スライス生成部 131 b と、エラー発生情報付加部 135 b と、CRC 付加部 132 b とを有する。

20

#### 【0013】

まず、半導体チップ 101 a の送信方法を説明する。送信データ生成部 112 a は、送信データを生成し、その生成した送信データをパケット生成部 113 a に出力する。パケット生成部 113 a は、パケット出力部であり、送信データを基に所定パケット長のパケット 153 a を生成し、生成したパケット 153 a を送信回路 121 a に出力する。また、パケット生成部 113 a は、定期的に、データリンク層パケット (DLLP) 153 a を生成し、その生成したデータリンク層パケット 153 a を送信回路 121 a に出力する。データリンク層パケットは、半導体チップ 101 a 及び 101 b 間のリンクが確立していることを知らせるためのパケットである。スライス生成部 131 a は、パケット (データ) 153 a を複数の送信ブロックに分割し、その複数の送信ブロックをレーン部 151 の複数のレーン LN0 ~ LN3 に分配する。分配方法は、後に図 3 (A) ~ (C) を参照しながら説明する。CRC 付加部 132 a は、レーン部 151 の複数のレーン LN0 ~ LN3 の各々毎に、レーン部 151 の複数のレーン LN0 ~ LN3 に分配された複数の送信ブロックに対して、CRC 情報 (エラーチェック情報) を付加する。送信回路 121 a は、CRC 情報が付加された複数の送信ブロックを、レーン部 151 の複数のレーン LN0 ~ LN3 を介して、半導体チップ 101 b に送信する。

30

#### 【0014】

次に、半導体チップ 101 b の受信方法を説明する。受信回路 122 b は、レーン部 151 の複数のレーン LN0 ~ LN3 を介して、CRC 情報が付加された複数の受信ブロックを半導体チップ 101 a から受信する。エラーチェック部 143 b は、レーン部 151 の複数のレーン LN0 ~ LN3 の各々に対して、CRC 情報を基に、レーン部 151 の複数のレーン LN0 ~ LN3 の各々のエラー頻度 (ビットエラーレート) を演算する。そして、エラーチェック部 143 b は、レーン部 151 の複数のレーン LN0 ~ LN3 の各々のエラー頻度を基に、レーン部 151 の複数のレーン LN0 ~ LN3 のエラー発生情報 A1 b を生成し、エラー発生情報 A1 b をエラー発生情報付加部 135 b に出力する。例えば、レーン部 151 が 4 本のレーン LN0 ~ LN3 を有する場合、エラー発生情報 A1 b は、レーン部 151 の 4 本のレーン LN0 ~ LN3 に対応する 4 ビットを有する。エラーチェック部 143 b は、上記のレーン部 151 の 4 本のレーン LN0 ~ LN3 の各々のエラ

40

50

ー頻度と閾値を比較し、エラー頻度が閾値より少ないレーンに対応するエラー発生情報 A 1 b のビットを 0 にする。そして、エラーチェック部 1 4 3 b は、エラー頻度が閾値以上であるレーンに対応するエラー発生情報 A 1 b のビットを 1 にする。すなわち、エラー発生情報 A 1 b は、レーン部 1 5 1 の複数のレーン L N 0 ~ L N 3 の各々の使用可否情報である。エラー発生情報 A 1 b のうちの「0」のビットは、そのビットに対応するレーンが使用可能であることを示す。エラー発生情報 A 1 b のうちの「1」のビットは、そのビットに対応するレーンが使用不可能であることを示す。スライス復元部 1 4 2 b は、受信した複数の受信ブロックを結合することによりパケット（データ）1 5 4 b を復元し、パケット 1 5 4 b をパケット処理部 1 1 4 b に出力する。パケット処理部 1 1 4 b は、パケット 1 5 4 b の処理を行う。

10

#### 【0015】

次に、半導体チップ 1 0 1 b の送信方法を説明する。送信データ生成部 1 1 2 b は、送信データを生成し、その生成した送信データをパケット生成部 1 1 3 b に出力する。パケット生成部 1 1 3 b は、パケット出力部であり、送信データを基に所定パケット長のパケット 1 5 3 b を生成し、生成したパケット 1 5 3 b を送信回路 1 2 1 b に出力する。また、パケット生成部 1 1 3 b は、定期的に、データリンク層パケット（DLLP）1 5 3 b を生成し、その生成したデータリンク層パケット 1 5 3 b を送信回路 1 2 1 b に出力する。スライス生成部 1 3 1 b は、パケット 1 5 3 b を複数の送信ブロックに分割し、その複数の送信ブロックをレーン部 1 5 2 の複数のレーン L N 0 ~ L N 3 に分配する。エラー発生情報付加部 1 3 5 b は、レーン部 1 5 2 の複数のレーン L N 0 ~ L N 3 の各々毎に、レーン部 1 5 2 の複数のレーン L N 0 ~ L N 3 に分配された複数の送信ブロックに対して、同一の 4 ビットのエラー発生情報 A 1 b を付加する。CRC 付加部 1 3 2 b は、レーン部 1 5 2 の複数のレーン L N 0 ~ L N 3 の各々毎に、レーン部 1 5 2 の複数のレーン L N 0 ~ L N 3 に分配された複数の送信ブロックに対して、CRC 情報を付加する。送信回路 1 2 1 b は、エラー発生情報 A 1 b 及び CRC 情報が付加された複数の送信ブロックを、レーン部 1 5 2 の複数のレーン L N 0 ~ L N 3 を介して、半導体チップ 1 0 1 a に送信する。

20

#### 【0016】

次に、半導体チップ 1 0 1 a の受信方法を説明する。受信回路 1 2 2 a は、レーン部 1 5 2 の複数のレーン L N 0 ~ L N 3 を介して、エラー発生情報 A 1 b 及び CRC 情報が付加された複数の受信ブロックを半導体チップ 1 0 1 b から受信する。エラー発生情報検出部 1 4 1 a は、受信したエラー発生情報 A 1 b を検出し、その検出したエラー発生情報 A 1 b をエラー発生情報 A 2 a としてスライスパターン生成部 1 3 3 a に出力する。スライス復元部 1 4 2 a は、受信した複数の受信ブロックを結合することによりパケット 1 5 4 a を復元し、パケット 1 5 4 a をパケット処理部 1 1 4 a に出力する。パケット処理部 1 1 4 a は、パケット 1 5 4 a の処理を行う。

30

#### 【0017】

次に、半導体チップ 1 0 1 a の送信方法を説明する。スライスパターン生成部 1 3 3 a は、4 ビットのエラー発生情報 A 2 a を基に、図 2 の 6 個のスライスパターンの中から 1 個のスライスパターンを選択し、その選択したスライスパターン番号 A 3 a を出力する。スライスパターン番号 A 3 a は、3 ビットで表され、レーン L N 0 ~ L N 3 への分配方法を示す情報である。4 ビットのエラー発生情報 A 2 a のビットがすべて 0 である場合、スライスパターン生成部 1 3 3 a は、0 番のスライスパターンを選択する。その場合、図 3 (A) に示すように、スライス生成部 1 3 1 a は、パケット 1 5 3 a を複数（例えば 1 2 個）の送信ブロックに分割し、複数の送信ブロックをレーン部 1 5 1 の 4 本のレーン L N 0 ~ L N 3 にスライス 3 0 2 として分配する。レーン L N 0 には、0 番、4 番、8 番の送信ブロックを含むスライス 3 0 2 が分配される。レーン L N 1 には、1 番、5 番、9 番の送信ブロックを含むスライス 3 0 2 が分配される。レーン L N 2 には、2 番、6 番、1 0 番の送信ブロックを含むスライス 3 0 2 が分配される。レーン L N 3 には、3 番、7 番、1 1 番の送信ブロックを含むスライス 3 0 2 が分配される。スライス生成部 1 3 1 a は、レーン部 1 5 1 の 4 本のレーン L N 0 ~ L N 3 の各々に対して、スライス 3 0 2 の先頭のへ

40

50

ッダ 3 0 1 内に 0 番のスライスパターン番号 A 3 a を付加する。CRC 付加部 1 3 2 a は、レーン部 1 5 1 の 4 本のレーン L N 0 ~ L N 3 の各々のスライス 3 0 2 の末尾に、CRC 情報 3 0 3 を付加する。CRC 情報 3 0 3 は、レーン L N 0 ~ L N 3 の各々のヘッダ 3 0 1 及びスライス 3 0 2 のエラーをチェックするためのエラーチェック情報である。送信回路 1 2 1 a は、レーン部 1 5 1 の 4 本のレーン L N 0 ~ L N 3 の各々に対して、ヘッダ 3 0 1 及び CRC 情報 3 0 3 が付加されたスライス 3 0 2 を送信する。エラー発生情報 A 2 a によれば、レーン部 1 5 1 のレーン L N 0 ~ L N 3 のすべてが使用可能であることを示しているため、受信回路 1 2 2 b は、レーン部 1 5 1 のレーン L N 0 ~ L N 3 のすべてから受信エラーなしで、0 番 ~ 1 1 番の送信ブロックを受信できる可能性が高い。

**【 0 0 1 8 】**

また、4 ビットのエラー発生情報 A 2 a のうちのレーン部 1 5 1 のレーン L N 2 のビットのみが 1 である場合と、4 ビットのエラー発生情報 A 2 a のうちのレーン部 1 5 1 のレーン L N 3 のビットのみが 1 である場合には、スライスパターン生成部 1 3 3 a は、図 2 の 2 番のスライスパターンを選択する。その場合、図 3 ( B ) に示すように、スライス生成部 1 3 1 a は、パケット 1 5 3 a を複数 ( 例えば 1 2 個 ) の送信ブロックに分割し、レーン部 1 5 1 の 3 本のレーン L N 0 ~ L N 2 には、複数の送信ブロックをスライス 3 0 2 として分配し、レーン部 1 5 1 のレーン L N 3 には、レーン部 1 5 1 のレーン L N 2 と同じスライス 3 0 2 を分配する。レーン L N 0 には、0 番、3 番、6 番、9 番の送信ブロックを含むスライス 3 0 2 が分配される。レーン L N 1 には、1 番、4 番、7 番、1 0 番の送信ブロックを含むスライス 3 0 2 が分配される。レーン L N 2 には、2 番、5 番、8 番、1 1 番の送信ブロックを含むスライス 3 0 2 が分配される。レーン L N 3 には、2 番、5 番、8 番、1 1 番の送信ブロックを含むスライス 3 0 2 が分配される。スライス生成部 1 3 1 a は、レーン部 1 5 1 の 4 本のレーン L N 0 ~ L N 3 の各々に対して、スライス 3 0 2 の先頭のヘッダ 3 0 1 内に 2 番のスライスパターン番号 A 3 a を付加する。CRC 付加部 1 3 2 a は、レーン部 1 5 1 の 4 本のレーン L N 0 ~ L N 3 の各々のスライス 3 0 2 の末尾に、CRC 情報 3 0 3 を付加する。エラー発生情報 A 2 a によれば、レーン部 1 5 1 のレーン L N 0 ~ L N 2 が使用可能又はレーン L N 0、L N 1、L N 3 が使用可能であることを示しているため、受信回路 1 2 2 b は、レーン部 1 5 1 から受信エラーなしで、0 番 ~ 1 1 番の送信ブロックを受信できる可能性が高い。

**【 0 0 1 9 】**

同様に、4 ビットのエラー発生情報 A 2 a のうちのレーン部 1 5 1 のレーン L N 0 のビットのみが 1 である場合と、4 ビットのエラー発生情報 A 2 a のうちのレーン部 1 5 1 のレーン L N 1 のビットのみが 1 である場合には、スライスパターン生成部 1 3 3 a は、図 2 の 1 番のスライスパターンを選択する。その場合、スライス生成部 1 3 1 a は、パケット 1 5 3 a を複数 ( 例えば 1 2 個 ) の送信ブロックに分割し、レーン部 1 5 1 の 3 本のレーン L N 1 ~ L N 3 には、複数の送信ブロックをスライス 3 0 2 として分配し、レーン部 1 5 1 のレーン L N 0 には、レーン部 1 5 1 のレーン L N 1 と同じスライス 3 0 2 を分配する。スライス生成部 1 3 1 a は、レーン部 1 5 1 の 4 本のレーン L N 0 ~ L N 3 の各々に対して、スライス 3 0 2 の先頭のヘッダ 3 0 1 内に 1 番のスライスパターン番号 A 3 a を付加する。エラー発生情報 A 2 a によれば、レーン部 1 5 1 のレーン L N 1 ~ L N 3 が使用可能又はレーン L N 0、L N 2、L N 3 が使用可能であることを示しているため、受信回路 1 2 2 b は、レーン部 1 5 1 から受信エラーなしで、0 番 ~ 1 1 番の送信ブロックを受信できる可能性が高い。

**【 0 0 2 0 】**

また、4 ビットのエラー発生情報 A 2 a のうちのレーン部 1 5 1 のレーン L N 0 及び L N 3 のビットのみが 1 である場合と、レーン L N 1 及び L N 2 のビットのみが 1 である場合と、レーン L N 0 及び L N 2 のビットのみが 1 である場合と、レーン L N 1 及び L N 3 のビットのみが 1 である場合には、スライスパターン生成部 1 3 3 a は、図 2 の 6 番のスライスパターンを選択する。その場合、図 3 ( C ) に示すように、スライス生成部 1 3 1 a は、パケット 1 5 3 a を複数 ( 例えば 1 2 個 ) の送信ブロックに分割し、レーン部 1 5 1

10

20

30

40

50

の2本のレーンLN1及びLN2には、複数の送信ブロックをスライス302として分配する。そして、スライス生成部131aは、レーン部151のレーンLN0には、レーン部151のレーンLN1と同じスライス302を分配し、レーン部151のレーンLN3には、レーン部151のレーンLN2と同じスライス302を分配する。レーンLN0には、0番、2番、4番、6番、8番、10番の送信ブロックを含むスライス302が分配される。レーンLN1には、0番、2番、4番、6番、8番、10番の送信ブロックを含むスライス302が分配される。レーンLN2には、1番、3番、5番、7番、9番、11番の送信ブロックを含むスライス302が分配される。レーンLN3には、1番、3番、5番、7番、9番、11番の送信ブロックを含むスライス302が分配される。スライス生成部131aは、レーン部151の4本のレーンLN0～LN3の各々に対して、スライス302の先頭のヘッダ301内に6番のスライスパターン番号A3aを付加する。CRC付加部132aは、レーン部151の4本のレーンLN0～LN3の各々のスライス302の末尾に、CRC情報303を付加する。エラー発生情報A2aによれば、レーン部151のレーンLN1及びLN2が使用可能、レーンLN0及びLN3が使用可能、レーンLN1及びLN3が使用可能、又はレーンLN0及びLN2が使用可能であることを示しているため、受信回路122bは、レーン部151から受信エラーなしで、0番～11番の送信ブロックを受信できる可能性が高い。

10

#### 【0021】

同様に、4ビットのエラー発生情報A2aのうちのレーン部151のレーンLN2及びLN3のビットのみが1である場合と、レーンLN0及びLN1のビットのみが1である場合と、レーンLN0及びLN3のビットのみが1である場合と、レーンLN1及びLN2のビットのみが1である場合には、スライスパターン生成部133aは、図2の5番のスライスパターンを選択する。その場合、スライス生成部131aは、パケット153aを複数(例えば12個)の送信ブロックに分割し、レーン部151の2本のレーンLN0及びLN1には、複数の送信ブロックをスライス302として分配する。そして、スライス生成部131aは、レーン部151のレーンLN2には、レーン部151のレーンLN0と同じスライス302を分配し、レーン部151のレーンLN3には、レーン部151のレーンLN1と同じスライス302を分配する。スライス生成部131aは、レーン部151の4本のレーンLN0～LN3の各々に対して、スライス302の先頭のヘッダ301内に5番のスライスパターン番号A3aを付加する。エラー発生情報A2aによれば、レーン部151のレーンLN0及びLN1が使用可能、レーンLN2及びLN3が使用可能、レーンLN1及びLN2が使用可能、又はレーンLN0及びLN3が使用可能であることを示しているため、受信回路122bは、レーン部151から受信エラーなしで、0番～11番の送信ブロックを受信できる可能性が高い。

20

30

#### 【0022】

同様に、4ビットのエラー発生情報A2aのうちの3ビット又は4ビットが1である場合には、スライスパターン生成部133aは、図2の7番のスライスパターンを選択する。その場合、スライス生成部131aは、パケット153aを複数(例えば12個)の送信ブロックに分割し、レーン部151の1本のレーンLN0に複数の送信ブロックをスライス302として分配する。そして、スライス生成部131aは、レーン部151のレーンLN1～LN3の各々には、レーン部151のレーンLN0と同じスライス302を分配する。スライス生成部131aは、レーン部151の4本のレーンLN0～LN3の各々に対して、スライス302の先頭のヘッダ301内に7番のスライスパターン番号A3aを付加する。

40

#### 【0023】

図4(A)は、半導体チップ101aの制御方法を示すフローチャートである。半導体チップ101aは、ステップS401～S406の送信処理と、ステップS411～S414の受信処理を並列して行う。

#### 【0024】

まず、送信処理について説明する。ステップS401において、送信データ生成部112

50

aは、送信データを生成し、その生成した送信データをパケット生成部113aに出力する。次に、ステップS402において、パケット生成部113aは、送信データを基に所定パケット長のパケット153aを生成し、生成したパケット153aを送信回路121aに出力する。また、パケット生成部113aは、定期的に、データリンク層パケット(DLLP)153aを生成し、その生成したデータリンク層パケット153aを送信回路121aに出力する。

【0025】

次に、ステップS403において、スライスパターン生成部133aは、エラー発生情報検出部141aが出力する4ビットのエラー発生情報A2aを基に、図2の6個のスライスパターンの中から1個のスライスパターンを選択し、その選択したスライスパターン番号A3aを出力する。

10

【0026】

次に、ステップS404において、スライス生成部131aは、パケット153aを複数の送信ブロックに分割し、スライスパターン番号A3aを基に、複数の送信ブロックをレーン部151のレーンLN0~LN3にスライス302として分配する。具体的には、スライス生成部131aは、レーン部151の複数のレーンLN0~LN3のうち、エラー発生情報A2aのビットが0であるレーンには、複数の送信ブロックを分配し、エラー発生情報A2aのビットが1であるレーンには、エラー発生情報A2aのビットが0であるレーンに分配する送信ブロックと同じ送信ブロックを分配する。そして、スライス生成部131aは、レーン部151の4本のレーンLN0~LN3の各々に対して、スライス302の先頭のヘッダ301内にスライスパターン番号A3aを付加する。

20

【0027】

次に、ステップS405において、CRC付加部132aは、レーン部151の4本のレーンLN0~LN3の各々のスライス302の末尾に、CRC情報303を付加する。次に、ステップS406において、送信回路121aは、ヘッダ301及びCRC情報303が付加されたスライス302を、レーン部151の複数のレーンLN0~LN3を介して、半導体チップ101bに送信する。その後、半導体チップ101aは、ステップS401に処理を戻す。

【0028】

次に、受信処理について説明する。ステップS411において、受信回路122aは、レーン部152の複数のレーンLN0~LN3を介して、図3(A)と同様に、ヘッダ301及びCRC情報303が付加されたスライス302を半導体チップ101bから受信する。ヘッダ301は、エラー発生情報付加部135bにより付加されたエラー発生情報A1bを有する。

30

【0029】

次に、ステップS412において、エラー発生情報検出部141aは、受信したヘッダ301内のエラー発生情報A1bを検出し、その検出したエラー発生情報A1bをエラー発生情報A2aとしてスライスパターン生成部133aに出力する。

【0030】

次に、ステップS413において、スライス復元部142aは、受信したスライス302内の複数の受信ブロックを結合することによりパケット154aを復元し、パケット154aをパケット処理部114aに出力する。次に、ステップS414において、パケット処理部114aは、パケット154aの処理を行う。その後、半導体チップ101aは、ステップS411に処理を戻す。

40

【0031】

図4(B)は、半導体チップ101bの制御方法を示すフローチャートである。半導体チップ101bは、ステップS421~S426の受信処理と、ステップS431~S436の送信処理を並列して行う。

【0032】

まず、受信処理について説明する。ステップS421において、受信回路122bは、レ

50

ーン部 1 5 1 の複数のレーン L N 0 ~ L N 3 の各々を介して、ヘッダ 3 0 1 及び C R C 情報 3 0 3 が付加されたスライス 3 0 2 を半導体チップ 1 0 1 a から受信する。

【 0 0 3 3 】

次に、ステップ S 4 2 2 において、エラーチェック部 1 4 3 b は、レーン部 1 5 1 の複数のレーン L N 0 ~ L N 3 の各々に対して、C R C 情報 3 0 3 を基に、レーン部 1 5 1 の複数のレーン L N 0 ~ L N 3 の各々のヘッダ 3 0 1 及びスライス 3 0 2 のエラーをチェックする。

【 0 0 3 4 】

次に、ステップ S 4 2 3 において、エラーチェック部 1 4 3 b は、レーン部 1 5 1 の複数のレーン L N 0 ~ L N 3 の各々に対して、レーン部 1 5 1 の複数のレーン L N 0 ~ L N 3 の各々のヘッダ 3 0 1 及びスライス 3 0 2 のエラー頻度（ビットエラーレート）を演算する。

10

【 0 0 3 5 】

次に、ステップ S 4 2 4 において、エラーチェック部 1 4 3 b は、レーン部 1 5 1 の複数のレーン L N 0 ~ L N 3 の各々のエラー頻度を基に、レーン部 1 5 1 の複数のレーン L N 0 ~ L N 3 のエラー発生情報 A 1 b を生成し、4 ビットのエラー発生情報 A 1 b をエラー発生情報付加部 1 3 5 b に出力する。エラー発生情報 A 1 b のうちの「0」のビットは、そのビットに対応するレーンが使用可能であることを示す。エラー発生情報 A 1 b のうちの「1」のビットは、そのビットに対応するレーンが使用不可能であることを示す。

【 0 0 3 6 】

次に、ステップ S 4 2 5 において、スライス復元部 1 4 2 b は、受信したヘッダ 3 0 1 内のスライスパターン番号 A 3 a を基に、受信したスライス 3 0 2 内の複数の受信ブロックを結合することによりパケット 1 5 4 b を復元し、パケット 1 5 4 b をパケット処理部 1 1 4 b に出力する。次に、ステップ S 4 2 6 において、パケット処理部 1 1 4 b は、パケット 1 5 4 b の処理を行う。その後、半導体チップ 1 0 1 b は、ステップ S 4 2 1 に処理を戻す。

20

【 0 0 3 7 】

次に、送信処理について説明する。ステップ S 4 3 1 において、送信データ生成部 1 1 2 b は、送信データを生成し、その生成した送信データをパケット生成部 1 1 3 b に出力する。

30

【 0 0 3 8 】

次に、ステップ S 4 3 2 において、パケット生成部 1 1 3 b は、送信データを基に所定パケット長のパケット 1 5 3 b を生成し、生成したパケット 1 5 3 b を送信回路 1 2 1 b に出力する。また、パケット生成部 1 1 3 b は、定期的に、データリンク層パケット（D L L P）1 5 3 b を生成し、その生成したデータリンク層パケット 1 5 3 b を送信回路 1 2 1 b に出力する。

【 0 0 3 9 】

次に、ステップ S 4 3 3 において、スライス生成部 1 3 1 b は、図 3（A）と同様に、パケット 1 5 3 b を複数の送信ブロックに分割し、その複数の送信ブロックをレーン部 1 5 2 の複数のレーン L N 0 ~ L N 3 にスライス 3 0 2 として分配する。

40

【 0 0 4 0 】

次に、ステップ S 4 3 4 において、エラー発生情報付加部 1 3 5 b は、図 3（A）と同様に、レーン部 1 5 2 の 4 本のレーン L N 0 ~ L N 3 の各々に対して、スライス 3 0 2 の先頭のヘッダ 3 0 1 内にエラー発生情報 A 1 b を付加する。

【 0 0 4 1 】

次に、ステップ S 4 3 5 において、C R C 付加部 1 3 2 a は、図 3（A）と同様に、レーン部 1 5 2 の 4 本のレーン L N 0 ~ L N 3 の各々のスライス 3 0 2 の末尾に、C R C 情報 3 0 3 を付加する。

【 0 0 4 2 】

次に、ステップ S 4 3 6 において、送信回路 1 2 1 b は、ヘッダ 3 0 1 及び C R C 情報 3

50

03が付加されたスライス302を、レーン部152の複数のレーンLN0～LN3を介して、半導体チップ101aに送信する。その後、半導体チップ101bは、ステップS431に処理を戻す。

【0043】

次に、レーン部152のすべてのレーンLN0～LN3の伝送エラーにより、受信回路122aがヘッダ301内のエラー発生情報A1bを受信できない場合を説明する。その場合、エラー発生情報検出部141aは、レーン部151のレーンLN0～LN3のエラー発生情報A1bを検出できず、スライスパターン生成部133aは、スライスパターン番号A3aを選択することができない。半導体チップ101aは、半導体チップ101bがエラーなしでスライス302を受信しているか否かが分からない。

10

【0044】

ここで、パケット生成部113bは、定期的にデータリンク層パケット(DLLP)を送信回路121bに出力している。したがって、レーン部152の伝送エラーがなければ、受信回路122aは、定期的に、データリンク層パケットに対応するヘッダ301及びCRC情報303が付加されたスライス302を受信する。そこで、エラー発生情報検出部141aは、タイマ144aにより、受信回路122aがレーン部152の複数のレーンLN0～LN3から受信する間隔を計測する。そして、エラー発生情報検出部141aは、受信回路122aがレーン部152の複数のレーンLN0～LN3から受信する間隔が閾値以上である場合には、エラー発生情報を検出できない旨をスライスパターン生成部133aに通知する。すると、スライスパターン生成部133aは、現在選択しているスライスパターン番号A3aを順に減らす。具体的には、スライスパターン生成部133aは、図2のように、0 1 2 5 6 7の順にスライスパターン番号A3aを変更する。すなわち、スライスパターン生成部133aは、レーン部152の複数のレーンLN0～LN3から受信する間隔が閾値以上である場合には、レーン部151の複数のレーンLN0～LN3のうち、他のレーンと同じスライス302を送信するレーンの数を増やすように、スライスパターン番号A3aを変更する。

20

【0045】

レーン部151の伝送エラーがある場合には、受信回路122bは、エラーなしですべての受信ブロックを正常に受信することができない。その場合、上記のように、スライスパターン生成部133aがスライスパターン番号A3aを変更することにより、受信回路122bは、すべての受信ブロックを正常に受信できる可能性が高くなり、パケットを復元することが可能になる。

30

【0046】

(第2の実施形態)

図5は、第2の実施形態による送受信システム100の構成例を示す図である。図5の半導体チップ101aは、図1の半導体チップ101a及び101bの両方の機能を有する。図5の半導体チップ101bも、図1の半導体チップ101a及び101bの両方の機能を有する。送受信システム100は、半導体チップ101aと、半導体チップ101bと、レーン部151の複数のレーンLN0～LN3と、レーン部152の複数のレーンLN0～LN3とを有する。以下、本実施形態が第1の実施形態と異なる点を説明する。

40

【0047】

半導体チップ101aは、ポート111aと、送信データ生成部112aと、パケット生成部113aと、パケット処理部114aとを有する。ポート111aは、送信回路121aと、受信回路122aとを有する。送信回路121aは、スライス生成部131aと、CRC付加部132aと、スライスパターン生成部133aの他に、エラー発生情報付加部135aを有する。エラー発生情報付加部135aは、図1のエラー発生情報付加部135bと同様の機能を有する。受信回路122aは、エラー発生情報検出部141aと、スライス復元部142aの他に、エラーチェック部143aを有する。エラーチェック部143aは、図1のエラーチェック部143bと同様の機能を有する。エラー発生情報検出部141aは、タイマ144aを有する。

50

## 【 0 0 4 8 】

半導体チップ 1 0 1 b は、ポート 1 1 1 b と、送信データ生成部 1 1 2 b と、パケット生成部 1 1 3 b と、パケット処理部 1 1 4 b とを有する。ポート 1 1 1 b は、送信回路 1 2 1 b と、受信回路 1 2 2 b とを有する。受信回路 1 2 2 b は、エラーチェック部 1 4 3 b と、スライス復元部 1 4 2 b の他、エラー発生情報検出部 1 4 1 b を有する。エラー発生情報検出部 1 4 1 b は、タイマ 1 4 4 b を有し、図 1 のエラー発生情報検出部 1 4 1 a と同様の機能を有する。送信回路 1 2 1 b は、スライス生成部 1 3 1 b と、エラー発生情報付加部 1 3 5 b と、CRC 付加部 1 3 2 b の他に、スライスパターン生成部 1 3 3 b を有する。スライスパターン生成部 1 3 3 b は、図 1 のスライスパターン生成部 1 3 3 a と同様の機能を有する。

10

## 【 0 0 4 9 】

まず、半導体チップ 1 0 1 a の送信方法を説明する。送信データ生成部 1 1 2 a は、送信データを生成し、その生成した送信データをパケット生成部 1 1 3 a に出力する。パケット生成部 1 1 3 a は、送信データを基に所定パケット長のパケット 1 5 3 a を生成し、生成したパケット 1 5 3 a を送信回路 1 2 1 a に出力する。また、パケット生成部 1 1 3 a は、定期的に、データリンク層パケット ( D L L P ) 1 5 3 a を生成し、その生成したデータリンク層パケット 1 5 3 a を送信回路 1 2 1 a に出力する。

## 【 0 0 5 0 】

スライスパターン生成部 1 3 3 a は、レーン部 1 5 1 の複数のレーン L N 0 ~ L N 3 の 4 ビットのエラー発生情報 A 2 a をエラー発生情報検出部 1 4 1 a から入力する。そして、スライスパターン生成部 1 3 3 a は、エラー発生情報 A 2 a を基に、図 2 の 6 個のスライスパターンの中から 1 個のスライスパターンを選択し、その選択したスライスパターン番号 A 3 a を出力する。スライス生成部 1 3 1 a は、図 3 ( A ) ~ ( C ) のように、パケット 1 5 3 a を複数の送信ブロックに分割し、スライスパターン番号 A 3 a を基に、複数の送信ブロックをレーン部 1 5 1 のレーン L N 0 ~ L N 3 にスライス 3 0 2 として分配する。そして、スライス生成部 1 3 1 a は、レーン部 1 5 1 の 4 本のレーン L N 0 ~ L N 3 の各々に対して、スライス 3 0 2 の先頭のヘッダ 3 0 1 内にスライスパターン番号 A 3 a を付加する。

20

## 【 0 0 5 1 】

エラー発生情報付加部 1 3 5 a は、レーン部 1 5 2 の複数のレーン L N 0 ~ L N 3 の 4 ビットのエラー発生情報 A 1 a をエラーチェック部 1 4 3 a から入力する。そして、エラー発生情報付加部 1 3 5 a は、図 3 ( A ) ~ ( C ) のように、レーン部 1 5 1 の 4 本のレーン L N 0 ~ L N 3 の各々に対して、スライス 3 0 2 の先頭のヘッダ 3 0 1 内にエラー発生情報 A 1 a を付加する。CRC 付加部 1 3 2 a は、図 3 ( A ) ~ ( C ) のように、レーン部 1 5 1 の 4 本のレーン L N 0 ~ L N 3 の各々のスライス 3 0 2 の末尾に、CRC 情報 3 0 3 を付加する。送信回路 1 2 1 a は、ヘッダ 3 0 1 及び CRC 情報 3 0 3 が付加されたスライス 3 0 2 を、レーン部 1 5 1 の複数のレーン L N 0 ~ L N 3 を介して、半導体チップ 1 0 1 b に送信する。

30

## 【 0 0 5 2 】

次に、半導体チップ 1 0 1 b の受信方法を説明する。受信回路 1 2 2 b は、レーン部 1 5 1 の複数のレーン L N 0 ~ L N 3 の各々を介して、ヘッダ 3 0 1 及び CRC 情報 3 0 3 が付加されたスライス 3 0 2 を半導体チップ 1 0 1 a から受信する。受信回路 1 2 2 b は、レーン部 1 5 1 の複数のレーン L N 0 ~ L N 3 の各々から同一のヘッダ 3 0 1 を受信する。エラーチェック部 1 4 3 b は、レーン部 1 5 1 の複数のレーン L N 0 ~ L N 3 の各々に対して、CRC 情報 3 0 3 を基に、レーン部 1 5 1 の複数のレーン L N 0 ~ L N 3 の各々のヘッダ 3 0 1 及びスライス 3 0 2 のエラー頻度を演算する。そして、エラーチェック部 1 4 3 b は、レーン部 1 5 1 の複数のレーン L N 0 ~ L N 3 の各々のエラー頻度を基に、レーン部 1 5 1 の複数のレーン L N 0 ~ L N 3 のエラー発生情報 A 1 b を生成し、4 ビットのエラー発生情報 A 1 b をエラー発生情報付加部 1 3 5 b に出力する。

40

## 【 0 0 5 3 】

50

エラー発生情報検出部 1 4 1 b は、受信したヘッダ 3 0 1 内のエラー発生情報 A 1 a を検出し、その検出したエラー発生情報 A 1 a をエラー発生情報 A 2 b としてスライスパターン生成部 1 3 3 b に出力する。スライス復元部 1 4 2 b は、受信したヘッダ 3 0 1 内のスライスパターン番号 A 3 a を基に、受信したスライス 3 0 2 内の複数の受信ブロックを結合することによりパケット 1 5 4 b を復元し、パケット 1 5 4 b をパケット処理部 1 1 4 b に出力する。パケット処理部 1 1 4 b は、パケット 1 5 4 b の処理を行う。

【 0 0 5 4 】

次に、半導体チップ 1 0 1 b の送信方法を説明する。送信データ生成部 1 1 2 b は、送信データを生成し、その生成した送信データをパケット生成部 1 1 3 b に出力する。パケット生成部 1 1 3 b は、送信データを基に所定パケット長のパケット 1 5 3 b を生成し、生成したパケット 1 5 3 b を送信回路 1 2 1 b に出力する。また、パケット生成部 1 1 3 b は、定期的に、データリンク層パケット ( D L L P ) 1 5 3 b を生成し、その生成したデータリンク層パケット 1 5 3 b を送信回路 1 2 1 b に出力する。

10

【 0 0 5 5 】

スライスパターン生成部 1 3 3 b は、レーン部 1 5 2 の複数のレーン L N 0 ~ L N 3 の 4 ビットのエラー発生情報 A 2 b をエラー発生情報検出部 1 4 1 b から入力する。そして、スライスパターン生成部 1 3 3 b は、エラー発生情報 A 2 b を基に、図 2 の 6 個のスライスパターンの中から 1 個のスライスパターンを選択し、その選択したスライスパターン番号 A 3 b を出力する。スライス生成部 1 3 1 a は、図 3 ( A ) ~ ( C ) と同様に、パケット 1 5 3 b を複数の送信ブロックに分割し、スライスパターン番号 A 3 b を基に、複数の送信ブロックをレーン部 1 5 2 のレーン L N 0 ~ L N 3 にスライス 3 0 2 として分配する。そして、スライス生成部 1 3 1 b は、レーン部 1 5 2 の 4 本のレーン L N 0 ~ L N 3 の各々に対して、スライス 3 0 2 の先頭のヘッダ 3 0 1 内にスライスパターン番号 A 3 b を付加する。

20

【 0 0 5 6 】

エラー発生情報付加部 1 3 5 b は、レーン部 1 5 1 の複数のレーン L N 0 ~ L N 3 の 4 ビットのエラー発生情報 A 1 b をエラーチェック部 1 4 3 b から入力する。そして、エラー発生情報付加部 1 3 5 b は、図 3 ( A ) ~ ( C ) と同様に、レーン部 1 5 2 の 4 本のレーン L N 0 ~ L N 3 の各々に対して、スライス 3 0 2 の先頭のヘッダ 3 0 1 内にエラー発生情報 A 1 b を付加する。CRC 付加部 1 3 2 b は、図 3 ( A ) ~ ( C ) と同様に、レーン部 1 5 2 の 4 本のレーン L N 0 ~ L N 3 の各々のスライス 3 0 2 の末尾に、CRC 情報 3 0 3 を付加する。送信回路 1 2 1 b は、ヘッダ 3 0 1 及び CRC 情報 3 0 3 が付加されたスライス 3 0 2 を、レーン部 1 5 2 の複数のレーン L N 0 ~ L N 3 を介して、半導体チップ 1 0 1 a に送信する。

30

【 0 0 5 7 】

次に、半導体チップ 1 0 1 a の受信方法を説明する。受信回路 1 2 2 a は、レーン部 1 5 2 の複数のレーン L N 0 ~ L N 3 の各々を介して、ヘッダ 3 0 1 及び CRC 情報 3 0 3 が付加されたスライス 3 0 2 を半導体チップ 1 0 1 b から受信する。エラーチェック部 1 4 3 a は、レーン部 1 5 2 の複数のレーン L N 0 ~ L N 3 の各々に対して、CRC 情報 3 0 3 を基に、レーン部 1 5 2 の複数のレーン L N 0 ~ L N 3 の各々のヘッダ 3 0 1 及びスライス 3 0 2 のエラー頻度を演算する。そして、エラーチェック部 1 4 3 a は、レーン部 1 5 2 の複数のレーン L N 0 ~ L N 3 の各々のエラー頻度を基に、レーン部 1 5 2 の複数のレーン L N 0 ~ L N 3 のエラー発生情報 A 1 a を生成し、4 ビットのエラー発生情報 A 1 a をエラー発生情報付加部 1 3 5 a に出力する。

40

【 0 0 5 8 】

エラー発生情報検出部 1 4 1 a は、受信したヘッダ 3 0 1 内のエラー発生情報 A 1 b を検出し、その検出したエラー発生情報 A 1 b をエラー発生情報 A 2 a としてスライスパターン生成部 1 3 3 a に出力する。スライス復元部 1 4 2 a は、受信したヘッダ 3 0 1 内のスライスパターン番号 A 3 b を基に、受信したスライス 3 0 2 内の複数の受信ブロックを結合することによりパケット 1 5 4 a を復元し、パケット 1 5 4 a をパケット処理部 1 1 4

50

aに出力する。パケット処理部114aは、パケット154aの処理を行う。

【0059】

次に、レーン部152のすべてのレーンLN0～LN3の伝送エラーにより、受信回路122aがヘッダ301内のエラー発生情報A1bを受信できない場合を説明する。エラー発生情報A1bは、レーン部151のレーンLN0～LN3のエラー発生情報である。パケット生成部113bは、定期的にデータリンク層パケット(DLLP)を送信回路121bに出力している。エラー発生情報検出部141aは、タイマ144aにより、受信回路122aがレーン部152の複数のレーンLN0～LN3から受信する間隔を計測する。そして、エラー発生情報検出部141aは、受信回路122aがレーン部152の複数のレーンLN0～LN3から受信する間隔が閾値以上である場合には、エラー発生情報を検出できない旨をスライスパターン生成部133aに通知する。すると、スライスパターン生成部133aは、現在選択しているスライスパターン番号A3aを順に減らす。具体的には、スライスパターン生成部133aは、図2のように、0 1 2 5 6 7の順にスライスパターン番号A3aを変更する。これにより、受信回路122bは、すべての受信ブロックを正常に受信できる可能性が高くなり、パケットを復元することが可能になる。

10

【0060】

次に、レーン部151のすべてのレーンLN0～LN3の伝送エラーにより、受信回路122bがヘッダ301内のエラー発生情報A1aを受信できない場合を説明する。エラー発生情報A1aは、レーン部152のレーンLN0～LN3のエラー発生情報である。パケット生成部113aは、定期的にデータリンク層パケット(DLLP)を送信回路121aに出力している。エラー発生情報検出部141bは、タイマ144bにより、受信回路122bがレーン部151の複数のレーンLN0～LN3から受信する間隔を計測する。そして、エラー発生情報検出部141bは、受信回路122bがレーン部151の複数のレーンLN0～LN3から受信する間隔が閾値以上である場合には、エラー発生情報を検出できない旨をスライスパターン生成部133bに通知する。すると、スライスパターン生成部133bは、現在選択しているスライスパターン番号A3bを順に減らす。具体的には、スライスパターン生成部133bは、図2のように、0 1 2 5 6 7の順にスライスパターン番号A3bを変更する。これにより、受信回路122aは、すべての受信ブロックを正常に受信できる可能性が高くなり、パケットを復元することが可能になる。

20

30

【0061】

次に、送受信システム100の効果を説明する。レーン部151のレーンLN0～LN3のエラー頻度が閾値以上になった場合、半導体チップ101bは、パケットのスライス302にエラー発生情報A2bを付加して送信する。半導体チップ101aは、パケットのスライス302にスライスパターン番号A3aを付加して送信する。半導体チップ101a及び101bは、パケットのスライス302の送受信を行いながら、スライスパターン番号A3aを変更することができる。これにより、スライスパターン番号A3aを変更する際には、半導体チップ101a及び101bは、パケットのスライス302の送受信を中断する必要がない。

40

【0062】

また、半導体チップ101bは、レーン部151のレーンLN0～LN3のエラー頻度が閾値以上になった場合に、エラー発生情報A1bを半導体チップ101aに送信する。ここで、半導体チップ101bが半導体チップ101aからの応答を待って、レーン部151及び152の両方のスライスパターン番号を変更する方法が考えられる。この場合、レーン部151のエラー頻度及びレーン部152のエラー頻度の両方が閾値以上になると、半導体チップ101a及び101bは、それぞれ、エラー発生情報を送信し続け、その応答が得られず、デッドロックになってしまう課題がある。本実施形態によれば、半導体チップ101a及び101bは、応答を待たずに、スライスパターン番号の変更を行う。レーン部151のレーンLN0～LN3のスライスパターン番号A3aの変更と、レーン部

50

152のレーンLN0～LN3のスライスパターン番号A3bの変更は、独立に行われるので、デッドロックを防止することができる。

【0063】

また、エラー発生情報検出部141bは、受信回路122bがレーン部151の複数のレーンLN0～LN3から受信する間隔が閾値以上である場合には、エラー発生情報を検出できない旨をスライスパターン生成部133bに通知する。すると、スライスパターン生成部133bは、現在選択しているスライスパターン番号A3bを順に減らす。これにより、受信回路122aは、すべての受信ブロックを正常に受信できる可能性が高くなり、パケットを復元することが可能になる。

【0064】

また、送受信システム100は、間欠的な伝送エラー（ノイズ等）と恒久的な伝送エラー（レーンLN0～LN3の切断等）に対応することができる。レーンLN0～LN3の伝送は、一定時間の伝送品質が悪化した後で品質が回復する場合がある。特に、レーンLN0～LN3が光ケーブルの場合に顕著である。すなわち、エラー頻度及びエラー発生情報A1a、A1bは、変化する。スライスパターン生成部133a及び133bは、エラー発生情報A2a及びA2bのうちの1のビット数が増えた場合には、分配数が少ないスライスパターン番号に変更するので、受信回路122a及び122bは、パケットを構成するすべての受信ブロックの受信が可能になる。また、スライスパターン生成部133a及び133bは、エラー発生情報A2a及びA2bのうちの1のビット数が減った場合には、分配数が多いスライスパターン番号に変更するので、受信回路122a及び122bは、受信速度が向上する。

【0065】

また、送受信システム100は、レーン部151及び152毎にスライスパターン番号を変更することができるため、エラー頻度が多いレーン部のみスライスパターン番号を変更することができる。また、送受信システム100は、エラーチェック部143a及び143bがエラーをチェックしてエラー発生情報A1a及びA1bを更新し続けるので、パケット毎に、スライスパターン番号を変更することができる。これにより、伝送品質が悪いレーンを救済することができ、時間経過と共に伝送品質が改善した場合には、スライスパターン番号を0番に戻すことができる。この動作も、パケットのスライス302の通信を中断することなく行われる。本実施形態によれば、半導体チップ101aからレーン部151のレーンLN0～LN3を介して受信する半導体チップ101bの受信エラーを低減することができ、半導体チップ101bからレーン部152のレーンLN0～LN3を介して受信する半導体チップ101aの受信エラーを低減することができる。

【0066】

なお、上記実施形態は、何れも本発明を実施するにあたっての具体化の例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、又はその主要な特徴から逸脱することなく、様々な形で実施することができる。

【符号の説明】

【0067】

100 送受信システム  
 101a, 101b 半導体チップ  
 111a, 111b ポート  
 112a, 112b 送信データ生成部  
 113a, 113b パケット生成部  
 114a, 114b パケット処理部  
 121a, 121b 送信回路  
 122a, 122b 受信回路  
 131a, 131b スライス生成部  
 132a, 132b CRC付加部

10

20

30

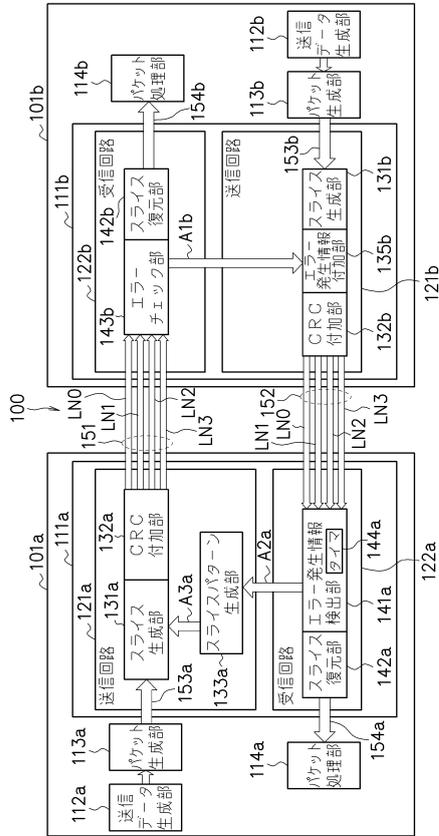
40

50

- 1 3 3 a , 1 3 3 b スライスパターン生成部
- 1 3 5 a , 1 3 5 b エラー発生情報付加部
- 1 4 1 a , 1 4 1 b エラー発生情報検出部
- 1 4 2 a , 1 4 2 b スライス復元部
- 1 4 3 a , 1 4 3 b エラーチェック部
- 1 4 4 a , 1 4 4 b タイマ
- 1 5 1 , 1 5 2 レーン部

【 図 面 】

【 図 1 】



【 図 2 】

パターン	分配数	LN0	LN1	LN2	LN3
0	4	SL0	SL1	SL2	SL3
1	3	SL0	SL0	SL1	SL2
2	3	SL0	SL1	SL2	SL2
3	-				
4	-				
5	2	SL0	SL1	SL0	SL1
6	2	SL0	SL0	SL1	SL1
7	1	SL0	SL0	SL0	SL0

10

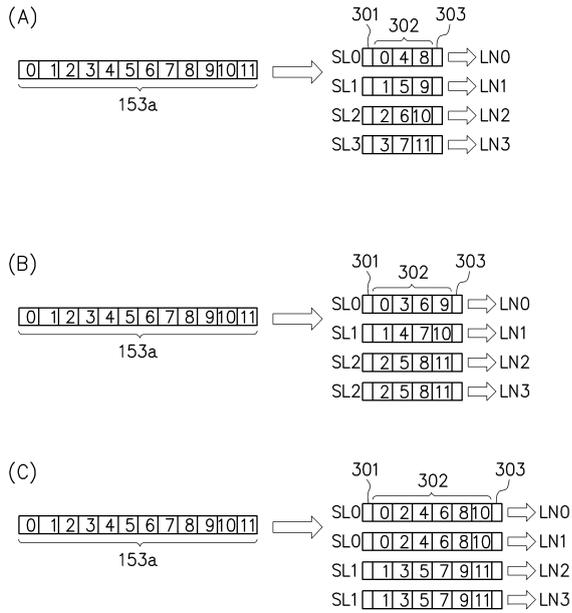
20

30

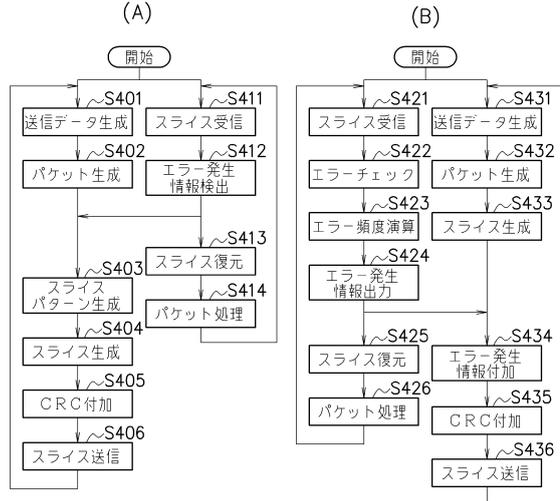
40

50

【 図 3 】



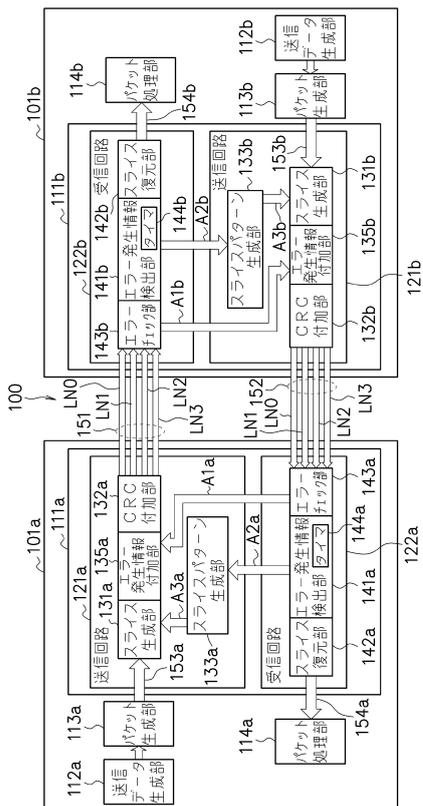
【 図 4 】



10

20

【 図 5 】



30

40

50

## フロントページの続き

審査官 羽岡 さやか

- (56)参考文献 特開 2 0 0 5 - 0 9 4 5 4 0 ( J P , A )  
特開 2 0 1 1 - 2 1 1 5 3 2 ( J P , A )  
特開 2 0 1 6 - 1 8 4 8 6 2 ( J P , A )  
特開 2 0 1 6 - 0 7 2 7 0 4 ( J P , A )  
国際公開第 2 0 0 9 / 1 4 7 7 3 5 ( W O , A 1 )
- (58)調査した分野 (Int.Cl. , D B 名)  
H 0 4 L 2 9 / 0 0 - 2 9 / 1 4  
H 0 4 L 1 2 / 0 0 - 1 2 / 9 5 5  
H 0 4 L 1 / 0 0