

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2020-161719

(P2020-161719A)

(43) 公開日 令和2年10月1日(2020.10.1)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 25/07 (2006.01)	HO 1 L 25/04 C	
HO 1 L 25/18 (2006.01)	HO 1 L 23/12 C	
HO 1 L 23/13 (2006.01)	HO 1 L 23/12 J	
HO 1 L 23/12 (2006.01)		

審査請求 未請求 請求項の数 4 O L (全 10 頁)

(21) 出願番号 特願2019-61598 (P2019-61598)
 (22) 出願日 平成31年3月27日 (2019. 3. 27)

(71) 出願人 515332207
 福島 S i C 応用技研株式会社
 福島県双葉郡楢葉町大字山田岡字仲丸 1 - 7
 (71) 出願人 504176911
 国立大学法人大阪大学
 大阪府吹田市山田丘 1 番 1 号
 (74) 代理人 100106909
 弁理士 棚井 澄雄
 (74) 代理人 100188558
 弁理士 飯田 雅人
 (72) 発明者 西岡 圭
 大阪府吹田市山田丘 2 番 1 号 国立大学法
 人大阪大学内

最終頁に続く

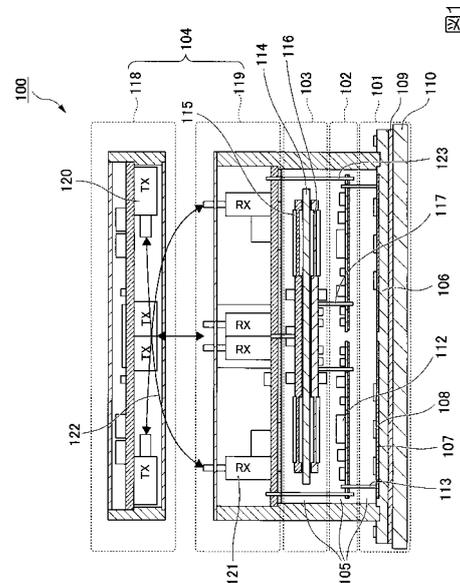
(54) 【発明の名称】 パワー基板とそれを備えた高電圧モジュール

(57) 【要約】

【課題】 放熱性を高め、ゲート遅延ばらつきを低く抑えることを可能とするパワー基板と、それを備えた高電圧モジュールを提供する。

【解決手段】 本発明のパワー基板 101 は、同一方向に延在する複数の電流経路 P に沿って、並んで配置された複数の絶縁基板 106 と、複数の絶縁基板 106 の一方の主面に、第一導電層 107、第一はんだ接合層 109 を介して複数搭載された MOS トランジスタ 108 と、全ての前記絶縁基板の他方の主面に、第二導電層 107、第二はんだ接合層 109 を介して接触した放熱部材 108 と、を備え、一つ一つの電流経路 P は、異なる絶縁基板 106 に搭載された単数または複数の MOS トランジスタ 108 同士が、直列に接続されてなる。

【選択図】 図 1



【特許請求の範囲】**【請求項 1】**

同一方向に延在する複数の電流経路に沿って、並んで配置された複数の絶縁基板と、複数の前記絶縁基板の一方の主面に、第一導電層、第一はんだ接合層を介して複数搭載された MOS トランジスタと、

全ての前記絶縁基板の他方の主面に、第二導電層、第二はんだ接合層を介して接触した放熱部材と、を備え、

一つ一つの前記電流経路は、異なる前記絶縁基板に搭載された単数または複数の前記 MOS トランジスタ同士が、直列に接続されてなることを特徴とするパワー基板。

【請求項 2】

隣接する前記絶縁基板同士の間抵抗体が設けられ、前記抵抗体が、前記 MOS トランジスタに対して並列に接続されていることを特徴とする請求項 1 に記載のパワー基板。

【請求項 3】

請求項 1 に記載されたパワー基板と、

前記 MOS トランジスタのゲート駆動回路素子を複数搭載したゲートドライブ基板と、絶縁部材を挟んで両側にコイルを複数備えてなる電源基板と、

複数の前記ゲート駆動回路素子のオン/オフを同時に制御する制御ユニットと、を順に積層してなり、

前記 MOS トランジスタと前記ゲート駆動回路素子、前記ゲート駆動回路素子と前記コイル、前記ゲート駆動回路素子と前記制御ユニットが、電気的に接続されていることを特徴とする高電圧モジュール。

【請求項 4】

前記制御ユニットが、

前記ゲート駆動回路素子に対し、オン/オフ制御用の光信号を送信する E/O 変換器を搭載した CPLD 基板と、

前記光信号を受信し、電気信号に変換する O/E 変換器を備えた O/E 基板と、を備え、

前記制御ユニットのうち前記 O/E 変換器が、前記ゲート駆動回路素子と電気的に接続されていることを特徴とする請求項 3 に記載の高電圧モジュール。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、パワー基板とそれを備えた高電圧モジュールに関する。

【背景技術】**【0002】**

SiC は、Si に比べてバンドギャップが 3 倍大きく、絶縁破壊強度が約 10 倍高いことが知られており、SiC を用いた MOS トランジスタ等の半導体素子が、高電圧、大電流を扱う次世代のパワー素子として注目されている。様々な用途に合わせて複数の MOS トランジスタを組み合わせ、スイッチング特性、耐圧特性、温度特性等を高めた高電圧モジュールが開発されている（例えば、特許文献 1 参照）。

【先行技術文献】**【特許文献】****【0003】**

【特許文献 1】特開 2015 - 162845 号公報

【発明の概要】**【発明が解決しようとする課題】****【0004】**

高電圧モジュールを構成する複数の MOS トランジスタは、プリント基板に対し、ディスプレイの状態直接実装され、それらは互いに直列接続される。この状態では、実装された MOS トランジスタの放熱を十分に行うことができないため、MOS トランジスタに流す電流の大きさについて、制限せざるを得ない。

10

20

30

40

50

【 0 0 0 5 】

また、高電圧モジュール内のM O S トランジスタのゲートは、電磁誘導方式で個別に駆動されるように構成されているため、直列接続された複数のM O S トランジスタの間でのゲート遅延ばらつきが大きく、それらを組み合わせることは難しい。

【 0 0 0 6 】

本発明は上記事情に鑑みてなされたものであり、放熱性を高め、ゲート遅延ばらつきを低く抑えることを可能とするパワー基板と、それを備えた高電圧モジュールを提供することを目的とする。

【課題を解決するための手段】

【 0 0 0 7 】

上記課題を解決するため、本発明は以下の手段を採用している。

【 0 0 0 8 】

(1) 本発明の一態様に係るパワー基板は、同一方向に延在する複数の電流経路に沿って、並んで配置された複数の絶縁基板と、複数の前記絶縁基板の一方の主面に、第一導電層、第一はんだ接合層を介して複数搭載されたM O S トランジスタと、全ての前記絶縁基板の他方の主面に、第二導電層、第二はんだ接合層を介して接触した放熱部材と、を備え、一つ一つの前記電流経路は、異なる前記絶縁基板に搭載された単数または複数の前記M O S トランジスタ同士が、直列に接続されてなる。前記はんだ接合は焼結系接合材（銀焼結、銅焼結等）や導電性樹脂等であっても良い。

【 0 0 0 9 】

(2) 前記(1)に記載のパワー基板において、隣接する前記絶縁基板同士の間抵抗体が設けられ、前記抵抗体が、前記M O S トランジスタに対して並列に接続されていることが好ましい。

【 0 0 1 0 】

(3) 本発明の一態様に係る高電圧モジュールは、前記(1)に記載されたパワー基板と、前記M O S トランジスタのゲート駆動回路素子を複数搭載したゲートドライブ基板と、絶縁部材を挟んで両側にコイルを複数備えてなる電源基板と、複数の前記ゲート駆動回路素子のオン/オフを同時に制御する制御ユニットと、を順に積層してなり、前記M O S トランジスタと前記ゲート駆動回路素子、前記ゲート駆動回路素子と前記コイル、前記ゲート駆動回路素子と前記制御ユニットが、電氣的に接続されている。

【 0 0 1 1 】

(4) 前記(3)に記載の高電圧モジュールにおいて、前記制御ユニットが、前記ゲート駆動回路素子に対し、オン/オフ制御用の光信号を送信するE O 変換機を搭載したC P L D 基板と、前記光信号を受信し、電気信号に変換するO E 変換器を備えたO / E 基板と、を備え、前記制御ユニットのうち前記O E 変換器が、前記ゲート駆動回路素子と電氣的に接続されていることが好ましい。

【発明の効果】

【 0 0 1 2 】

本発明のパワー基板では、M O S トランジスタを搭載する絶縁基板が放熱部材に接触しているため、ディスクリート状態で実装される従来のM O S トランジスタに比べて、放熱性を高めることができる。また、本発明のパワー基板を備えた高電圧モジュールでは、複数のゲート駆動回路素子が、一つの制御ユニットに接続され、それぞれのゲート駆動回路素子を同時に制御できるように構成されている。したがって、ゲート駆動回路素子を介して、直列接続された複数のM O S トランジスタのそれぞれに対し、ゲート信号を同時に入力することができるため、M O S トランジスタ間でのゲート遅延ばらつきを低く抑えることができる。

【図面の簡単な説明】

【 0 0 1 3 】

【図 1】本発明の一実施形態に係る高電圧モジュールの断面図である。

【図 2】図 1 の高電圧モジュールを構成するパワー基板の斜視図である。

10

20

30

40

50

【図3】(a)図2のパワー基板の断面図である。(b)、(c)(a)のパワー基板の変形例を示す図である。

【図4】図2のパワー基板において形成される電流経路の等価回路図である。

【図5】図1の高電圧モジュールを構成する電源基板の平面図である。

【発明を実施するための形態】

【0014】

以下、本発明を適用した実施形態に係るパワー基板と、それを備えた高電圧モジュールについて、図面を用いて詳細に説明する。なお、以下の説明で用いる図面は、特徴をわかりやすくするために、便宜上特徴となる部分を拡大して示している場合があり、各構成要素の寸法比率などが実際と同じであるとは限らない。また、以下の説明において例示される材料、寸法等は一例であって、本発明はそれらに限定されるものではなく、その要旨を変更しない範囲で適宜変更して実施することが可能である。

10

【0015】

図1は、本発明の一実施形態に係る高電圧モジュール100の断面図である。高電圧モジュール100は、主に、パワー基板101と、ゲートドライブ基板102と、電源基板103と、制御ユニット104とを、それぞれの厚み方向に順に積層してなる。より詳細には、パワー基板101とゲートドライブ基板102の間、ゲートドライブ基板102と電源基板103の間、電源基板103と制御ユニット104の間に、それぞれ樹脂105が挟まれている。

【0016】

20

パワー基板101は、MOSトランジスタ等の機能素子を搭載した基板であり、大面積を有する放熱部材を含むため、図1に示すように、高電圧モジュール100の最下層に配置されていることが好ましい。パワー基板101は、複数の絶縁基板106と、絶縁基板106の一方の主面に、導電層107(第一導電層)、はんだ接合層109(第一はんだ接合層)を介して複数搭載されたMOSトランジスタ108等の機能素子(チップ)と、全ての絶縁基板106の他方の主面に、導電層107(第二導電層)、はんだ接合層109(第二はんだ接合層)を介して接触した放熱部材(ヒートスプレッド)110と、を備えている。ここでは、MOSトランジスタ108以外の機能素子の図示を省略している。

【0017】

30

絶縁基板106は、主に、アルミナ(Al_2O_3)、窒化アルミ(AlN)、窒化珪素(Si_3N_4)等の絶縁材料からなる。導電層107は、主に、銅、アルミニウム等の導電材料からなる。導電層107の表面は、ニッケル、銀等によってメッキされていてもよい。

【0018】

図2は、パワー基板101の斜視図である。複数の絶縁基板106は、同一方向に揃って延在する複数の電流経路 $P(P_1, P_2, \dots, P_n)$ に沿って、並んで配置されている。図2では、 n を3としているが、3未満でも4以上であってもよい。いずれの電流経路 P も、一端が共通の入力端子(不図示)に接続され、他端が共通の出力端子(不図示)に接続されている。なお、ここでの「同一方向」は、共通する入力端子と出力端子との間を結ぶ方向を意味しており、複数の電流経路 P の延在方向は、幾何学的な意味で平行に揃っていなくてもよい。

40

【0019】

図3(a)は、図2のパワー基板101を - 線が通る面で切断した場合の断面図である。一つ一つの電流経路 P_1, P_2, \dots, P_n は、異なる絶縁基板106に搭載されたMOSトランジスタ108のうち、1つ以上(ここでは4つ)のMOSトランジスタ108同士が、直列に接続されてなる。つまり、同じ絶縁基板106に搭載された単数または複数のMOSトランジスタが、他の絶縁基板106に搭載された単数または複数のMOSトランジスタと直列接続している。ここでは一つの電流経路 P が16個のMOSトランジスタ108で構成されている場合について例示されているが、直列接続するMOSトランジスタ108の数についての制限はない。

50

【0020】

図3(b)、(c)は、図3(a)に示すパワー基板101の変形例を示す図である。図3(a)では、同じ絶縁基板106に搭載されるMOSトランジスタ108のうち、同じ電流経路Pに属するものの数が、4である場合について例示しているが、この数について限定されることはない。

【0021】

例えば図3(b)に示すように、同じ絶縁基板106に搭載され、かつ同じ電流経路Pに属するMOSトランジスタ108の数を増加させてもよい。この場合には、絶縁基板106が大きくなるため、組み立てが容易になる。反対に、例えば図3(c)に示すように、同じ絶縁基板106に搭載され、かつ同じ電流経路Pに属するMOSトランジスタ108の数を減少させてもよい。この場合には、絶縁基板106が小さくなるため、コストを低く抑えることができ、また、割れや反りの発生を抑えることができる。

10

【0022】

同じ電流経路Pを構成するMOSトランジスタ108同士は、互いに直列の関係にあり、異なる電流経路Pを構成するMOSトランジスタ108同士は、互いに並列の関係にある。また、異なる絶縁基板106に搭載された複数のMOSトランジスタ108同士は、互いに直列の関係にあり、同じ絶縁基板106に搭載された複数のMOSトランジスタ108同士は、互いに並列の関係にある。

【0023】

直列接続の数をmとすると、MOSトランジスタ108は、 $m \times n$ のマトリックスを構成を形成するように配置されていることになる。ここでの電流経路Pは、折り返し部分を含むU字状を有している場合について例示しているが、MOSトランジスタ108の数が少ない場合には、折り返し部分を含まない直線状を有していてもよい。

20

【0024】

図4は、図2のパワー基板101において構成される複数の電流経路Pのうち、一つの電流経路(P_1 、 P_2 、 P_3 のいずれか)に関する等価回路図である。ここでは、一つの電流経路において16個のMOSトランジスタ108が直列に接続されている場合について例示している。1つの電流経路を構成する複数(ここでは16個)のMOSトランジスタ108は、それぞれ別々の絶縁基板106に搭載され、ボディ側で導通しないように構成されている。また、複数のMOSトランジスタ108のゲート電極は、それぞれ別々のゲート駆動回路素子GDに接続されている。

30

【0025】

一つ一つの絶縁基板106の分圧を維持するため、隣接する絶縁基板106同士の間には、抵抗体111が設けられていることが好ましい。抵抗体111の材料としては、例えば、炭素等が挙げられる。

【0026】

放熱部材110は、熱伝導性の高い材料(例えば、銅、アルミあるいは合金材料等)からなり、少なくともパワー基板101を構成する全ての絶縁基板106と直接接触する一面を有する。絶縁基板106は、機能素子を搭載する面と反対側の面において、放熱部材110と接触する。機能素子を搭載する絶縁基板106が放熱部材に接触していることにより、機能素子に発生する熱を、絶縁基板106、放熱部材110を經由して容易に外部に放出することができる。そのため、機能素子に対し、発熱によるダメージを低減することにより、大電流を流し続けることができる。

40

【0027】

複数の絶縁基板106は、放熱部材110の一面において、それぞれ島を形成するように互いに離間して配置されている。そのため、隣接する絶縁基板106に搭載されたMOSトランジスタ108同士がショートするのを防ぎ、かつ絶縁基板106ごとの耐圧を向上させることができる。

【0028】

それぞれの絶縁基板106に搭載されているMOSトランジスタ108同士は、隣接す

50

る絶縁基板106間に形成された溝106aを跨ぐ配線(不図示)を介して、複数段にわたって直列に接続されている。つまり、隣接する一方の絶縁基板106に搭載された複数のMOSトランジスタ108のそれぞれが、他方の絶縁基板106に搭載された複数のMOSトランジスタ108のそれぞれと、一対で直列接続されている。より詳細には、隣接する二つのMOSトランジスタ108のうち、一方のソース電極またはドレイン電極が、他方のドレイン電極またはソース電極と接続され、電流経路P全体にわたってソース電極とドレイン電極が交互に並んでいる。

【0029】

ゲートドライブ基板102は、MOSトランジスタ108のゲート駆動回路素子112を複数搭載した基板である。ゲートドライブ基板102は、パワー基板101の表面のうち、機能素子が搭載されている側に積層するように配置、接続されてなる。

10

【0030】

複数のゲート駆動回路素子112は、それぞれ、ゲートドライブ基板102とパワー基板101の間を貫通する配線113を介して、絶縁基板106上の複数のMOSトランジスタ108のそれぞれと電気的に接続されている。つまり、一つのゲート駆動回路素子112が、配線113を介し、一つの導電層107に搭載される複数(ここでは三つ)のMOSトランジスタ108に対して、ゲート電圧を印加できるように構成されている。ノイズの影響を軽減する観点から、ゲート駆動回路素子112は、配線113が短くなるように、ゲート電圧を印加するMOSトランジスタ108の直上に、配置されていることが好ましい。

20

【0031】

さらに、ゲートドライブ基板102は、パワー基板101の直上に、かつ略平行になるように、配置されていることが好ましい。このように配置されていることにより、ゲート駆動回路素子112とMOSトランジスタ108との距離が、位置によらず最短でほぼ均等になり、配線113の長さがほぼ均等になる。そのため、一部のMOSトランジスタ108に対して、ノイズ等の電圧が印加されてしまうような問題を回避することができる。

【0032】

電源基板103は、絶縁部材114を挟んで両側にコイル115、116を複数備える。電源基板103は、絶縁部材114を挟んで一方の側に備えたコイル(一次コイル)115に対して入力された電圧が、磁界結合によって所望の大きさに変換され、他方の側に備えたコイル(二次コイル)116から電圧を出力するように構成されている。

30

【0033】

図5は、電源基板103を一次コイル115側から見た平面図である。二次コイル116は、絶縁部材114を挟んで反対側において、一次コイル115と重なる位置に配置されている。磁界結合の効率を高めるため、一次コイル115と二次コイル116とは、中心軸同士が重なるように配置されていることが好ましい。

【0034】

電源基板103は、二次コイル116側がゲートドライブ基板102と対向するように配置され、出力された電圧が、ゲート駆動回路素子112に印加されるように構成されている。より詳細には、複数の二次コイル116は、それぞれ、電源基板103とゲートドライブ基板102の間を貫通する配線117を介して、複数のゲート駆動回路素子112のそれぞれと電気的に接続されている。つまり、一つの二次コイル116が、配線117を介し、一つのゲート駆動回路素子112に対して、信号電圧を印加できるように構成されている。

40

【0035】

制御ユニット104は、複数のゲート駆動回路素子112に対し、オン/オフ制御用の光信号を同時に送信するEO変換器を搭載した、CPLD(Complexed Programmable Logic Device)基板118と、その光信号を受信し、電気信号に変換するOE変換器を備えたO/E基板119と、を備えている。CPLD基板118における光送信部120と、O/E基板119における光受信部121とは、光ファイバー122を介して接続されて

50

いる。光受信部 121 は、O/E 基板 119 とゲートドライブ基板 102 の間を貫通する配線 123 を介して、ゲート駆動回路素子 112 と電氣的に接続されている。

【0036】

本実施形態に係るパワー基板 101 では、MOS トランジスタ 108 を搭載する絶縁基板 106 が放熱部材 110 に接触しているため、ディスクリート状態で実装される従来の MOS トランジスタに比べて、放熱性を高めることができる。また、本実施形態に係るパワー基板 101 を備えた高電圧モジュール 100 では、複数のゲート駆動回路素子 112 が、一つの制御ユニット 104 に接続され、それぞれのゲート駆動回路素子 112 を同時に制御できるように構成されている。したがって、ゲート駆動回路素子 112 を介して、直列接続された複数の MOS トランジスタ 108 のそれぞれに対し、ゲート信号を同時に

10

【符号の説明】

【0037】

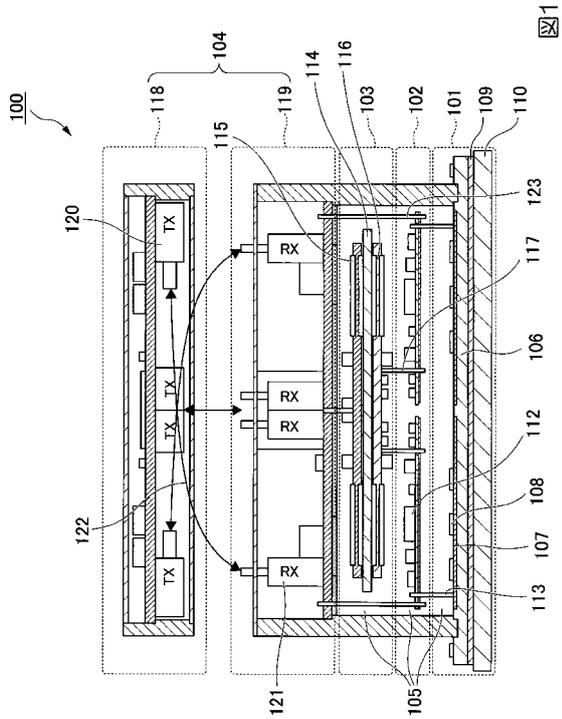
100・・・高電圧モジュール
 101・・・パワー基板
 102・・・ゲートドライブ基板
 103・・・電源基板
 104・・・制御ユニット
 105・・・樹脂
 106・・・絶縁基板
 106a・・・溝
 107・・・導電層
 108・・・MOS トランジスタ
 109・・・はんだ接合層
 110・・・放熱部材
 111・・・抵抗体
 112・・・ゲート駆動回路素子
 113・・・配線
 114・・・絶縁部材
 115・・・一次コイル
 116・・・二次コイル
 117・・・配線
 118・・・CPLD 基板
 119・・・O/E 基板
 120・・・光送信部
 121・・・光受信部
 122・・・光ファイバー
 123・・・配線
 P、P₁、P₂、P₃・・・電流経路

20

30

40

【 図 1 】



【 図 2 】

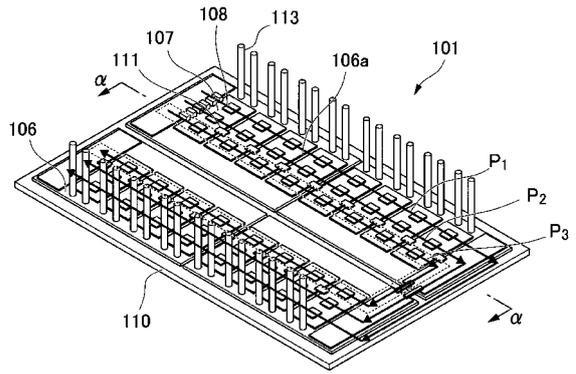


図 2

【 図 3 】

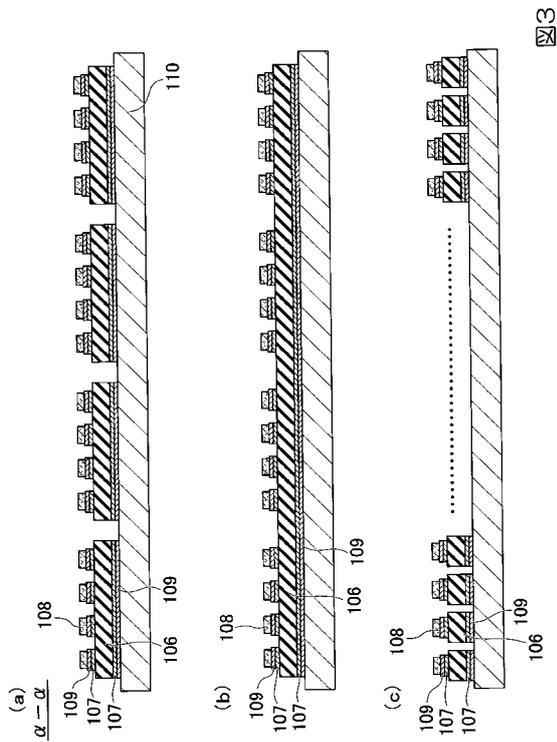


図 3

【 図 4 】

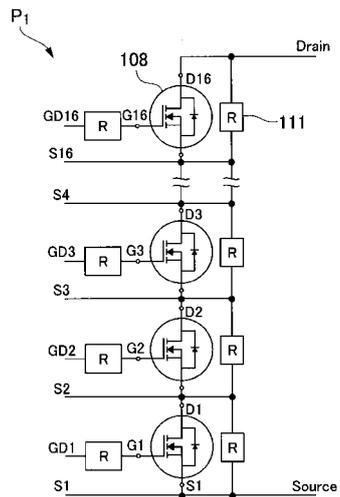


図 4

【 図 5 】

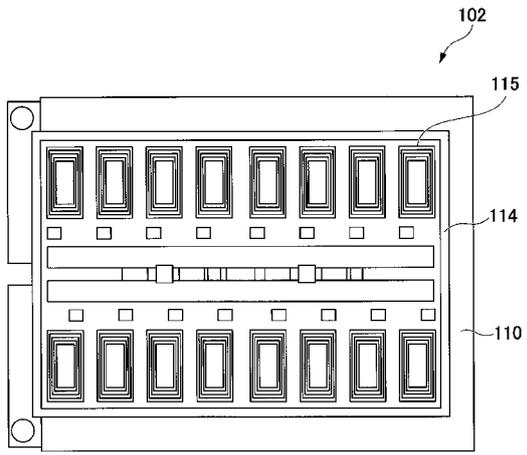


図5

フロントページの続き

- (72)発明者 花田 俊雄
大阪府吹田市山田丘2番1号 国立大学法人大阪大学内
- (72)発明者 中村 孝
福島県双葉郡楢葉町山田岡字仲丸1-7 福島SiC応用技研株式会社内
- (72)発明者 舟木 剛
大阪府吹田市山田丘2番1号 国立大学法人大阪大学内