



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0042223  
(43) 공개일자 2021년04월19일

(51) 국제특허분류(Int. Cl.)  
H01L 27/108 (2006.01)

(52) CPC특허분류  
H01L 27/10805 (2013.01)  
H01L 27/10847 (2013.01)

(21) 출원번호 10-2019-0124864  
(22) 출원일자 2019년10월08일  
심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자

손용훈

경기도 용인시 수지구 용구대로2801번길 16 301동 801호 (죽전동, 벽산3단지아파트)

(74) 대리인

특허법인 고려

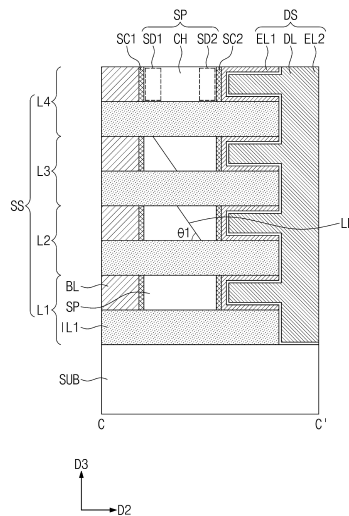
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 반도체 메모리 소자 및 그의 제조 방법

(57) 요약

본 발명은 반도체 소자 및 그의 제조 방법에 관한 것으로서, 더욱 상세하게는, 기판 상에 제1 절연막들 및 제2 절연막들을 서로 교번적으로 적층하여, 몰드 구조체를 형성하는 것; 상기 몰드 구조체를 패터닝하여, 상기 몰드 구조체의 제1 내측벽을 노출하는 제1 트렌치를 형성하는 것; 상기 제1 트렌치 내에 상기 기판을 시드로하여 수직 반도체 막을 성장시키는 것, 상기 수직 반도체 막은 상기 제1 내측벽을 덮고; 상기 몰드 구조체를 패터닝하여, 상기 몰드 구조체의 제2 내측벽을 노출하는 제2 트렌치를 형성하는 것; 상기 제2 트렌치를 통해 상기 몰드 구조체의 제2 절연막들을 선택적으로 제거하여, 리세스들을 각각 형성하는 것; 및 상기 수직 반도체 막을 시드로하여 상기 리세스들 내에 각각 수평 반도체 막들을 수평적으로 성장시키는 것을 포함한다.

대표도 - 도4c



## 명세서

### 청구범위

#### 청구항 1

기판 상에 제1 절연막들 및 제2 절연막들을 서로 교번적으로 적층하여, 몰드 구조체를 형성하는 것;

상기 몰드 구조체를 패터닝하여, 상기 몰드 구조체의 제1 내측벽을 노출하는 제1 트렌치를 형성하는 것;

상기 제1 트렌치 내에 상기 기판을 시드로하여 수직 반도체 막을 성장시키는 것, 상기 수직 반도체 막은 상기 제1 내측벽을 덮고;

상기 몰드 구조체를 패터닝하여, 상기 몰드 구조체의 제2 내측벽을 노출하는 제2 트렌치를 형성하는 것;

상기 제2 트렌치를 통해 상기 몰드 구조체의 제2 절연막들을 선택적으로 제거하여, 리세스들을 각각 형성하는 것; 및

상기 수직 반도체 막을 시드로하여 상기 리세스들 내에 각각 수평 반도체 막들을 수평적으로 성장시키는 것을 포함하는 반도체 메모리 소자의 제조 방법.

#### 청구항 2

제1항에 있어서,

상기 수직 반도체 막은, 상기 기판의 결정 구조를 따라 단결정으로 성장되는 반도체 메모리 소자의 제조 방법.

#### 청구항 3

제2항에 있어서,

상기 수평 반도체 막들은, 상기 수직 반도체 막의 결정 구조를 따라 단결정으로 성장되는 반도체 메모리 소자의 제조 방법.

#### 청구항 4

제1항에 있어서,

상기 수평 반도체 막들이 성장될 때, 상기 수평 반도체 막들 중 적어도 하나에 격자 결함이 발생하는 반도체 메모리 소자의 제조 방법.

#### 청구항 5

제4항에 있어서,

상기 격자 결함은, 상기 수평 반도체 막의 바닥면으로부터 그의 상면을 향하여 비스듬하게 연장되는 반도체 메모리 소자의 제조 방법.

#### 청구항 6

제1항에 있어서,

상기 수평 반도체 막들은, 상기 수직 반도체 막으로부터 동시에 성장되는 반도체 메모리 소자의 제조 방법.

#### 청구항 7

제1항에 있어서,

상기 수직 반도체 막을 형성하는 것은:

상기 제1 트렌치 내에, 상기 제1 내측벽을 덮는 스페이서를 형성하는 것;

상기 제1 트렌치를 채우는 제3 절연막을 형성하는 것; 및

상기 스페이서를 상기 수직 반도체 막으로 교체하는 것을 포함하는 반도체 메모리 소자의 제조 방법.

#### 청구항 8

제7항에 있어서,

상기 수평 반도체 막들을 형성한 후에, 상기 제3 절연막을 선택적으로 제거하는 것; 및

상기 수직 반도체 막을 선택적으로 제거하는 것을 포함하는 반도체 메모리 소자의 제조 방법.

#### 청구항 9

제1항에 있어서,

적층된 상기 수평 반도체 막들 각각을 패터닝하여, 제1 방향으로 배열된 반도체 패턴들을 형성하는 것;

상기 제1 방향으로 연장되는 비트 라인을 형성하는 것, 상기 반도체 패턴들은 상기 비트 라인과 전기적으로 연결되고; 및

각각의 상기 반도체 패턴들과 전기적으로 연결된 정보 저장 요소를 형성하는 것을 더 포함하는 반도체 메모리 소자의 제조 방법.

#### 청구항 10

제9항에 있어서,

적층된 상기 반도체 패턴들을 따라 수직하게 연장되는 게이트 전극을 형성하는 것을 더 포함하는 반도체 메모리 소자의 제조 방법.

#### 청구항 11

기판 상에 수직하게 적층된 복수개의 층들을 포함하는 적층 구조체, 상기 복수개의 층들 각각은 제1 방향으로 연장되는 비트 라인 및 상기 비트 라인으로부터 상기 제1 방향과 교차하는 제2 방향으로 연장되는 반도체 패턴을 포함하고;

상기 적층 구조체를 관통하는 게이트 전극, 상기 게이트 전극은 적층된 상기 반도체 패턴들을 따라 수직하게 연장되며; 및

각각의 상기 반도체 패턴들과 전기적으로 연결된 정보 저장 요소를 포함하되,

상기 정보 저장 요소는:

각각의 상기 반도체 패턴들과 전기적으로 연결되는 제1 전극;

상기 제1 전극 상의 제2 전극; 및

상기 제1 전극과 상기 제2 전극 사이에 개재된 유전막을 포함하고,

상기 반도체 패턴들 중 적어도 하나는, 그의 바닥면으로부터 그의 상면을 향해 비스듬하게 연장되는 격자 결합을 갖는 반도체 메모리 소자.

#### 청구항 12

제11항에 있어서,

각각의 상기 반도체 패턴들은, 단결정 실리콘을 포함하는 반도체 메모리 소자.

#### 청구항 13

제11항에 있어서,

상기 반도체 패턴과 상기 비트 라인 사이에 개재된 제1 실리사이드 패턴; 및

상기 반도체 패턴과 상기 제1 전극 사이에 개재된 제2 실리사이드 패턴을 더 포함하는 반도체 메모리 소자.

#### 청구항 14

제11항에 있어서,

각각의 상기 반도체 패턴들은:

상기 비트 라인과 전기적으로 연결되는 제1 불순물 영역;

상기 제1 전극과 전기적으로 연결되는 제2 불순물 영역; 및

상기 제1 및 제2 불순물 영역들 사이에 제공되고, 상기 게이트 전극에 인접하는 채널 영역을 포함하는 반도체 메모리 소자.

#### 청구항 15

제11항에 있어서,

상기 게이트 전극은:

상기 반도체 패턴의 제1 측에 인접하는 제1 게이트 전극; 및

상기 반도체 패턴의 상기 제1 측에 대향하는 제2 측에 인접하는 제2 게이트 전극을 포함하는 반도체 메모리 소자.

#### 청구항 16

기판 상에 수직하게 적층된 복수개의 층들을 포함하는 적층 구조체, 상기 복수개의 층들 각각은, 절연막, 상기 절연막 상에서 제1 방향으로 연장되는 비트 라인, 및 상기 비트 라인으로부터 상기 제1 방향과 교차하는 제2 방향으로 연장되는 반도체 패턴을 포함하고;

상기 적층 구조체를 관통하는 게이트 전극, 상기 게이트 전극은 적층된 상기 반도체 패턴들을 따라 수직하게 연장되며; 및

각각의 상기 반도체 패턴들과 전기적으로 연결된 정보 저장 요소를 포함하되,

상기 정보 저장 요소는:

각각의 상기 반도체 패턴들과 전기적으로 연결되는 제1 전극;

상기 제1 전극 상의 제2 전극; 및

상기 제1 전극과 상기 제2 전극 사이에 개재된 유전막을 포함하고,

상기 반도체 패턴들 중 적어도 하나는, 그의 내부에 격자 결함을 갖고,

상기 격자 결함과 상기 반도체 패턴 아래의 상기 절연막의 상면이 이루는 각도는 50° 내지 60° 인 반도체 메모리 소자.

#### 청구항 17

제16항에 있어서,

각각의 상기 반도체 패턴들은, 단결정 실리콘을 포함하는 반도체 메모리 소자.

#### 청구항 18

제16항에 있어서,

상기 반도체 패턴과 상기 비트 라인 사이에 개재된 제1 실리사이드 패턴; 및

상기 반도체 패턴과 상기 제1 전극 사이에 개재된 제2 실리사이드 패턴을 더 포함하는 반도체 메모리 소자.

#### 청구항 19

제16항에 있어서,

각각의 상기 반도체 패턴들은:

상기 비트 라인과 전기적으로 연결되는 제1 불순물 영역;

상기 제1 전극과 전기적으로 연결되는 제2 불순물 영역; 및

상기 제1 및 제2 불순물 영역들 사이에 제공되고, 상기 게이트 전극에 인접하는 채널 영역을 포함하는 반도체 메모리 소자.

#### 청구항 20

제16항에 있어서,

상기 게이트 전극은:

상기 반도체 패턴의 제1 측에 인접하는 제1 게이트 전극; 및

상기 반도체 패턴의 상기 제1 측에 대향하는 제2 측에 인접하는 제2 게이트 전극을 포함하는 반도체 메모리 소자.

### 발명의 설명

### 기술 분야

본 발명은 반도체 소자 및 그의 제조 방법에 관한 것으로서, 더욱 상세하게는 전기적 특성이 향상된 3차원 반도체 메모리 소자 및 그의 제조 방법에 관한 것이다.

[0001]

**배경 기술**

[0002] 소비자가 요구하는 우수한 성능 및 저렴한 가격을 충족시키기 위해 반도체 소자의 집적도를 증가시키는 것이 요구되고 있다. 반도체 소자의 경우, 그 집적도는 제품의 가격을 결정하는 중요한 요인이기 때문에, 특히 증가된 집적도가 요구되고 있다. 종래의 2차원 또는 평면적 반도체 소자의 경우, 그 집적도는 단위 메모리 셀이 점유하는 면적에 의해 주로 결정되기 때문에, 미세 패턴 형성 기술의 수준에 크게 영향을 받는다. 하지만, 패턴의 미세화를 위해서는 초고가의 장비들이 필요하기 때문에, 2차원 반도체 소자의 집적도는 증가하고는 있지만 여전히 제한적이다. 이에 따라, 3차원적으로 배열되는 메모리 셀들을 구비하는 3차원 반도체 메모리 소자들이 제안되고 있다.

**발명의 내용**

**해결하려는 과제**

[0003] 본 발명이 해결하고자 하는 과제는 전기적 특성 및 신뢰성이 향상된 3차원 반도체 메모리 소자를 제공하는 것이다.

[0004] 본 발명이 해결하고자 하는 다른 과제는 전기적 특성 및 신뢰성이 향상된 3차원 반도체 메모리 소자의 제조 방법을 제공하는 것이다.

**과제의 해결 수단**

[0005] 본 발명의 개념에 따른, 반도체 메모리 소자의 제조 방법은, 기판 상에 제1 절연막들 및 제2 절연막들을 서로 교번적으로 적층하여, 몰드 구조체를 형성하는 것; 상기 몰드 구조체를 패터닝하여, 상기 몰드 구조체의 제1 내측벽을 노출하는 제1 트렌치를 형성하는 것; 상기 제1 트렌치 내에 상기 기판을 시드로하여 수직 반도체 막을 성장시키는 것, 상기 수직 반도체 막은 상기 제1 내측벽을 덮고; 상기 몰드 구조체를 패터닝하여, 상기 몰드 구조체의 제2 내측벽을 노출하는 제2 트렌치를 형성하는 것; 상기 제2 트렌치를 통해 상기 몰드 구조체의 제2 절연막들을 선택적으로 제거하여, 리세스들을 각각 형성하는 것; 및 상기 수직 반도체 막을 시드로하여 상기 리세스들 내에 각각 수평 반도체 막들을 수평적으로 성장시키는 것을 포함할 수 있다.

[0006] 본 발명의 다른 개념에 따른, 반도체 메모리 소자는, 기판 상에 수직하게 적층된 복수개의 층들을 포함하는 적층 구조체, 상기 복수개의 층들 각각은 제1 방향으로 연장되는 비트 라인 및 상기 비트 라인으로부터 상기 제1 방향과 교차하는 제2 방향으로 연장되는 반도체 패턴을 포함하고; 상기 적층 구조체를 관통하는 게이트 전극, 상기 게이트 전극은 적층된 상기 반도체 패턴들을 따라 수직하게 연장되며; 및 각각의 상기 반도체 패턴들과 전기적으로 연결된 정보 저장 요소를 포함할 수 있다. 상기 정보 저장 요소는: 각각의 상기 반도체 패턴들과 전기적으로 연결되는 제1 전극; 상기 제1 전극 상의 제2 전극; 및 상기 제1 전극과 상기 제2 전극 사이에 개재된 유전막을 포함하고, 상기 반도체 패턴들 중 적어도 하나는, 그의 바닥면으로부터 그의 상면을 향해 비스듬하게 연장되는 격자 결합을 가질 수 있다.

[0007] 본 발명의 또 다른 개념에 따른, 반도체 메모리 소자는, 기판 상에 수직하게 적층된 복수개의 층들을 포함하는 적층 구조체, 상기 복수개의 층들 각각은, 절연막, 상기 절연막 상에서 제1 방향으로 연장되는 비트 라인, 및 상기 비트 라인으로부터 상기 제1 방향과 교차하는 제2 방향으로 연장되는 반도체 패턴을 포함하고; 상기 적층 구조체를 관통하는 게이트 전극, 상기 게이트 전극은 적층된 상기 반도체 패턴들을 따라 수직하게 연장되며; 및 각각의 상기 반도체 패턴들과 전기적으로 연결된 정보 저장 요소를 포함할 수 있다. 상기 정보 저장 요소는: 각각의 상기 반도체 패턴들과 전기적으로 연결되는 제1 전극; 상기 제1 전극 상의 제2 전극; 및 상기 제1 전극과 상기 제2 전극 사이에 개재된 유전막을 포함하고, 상기 반도체 패턴들 중 적어도 하나는, 그의 내부에 격자 결합을 갖고, 상기 격자 결합과 상기 반도체 패턴 아래의 상기 절연막의 상면이 이루는 각도는 50° 내지 60° 일 수 있다.

**발명의 효과**

[0008] 본 발명의 실시예들에 따른 3차원 반도체 메모리 소자는, 채널로 사용되는 적층된 반도체 패턴들을 모두 단결정 실리콘으로 구현할 수 있다. 이로써, 본 발명의 반도체 메모리 소자의 전기적 특성이 향상될 수 있다.

[0009] 본 발명의 실시예들에 따른 소자의 제조 방법은, 수직 반도체 막으로부터 적층된 수평 반도체 막들을 동시에 성장시킬 수 있다. 다시 말하면, 기판의 결정 구조에 관한 정보를 전달받은 수평 반도체 막들이 동시에 형성될 수

있다. 따라서, 3차원 반도체 메모리 소자를 용이하게 구현할 수 있고, 소자의 신뢰성이 향상될 수 있다.

**도면의 간단한 설명**

- [0010] 도 1은 본 발명의 실시예들에 따른 3차원 반도체 메모리 소자의 셀 어레이를 나타내는 간략 회로도이다.
- 도 2는 본 발명의 실시예들에 따른 3차원 반도체 메모리 소자를 나타내는 사시도이다.
- 도 3은 본 발명의 실시예들에 따른 3차원 반도체 메모리 소자를 나타내는 사시도이다.
- 도 4a 내지 도 4c는 각각 도 3의 A-A'선, B-B'선 및 C-C'선에 따른 단면도들이다.
- 도 5a, 6a, 7a, 8a, 9a 및 10a는 본 발명의 실시예들에 따른 적층 구조체를 형성하는 방법을 설명하기 위한 평면도들이다.
- 도 5b, 6b, 7b, 8b, 9b 및 10b는 각각 도 5a, 6a, 7a, 8a, 9a 및 10a 의 A-A'선에 따른 단면도들이다.
- 도 11, 13, 15, 17, 19, 21 및 23은 본 발명의 실시예들에 따른 3차원 반도체 메모리 소자의 제조 방법을 설명하기 위한 평면도들이다.
- 도 12a, 14a, 16a, 18a, 20a, 22a 및 24a는 각각 도 11, 13, 15, 17, 19, 21 및 23의 A-A'선에 따른 단면도들이다.
- 도 12b, 14b, 16b, 18b, 20b, 22b 및 24b는 각각 도 11, 13, 15, 17, 19, 21 및 23의 B-B'선에 따른 단면도들이다.

**발명을 실시하기 위한 구체적인 내용**

- [0011] 도 1은 본 발명의 실시예들에 따른 3차원 반도체 메모리 소자의 셀 어레이를 나타내는 간략 회로도이다.
- [0012] 도 1을 참조하면, 본 발명의 실시예들에 따른 3차원 반도체 메모리 소자의 셀 어레이는 복수개의 서브 셀 어레이들(SCA)을 포함할 수 있다. 서브 셀 어레이들(SCA)은 제2 방향(D2)을 따라 배열될 수 있다.
- [0013] 각각의 서브 셀 어레이들(SCA)은 복수개의 비트 라인들(BL), 복수개의 워드 라인들(WL), 및 복수개의 메모리 셀 트랜지스터들(MCT)을 포함할 수 있다. 하나의 워드 라인(WL)과 하나의 비트 라인(BL) 사이에 하나의 메모리 셀 트랜지스터(MCT)가 배치될 수 있다.
- [0014] 비트 라인들(BL)은 기판으로부터 이격되어, 기판 상에 배치되는 도전성 패턴들(예를 들면, 금속 라인)일 수 있다. 비트 라인들(BL)은 제1 방향(D1)으로 연장될 수 있다. 하나의 서브 셀 어레이(SCA) 내의 비트 라인들(BL)은 수직인 방향(즉, 제3 방향(D3))으로 서로 이격될 수 있다.
- [0015] 워드 라인들(WL)은 기판으로부터 수직인 방향(즉, 제3 방향(D3))으로 연장되는 도전성 패턴들(예를 들면, 금속 라인)일 수 있다. 하나의 서브 셀 어레이(SCA) 내의 워드 라인들(WL)은 제1 방향(D1)으로 서로 이격될 수 있다.
- [0016] 메모리 셀 트랜지스터(MCT)의 게이트는 워드 라인(WL)에 연결될 수 있고, 메모리 셀 트랜지스터(MCT)의 소스는 비트 라인(BL)에 연결될 수 있다. 각각의 메모리 셀 트랜지스터들(MCT)은 정보 저장 요소(DS)를 포함할 수 있다. 예를 들어, 정보 저장 요소(DS)는 캐패시터일 수 있으며, 메모리 셀 트랜지스터(MCT)의 드레인은 상기 캐패시터에 연결될 수 있다.
- [0018] 도 2는 본 발명의 실시예들에 따른 3차원 반도체 메모리 소자를 나타내는 사시도이다.
- [0019] 도1 및 도 2를 참조하면, 도 1을 참조하여 설명한 복수개의 서브 셀 어레이들(SCA) 중 하나가 기판(SUB) 상에 제공될 수 있다. 기판(SUB)은 실리콘 기판, 게르마늄 기판, 또는 실리콘-게르마늄 기판일 수 있다.
- [0020] 구체적으로, 기판(SUB) 상에 제1 내지 제3 층들(L1, L2, L3)을 포함하는 적층 구조체(SS)가 제공될 수 있다. 적층 구조체(SS)의 제1 내지 제3 층들(L1, L2, L3)은 수직인 방향(즉, 제3 방향(D3))으로 서로 이격되어 적층될 수 있다. 제1 내지 제3 층들(L1, L2, L3) 각각은 복수개의 반도체 패턴들(SP), 복수개의 정보 저장 요소들(DS) 및 비트 라인(BL)을 포함할 수 있다.
- [0021] 반도체 패턴들(SP)은 제2 방향(D2)으로 연장되는 라인 형태, 바(bar) 형태 또는 기둥 형태를 가질 수 있다. 일 예로, 반도체 패턴들(SP)은 실리콘, 게르마늄, 또는 실리콘-게르마늄을 포함할 수 있다. 각각의 반도체 패턴들

(SP)은 채널 영역(CH), 제1 불순물 영역(SD1) 및 제2 불순물 영역(SD2)을 포함할 수 있다. 채널 영역(CH)은 제1 및 제2 불순물 영역들(SD1, SD2) 사이에 개재될 수 있다. 채널 영역(CH)은 도 1을 참조하여 설명한 메모리 셀 트랜지스터(MCT)의 채널에 해당될 수 있다. 제1 및 제2 불순물 영역들(SD1, SD2)은 도 1을 참조하여 설명한 메모리 셀 트랜지스터(MCT)의 소스 및 드레인에 해당될 수 있다.

- [0022] 제1 및 제2 불순물 영역들(SD1, SD2)은 반도체 패턴(SP)에 불순물이 도핑된 영역들일 수 있다. 이로써, 제1 및 제2 불순물 영역들(SD1, SD2)은 n형 또는 p형의 도전형을 가질 수 있다.
- [0023] 반도체 패턴들(SP)의 일 단들에 정보 저장 요소들(DS)이 각각 연결될 수 있다. 반도체 패턴들(SP)의 제2 불순물 영역들(SD2)에 정보 저장 요소들(DS)이 각각 연결될 수 있다. 정보 저장 요소들(DS)은 데이터를 저장할 수 있는 메모리 요소들일 수 있다. 각각의 정보 저장 요소들(DS)은, 캐패시터를 이용한 메모리 요소, 자기터널접합 패턴(Magnetic Tunnel Junction pattern)을 이용한 메모리 요소, 또는 상 변화 물질을 포함하는 가변 저항체를 이용한 메모리 요소일 수 있다. 일 예로, 각각의 정보 저장 요소들(DS)은 캐패시터일 수 있다.
- [0024] 비트 라인들(BL)은 제1 방향(D1)으로 연장되는 라인 형태 또는 바 형태를 가질 수 있다. 비트 라인들(BL)은 제3 방향(D3)을 따라 서로 이격되어 적층될 수 있다. 비트 라인들(BL)은 도전 물질을 포함할 수 있다. 일 예로 상기 도전 물질은 도핑된 반도체 물질(도핑된 실리콘, 도핑된 게르마늄 등), 도전성 금속질화물(질화티타늄, 질화탄탈륨 등), 금속(텅스텐, 티타늄, 탄탈륨 등), 및 금속-반도체 화합물(텅스텐 실리사이드, 코발트 실리사이드, 티타늄 실리사이드 등) 중 어느 하나일 수 있다. 비트 라인들(BL)은 도 1을 참조하여 설명한 비트 라인들(BL)일 수 있다.
- [0025] 제1 내지 제3 층들(L1, L2, L3) 중 대표적으로 제1 층(L1)에 관해 상세히 설명한다. 제1 층(L1)의 반도체 패턴들(SP)은 제1 방향(D1)으로 서로 이격되어 배열될 수 있다. 제1 층(L1)의 반도체 패턴들(SP)은 서로 동일한 제1 레벨에 위치할 수 있다. 제1 층(L1)의 비트 라인(BL)은 제1 층(L1)의 반도체 패턴들(SP) 각각의 일단에 연결될 수 있다. 일 예로, 비트 라인(BL)은 제1 불순물 영역들(SD1)에 직접 연결될 수 있다. 다른 예로, 비트 라인(BL)은 금속 실리사이드를 통해 제1 불순물 영역(SD1)에 전기적으로 연결될 수 있다. 제2 층(L2) 및 제3 층(L3)에 관한 구체적인 설명은 앞서 설명한 제1 층(L1)과 실질적으로 동일할 수 있다.
- [0026] 기판(SUB) 상에, 적층 구조체(SS)를 관통하는 게이트 전극들(GE)이 제공될 수 있다. 게이트 전극들(GE)은 제3 방향(D3)으로 연장되는 라인 형태 또는 기둥 형태를 가질 수 있다. 게이트 전극들(GE)은 제1 방향(D1)으로 배열될 수 있다. 평면적 관점에서, 한 쌍의 게이트 전극들(GE) 사이에 적층된 반도체 패턴들(SP)이 개재될 수 있다. 각각의 게이트 전극들(GE)은, 수직적으로 적층된 복수개의 반도체 패턴들(SP)의 측벽들 상에서 수직하게 연장될 수 있다.
- [0027] 일 예로, 게이트 전극들(GE) 중 첫 번째 한 쌍의 게이트 전극들(GE)은, 제1 층(L1)의 반도체 패턴들(SP) 중 첫 번째 반도체 패턴(SP), 제2 층(L2)의 반도체 패턴들(SP) 중 첫 번째 반도체 패턴(SP), 및 제3 층(L3)의 반도체 패턴들(SP) 중 첫 번째 반도체 패턴(SP)과 인접할 수 있다. 게이트 전극들(GE) 중 두 번째 한 쌍의 게이트 전극들(GE)은, 제1 층(L1)의 반도체 패턴들(SP) 중 두 번째 반도체 패턴(SP), 제2 층(L2)의 반도체 패턴들(SP) 중 두 번째 반도체 패턴(SP), 및 제3 층(L3)의 반도체 패턴들(SP) 중 두 번째 반도체 패턴(SP)과 인접할 수 있다.
- [0028] 게이트 전극(GE)은 반도체 패턴(SP)의 채널 영역(CH)에 인접할 수 있다. 게이트 전극(GE)은 채널 영역(CH)의 측벽 상에 제공되며, 제3 방향(D3)으로 연장될 수 있다. 게이트 전극(GE)과 채널 영역(CH) 사이에 게이트 절연막(GI)이 개재될 수 있다. 게이트 절연막(GI)은 고유전막, 실리콘 산화막, 실리콘 질화막, 및 실리콘 산화질화막 중 선택된 하나의 단일막 또는 이들의 조합을 포함할 수 있다. 일 예로, 상기 고유전막은 하프늄 산화물, 하프늄 실리콘 산화물, 란탄 산화물, 지르코늄 산화물, 지르코늄 실리콘 산화물, 탄탈 산화물, 티타늄 산화물, 바륨 스트론튬 티타늄 산화물, 바륨 티타늄 산화물, 스트론튬 티타늄 산화물, 리튬 산화물, 알루미늄 산화물, 납 스칸듐 탄탈 산화물, 및 납 아연 니오브산염 중 적어도 하나를 포함할 수 있다.
- [0029] 게이트 전극들(GE)은 도전 물질을 포함할 수 있고, 상기 도전 물질은 도핑된 반도체 물질, 도전성 금속질화물, 금속 및 금속-반도체 화합물 중 어느 하나일 수 있다. 게이트 전극들(GE)은 도 1을 참조하여 설명한 워드 라인들(WL)일 수 있다.
- [0030] 기판(SUB) 상에, 적층 구조체(SS)의 일 측면을 따라 제1 방향(D1)으로 연장되는 절연 구조체(ISS)가 제공될 수 있다. 절연 구조체(ISS)는 실리콘 산화막, 실리콘 질화막, 및 실리콘 산화질화막 중 적어도 하나를 포함할 수 있다.
- [0031] 도시되진 않았지만, 적층 구조체(SS)의 내의 빈 공간들은 절연 물질로 채워져 있을 수 있다. 예를 들어, 상기



절연 물질은 실리콘 산화막, 실리콘 질화막, 및 실리콘 산화질화막 중 적어도 하나를 포함할 수 있다.

- [0033] 도 3은 본 발명의 실시예들에 따른 3차원 반도체 메모리 소자를 나타내는 사시도이다. 도 4a 내지 도 4c는 각각 도 3의 A-A' 선, B-B' 선 및 C-C' 선에 따른 단면도들이다. 본 실시예에서는, 앞서 도 1 및 도 2를 참조하여 설명한 것과 중복되는 기술적 특징에 대한 상세한 설명은 생략하고, 차이점에 대해 상세히 설명한다.
- [0034] 도 3 및 도 4a 내지 도 4c를 참조하면, 기관(SUB) 상에 적층 구조체(SS)가 제공될 수 있다. 적층 구조체(SS)는 제1 방향(D1)으로 연장될 수 있다. 도시되진 않았지만, 적층 구조체(SS)는 복수개로 제공되어 제2 방향(D2)으로 배열될 수 있다.
- [0035] 적층 구조체(SS)는, 기관(SUB) 상에 순차적으로 적층된 제1 내지 제4 층들(L1, L2, L3, L4)을 포함할 수 있다. 제1 내지 제4 층들(L1, L2, L3, L4) 각각은, 제1 절연막(IL1), 반도체 패턴(SP) 및 비트 라인(BL)을 포함할 수 있다. 본 실시예들에 따른 제1 내지 제4 층들(L1, L2, L3, L4)은 예시적인 것이며, 제4 층(L4) 상에 추가적인 층들이 반복되어 적층될 수 있다.
- [0036] 반도체 패턴(SP) 및 비트 라인(BL)은 제1 절연막(IL1) 상에 제공될 수 있다. 제1 절연막(IL1) 상에서, 반도체 패턴(SP) 및 비트 라인(BL)은 서로 나란히 배치될 수 있다. 제1 절연막(IL1)은, 윗 층의 반도체 패턴(SP)과 아랫 층의 반도체 패턴(SP)을 수직적으로(즉, 제3 방향(D3)으로) 서로 이격시킬 수 있다. 제1 절연막(IL1)은, 윗 층의 비트 라인(BL)과 아랫 층의 비트 라인(BL)을 제3 방향(D3)으로 서로 이격시킬 수 있다.
- [0037] 제1 내지 제4 층들(L1, L2, L3, L4) 각각의 비트 라인(BL)은 제1 방향(D1)으로 연장될 수 있다. 비트 라인(BL)은 반도체 패턴(SP)과 동일한 레벨에 위치할 수 있다. 비트 라인(BL)의 일 측벽과 반도체 패턴(SP)의 일 측벽은 서로 마주볼 수 있다. 비트 라인(BL)의 일 측벽과 반도체 패턴(SP)의 일 측벽은 서로 접촉할 수 있다.
- [0038] 반도체 패턴(SP)은 실리콘, 게르마늄, 또는 실리콘-게르마늄과 같은 반도체 물질을 포함할 수 있다. 예를 들어, 반도체 패턴(SP)은 단결정 실리콘을 포함할 수 있다. 적어도 하나의 반도체 패턴(SP)은, 그의 내부에 격자 결함(LD)을 가질 수 있다. 격자 결함(LD)은 반도체 패턴(SP)의 바닥면에서 그의 상면을 향해 비스듬하게 연장될 수 있다. 격자 결함(LD)과 제1 절연막(IL1)의 상면이 이루는 각도( $\theta_1$ )는  $50^\circ$  내지  $60^\circ$  일 수 있다. 예를 들어, 상기 각도( $\theta_1$ )는 약  $54.7^\circ$  일 수 있다.
- [0039] 제1 절연막(IL1)은 실리콘 산화막, 실리콘 질화막, 실리콘 산화질화막, 탄소 함유 실리콘 산화막, 탄소 함유 실리콘 질화막 및 탄소 함유 실리콘 산화질화막으로 이루어진 군에서 선택될 수 있다.
- [0040] 제1 내지 제4 층들(L1, L2, L3, L4) 각각의 반도체 패턴(SP)은 복수개로 제공될 수 있다. 제1 내지 제4 층들(L1, L2, L3, L4) 각각의 복수개의 반도체 패턴들(SP)은, 비트 라인(BL)으로부터 제2 방향(D2)으로 연장되는 바 형태를 가질 수 있다. 각각의 반도체 패턴들(SP)은, 채널 영역(CH), 제1 불순물 영역(SD1) 및 제2 불순물 영역(SD2)을 포함할 수 있다. 채널 영역(CH)은 제1 및 제2 불순물 영역들(SD1, SD2) 사이에 개재될 수 있다. 비트 라인(BL)은 반도체 패턴(SP)의 제1 불순물 영역(SD1)과 전기적으로 연결될 수 있다.
- [0041] 적층 구조체(SS)를 관통하는 홀들(HO)이 정의될 수 있다. 서로 인접하는 한 쌍의 반도체 패턴들(SP) 사이에 홀(HO)이 위치할 수 있다. 적층 구조체(SS)를 관통하는 홀(HO) 내에 수직하게(즉, 제3 방향(D3)으로) 연장되는 게이트 전극들(GE)이 제공될 수 있다. 다시 말하면, 게이트 전극들(GE)이 적층 구조체(SS)를 관통할 수 있다.
- [0042] 게이트 전극들(GE)은, 반도체 패턴(SP)의 채널 영역(CH)의 양 측에 각각 제공된 제1 게이트 전극(GE1) 및 제2 게이트 전극(GE2)을 포함할 수 있다. 일 예로, 제1 및 제2 게이트 전극들(GE1, GE2)은 하나의 워드 라인(WL)을 구성할 수 있다. 다른 예로, 제1 게이트 전극(GE1)은 워드 라인(WL)일 수 있고, 제2 게이트 전극(GE2)은 백 게이트일 수 있다.
- [0043] 각각의 게이트 전극들(GE)과 각각의 반도체 패턴들(SP) 사이에 게이트 절연막(GI)이 개재될 수 있다. 게이트 절연막(GI)은 고유전막, 실리콘 산화막, 실리콘 질화막, 및 실리콘 산화질화막 중 선택된 하나의 단일막 또는 이들의 조합을 포함할 수 있다.
- [0044] 각각의 홀들(HO)을 채우는 수직 절연막(VIP)이 제공될 수 있다. 수직 절연막(VIP)은 게이트 전극들(GE)을 덮을 수 있다. 일 예로, 홀(HO) 내에서 서로 인접하는 한 쌍의 게이트 전극들(GE) 사이에 수직 절연막(VIP)이 개재될 수 있다. 수직 절연막(VIP)은 서로 인접하는 한 쌍의 반도체 패턴들(SP) 사이에 개재될 수 있다. 수직 절연막(VIP)은 실리콘 산화막, 실리콘 질화막, 및 실리콘 산화질화막 중 적어도 하나를 포함할 수 있다.

- [0045] 반도체 패턴들(SP)에 각각 전기적으로 연결되는 정보 저장 요소들(DS)이 제공될 수 있다. 정보 저장 요소들(DS) 각각은, 제1 전극(EL1), 유전막(DL) 및 제2 전극(EL2)을 포함할 수 있다. 적층 구조체(SS) 내의 정보 저장 요소들(DS)은, 하나의 유전막(DL) 및 하나의 제2 전극(EL2)을 공유할 수 있다. 다시 말하면, 적층 구조체(SS) 내에 제1 전극들(EL1)이 복수개로 제공되고, 하나의 유전막(DL)이 제1 전극들(EL1)의 표면들을 덮을 수 있다. 하나의 유전막(DL) 상에 하나의 제2 전극(EL2)이 제공될 수 있다. 각각의 제1 전극들(EL1)은, 일 단이 개방된 실린더 형태를 가질 수 있다. 제2 전극(EL2)은, 제1 전극(EL1)의 실린더 내부를 채울 수 있다.
- [0046] 제1 전극(EL1) 및 제2 전극(EL2) 각각은, 금속 물질(예를 들면, 티타늄, 탄탈륨, 텅스텐, 구리 또는 알루미늄), 도전성 금속 질화물(예를 들면, 티타늄 질화물 또는 탄탈륨 질화물), 및 도핑된 반도체 물질(예를 들면, 도핑된 실리콘 또는 도핑된 게르마늄) 중 적어도 하나를 포함할 수 있다. 유전막(DL)은 고유전율 물질(예를 들어, 하프늄 산화물, 하프늄 실리콘 산화물, 란탄 산화물, 지르코늄 산화물, 지르코늄 실리콘 산화물, 탄탈 산화물, 티타늄 산화물, 바륨 스트론튬 티타늄 산화물, 바륨 티타늄 산화물, 스트론튬 티타늄 산화물, 리튬 산화물, 알루미늄 산화물, 납 스칸듐 탄탈 산화물, 납 아연 니오브산염 또는 이들의 조합)을 포함할 수 있다.
- [0047] 비트 라인(BL)과 반도체 패턴(SP) 사이에 제1 실리사이드 패턴(SC1)이 개재될 수 있다. 반도체 패턴(SP)과 제1 전극(EL1) 사이에 제2 실리사이드 패턴(SC2)이 개재될 수 있다. 비트 라인(BL)은 제1 실리사이드 패턴(SC1)을 통해 제1 불순물 영역(SD1)과 전기적으로 연결될 수 있다. 제1 전극(EL1)은 제2 실리사이드 패턴(SC2)을 통해 제2 불순물 영역(SD2)과 전기적으로 연결될 수 있다. 제1 및 제2 실리사이드 패턴들(SC1, SC2)은 금속 실리사이드(예를 들어, 코발트 실리사이드)를 포함할 수 있다.
- [0049] 도 5a, 6a, 7a, 8a, 9a 및 10a는 본 발명의 실시예들에 따른 적층 구조체를 형성하는 방법을 설명하기 위한 평면도들이다. 도 5b, 6b, 7b, 8b, 9b 및 10b는 각각 도 5a, 6a, 7a, 8a, 9a 및 10a의 A-A'선에 따른 단면도들이다.
- [0050] 도 5a 및 도 5b를 참조하면, 기판(SUB) 상에 몰드 구조체(MS)가 형성될 수 있다. 몰드 구조체(MS)를 형성하는 것은, 제1 절연막들(IL1) 및 제2 절연막들(IL2)을 교번적으로 기판(SUB) 상에 적층하는 것을 포함할 수 있다.
- [0051] 제1 및 제2 절연막들(IL1, IL2)은, 실리콘 산화막, 실리콘 질화막, 실리콘 산화질화막, 탄소 함유 실리콘 산화막, 탄소 함유 실리콘 질화막 및 탄소 함유 실리콘 산화질화막으로 이루어진 군에서 선택될 수 있다. 제1 및 제2 절연막들(IL1, IL2)은 서로 식각 선택성을 가질 수 있다. 예를 들어, 제1 절연막들(IL1)은 실리콘 산화막(SiO<sub>2</sub>)으로 형성될 수 있고, 제2 절연막들(IL2)은 실리콘 질화막(SiN)으로 형성될 수 있다.
- [0052] 몰드 구조체(MS)를 패터닝하여, 제1 트렌치들(TR1)이 형성될 수 있다. 제1 트렌치들(TR1)은 제1 방향(D1)으로 연장될 수 있다. 제1 트렌치들(TR1)은 일정한 피치로 제2 방향(D2)으로 배열될 수 있다. 제1 트렌치들(TR1)은 기판(SUB)의 상면을 노출할 수 있다.
- [0053] 도 6a 및 도 6b를 참조하면, 각각의 제1 트렌치들(TR1)을 채우는 수직 반도체 막(VSL) 및 제3 절연막(IL3)이 형성될 수 있다. 구체적으로, 먼저 제1 트렌치(TR1)의 내벽을 덮는 스페이서가 형성될 수 있다. 상기 스페이서 상에 제1 트렌치(TR1)를 완전히 채우는 제3 절연막(IL3)이 형성될 수 있다. 이후 상기 스페이서를 선택적으로 제거하고, 상기 스페이서가 제거된 공간에 수직 반도체 막(VSL)이 형성될 수 있다.
- [0054] 수직 반도체 막(VSL)은 기판(SUB)의 상면을 시드로 하는 선택적 에피택시얼 성장 공정을 통해 형성될 수 있다. 수직 반도체 막(VSL)은 기판(SUB)의 결정 구조를 따라 단결정으로 성장될 수 있다. 예를 들어, 수직 반도체 막(VSL)은 단결정 실리콘 막일 수 있다. 수직 반도체 막(VSL)은 제1 트렌치(TR1)에 의해 노출된 몰드 구조체(MS)의 내벽을 덮을 수 있다.
- [0055] 도 7a 및 도 7b를 참조하면, 몰드 구조체(MS)를 패터닝하여, 서로 인접하는 제1 트렌치들(TR1) 사이에 제2 트렌치(TR2)가 형성될 수 있다. 제2 트렌치(TR2)는 제1 트렌치(TR1)와 평행하게 제1 방향(D1)으로 연장될 수 있다. 제2 트렌치들(TR2)은 일정한 피치로 제2 방향(D2)으로 배열될 수 있다. 일 예로, 제2 트렌치들(TR2)간의 피치는, 제1 트렌치들(TR1)간의 피치와 실질적으로 동일할 수 있다.
- [0056] 제2 트렌치(TR2)에 의해 몰드 구조체(MS)의 다른 내벽이 노출될 수 있다. 제2 트렌치(TR2)에 의해 노출된 몰드 구조체(MS)의 제2 절연막들(IL2)이 선택적으로 제거될 수 있다. 제2 절연막들(IL2)을 제거하는 것은, 제2 절연막들(IL2)을 선택적으로 식각하는 습식 식각 공정을 포함할 수 있다. 제2 절연막(IL2)이 제거된 공간에 제1 리세스(RS1)가 정의될 수 있다. 제1 리세스(RS1)는 수직 반도체 막(VSL)을 노출할 수 있다.

- [0057] 도 8a 및 도 8b를 참조하면, 각각의 제1 리세스들(RS1)을 채우는 수평 반도체 막(HSL)이 형성될 수 있다. 수평 반도체 막(HSL)을 형성하는 것은, 수직 반도체 막(VSL)을 시드로 하는 선택적 에피택시얼 성장 공정을 포함할 수 있다. 수평 반도체 막(HSL)은 수직 반도체 막(VSL)으로부터 제2 방향(D2)으로 성장될 수 있다. 선택적 에피택시얼 성장 공정은, 수평 반도체 막(HSL)이 제1 리세스(RS1)를 완전히 채울 때까지 수행될 수 있다.
- [0058] 수평 반도체 막(HSL)은 수직 반도체 막(VSL)의 결정 구조를 따라 단결정으로 성장될 수 있다. 예를 들어, 수평 반도체 막(HSL)은 단결정 실리콘 막일 수 있다. 수평 반도체 막(HSL)은, 그의 위 아래의 제1 절연막들(IL1) 사이에 샌드위치 될 수 있다.
- [0059] 수평 반도체 막(HSL)이 선택적 에피택시얼 성장 공정을 통해 제1 리세스(RS1)를 채우며 성장할 때, 제1 절연막들(IL1)과 수평 반도체 막(HSL) 사이의 결정 구조 차이에 의해, 수평 반도체 막(HSL) 내에 격자 결함(LD)이 발생될 수 있다. 다시 말하면, 적어도 하나의 수평 반도체 막(HSL)은 격자 결함(LD)을 포함할 수 있다. 격자 결함(LD)은 수평 반도체 막(HSL)의 바닥면에서 그의 상면을 향해 비스듬하게 연장될 수 있다. 격자 결함(LD)과 제1 절연막(IL1)의 상면이 이루는 각도( $\theta$ 1)는 50° 내지 60° 일 수 있다. 예를 들어, 상기 각도( $\theta$ 1)는 약 54.7° 일 수 있다.
- [0060] 도 9a 및 도 9b를 참조하면, 제2 트렌치(TR2)를 부분적으로 채우는 희생막(예를 들어, 폴리 실리콘막)을 형성하고 실리콘 트리밍 공정을 수행하여, 과성장된 수평 반도체 막(HSL)을 제거할 수 있다. 이로써, 제1 절연막들(IL1)과 수평 반도체 막들(HSL)이 교번적으로 적층된 적층 구조체(SS)가 제공될 수 있다.
- [0061] 적층 구조체(SS)는 제1 트렌치(TR1)와 제2 트렌치(TR2) 사이에 개재될 수 있다. 적층 구조체(SS)는 제1 방향(D1)으로 연장될 수 있다. 적층 구조체들(SS)은 일정한 피치로 제2 방향(D2)을 따라 배열될 수 있다. 예를 들어, 적층 구조체(SS)는 제1 내지 제4 층들(L1-L4)을 포함할 수 있다. 제1 내지 제4 층들(L1-L4) 각각은, 제1 절연막(IL1) 및 수평 반도체 막(HSL)을 포함할 수 있다. 적층 구조체(SS)의 수평 반도체 막들(HSL) 중 적어도 하나는, 격자 결함(LD)을 포함할 수 있다.
- [0062] 후속으로, 제2 트렌치(TR2)를 채우는 제4 절연막(IL4)이 형성될 수 있다. 제4 절연막(IL4)은, 제2 방향(D2)으로서 인접하는 적층 구조체들(SS) 사이에 개재될 수 있다.
- [0063] 도 10a 및 도 10b를 참조하면, 제1 트렌치(TR1) 내의 제3 절연막(IL3)이 선택적으로 제거될 수 있다. 제3 절연막(IL3)을 제거한 후, 이어서 수직 반도체 막(VSL)이 선택적으로 제거될 수 있다. 수직 반도체 막(VSL)을 제거하는 것은, 실리콘 트리밍 공정을 포함할 수 있다. 후속으로, 제1 트렌치(TR1)를 채우는 제5 절연막(IL5)이 형성될 수 있다.
- [0065] 도 11, 13, 15, 17, 19, 21 및 23은 본 발명의 실시예들에 따른 3차원 반도체 메모리 소자의 제조 방법을 설명하기 위한 평면도들이다. 도 12a, 14a, 16a, 18a, 20a, 22a 및 24a는 각각 도 11, 13, 15, 17, 19, 21 및 23의 A-A'선에 따른 단면도들이다. 도 12b, 14b, 16b, 18b, 20b, 22b 및 24b는 각각 도 11, 13, 15, 17, 19, 21 및 23의 B-B'선에 따른 단면도들이다. 본 실시예에 따른 도 11, 13, 15, 17, 19, 21 및 23은, 도 10a의 M 영역을 확대한 평면도들이다.
- [0066] 도 11, 도 12a 및 도 12b를 참조하면, 앞서 도 10a 및 도 10b의 결과물인 적층 구조체(SS)가 기판(SUB) 상에 제공될 수 있다. 적층 구조체(SS)의 양 측에 제1 및 제2 트렌치들(TR1, TR2)이 각각 정의될 수 있다. 제1 트렌치(TR1)에 제5 절연막(IL5)이 채워질 수 있고, 제2 트렌치(TR2)에 제4 절연막(IL4)이 채워질 수 있다. 다시 말하면, 적층 구조체(SS)는 제4 및 제5 절연막들(IL4, IL5) 사이에 개재될 수 있다. 이하, 적층 구조체(SS)의 제1 내지 제4 층들(L1-L4)까지만 도시하여 설명한다. 그러나, 본 발명은 이에 한정되는 것은 아니고 적층 구조체(SS)는 제4 층(L4) 상에 반복하여 적층된 추가적인 층들을 더 포함할 수 있다.
- [0067] 적층 구조체(SS)의 제1 내지 제4 층들(L1-L4) 각각은, 제1 절연막(IL1) 및 제1 절연막(IL1) 상의 수평 반도체 막(HSL)을 포함할 수 있다. 수평 반도체 막(HSL)은 반도체 물질, 예를 들어, 단결정 실리콘을 포함할 수 있다. 제1 절연막(IL1)은 실리콘 산화막, 실리콘 질화막, 실리콘 산화질화막, 탄소 함유 실리콘 산화막, 탄소 함유 실리콘 질화막 및 탄소 함유 실리콘 산화질화막으로 이루어진 군에서 선택될 수 있다. 앞서 설명한 바와 같이, 적어도 하나의 수평 반도체 막(HSL)은 격자 결함(LD)을 포함할 수 있다. 이어지는 도면들에서는, 격자 결함(LD)을 생략하였다.
- [0068] 도 13, 도 14a 및 도 14b를 참조하면, 적층 구조체(SS)를 패터닝하여, 적층 구조체(SS)를 관통하는 홀들(H0)이

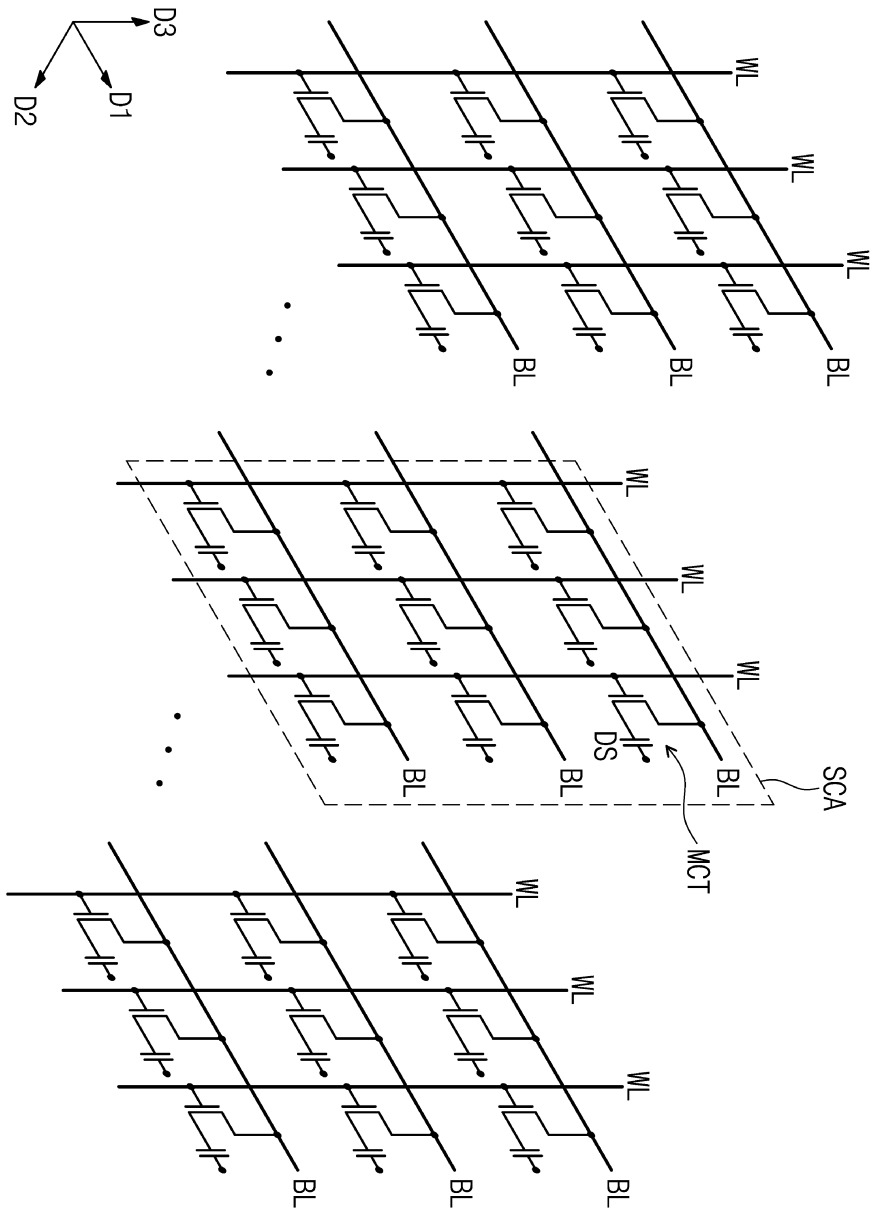
형성될 수 있다. 각각의 홀들(HO)은, 제2 방향(D2)으로 연장되는 라인 형태 또는 바 형태를 가질 수 있다. 홀들(HO)은 제1 방향(D1)을 따라 서로 이격되어 배열될 수 있다. 홀들(HO)에 의해, 하나의 수평 반도체 막(HSL)에 복수개의 반도체 패턴들(SP)이 정의될 수 있다. 예를 들어, 서로 인접하는 한 쌍의 홀들(HO) 사이에 반도체 패턴(SP)이 정의될 수 있다. 반도체 패턴들(SP)은 제2 방향(D2)으로 연장되는 바 형태를 가질 수 있다. 반도체 패턴들(SP)은 제1 방향(D1)을 따라 일정한 피치로 배열될 수 있다.

- [0069] 도 15, 도 16a 및 도 16b를 참조하면, 각각의 홀들(HO) 내에 게이트 전극들(GE) 및 게이트 절연막들(GI)이 형성될 수 있다. 구체적으로, 홀들(HO) 내에 게이트 절연막 및 게이트 전극막을 형성하고, 이들을 패터닝하여 게이트 전극들(GE) 및 게이트 절연막들(GI)이 형성될 수 있다. 게이트 전극(GE) 및 게이트 절연막(GI)은, 홀(HO)에 의해 노출되는 적층 구조체(SS)의 내측벽을 따라 제3 방향(D3)으로 연장될 수 있다. 게이트 전극들(GE)은, 반도체 패턴(SP)의 양 측에 각각 제공된 제1 게이트 전극(GE1) 및 제2 게이트 전극(GE2)을 포함할 수 있다.
- [0070] 게이트 전극들(GE)이 형성된 이후, 홀들(HO)을 채우는 수직 절연막(VIP)이 형성될 수 있다. 수직 절연막(VIP)은 실리콘 산화막, 실리콘 질화막, 및 실리콘 산화질화막 중 적어도 하나를 포함할 수 있다.
- [0071] 도 17, 도 18a, 및 도 18b를 참조하면, 반도체 패턴들(SP)을 제외한 수평 반도체 막(HSL)의 일부가 비트 라인(BL)으로 교체될 수 있다. 구체적으로, 제5 절연막(IL5)을 선택적으로 제거하여, 제1 트렌치(TR1)를 통해 적층 구조체(SS)의 일 측벽을 노출시킬 수 있다. 제1 트렌치(TR1)를 통해 노출된 상기 일 측벽 상에 수평 반도체 막(HSL)을 선택적으로 식각하는 습식 식각 공정이 수행될 수 있다. 상기 식각 공정으로 수평 반도체 막(HSL)의 일부가 제거될 수 있다. 수평 반도체 막(HSL)이 제거된 자리에 도전 물질을 증착하여, 비트 라인(BL)이 형성될 수 있다. 비트 라인(BL)은 제1 방향(D1)으로 연장될 수 있다. 비트 라인(BL)은 반도체 패턴들(SP)과 전기적으로 연결될 수 있다.
- [0072] 비트 라인(BL)과 각각의 반도체 패턴들(SP) 사이에 제1 실리사이드 패턴(SC1)이 형성될 수 있다. 제1 실리사이드 패턴(SC1)을 형성하는 것은, 비트 라인(BL)을 형성하기 전에, 수평 반도체 막(HSL)의 일부가 제거되어 노출된 반도체 패턴들(SP) 상에 실리사이드화 반응을 수행하는 것을 포함할 수 있다.
- [0073] 반도체 패턴들(SP) 내에 제1 불순물 영역들(SD1)이 각각 형성될 수 있다. 제1 불순물 영역(SD1)을 형성하는 것은, 비트 라인(BL)을 형성하기 전에, 수평 반도체 막(HSL)의 일부가 제거되어 노출된 반도체 패턴(SP)의 일 단 상에 불순물을 도핑하는 것을 포함할 수 있다.
- [0074] 도 19, 도 20a 및 도 20b를 참조하면, 제1 트렌치(TR1)를 채우는 절연 구조체(ISS)가 형성될 수 있다. 절연 구조체(ISS)는 실리콘 산화막, 실리콘 질화막, 및 실리콘 산화질화막 중 적어도 하나를 포함할 수 있다. 제4 절연막(IL4)을 선택적으로 제거하여, 제2 트렌치(TR2)를 통해 적층 구조체(SS)의 반대 측벽을 노출시킬 수 있다. 제2 트렌치(TR2)는 적층 구조체(SS)의 반도체 패턴들(SP)의 측벽들, 제1 절연막들(IL1)의 측벽들, 및 수직 절연막(VIP)의 측벽을 노출시킬 수 있다.
- [0075] 도 21, 도 22a 및 도 22b를 참조하면, 제2 트렌치(TR2)를 통해 노출된 반도체 패턴(SP)의 일부를 제거하여, 제2 리세스(RS2)가 형성될 수 있다. 제2 리세스들(RS2)을 형성하는 것은, 제2 트렌치(TR2)를 통해 반도체 패턴들(SP)을 선택적으로 습식 식각하는 것을 포함할 수 있다.
- [0076] 제2 리세스(RS2)는, 제2 트렌치(TR2)로부터 비트 라인(BL)을 향해 수평적으로 연장될 수 있다. 제2 리세스(RS2)는, 제1 절연막들(IL1) 및 수직 절연막(VIP)에 의해 둘러싸일 수 있다. 제2 리세스(RS2)는, 제1 방향(D1)으로 제1 폭(W1)을 갖도록 형성될 수 있다. 제1 폭(W1)은 반도체 패턴(SP)의 폭과 실질적으로 동일할 수 있다.
- [0077] 제2 리세스(RS2)를 통해 수직 절연막(VIP)을 선택적으로 식각함으로써, 제2 리세스(RS2)가 제1 방향(D1)으로 확장될 수 있다. 수직 절연막(VIP)이 선택적으로 식각됨으로써, 제2 리세스(RS2)에 인접하는 수직 절연막(VIP)의 일부가 제거될 수 있다. 제2 리세스(RS2)는 확장되어, 제1 방향(D1)으로 제2 폭(W2)을 가질 수 있다. 제2 폭(W2)은 제1 폭(W1)보다 클 수 있다.
- [0078] 제2 리세스(RS2)를 통해 노출된 반도체 패턴(SP) 상에 제2 실리사이드 패턴(SC2)이 형성될 수 있다. 제2 실리사이드 패턴(SC2)을 형성하는 것은, 제2 리세스(RS2)를 통해 노출된 반도체 패턴(SP) 상에 실리사이드화 반응을 수행하는 것을 포함할 수 있다.
- [0079] 반도체 패턴들(SP) 내에 제2 불순물 영역들(SD2)이 각각 형성될 수 있다. 제2 불순물 영역(SD2)을 형성하는 것은, 제2 실리사이드 패턴(SC2)을 형성하기 전에, 제2 리세스(RS2)를 통해 노출된 반도체 패턴(SP) 상에 불순물을 도핑하는 것을 포함할 수 있다.

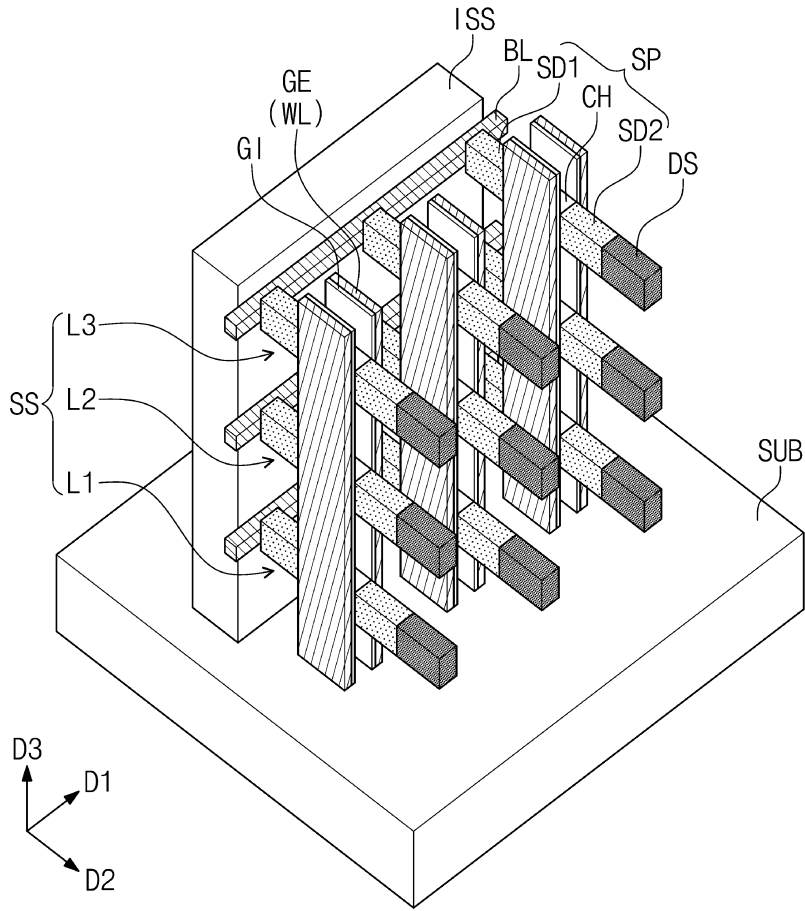
- [0080] 도 23, 도 24a 및 도 24b를 참조하면, 제2 리세스들(RS2) 내에 제1 전극들(EL1)이 각각 형성될 수 있다. 구체적으로, 제1 전극들(EL1)을 형성하는 것은, 제2 리세스들(RS2) 내에 제1 전극막을 콘포멀하게 형성하는 것, 및 상기 제1 전극막을 습식 식각하여 복수개의 제1 전극들(EL1)로 분리시키는 것을 포함할 수 있다. 이로써, 제1 전극(EL1)은 일 단이 개방된 실린더 형태를 가질 수 있다.
- [0081] 도 3 및 도 4a 내지 도 4c를 다시 참조하면, 제1 전극들(EL1) 상에 유전막(DL)이 콘포멀하게 형성될 수 있다. 유전막(DL)은, 노출된 제1 전극(EL1)의 표면을 덮을 수 있다. 유전막(DL) 상에 제2 전극(EL2)이 형성될 수 있다. 제2 전극(EL2)은 제2 트렌치(TR2) 및 제2 리세스들(RS2)을 완전히 채우도록 형성될 수 있다. 제1 전극(EL1), 유전막(DL) 및 제2 전극(EL2)은 정보 저장 요소(DS)를 구성할 수 있다.
- [0082] 본 발명의 실시예들에 따른 제조 방법에 따르면, 수직 반도체 막(VSL) 및 수평 반도체 막(HSL)을 통해, 기판(SUB)과 동일한 결정 구조를 갖는 수직 적층된 반도체 패턴들(SP)을 형성할 수 있다. 다시 말하면, 본 발명에 따른 반도체 메모리 소자의 채널로 사용되는 반도체 패턴(SP)을 단결정 실리콘으로 구현할 수 있다. 이로써, 본 발명의 반도체 메모리 소자의 전기적 특성 및 신뢰성이 향상될 수 있다.
- [0084] 이상, 첨부된 도면들을 참조하여 본 발명의 실시예들을 설명하였지만, 본 발명은 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수도 있다. 그러므로 이상에서 기술한 실시 예들에는 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야 한다.

도면

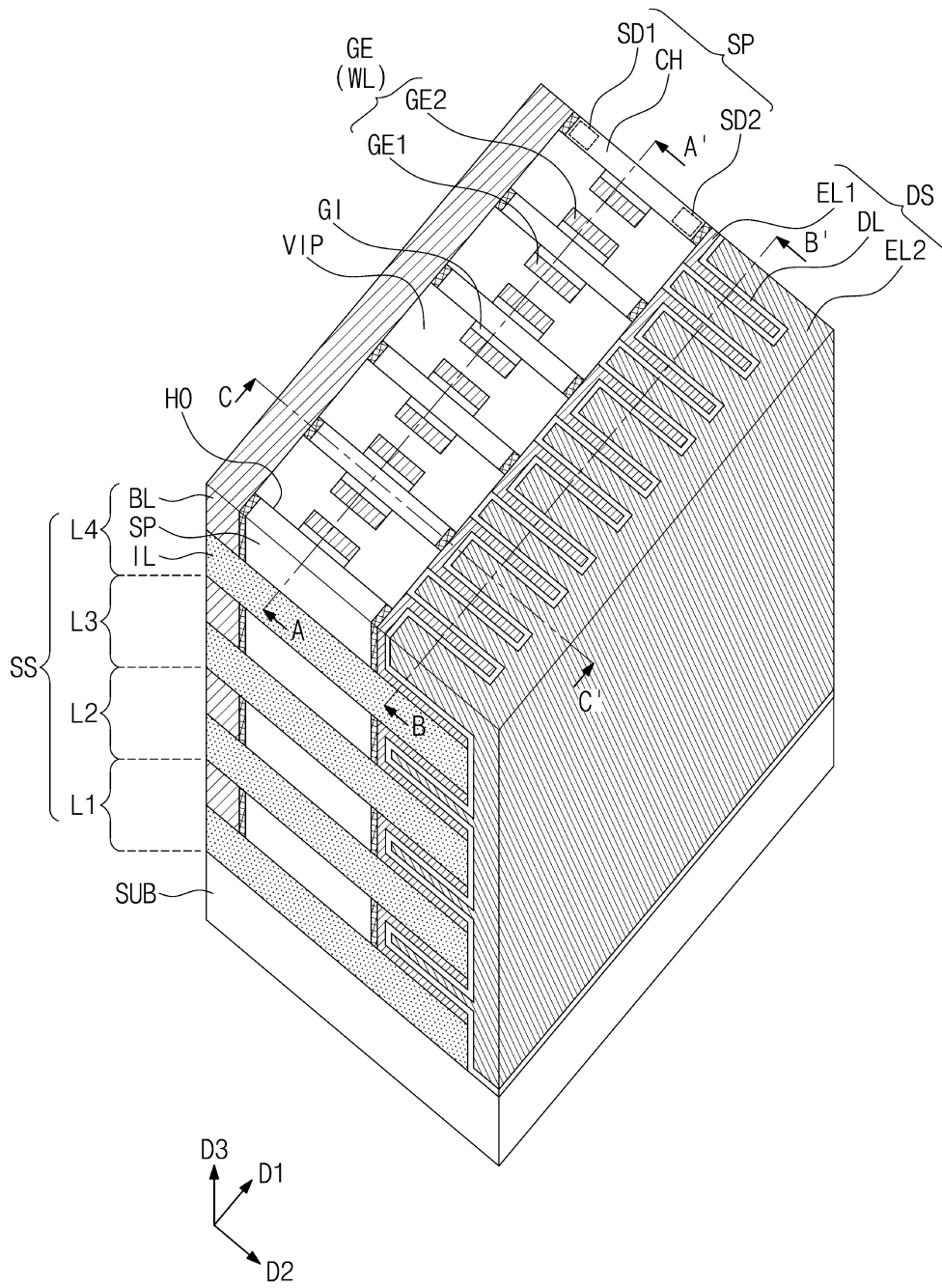
도면1



도면2

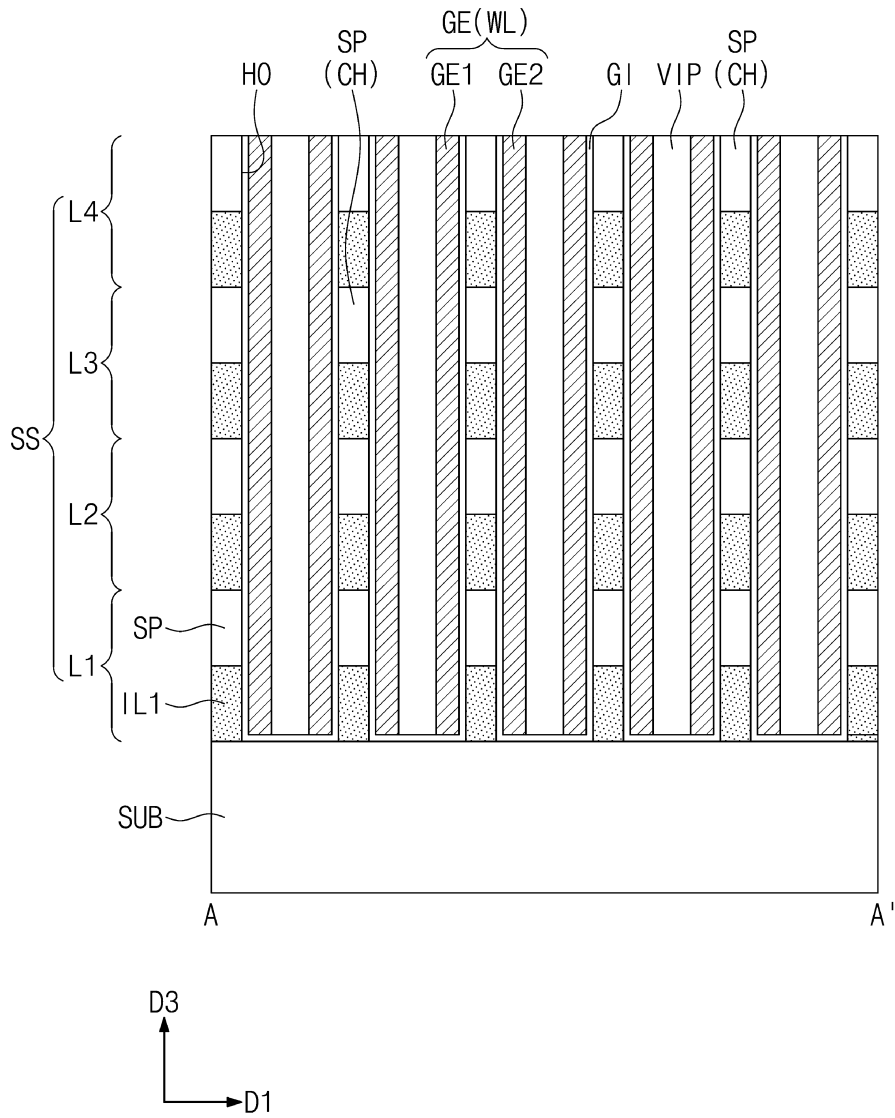


도면3

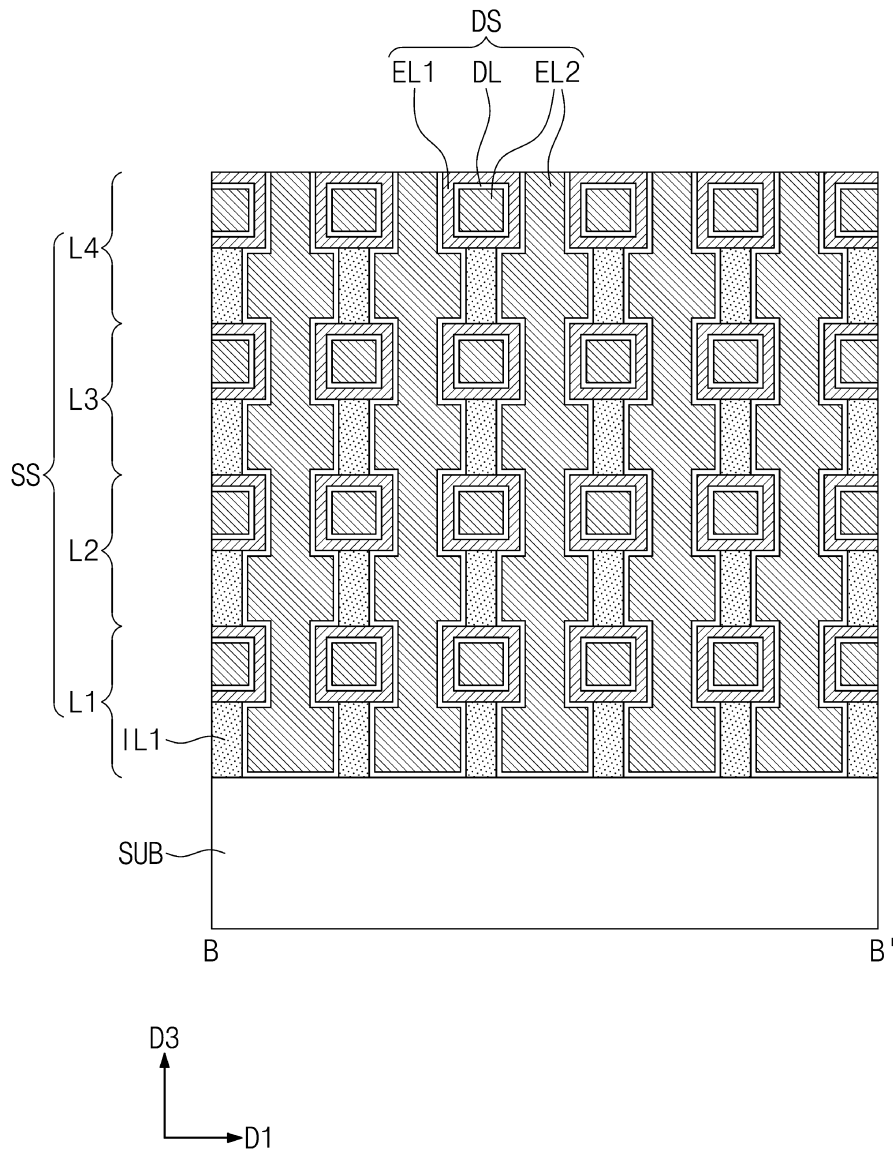




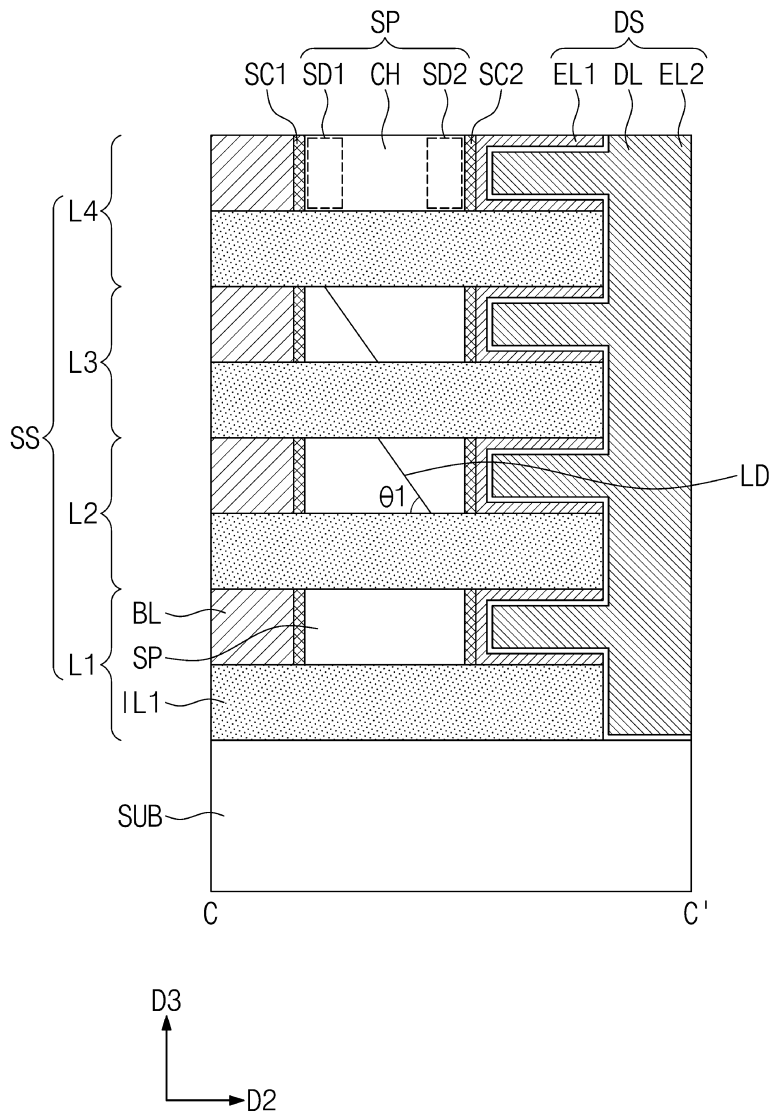
도면4a



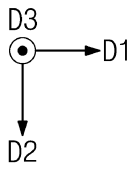
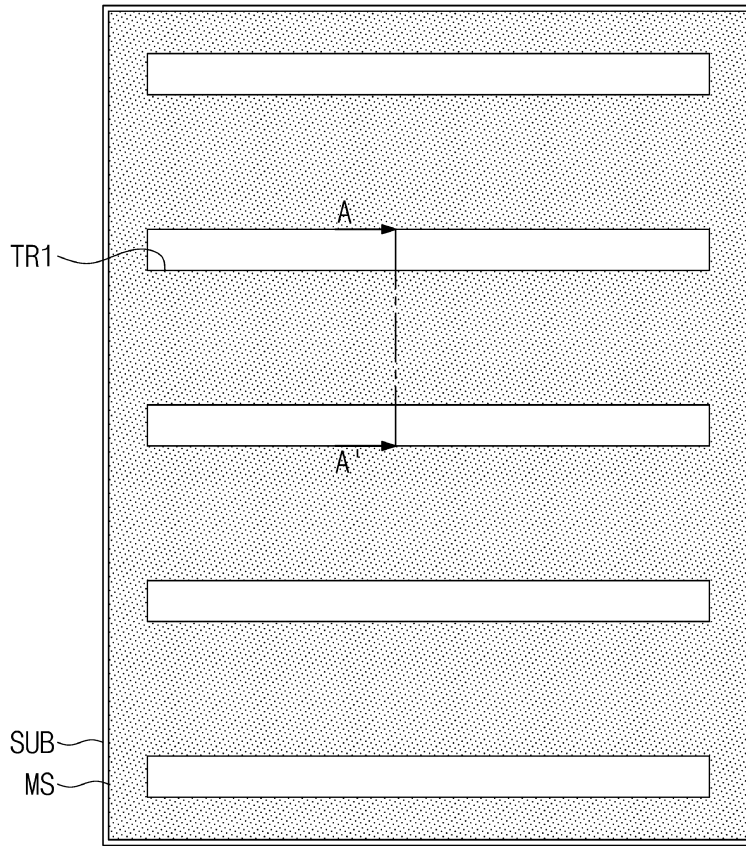
도면4b



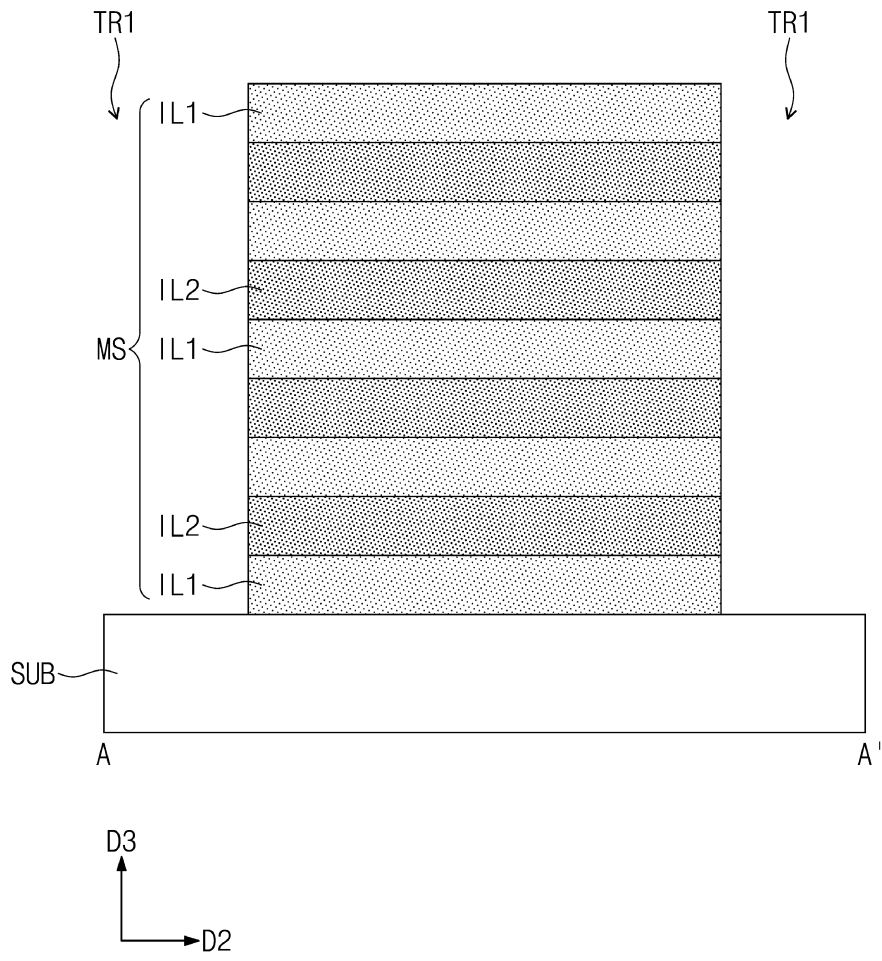
도면4c



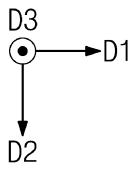
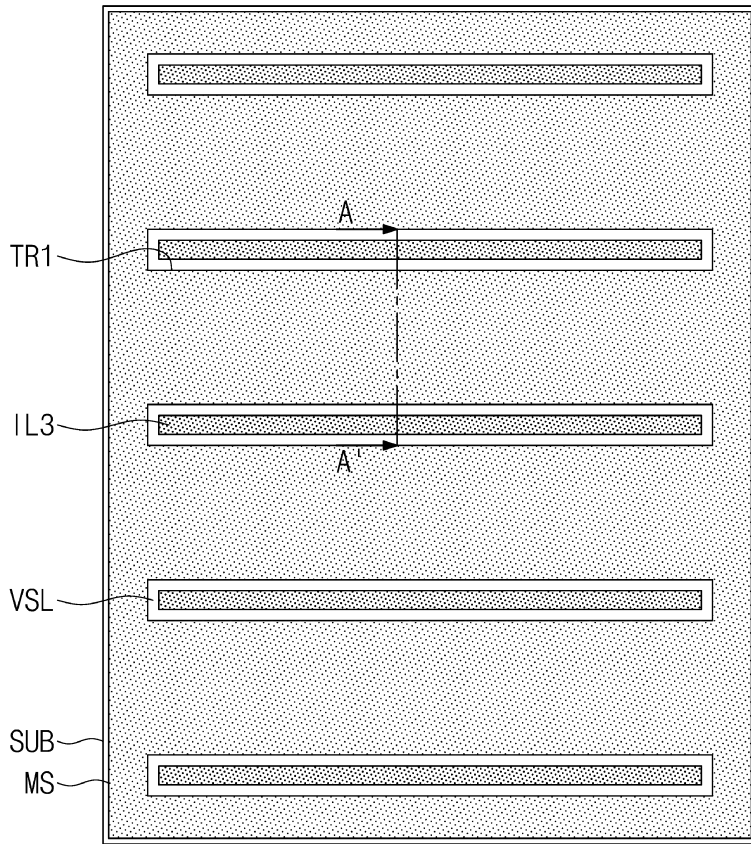
도면5a



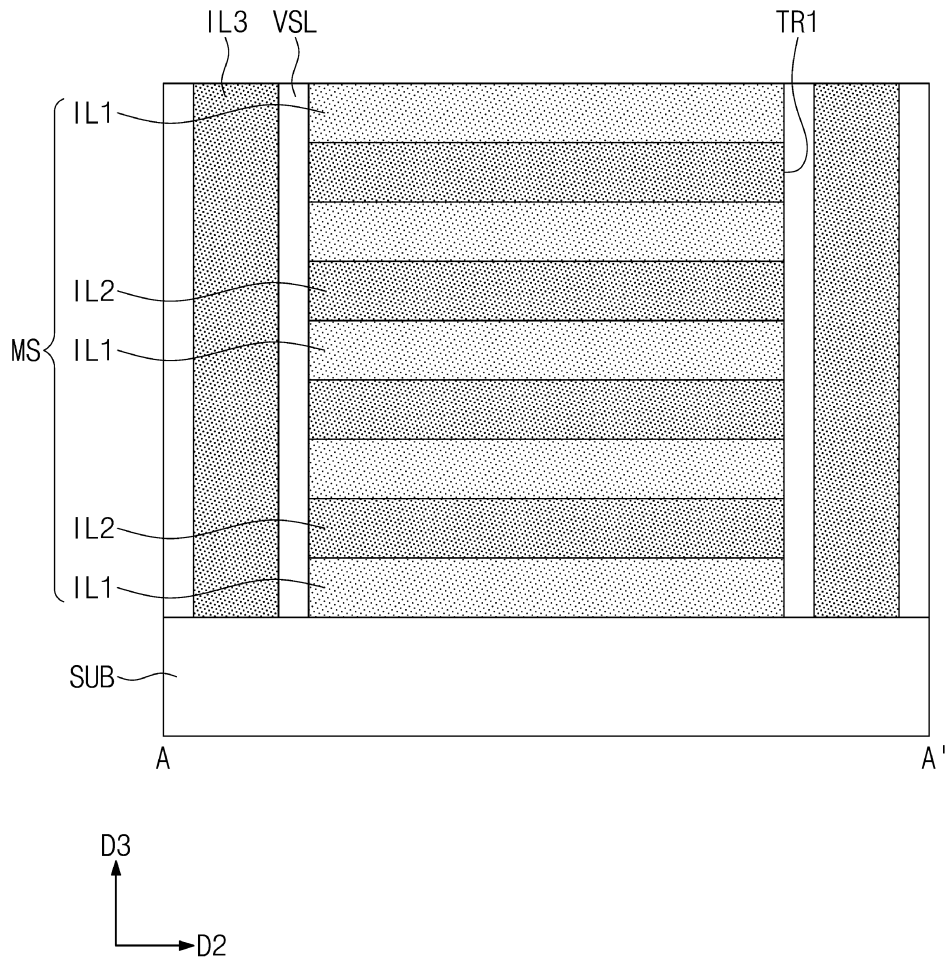
도면5b



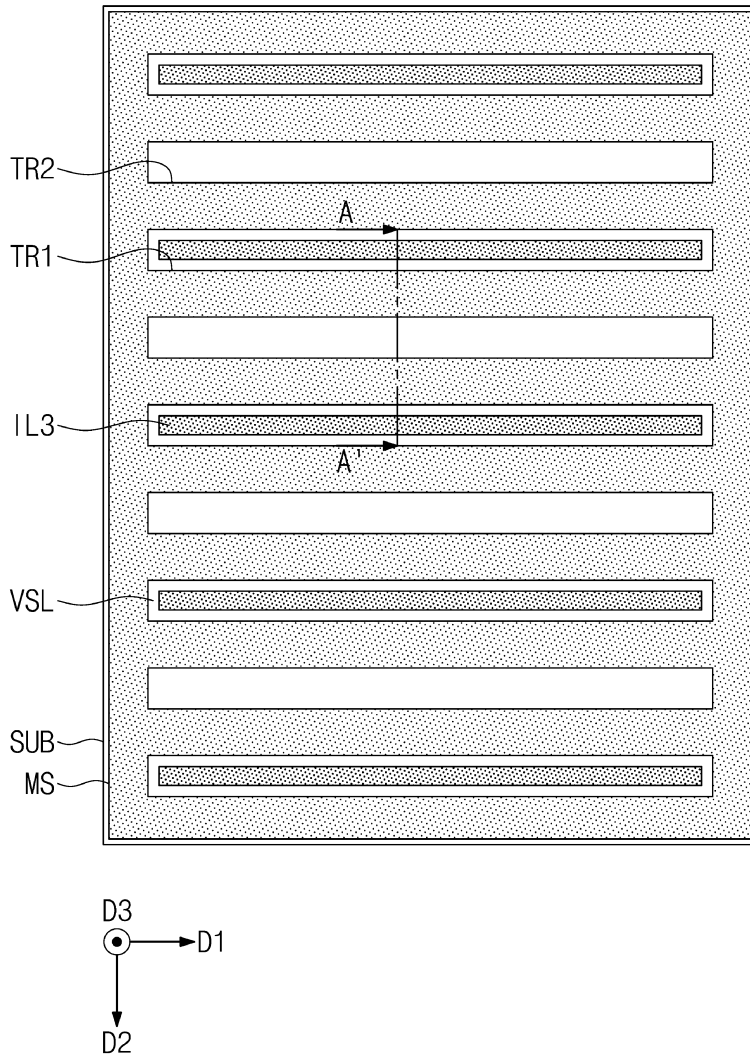
도면6a



도면6b

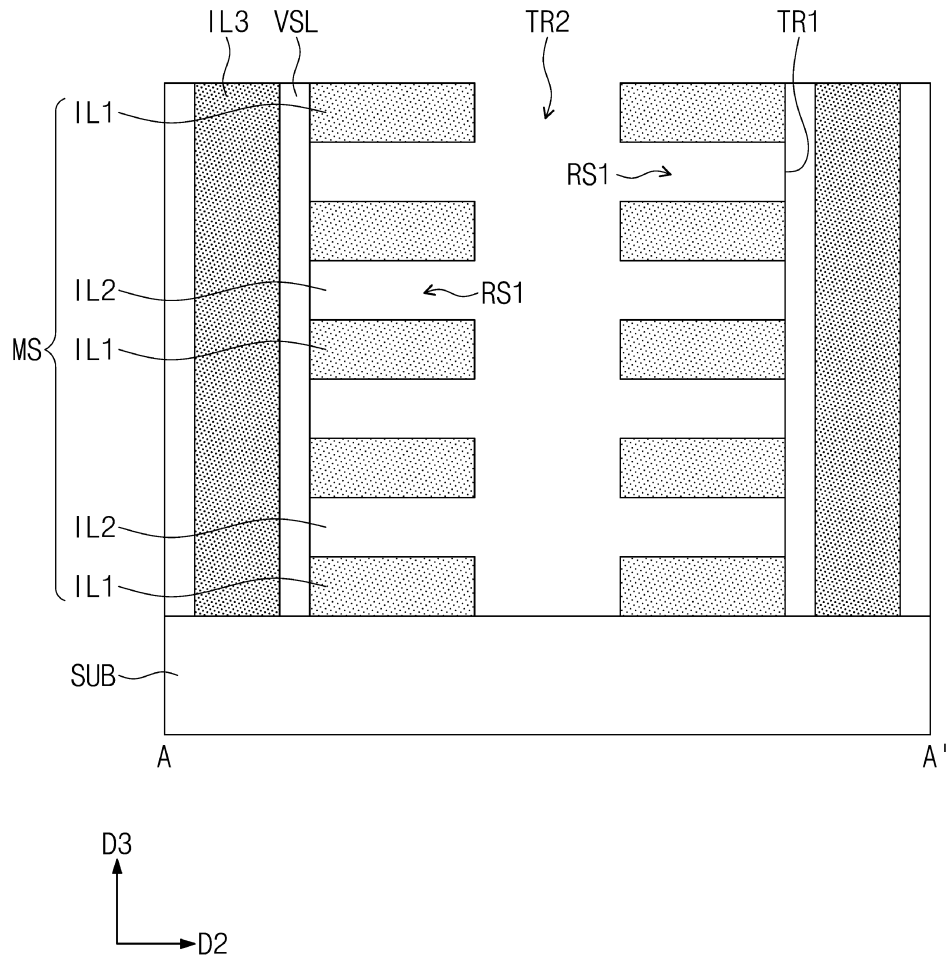


도면7a

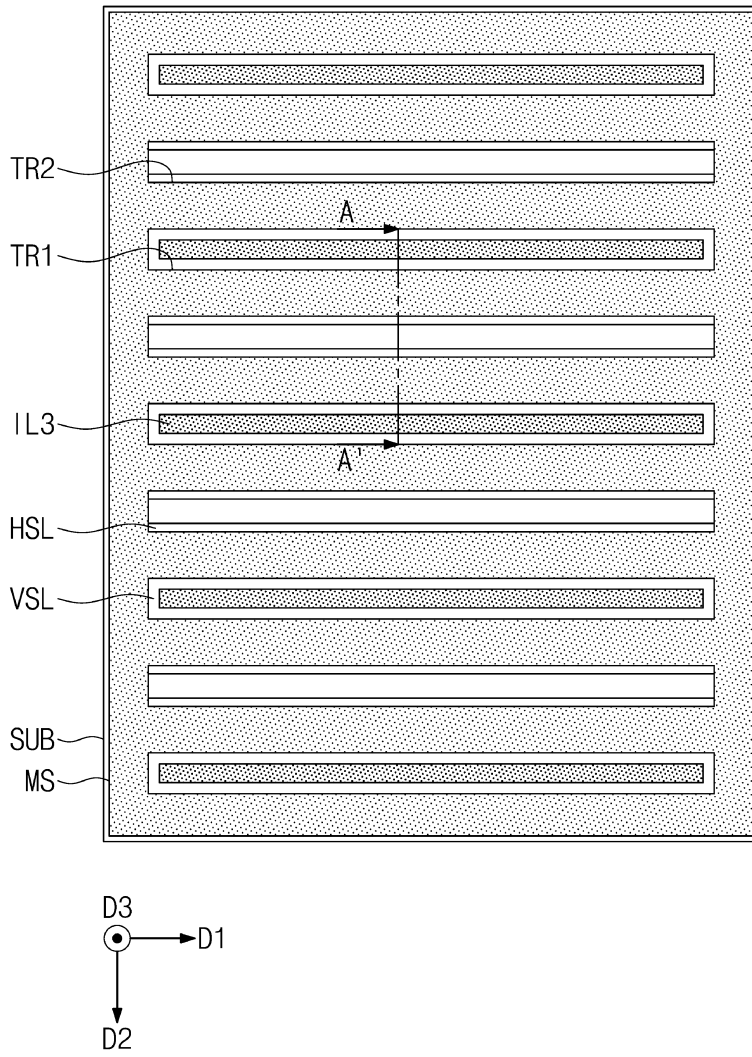




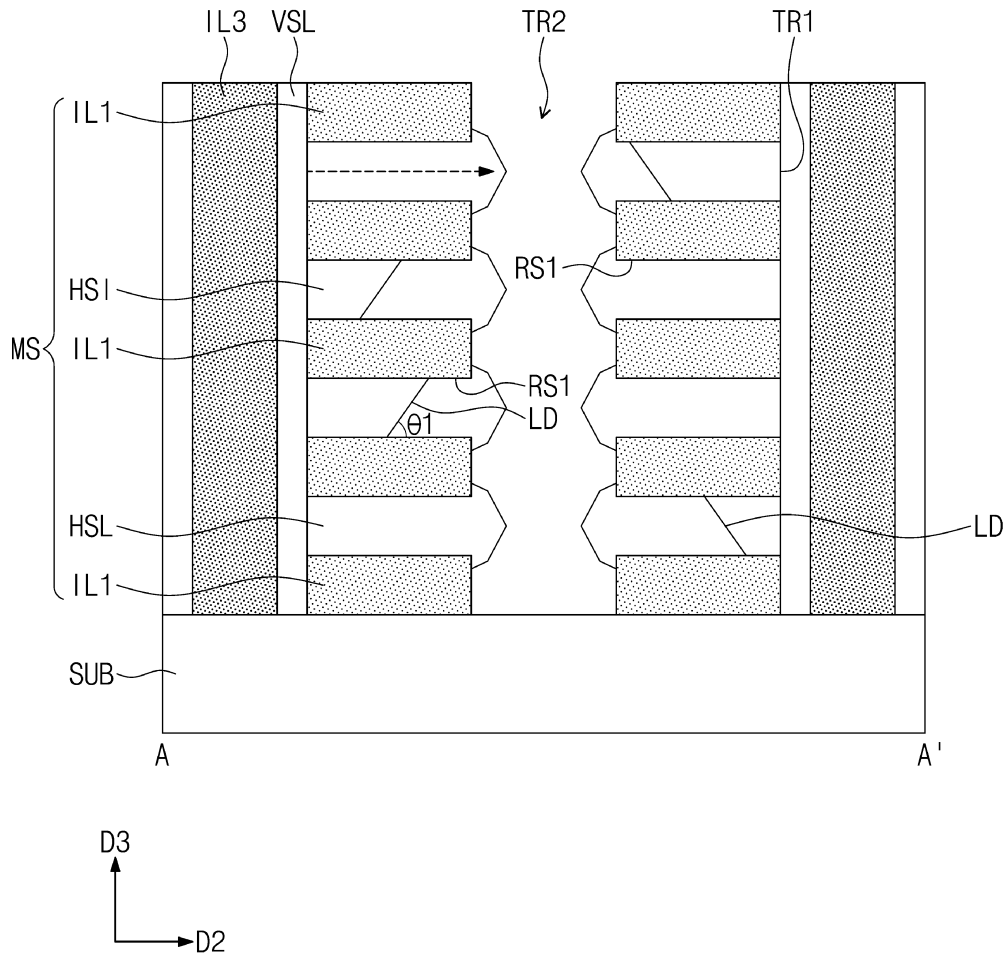
도면7b



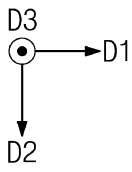
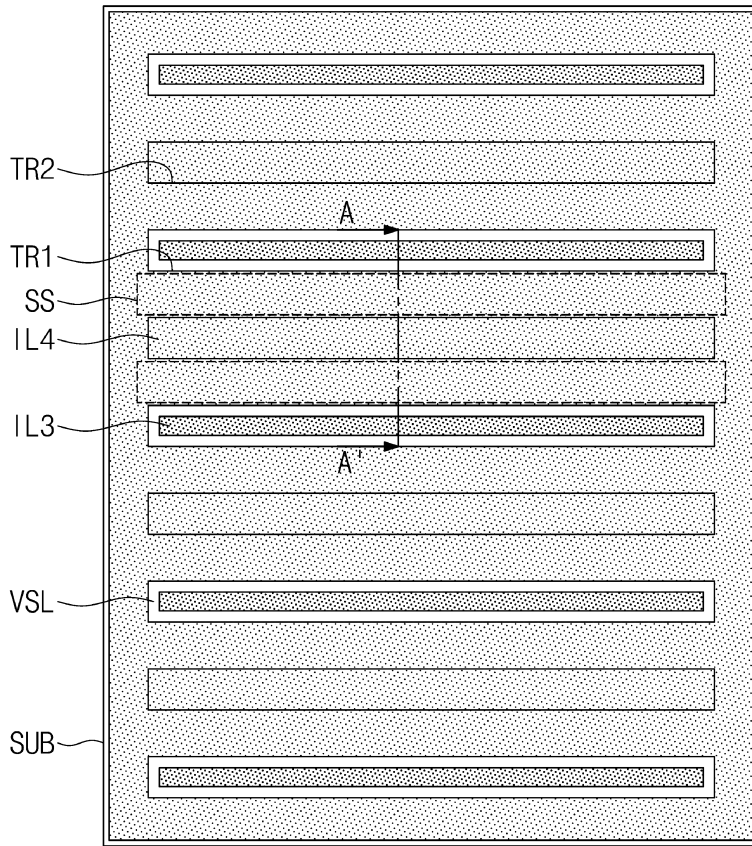
도면8a



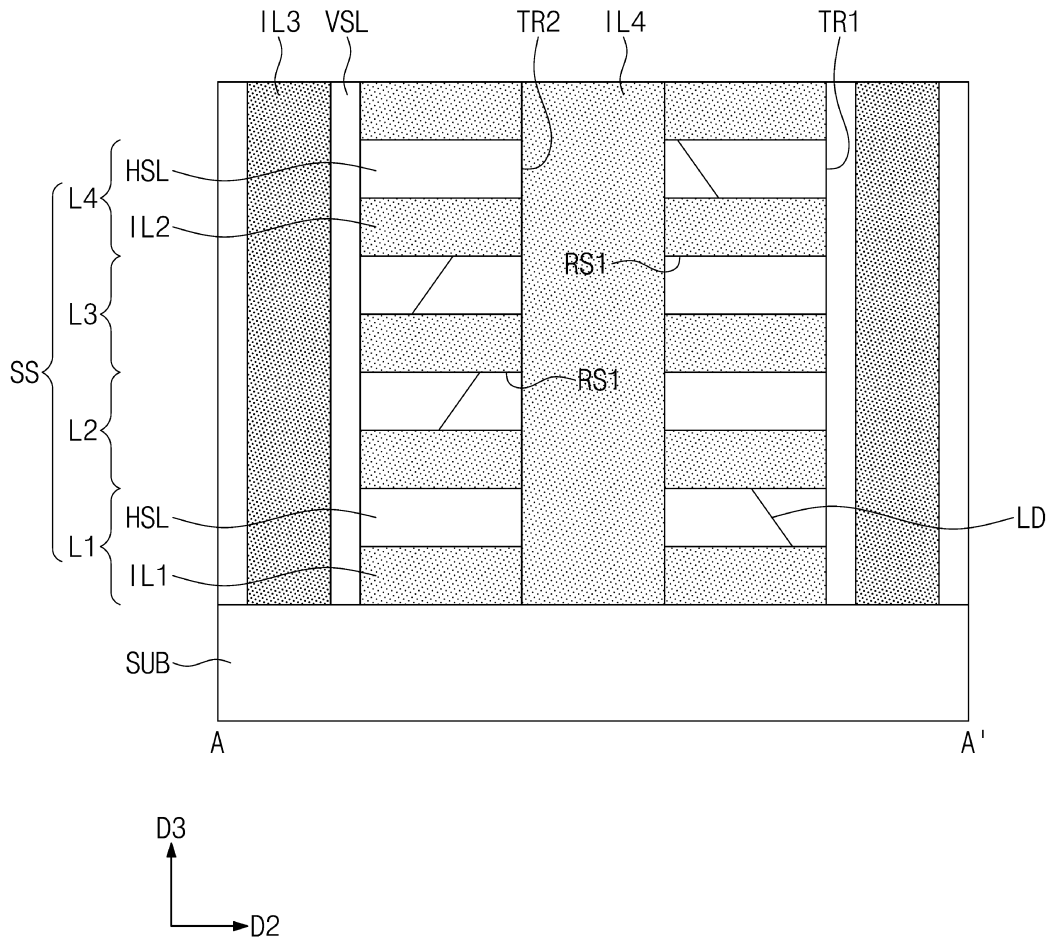
도면8b



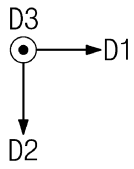
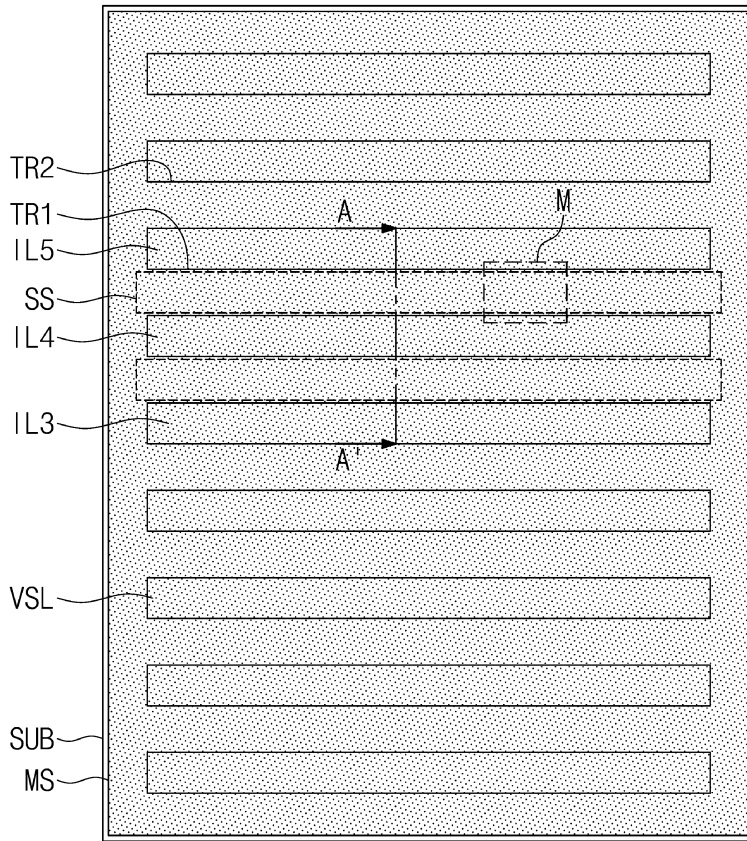
도면9a



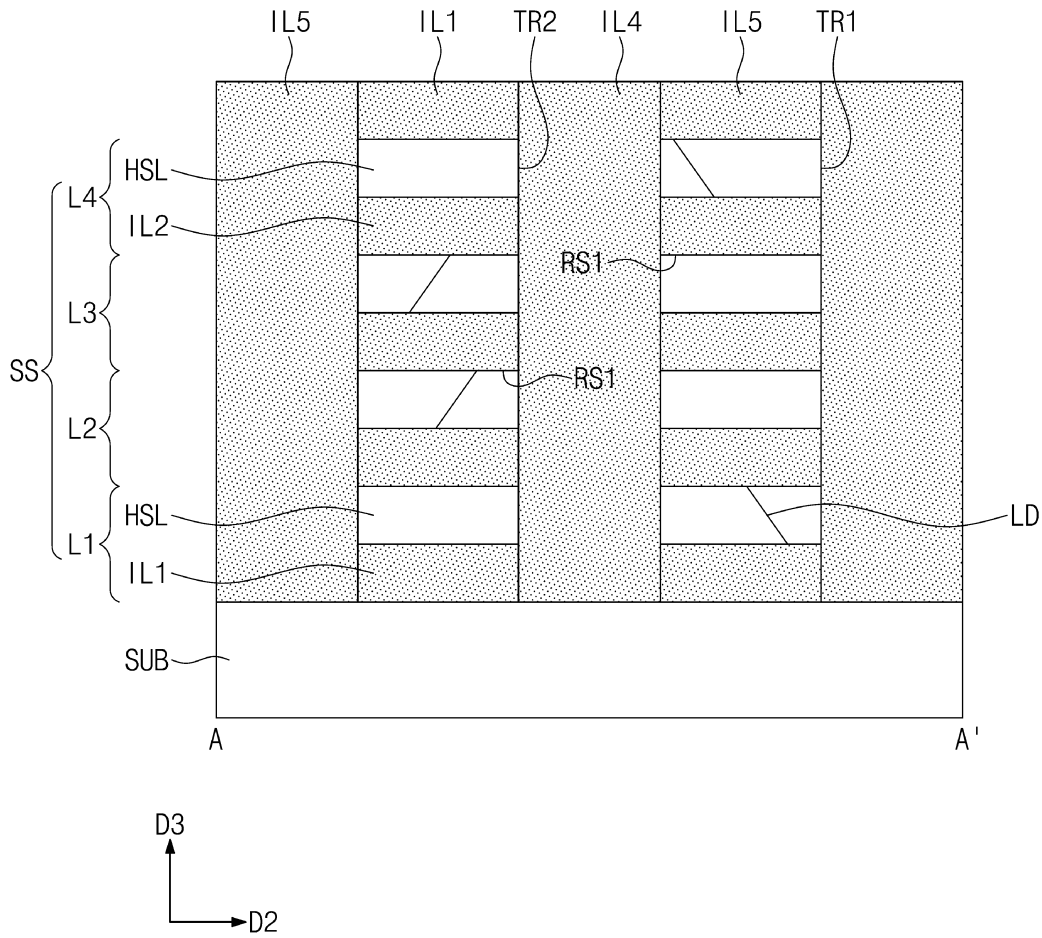
도면9b



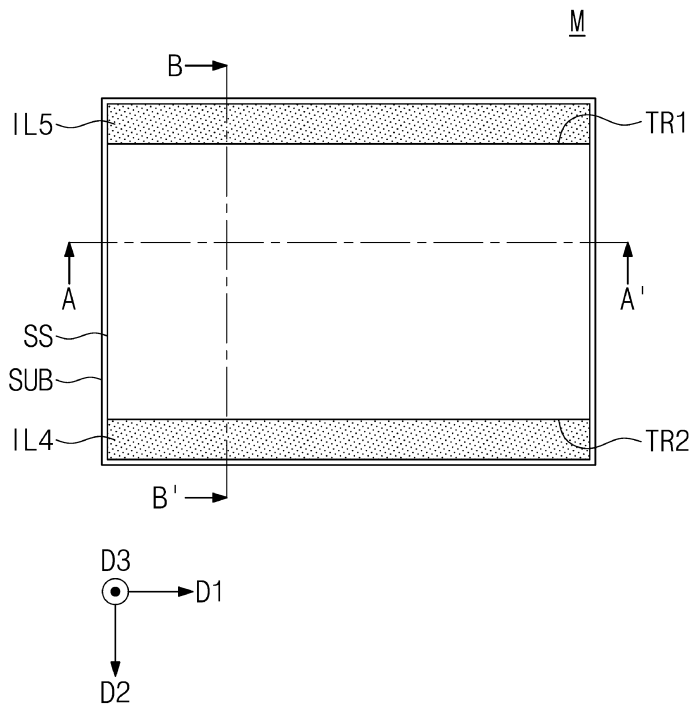
도면10a



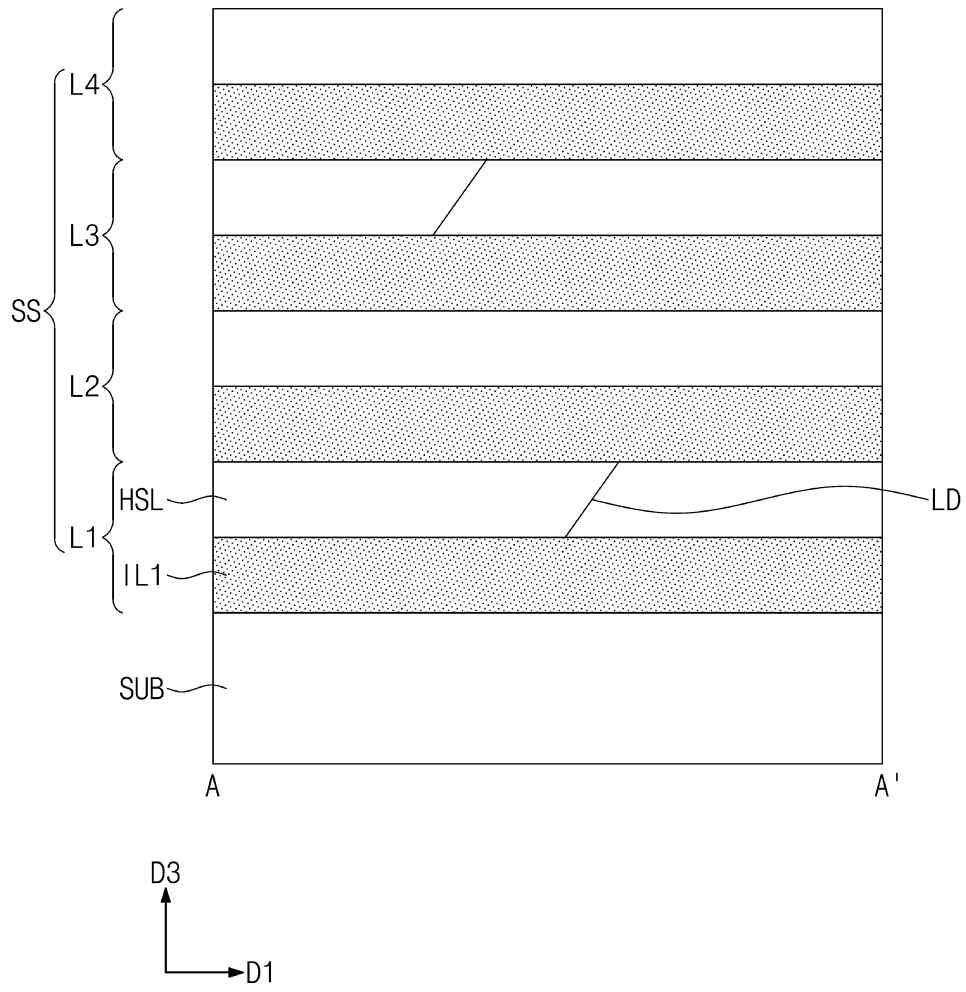
도면10b



도면11

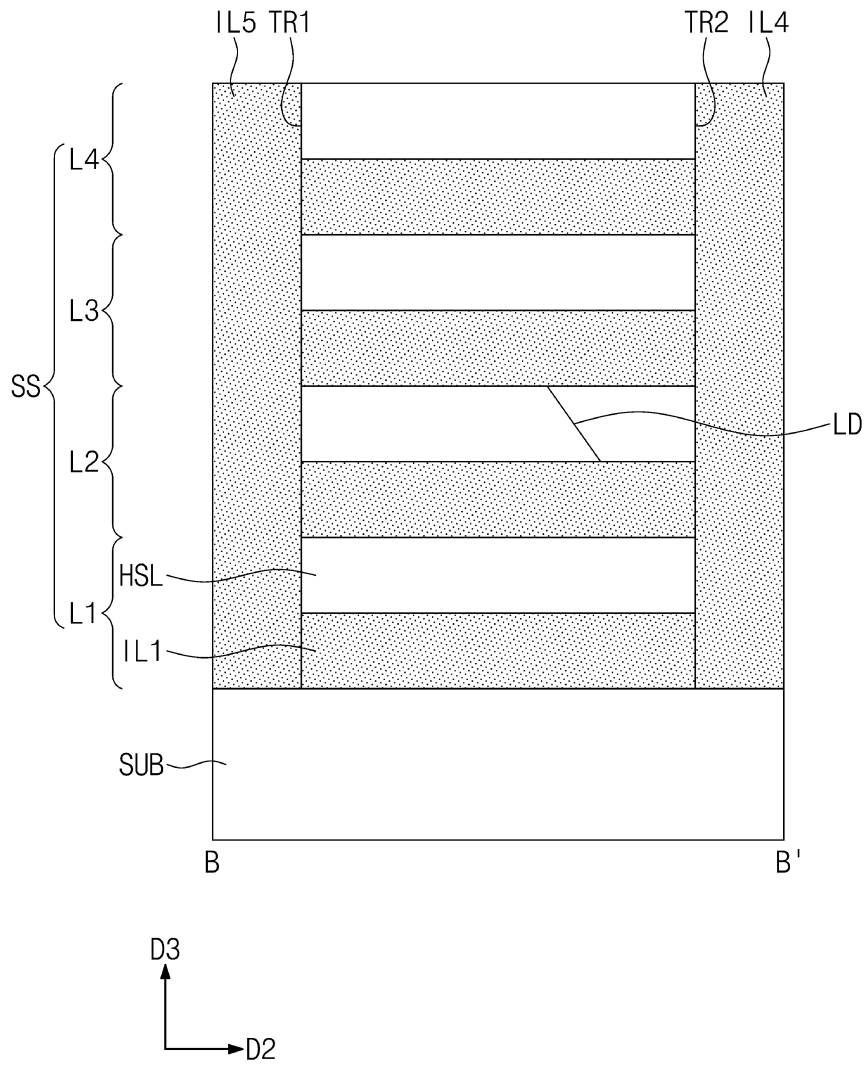


도면12a

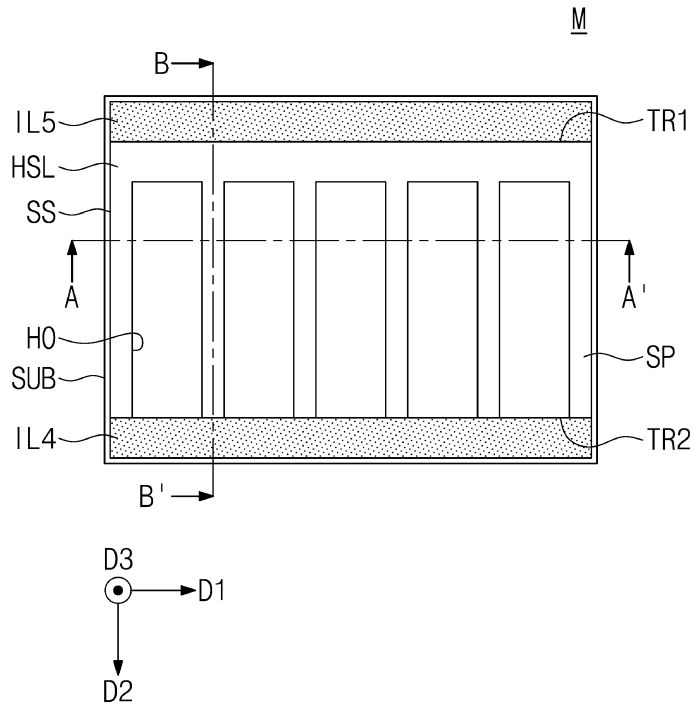




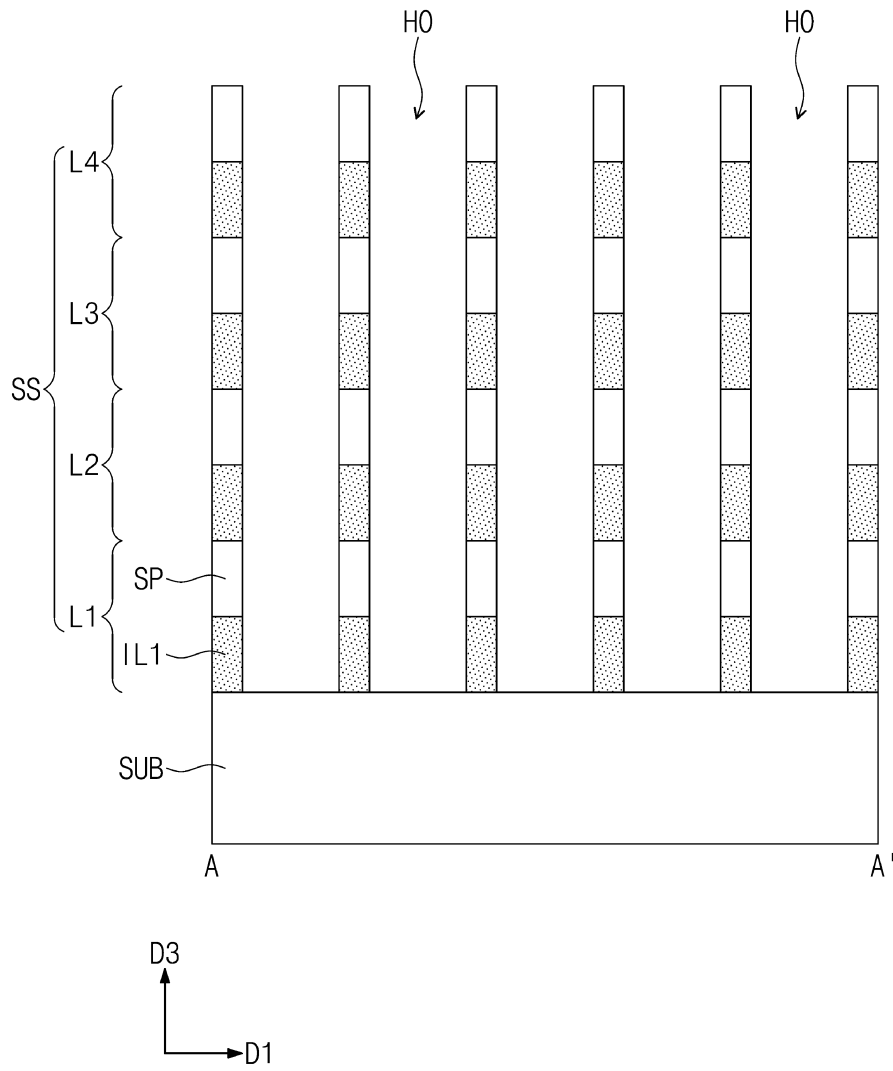
도면12b



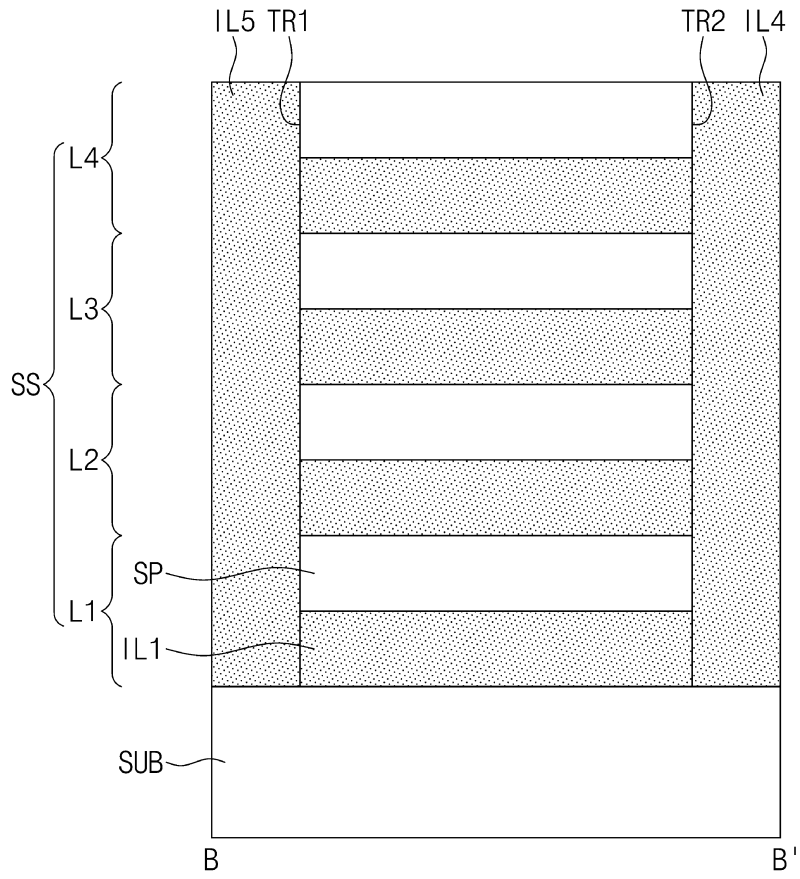
도면13



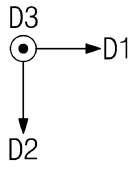
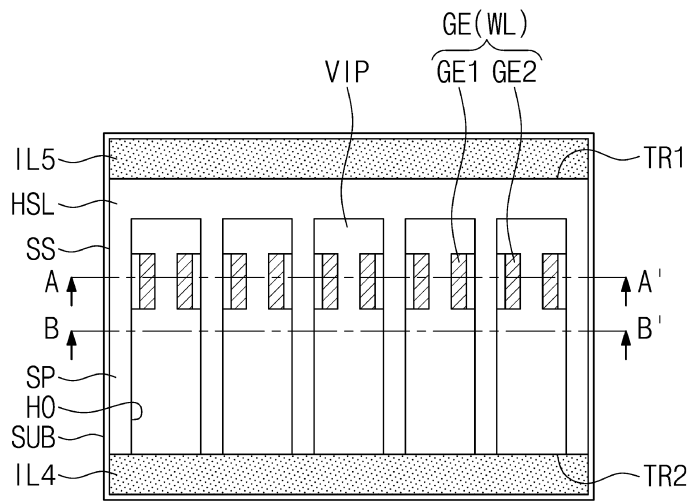
도면14a



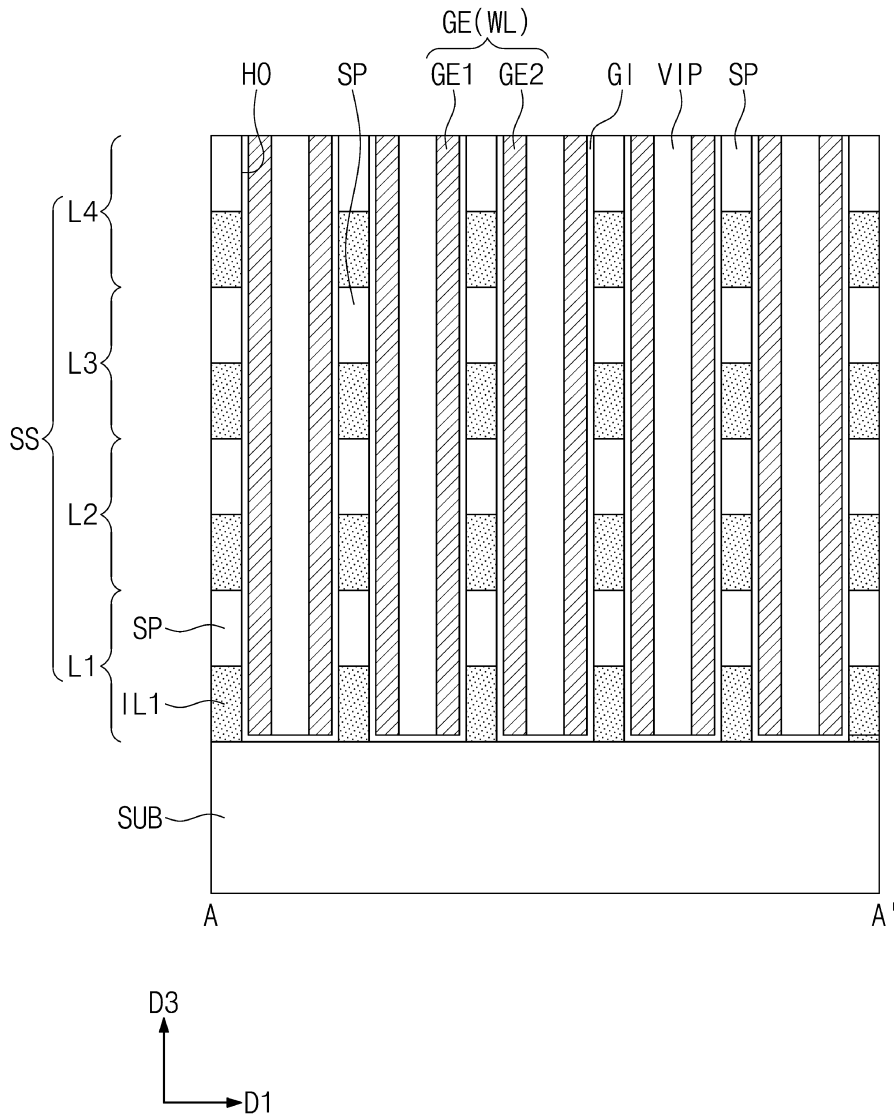
도면14b



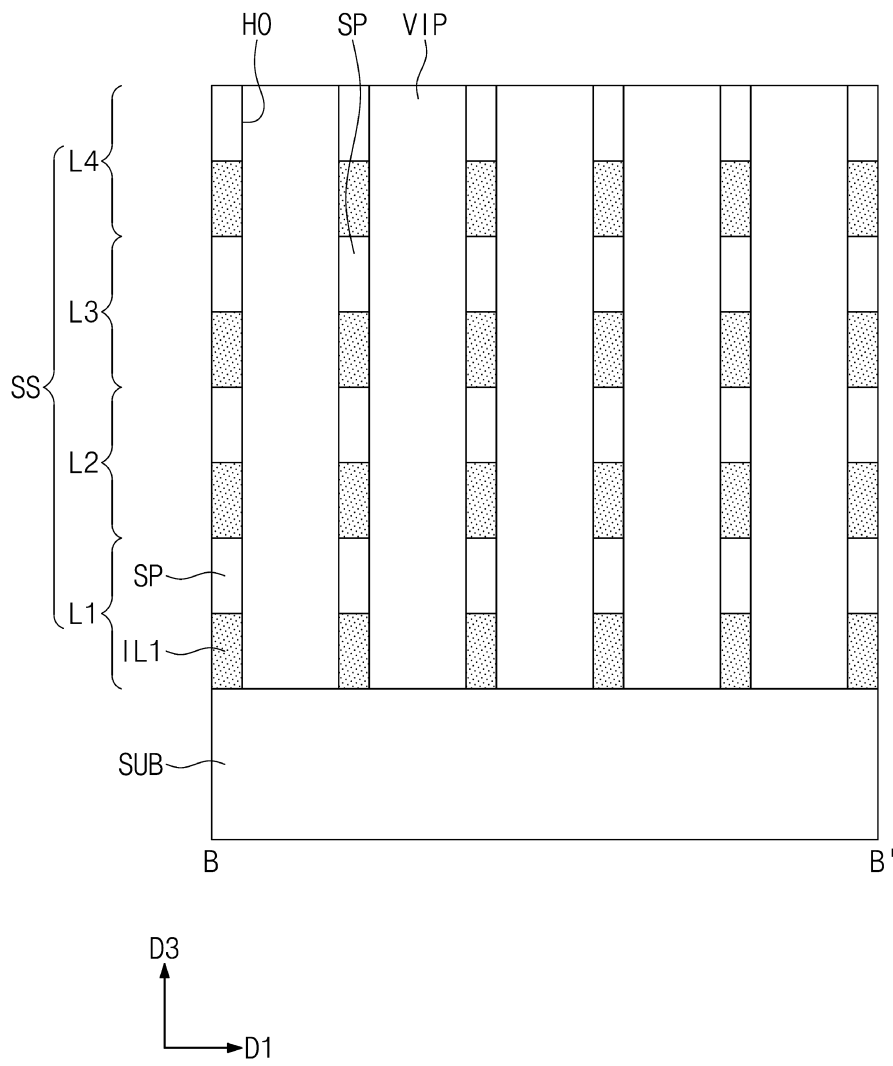
도면15



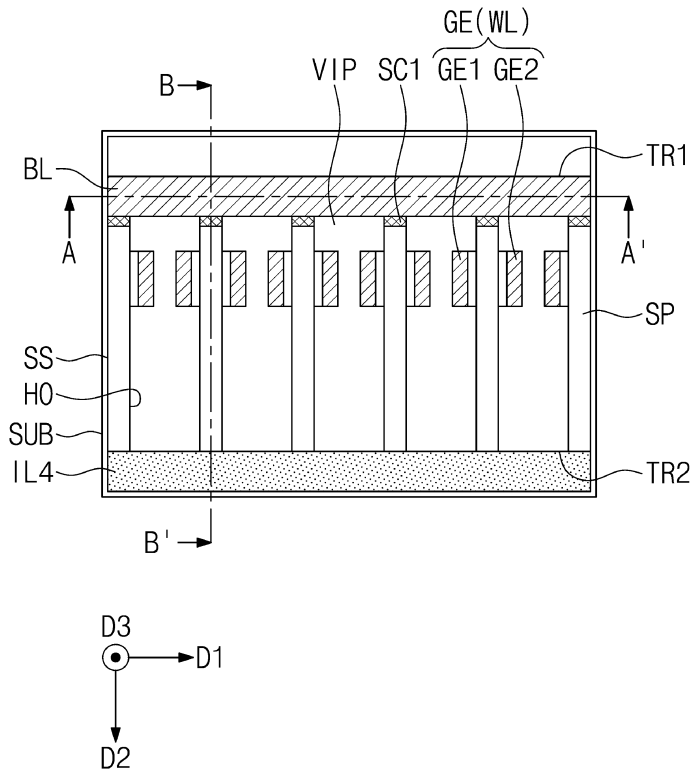
도면16a



도면16b

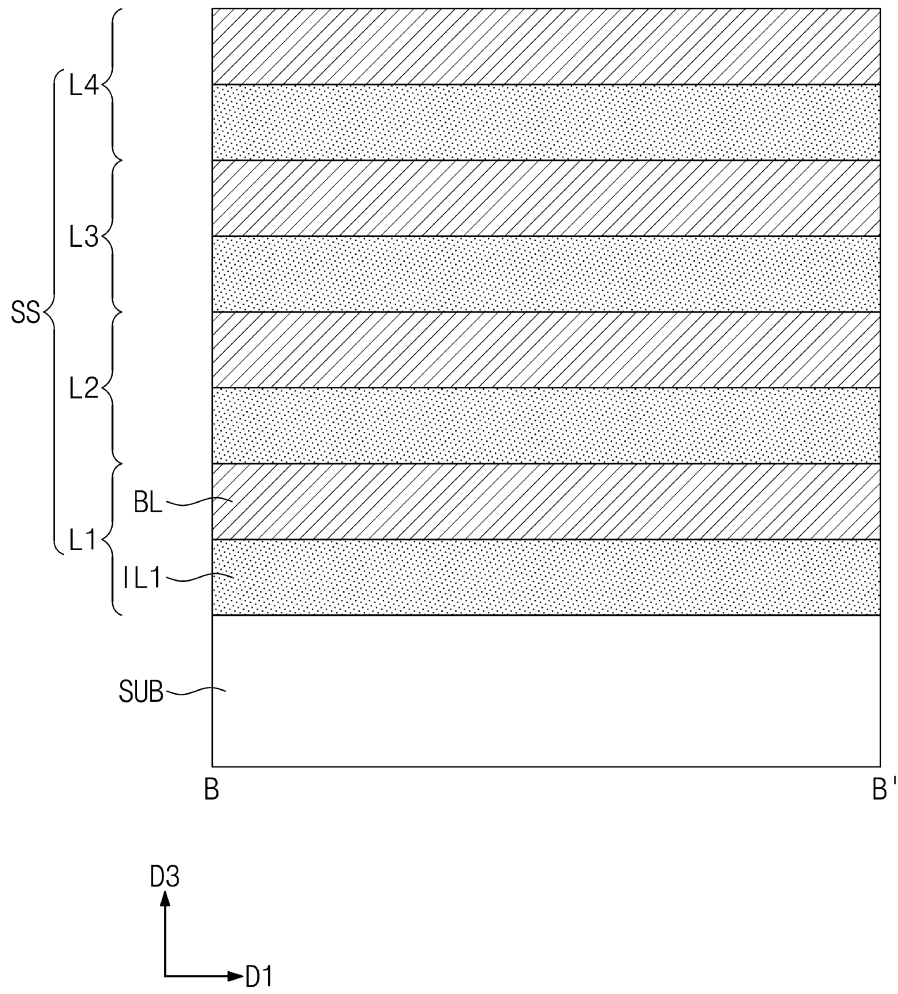


도면17

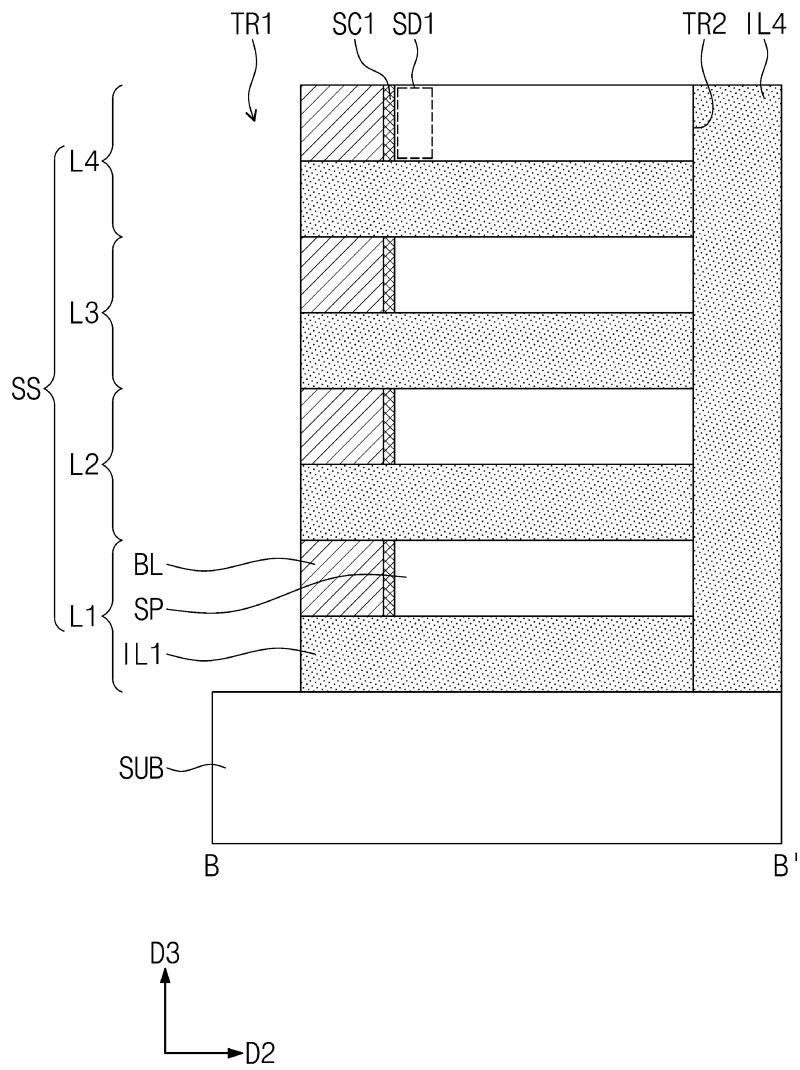




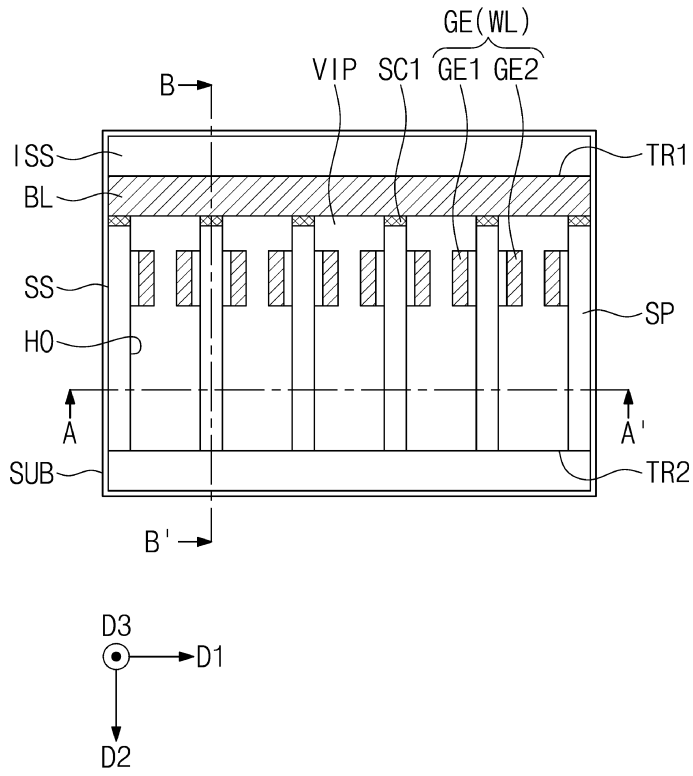
도면18a



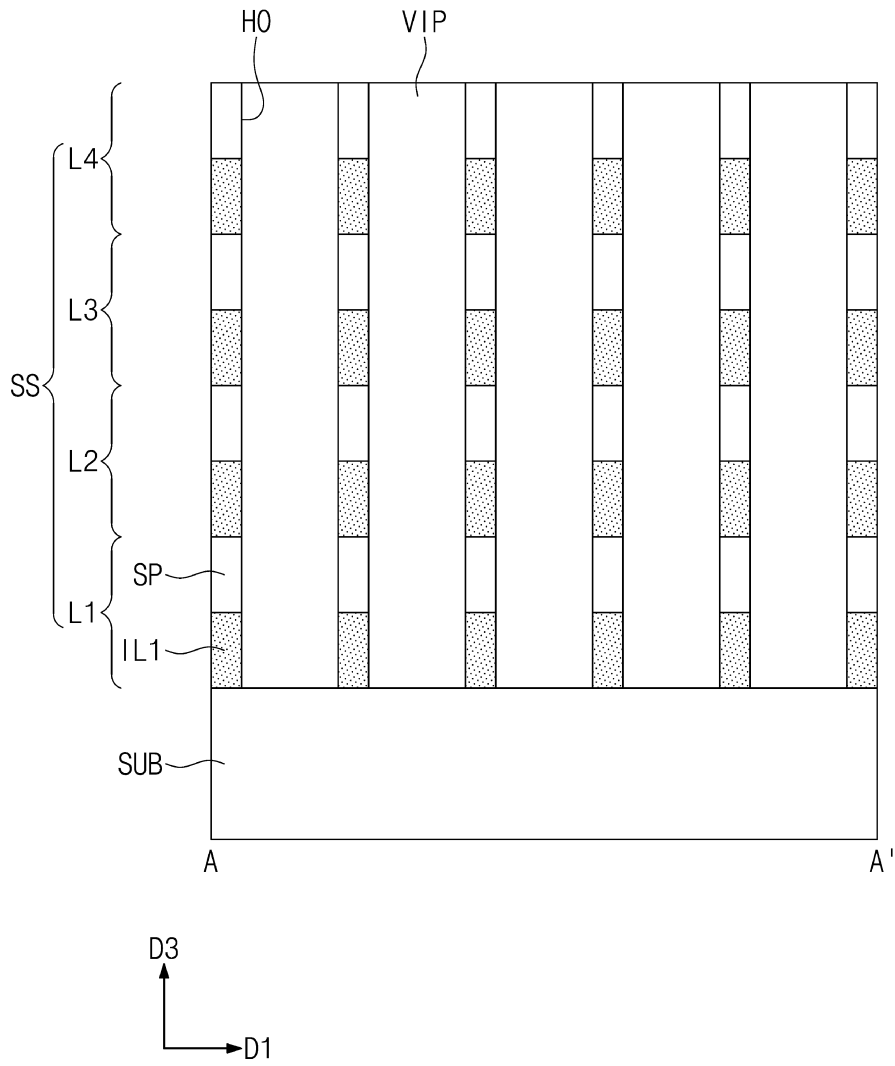
도면18b



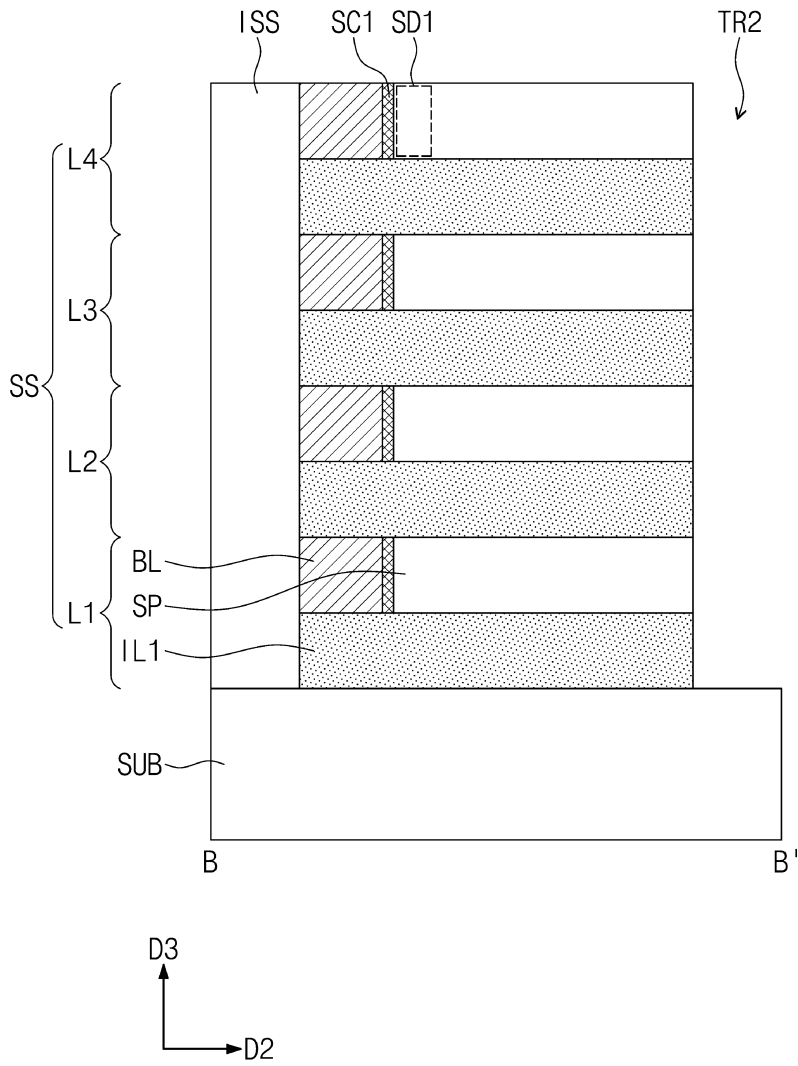
도면19



도면20a

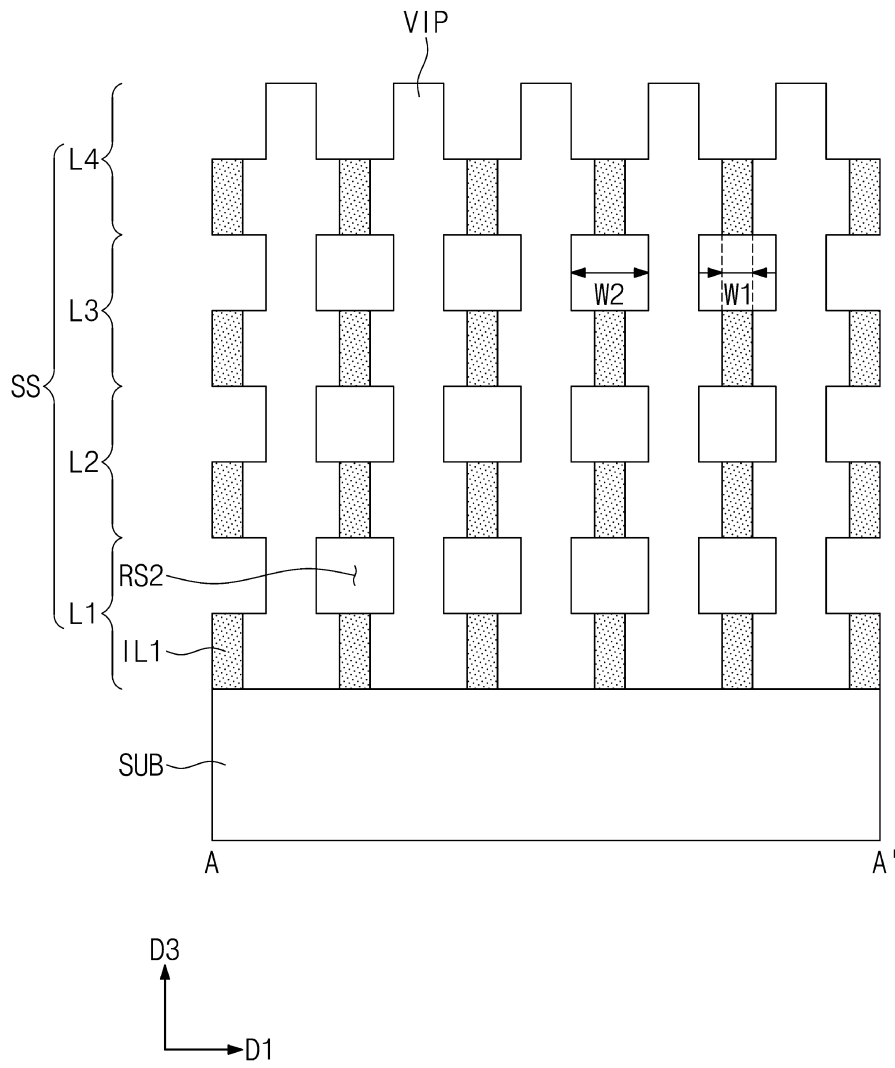


도면20b

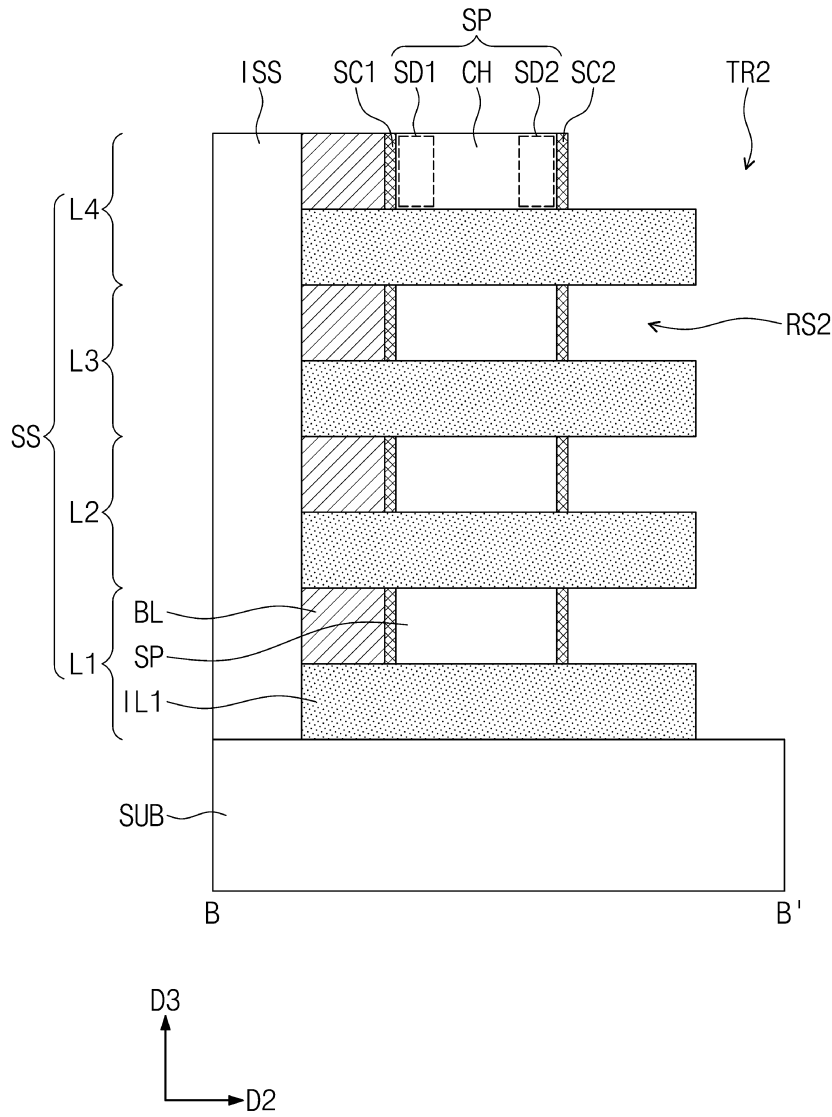




도면22a

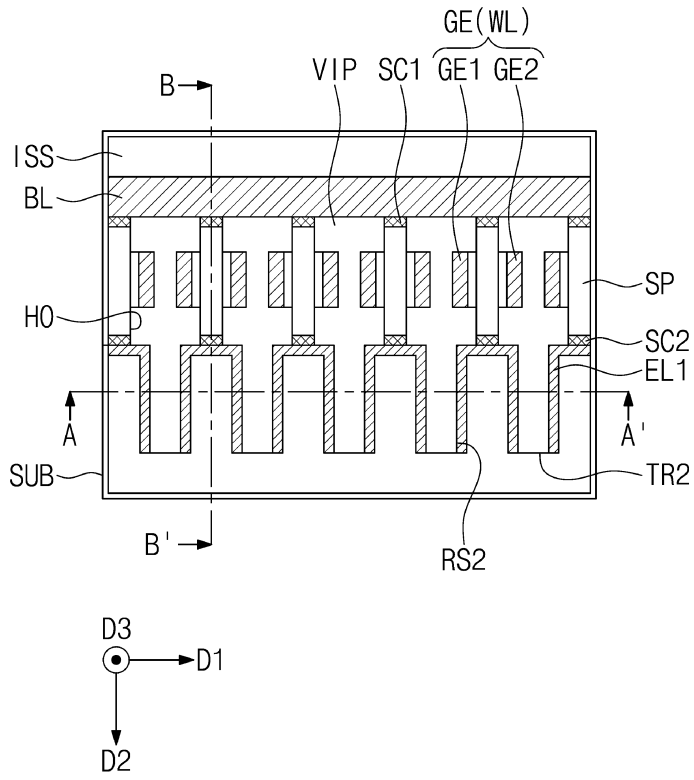


도면22b

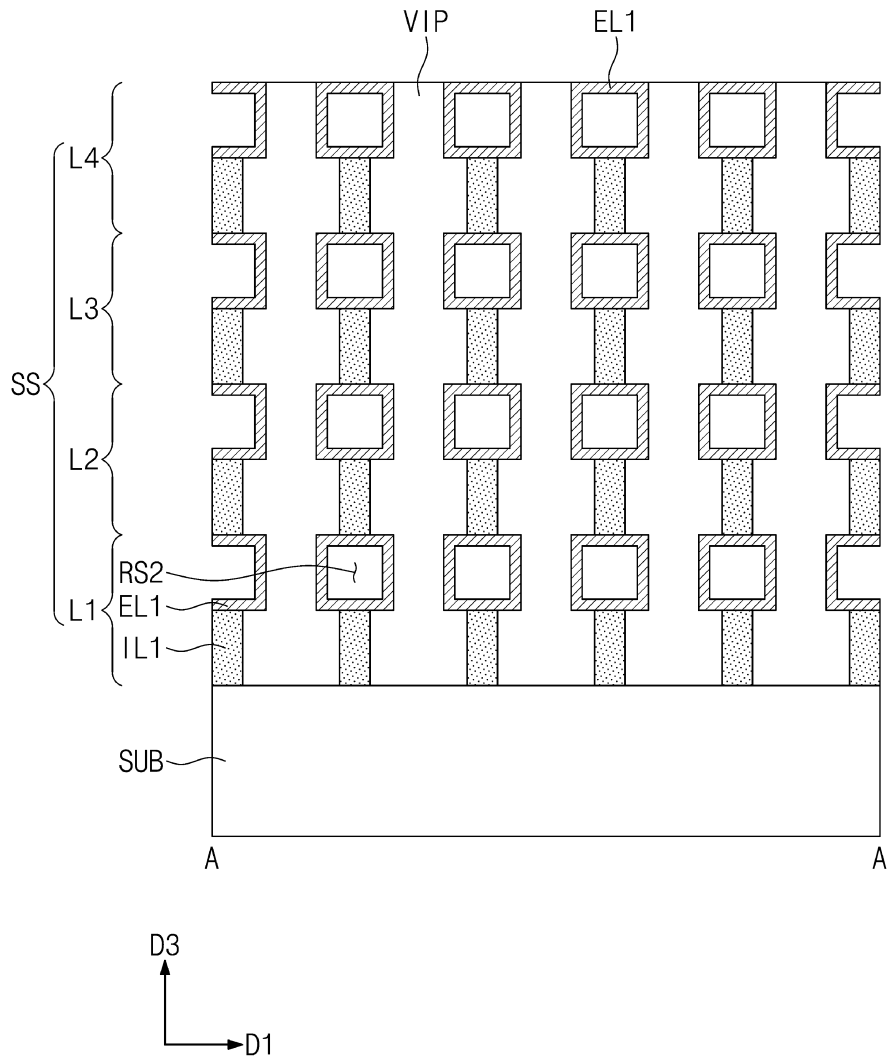




도면23



도면24a



도면24b

