



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2007-0099395
(43) 공개일자 2007년10월09일

(51) Int. Cl.

H02H 3/22 (2006.01)

(21) 출원번호 10-2006-0073340

(22) 출원일자 2006년08월03일

심사청구일자 2006년08월03일

(30) 우선권주장

095111927 2006년04월04일 대만(TW)

(71) 출원인

네이셔널 치아오 텡 유니버시티

중화민국 대만 신쑤 시티 타 슈에 로드 1001호

(72) 발명자

커 밍-도우

중화민국 대만 신쑤 시티 바오산 로드 레인 200
4층-3 3호

첸 웬-이

중화민국 대만 타이페이 시티 104 베이-안 로드
레인 554 5층31호

(74) 대리인

권동용, 박병석, 서장관, 최재철

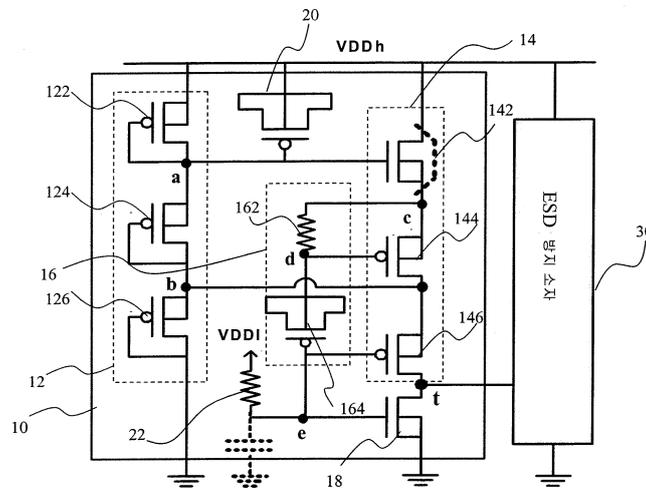
전체 청구항 수 : 총 18 항

(54) 고전압 허용 파워-레일 정전기 방전(ESD) 클램프 회로

(57) 요약

고전압 허용 파워-레일 ESD 클램프 회로가 제안되는데, 회로 장치는 게이트-옥사이드 신뢰성 이슈 없이 그들의 프로세스 한계보다 더 큰 3배의 높은 파워 서플라이 전압 하에서 안전하게 동작할 수 있다. 게다가, ESD 검출 회로는 기관-트리거 기술에 의해서 전체 ESD 방지 기능을 효율적으로 증진시키기 위해서 사용된다. 오직 저전압 (1*VDD) 장치만이 고전압(3*VDD) 허용의 목적을 성취하기 위해서 사용되기 때문에, 제안된 디자인은 혼합 전압 인터페이스를 갖는 칩에 효율적인 파워-레일 ESD 방지 해결 비용을 제공한다.

대표도 - 도1



특허청구의 범위

청구항 1

고전압 허용 성능을 갖는 파워-레일 ESD 클램프 회로에 있어서,

적어도 전압원 및 접지 단자에 연결되고 상기 전압원 및 상기 전지 단자 사이에 ESD가 존재하는지 여부를 검출하기 위해서 사용되는 ESD 검출 회로;

신속하고 동일하게 ESD 상태에서 ESD 전류를 방전하기 위해서 상기 ESD 검출 회로에 의해 트리거 노드의 트리거 전류를 통해 트리거되는 ESD 검출 소자를 포함하는데,

상기 ESD 검출 회로는:

전압원의 입력 전압을 두 개의 전압으로 나누기 위해서 다수의 p-타입 트랜지스터를 포함하는 전압 분리기;

상기 전압 분리기에 연결되고 트리거 전류를 생성하기 위해서 기관을 구동하기 위해 사용되는 기관 구동기로서, 제 1 트랜지스터, 제 2 트랜지스터, 트리거 노드에 연결되는 제 3 트랜지스터, 그리고 상기 제 1 트랜지스터 및 상기 제 2 트랜지스터 사이에 위치되는 제 1 노드를 포함하는 기관 구동기;

제 1 레지스터 및 캐패시터를 포함하는 RC 구분자로서, 제 2 노드를 형성하기 위해서 상기 제 1 레지스터의 한 단부가 상기 제 1 노드에 연결되고, 다른 단부는 상기 제 2 트랜지스터 및 상기 캐패시터의 게이트에 연결되는 RC 구분자;

상기 트리거 노드를 통해서 상기 기관 구동기 및 제 2 노드를 통해서 상기 RC 구분자에 연결되는 제 4 트랜지스터; 및

상기 제 3 노드에 연결되는 한 단부 및 저전압원과 연결되는 다른 단부를 갖는 제 2 레지스터를 포함하는 것을 특징으로 하는 고전압 허용 성능을 갖는 파워-레일 ESD 클램프 회로.

청구항 2

제 1항에 있어서,

상기 전압 분리기의 상기 p-타입 트랜지스터의 수가 복수인 것을 특징으로 하는 파워-레일 ESD 클램프 회로.

청구항 3

제 1항에 있어서,

상기 전압 분리기가 상기 전압원의 입력 전압을 두 개의 전압으로 나누는 것을 특징으로 하는 파워-레일 ESD 클램프 회로.

청구항 4

제 1항에 있어서,

상기 기관 구동기의 상기 제 1 트랜지스터가 NMOS 트랜지스터이고, 상기 제 2 및 제 3 트랜지스터가 PMOS 트랜지스터인 것을 특징으로 하는 파워-레일 ESD 클램프 회로.

청구항 5

제 4항에 있어서,

상기 제 1 트랜지스터가 딥 N-웰 MOS 트랜지스터인 것을 특징으로 하는 파워-레일 ESD 클램프 회로.

청구항 6

제 1항에 있어서,

상기 캐패시터가 PMOS 트랜지스터로 구성되는 것을 특징으로 하는 파워-레일 ESD 클램프 회로.

청구항 7

제 1항에 있어서,

상기 제 1 노드 및 제 2 노드가 동일한 전압을 갖고, 상기 제 2 트랜지스터는 상기 ESD 검출 회로가 상기 ESD 검출 소자를 트리거하지 않도록 오프되는 것을 특징으로 하는 파워-레일 ESD 클램프 회로.

청구항 8

제 1항에 있어서,

상기 제 1 트랜지가 온이고, 상기 제 1 노드의 전압이 상기 제 2 노드의 전압을 상승시키기 위해서 상기 RC 구분자의 RC 시간 지연으로 인해서 저전압 레벨로 유지될 것을 특징으로 하는 파워-레일 ESD 클램프 회로.

청구항 9

제 1항에 있어서,

ESD 이벤트가 순간적으로 발생하고 상기 제 2 및 제 3 트랜지스터가 ESD 이벤트 하에 동작할 때, 상기 기관 구동기가 상기 트리거 노드로부터 상기 ESD 검출 소자로 흐르는 상기 트리거 전류를 생성하기 위해서 ESD 에너지에 의해 신속하게 턴 온 될 수 있는 것을 특징으로 하는 파워-레일 ESD 클램프 회로.

청구항 10

제 1항에 있어서,

상기 제 1 트랜지스터의 벌크 영역이 상기 제 1 트랜지스터의 소스 노드에 연결되는 것을 특징으로 하는 파워-레일 ESD 클램프 회로.

청구항 11

제 1항에 있어서,

상기 제 1 트랜지스터가 턴 온 될 때, 상기 기관 구동기가 상기 ESD 방지 소자로 흐르는 트리거 전류를 전송하기 위해서 상기 RC 구분자의 RC 시간 지연으로 인해 상기 제 2 노드의 전압보다 상기 제 1 노드의 전압이 더 높은 것을 특징으로 하는 파워-레일 ESD 클램프 회로.

청구항 12

제 1항에 있어서,

상기 제 4 트랜지스터가 턴 온 될 때, 상기 ESD 검출 회로의 잡음 마진은 상기 ESD 방지 소자가 부적합하게 트리거 되지 않을 것임을 보장하기 위해서 증가되는 것을 특징으로 하는 파워-레일 ESD 클램프 회로.

청구항 13

제 1항에 있어서,

상기 ESD 검출 회로가 상기 전압 분리기 및 상기 제 1 트랜지스터 사이에 배치되고 캐패시터로서 사용되는 제 5 트랜지스터를 더 포함하는 것을 특징으로 하는 파워-레일 ESD 클램프 회로.

청구항 14

제 1항에 있어서,

상기 ESD 방지 소자가 게이트 옥사이드 구조가 없는 필드 옥사이드 장치인 것을 특징으로 하는 파워-레일 ESD 클램프 회로.

청구항 15

제 1항에 있어서,

상기 ESD 방지 소자가 실리콘-제어 정류기인 것을 특징으로 하는 파워-레일 ESD 클램프 회로.

청구항 16

제 1항에 있어서,

상기 ESD 방지 소자가 다수의 실리콘-제어 정류기를 스테킹 함으로써 형성될 수 있고, 다이오드는 상기 트리거 노드 및 상기 실리콘-제어 정류기의 트리거 노드들 사이에 제공되는 것을 특징으로 하는 파워-레일 ESD 클램프 회로.

청구항 17

제 1항에 있어서,

상기 ESD 방지 소자가 실리콘-제어 정류기 및 다수의 다이오드를 스테킹함으로써 형성될 수 있고, 상기 트리거 노드는 상기 실리콘-제어 정류기의 트리거 포인트에 연결되는 것을 특징으로 하는 파워-레일 ESD 클램프 회로.

청구항 18

제 1항에 있어서,

상기 ESD 방지 소자가 세 개의 NMOS 트랜지스터로 구성될 수 있는데, 상기 최상부 NMOS는 상기 전압 분리기의 제 1 전압 분리 노드에 연결되고, 상기 중간 NMOS의 게이트는 상기 저전압원으로 바이어싱되는 것을 특징으로 하는 파워-레일 ESD 클램프 회로.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <22> 본 발명은 ESD(정전기 방전) 클램프 회로 및, 특히 고전압 허용 파워-레일 ESD 클램프 회로에 관한 것이다.
- <23> ESD 방지는 ESD 이벤트로 인한 손상으로부터 IC들을 보호하기 위해서 사용된다. 혼합 전압 IO 인터페이스에 적용될 때, 이들 인터페이스상에 두 개 이상의 파워 서플라이 전압이 동시에 존재하기 때문에, 얇은 게이트 옥사이드 장치 및 두꺼운 게이트 옥사이드 장치 둘 다는 제품 신뢰성, 동작 주파수, 칩 에어리어, 등을 고려하여 항상 동시에 사용된다. 혼합 전압 회로를 갖는 IC가 임시적인 프로세스 단계 및 부가적인 마스크 층을 사용함으로써 얇은 게이트-옥사이드 장치 및 두꺼운 게이트 옥사이드와 함께 제조될 수 있지만, 그들은 제품 비용을 증가시킬 것이고 생산 수율을 낮출 것이다. 게다가, 두꺼운-게이트-옥사이드 장치는 얇은-게이트-옥사이드 장치의 특성보다 열등한 장치 특성을 가지므로, 칩의 동작 주파수는 제한될 것이다. 그러므로 얇은-게이트-옥사이드 장치가 신뢰성 이슈 없이 높은 동작 전압하에 적용될 수 있다면, 두꺼운-게이트-옥사이드 장치를 제조하는 단계가 절약될 수 있다.
- <24> 고전압 허용 ESD 방지에 관한 현재 기술은 일반적으로 세 가지 유형으로 분류될 수 있다. 제 1 유형은 게이트-옥사이드 구조가 없는 ESD 방지 소자이다. 이런 종류의 장치는 게이트 옥사이드가 없기 때문에, 동작 전압이 프로세스 제한을 초과할지라도 게이트 옥사이드 이슈가 발생하지 않을 것이다. 그러나 이런 종류의 장치가 ESD 방지 소자로서 혼자 사용된다면, 턴-온 속도가 더 낮아지고 턴-온 전압은 ESD 동안에 더 높아질 것이므로, 얇은 게이트 옥사이드를 갖는 내부 회로를 효율적으로 보호할 수 없다. 순방향 바이어스 다이오드 스트링이 ESD 방지 소자로서 사용된다면, 더 빠른 턴-온 속도가 성취될지라도, 기생 pnp BJT 및 달링턴 베타 이득(Darlington beta gain)으로 인한 고온하에 동작하는 동안에 매우 큰 누설 전류가 존재할 것이다. 제 2 유형은 트리거 회로 및 ESD 클램프 회로의 제 1 ESD 방지 소자를 갖는 것이다. 그러나 이런 종류의 장치는 오직 최대 파워 서플라이 전압인, 단지 이들 장치 한계의 두 배를 허용할 수 있다. 대부분의 종래 기술은 예컨대, 1.2-V 장치로 제조되지만 2.5-V 파워 서플라이 전압 하에 동작하는 ESD 방지 소자에 속한다. 파워 서플라이 전압이 이들 장치 한계의 두 배를 초과한다면, 장치의 게이트-옥사이드 신뢰성 이슈가 발생할 것이다. 제 2 유형과 유사하게, 제 3 유형은 트리거 회로 및 ESD 아키텍처의 제 1 ESD 방지 소자를 갖지만 파워 서플라이 전압인, 이들 장치 한계의 세 배를 허용할 수 있다.
- <25> 상기 제 3 유형의 ESD(예컨대, 미국 특허 제 5,956,219에 개시된 "High voltage power supply clamp circuitry for electrostatic discharge(ESD) protection")는 복잡한 회로를 가지며, 제 1 ESD 경로로서 세 개의 스택된

PMOS 소자를 사용하므로, 더 큰 턴-온 저항을 갖는다. 더 양호한 ESD 방지 능력을 얻기 위해서, 더 넓은 칩 에 어리어가 요구되고, 여러 ESD 소자들이 사용에 부합되지 않을 수 있으므로, 보다 다루기 쉽지 않다. 실리콘-제 어 정류기(SCR)와 같이, 게이트 옥사이드를 갖지 않는 다른 ESD 방지 소자가 옥사이드 게이트 신뢰성 이슈 없이 높은 파워 서플라이 전압하에 동작할 수 있어서, 이런 소자는 항상 매우 느린 턴-온 속도 및 매우 높은 턴-온 전압을 가지며, 단지 외부 회로에 의해서 트리거되지 않고 사용될 때 칩 회로를 효율적으로 보호하지 못한다. 게다가, 현재 트리거 회로는 파워 서플라이 전압인 그들 장치 한계의 세 배로 동작할 수 없다.

<26> 본 발명의 목적은 상기 종래 기술의 문제를 해결하기 위해서 고전압 허용 파워-레일 ESD 클램프 회로를 제안하는 것이다.

발명이 이루고자 하는 기술적 과제

<27> 본 발명의 목적은 고전압 허용 파워-레일 ESD 레일을 제공하는 것이고, ESD 검출 회로는 ESD 이벤트가 턴-온 속도 및 턴-온 균일성을 강화하기 위해서 발생할 때 ESD 방지 소자에 기관-트리거 전류를 제공하기 위해서 사용된다.

<28> 본 발명의 다른 목적은 고전압 허용 파워-레일 ESD 클램프 회로를 제공하는 것인데, ESD 검출 회로는 여러 애플리케이션 또는 사양을 충족하기 위해서 사용하기 위한 여러 ESD 방지 소자에 부합할 수 있다.

<29> 본 발명의 다른 목적은 고전압 허용 파워-레일 ESD 클램프 회로를 제공하는 것인데, ESD 검출 회로를 혼합-전압 IO 인터페이스에 적용할 때 어떤 게이트-옥사이드 신뢰성 이슈도 존재하지 않을 것이다.

<30> 상기 목적을 성취하기 위해서, 본 발명은 ESD 검출 회로 및 ESD 방지 소자를 포함하는 고전압 허용 파워-레일 ESD 클램프 회로를 제공한다. ESD 검출 회로는 적어도 전압원 및 접지 단자에 연결되고 전압원 및 접지 단자 사이에 ESD가 존재하는지 검출하기 위해서 사용된다. ESD 검출 회로는 전압원의 입력 전압을 두 개의 전압으로 나누기 위한 전압 분리기(voltage divider), 트리거 전류를 생성하기 위해서 기관을 구동하기 위한 기관 구동기(substrate driver), RC 구분자(RC distinguisher), 제 4 트랜지스터 및 제 2 레지스터를 더 포함한다. ESD 방지 소자는 신속하고 동일하게 ESD 상태에서 ESD 전류를 방전하기 위해서 ESD 검출 회로에 의해 트리거 노드의 트리거 전류를 통해 트리거되므로, 어떠한 게이트-옥사이드 신뢰성 이슈도 갖지 않는다.

<31> 본 발명의 다양한 목적 및 장점은 첨부된 도면을 관독할 때 다음의 상세한 설명으로부터 더 쉽게 이해될 것이다.

발명의 구성 및 작용

<32> 본 발명은 고전압 허용 파워-레일 ESD 클램프 회로를 제공하는데, 기관-트리거 회로는 ESD 스트레스 하에 여러 ESD 방지 소자를 구동하기 위해서 제공된다. 기관-트리거 전류는 STNMOS(기관-트리거 NMOS) 장치, SCR 장치, 및 FOD(필드 옥사이드) 장치와 같은 많은 ESD 방지 장치에 이득이도록 리포트되어 왔다. 기관-트리거 전류는 ESD 스트레스 하에 그들의 턴-온 속도 및 턴-온 균일성을 증가시키기 위해서 이런 ESD 방지 장치의 ESD 로버스트니스(robustness)를 증진시킬 수 있다.

<33> 도 1에서 도시된 바와 같이, 본 발명의 파워-레일 ESD 클램프 회로는 두 개의 전압원(VDDh, VDD1), ESD 검출 회로(10) 및 ESD 방지 소자(30)를 포함한다. ESD 검출 회로(10)는 전압 분리기(12), 기관 구동기(14), RC 구분자(16), 제 4 트랜지스터(18), 제 5 트랜지스터(20) 및 제 2 레지스터(22)로 구성된다. 전압 분리기(12)는 고전압원(VDDh)의 입력 전압을 두 개의 전압으로 나누기 위해서 세 개의 P-타입 트랜지스터(122, 124, 126)를 포함한다. 기관 구동기는 제 1 트랜지스터(142), 제 2 트랜지스터(144) 및 제 3 트랜지스터(146)를 포함한다. RC 구분자는 제 1 레지스터(162) 및 캐패시터(164)를 포함한다. 제 1, 제 2 및 제 3 트랜지스터(142, 144, 146)는 각각 NMOS 및 두 개의 PMOS이다. 제 1 트랜지스터(142)는 딥 N-웰 MOS 트랜지스터(deep N-well MOS transistor)이다. 제 4 트랜지스터(18)는 NMOS이고 ESD 방지 소자(30)가 적합하지 않게 트리거 되지 않을 것을 보장하기 위해서 ESD 검출 회로의 잠음 마진을 강화시킬 수 있다. 제 5 트랜지스터(20)는 PMOS이다. 제 2 레지스터(22)는 저전압원(VDD1)과 연결된다. ESD 검출 회로(10) 내의 모든 장치는 1.2-V 저전압 장치이다. VDDh는 3.3-V 고전압 파워 서플라이이고, VDD1은 1.2-V의 저전압 파워 서플라이이다. ESD 검출 회로(10) 및 ESD 방지 소자(30) 사이에 트리거 노드(t)가 존재한다.

<34> 도 2에 도시된 바와 같이, 전압 분리기(12)는 또한 6개의 PMOS를 포함할 수 있다. 6개의 PMOS 중 2개는 한 쌍으로 보여지며, 전체적으로 전압 분리기(12)를 구성하는 3 개의 PMOS 쌍(121, 123, 125)이 존재한다. 노드(a)는

PMOS 쌍(121) 및 PMOS 쌍(123) 사이에 존재하고, 노드(b)는 PMOS 쌍(123) 및 PMOS 쌍(125) 사이에 존재한다. 노드(a) 및 노드(b)는 전압 분리기(12)의 출력 노드이다.

<35> 고전압원(VDDh) 및 저전압원(VDD1)이 파워 온 될 때, 제 1 트랜지스터(142)의 게이트는 전압 분리기(12)의 노드(a)로부터 2.2-V 바이어스($2/3 \cdot VDDh$)를 얻게 될 것이고, 제 2 트랜지스터(144)의 바이어스는 2.2-V에서 제 1 트랜지스터(142)의 문턱 전압을 감산한다. 0V의 게이트-투-소스 바이어스와 함께, 제 2 트랜지스터(144)는 오프로 유지되어야만 한다. 노드(b) 상의 전압과 같은 제 3 트랜지스터(146)의 소스 전압은 전압 분리기를 통해 1.1V($1/3 \cdot VDDh$)로 바이어싱되는 반면, 그의 게이트(도 3에서 노드(e))는 노드(e)와 같이 VDD1의 1.2V로 바이어싱된다. 그러므로 음의 소스-투-게이트 바이어스와 함께, 제 3 트랜지스터(146)가 일반적인 회로 동작 동안에 또한 오프로 유지된다. 결과적으로 기관 구동기(14)는 일반적인 파워-온 변화 이후에 오프 상태로 동작하고, 어떠한 트리거 전류도 트리거 노드(t)에 제공하지 않는다.

<36> 이런 ESD 검출 회로(10)에서, 제 1 트랜지스터(142)의 드레인-투-게이트 전압은 (3.3-2.2)V이고, 이것은 일반적인 회로 동작 조건 하에서, 반전 영역에서 동작한다. 그러므로 제 1 트랜지스터(142) 벌크 영역이 접지된다면, 제 1 트랜지스터(142)의 유도된 채널 영역은 게이트/벌크 접합에 걸쳐 전기장의 힘을 차단하기에 충분하지 않을 수 있다. 다시 말해서, 제 1 트랜지스터(142)의 벌크가 접지된다면, 제 1 트랜지스터(142)의 게이트 상에 게이트-옥사이드 신뢰성 이슈가 존재할 수 있다. 그러므로 이런 가능한 이슈를 피하기 위해서, 제 1 트랜지스터(142)의 벌크는 자신의 소스 노드에 연결된다. 제 1 트랜지스터(142)의 p-타입 벌크를 통해서 접지된 p-기관으로의 누설 전류 경로를 피하기 위해서, 도 3의 다이어그램에 도시된 바와 같이, 제 1 트랜지스터(142)의 벌크는 공통 p-기관으로부터 3.3-V 바이어스를 갖는 딥 N-웰에 의해서 절연된다. Hspice의 해석으로부터, 일반적인 회로 동작 상태 동안에 ESD 검출 회로(10)의 노드들 상의 전압은 또한 도 4의 다이어그램에서 라벨로 나타내진다. 제 1 트랜지스터(142)는 그의 게이트 전압에 근접한 소스 전압을 갖는다. 이런 시뮬레이트 전압으로부터, 장치의 모든 두 개의 근접 노드 사이에 전압은 그들의 전압 극단(1.2-V 장치에 대해서 1.32V)을 초과하지 않는다는 것이 명백하게 보여질 수 있다. 그러므로 파워-레일 ESD 클램프 회로가 3.3V의 높은 파워 서플라이 전압을 가질 지라도, 게이트-옥사이드 신뢰성 이슈로부터 자유롭다.

<37> 파워-온 변화 동안에, ESD 검출 회로(10)는 오프로 유지되어야해서 ESD 검출 회로(10)는 ESD 검출 소자(30) 상에서 적절하지 않게 트리거하지 않거나 기관 구동기(14)로부터 회망하지 않는 손실 전류의 결과를 가져온다. 이것은 일반적인 파워-온 신호들의 상승 시간의 장점을 취함으로써 성취될 수 있는데, 몇 밀리 세컨드(ms) 순서이다. 그러므로 RC 구분자(16)의 RC 시간 지연이 몇 밀리세컨(예컨대, 몇 마이크로세컨드)보다 훨씬 작은 동안에, 노드(d) 상의 전압은 일반적인 파워-온 상태 동안에 제 2 트랜지스터(144)를 턴 오프 하기 위해서 노드(c) 상의 전압 변화를 따를 수 있다. 도 4는 VDDh 및 VDD1이 각각 3.3V 및 1.2V로 전압이 인가될 때, ESD 검출 회로 노드들 상의 Hspice 시뮬레이트 전압을 도시한다. VDDh 및 VDD1은 이런 시뮬레이션에서 1ms의 동일한 신호 상승 시간을 갖는다. 시뮬레이션 결과는 제 2 트랜지스터(144)(노드(d))의 게이트 전압이 기관 구동기(14)를 턴 오프하기 위해서 그의 소스 전압(노드(c))을 따를 수 있다는 것을 도시한다. 그러므로 기관 구동기(14)는 일반적인 턴-온 변화 동안에 오프 상태에서 안전하게 유지된다.

<38> 도 1에 도시된 바와 같이, ESD 과도 전압은 VDDh 및 접지 단자에 액세스하기 위해서 인가될 때, 기관 구동기(14)는 기관-트리거 전류를 가능한 빨리 트리거 노드에 제공해야만 하기 때문에, 1차 ESD 방지 소자(30)는 ESD 손상으로부터 내부 회로를 보호하기 위해서 신속하게 트리거될 수 있다. ESD 과도 전압이 빠른 펄스 상승 시간(몇 나노 세컨드) 및 짧은 지속 기간(몇백 나노 세컨드) 특성이 있기 때문에, 전압 분리기(10)는 ESD 변화 동안에 제 1 트랜지스터(142)의 게이트 전압을 풀-업(pull-up)하기에 충분히 빠르지 않다. 그러므로 캐패시터로서 제 5 트랜지스터(20)는 ESD 변화하에 제 1 트랜지스터의 턴-온 속도를 강화하기 위해서 필요로 된다.

<39> 제 1 트랜지스터가 턴-온된 이후에, 노드(c) 상의 전압은 높게 폴링되는 반면, 노드(d) 상의 전압은 RC 구분자(16)의 RC 시간 지연으로 인해 낮게 유지된다. ESD 과도 이벤트 동안에, 유동적인 VDD1은 0V정도의 초기 전압 레벨을 가지며; VDD 파워 라인 및 1kΩ 레지스터 상에서 내부 회로의 큰 기생 전기 용량은 오랫동안 ESD 변화 동안에 저전압 레벨로 VDD1을 유지할 것이다. 그러므로 제 2 트랜지스터(144) 및 제 3 트랜지스터(146)가 ESD 변화 동안에 온 상태로 동작하기 때문에, 기관 구동기(14)는 트리거 전류를 1차 ESD 방지 소자(30)에 발생하기 위해서 ESD 에너지에 의해서 신속하게 턴 온 될 수 있다.

<40> 도 5는 ESD 변화 하에 ESD 검출 회로(10)의 Hspice-시뮬레이트 전압을 도시한다. 10ns의 상승 시간을 갖는 전압 펄스와 같은 0에서 5.5V ESD가 ESD 과도 전압을 시뮬레이트하기 위해서 VDDh에 인가된다. Hspice-시뮬레이트 결과는 제 1 트랜지스터(142)(노드(a))의 게이트 전압이 제 5 트랜지스터(20)의 캐패시터 커플링을 통해 높게 신

속하게 풀링되고, 제 2 트랜지스터(144)(노드(d))의 게이트 전압은 RC 구분자(16)의 시간 지연으로 인해 낮게 유지된다. 기관 구동기(14)는 도 6에 도시된 바와 같이, 10ns 내에 35mA 정도의 기관-트리거 전류를 제공할 수 있다. 기관 구동기(14)의 장치 디멘션을 조정함으로써, 트리거된 전류의 크기는 여러 애플리케이션 또는 사양을 충족하기 위해서 디자인될 수 있다.

<41> 도 7(a)에서 도 7(e)은 1차 ESD 방지 소자(30)의 몇몇 실시예이다. 고유 n-p-n 바이폴라 접합 트랜지스터를 갖는 장치는 ESD 손상에 대항하여 IC를 보호하기 위해서 제안된 ESD 검출 회로에 의해서 구동될 수 있다. 예를 들어, 어떠한 게이트 옥사이드 구조도 갖지 않는 FOD(필드 옥사이드) 장치는 도 7(a)에 도시된 바와 같이, 1차 ESD 방지 소자를 위한 선택이다. 1차 ESD 방지 소자의 다른 실시예는 도 7(b)에 도시된 바와 같이 SCR 장치이다. 래치 업 이슈(latch up issue)에 대해서 전체 유지 전압을 증가시키기 위해서, SCR 장치는 도 7(c)에서 도시된 바와 같이 함께 스택될 수 있다. 스택된 SCR 장치의 수는 더 높은 유지 전압에 대해 증가될 수 있다. 도 7(c)에서 SCR의 트리거 노드 및 p^+ 노드 사이의 다이오드들은 메탈 연결을 통해서 제 1 SCR의 p^+ 노드로부터 마지막 SCR의 p^+ 노드로 SCR 장치로부터 흐르는 ESD 전류를 막을 수 있다. SCR 장치의 전체 유지 전압은 또한 도 7(d)에 도시된 바와 같이 SCR 장치 하에 여러 개의 다이오드와 함께 스택됨으로써 증가할 수 있다. 세 개의 스택된 NMOS 구조로 구성되는 기생 n-p-n 트랜지스터는 도 7(e)에서 도시되는 바와 같은, ESD 방지 소자의 다른 예이다. 각각의 NMOS 장치상에 전기장의 크기를 낮추기 위해서, 상부 및 중간 NMOS의 게이트 전압은 VDDh하에서 적합하게 바이어싱되어야만 한다. 상부 NMOSDML 게이트는 ESD 검출 회로의 노드(a)에 연결되고, 중간 NMOS의 게이트는 이런 실시예에서 VDD1에 바이어싱된다.

발명의 효과

<42> 요약하면, 본 발명은 1.2-V/3.3-V 혼합-전압 I/O 인터페이스에 대해서 오직 1.2-V 저전압 장치와 함께 인식되는 세 개의 전압 허용 파워-레일 ESD 클램프 회로를 제공한다. 제안된 파워-레일 ESD 클램프 회로는 게이트-옥사이드 신뢰성 이슈로부터 자유롭고 ESD 검출 회로는 ESD 변화 동안에 ESD 전류를 방전하도록 ESD 방지 소자를 구동하기 위해서 기관-트리거 전류를 제공하도록 신속하게 턴 온 될 수 있다.

<43> 본 발명이 그의 바람직한 실시예를 참조하여 설명되었을지라도, 본 발명은 그의 세부 사항에 제한되지 않는다고 인식될 것이다. 다양한 대체 및 수정이 앞선 설명에 제안되어 왔고, 다른 것이 당업자에게 발생할 것이다. 그러므로 모든 이런 대체 및 수정은 첨부된 청구항에 한정된 바와 같은 본 발명의 범위 내에 포함될 것이라고 의도된다.

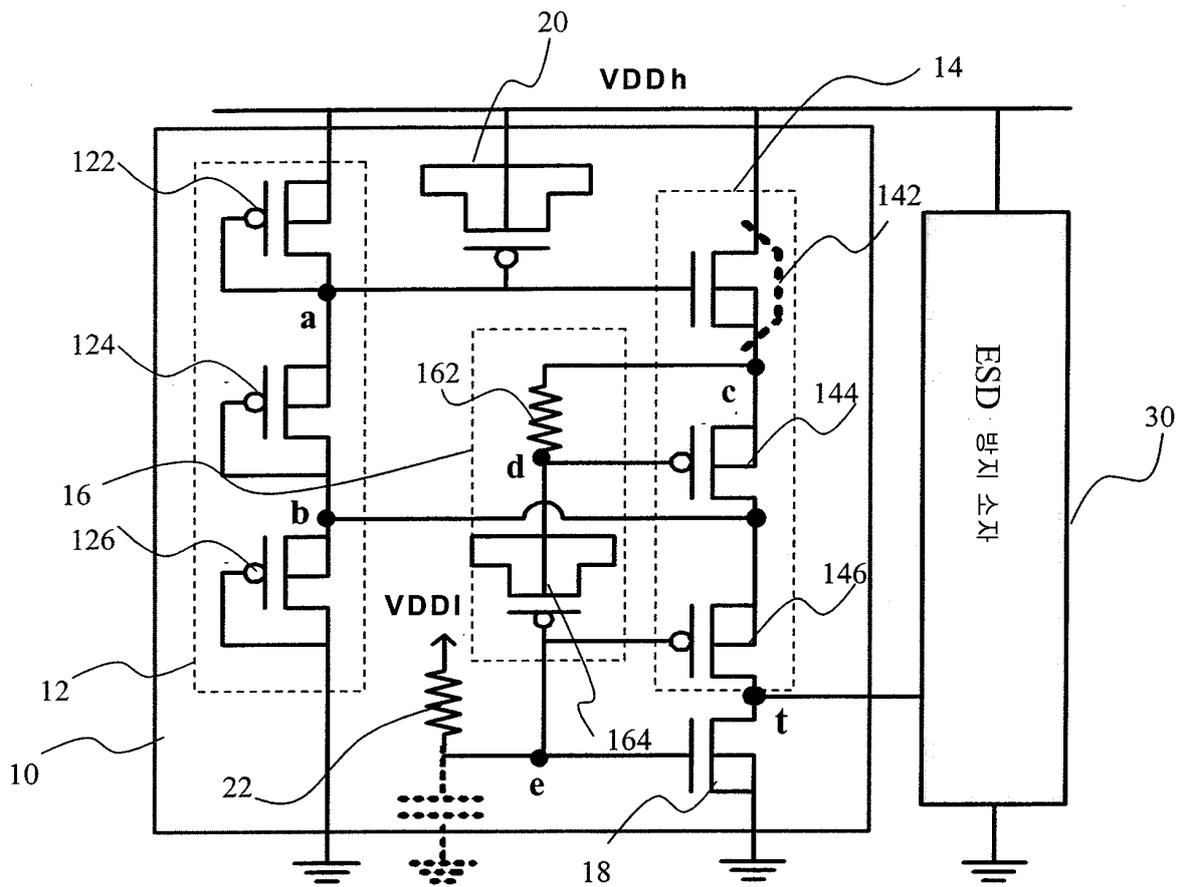
도면의 간단한 설명

- <1> 도 1 및 도 2는 본 발명의 고전압 허용 파워-레일 ESD 클램프 회로의 회로 블록도;
- <2> 도 3은 높은 파워 서플라이 전압이 3.3V일 때, 본 발명의 일반적인 회로 동작하에 ESD 검출 회로의 노드에 대해서 Hspice 시뮬레이트 전압을 갖는 횡단면도;
- <3> 도 4는 1ms의 신호 상승 시간을 갖는 일반적인 파워-온 변화하에 ESD 검출 회로의 노드에 대한 Hspice 시뮬레이션을 도시하는 그래프;
- <4> 도 5는 10ns의 상승 시간을 갖는 높은 파워 서플라이에 대해서 0부터 5.5V ESD와 같은 전압 펄스 하에 새롭게 제안된 ESD 검출 회로의 노드에 대한 Hspice 시뮬레이션을 도시하는 그래프;
- <5> 도 6은 10ns의 시간 상승(도 5의 그것과 같은 조건)을 갖는 0부터 5.5V ESD와 같은 변화하에 새롭게 제안된 ESD 검출 회로의 구동 성능을 도시하는 그래프; 및
- <6> 도 7(a)에서 7(e)은 본 발명의 여러 예: (a) 필드-옥사이드 장치(FOD), (b) SCR 장치, (c) 스택된 SCR 장치, (d) 연속적인 다이오드를 갖는 SCR 장치, 및 (e) 3 개의 스택된 NMOS 구조에 따르는 제 1 ESD 방지 소자의 그래프.
- <7> * 도면의 주요 부분에 대한 부호의 설명
- <8> 10: ESD 검출 회로
- <9> 12: 전압 분리기
- <10> 121, 122, 123, 124, 125, 126: PMOS

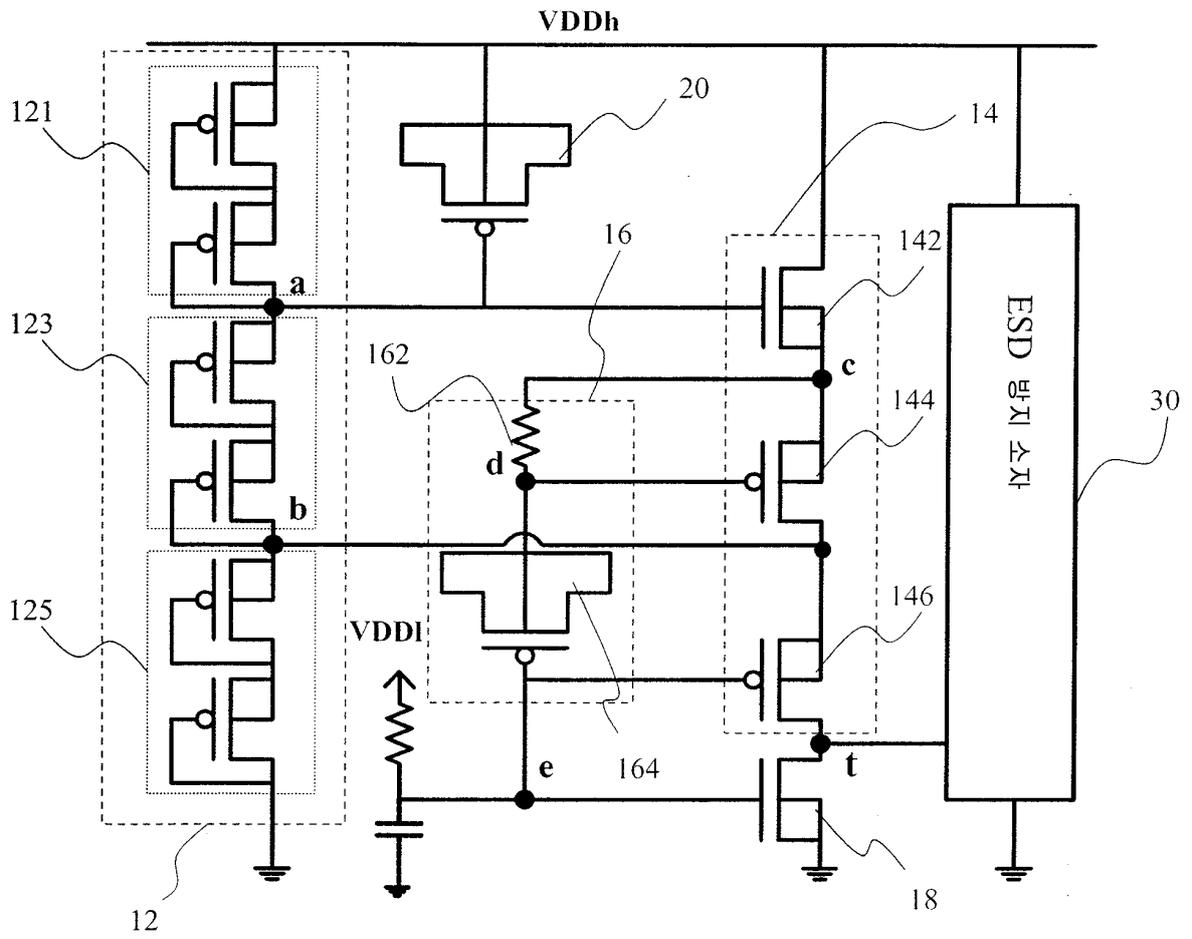
- <11> 14: 기관 구동기
- <12> 142: 제 1 트랜지스터
- <13> 144: 제 2 트랜지스터
- <14> 146: 제 3 트랜지스터
- <15> 16: R-C 구분자
- <16> 162: 제 1 레지스터
- <17> 164: 캐피시터
- <18> 18: 제 4 트랜지스터
- <19> 20: 제 5 트랜지스터
- <20> 22: 제 2 레지스터
- <21> 30: ESD 방지 소자

도면

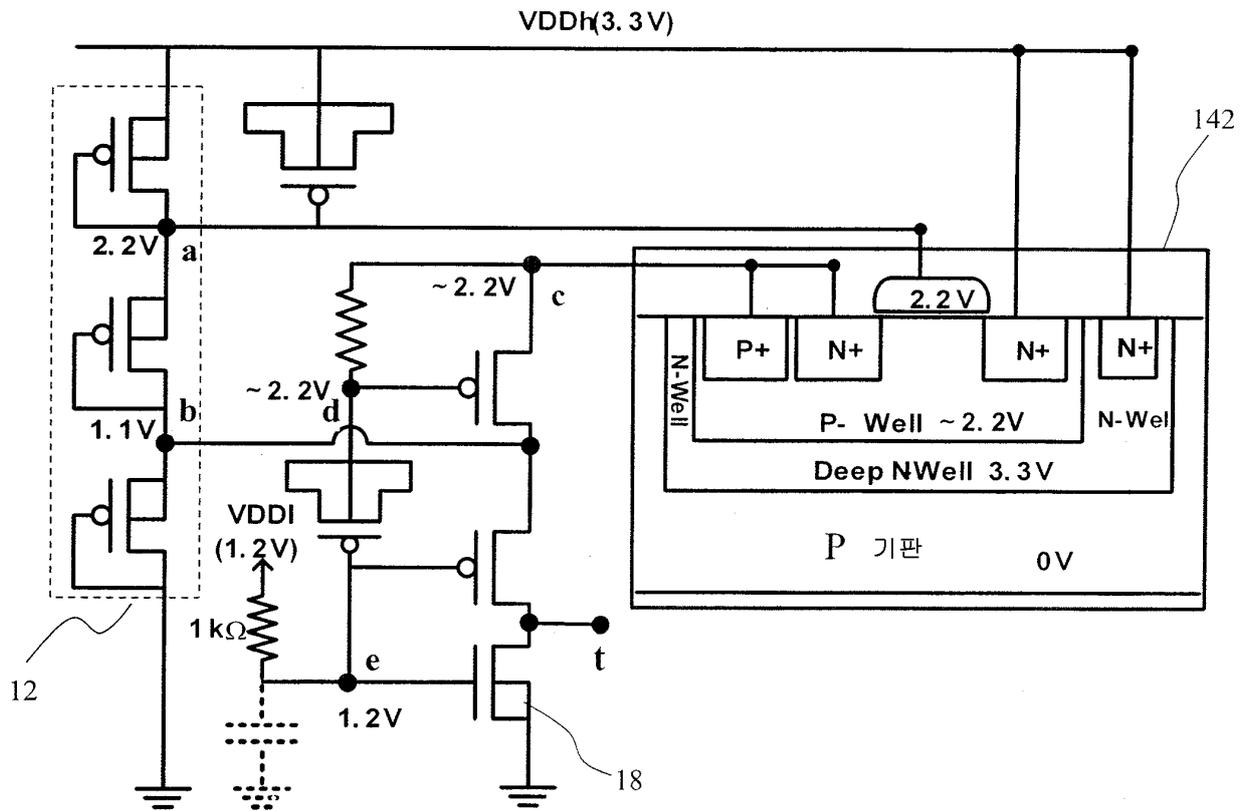
도면1



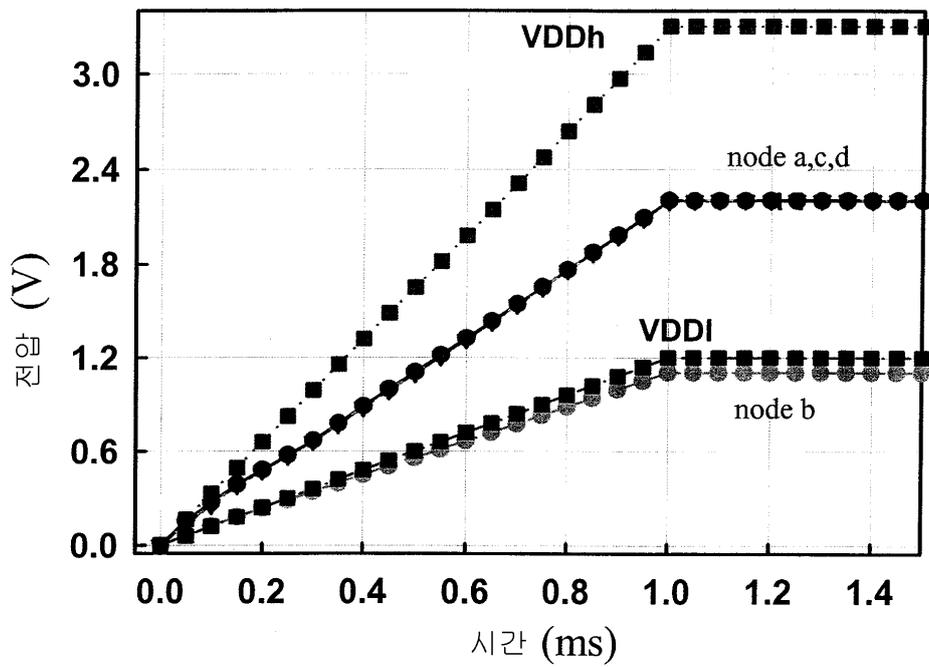
도면2



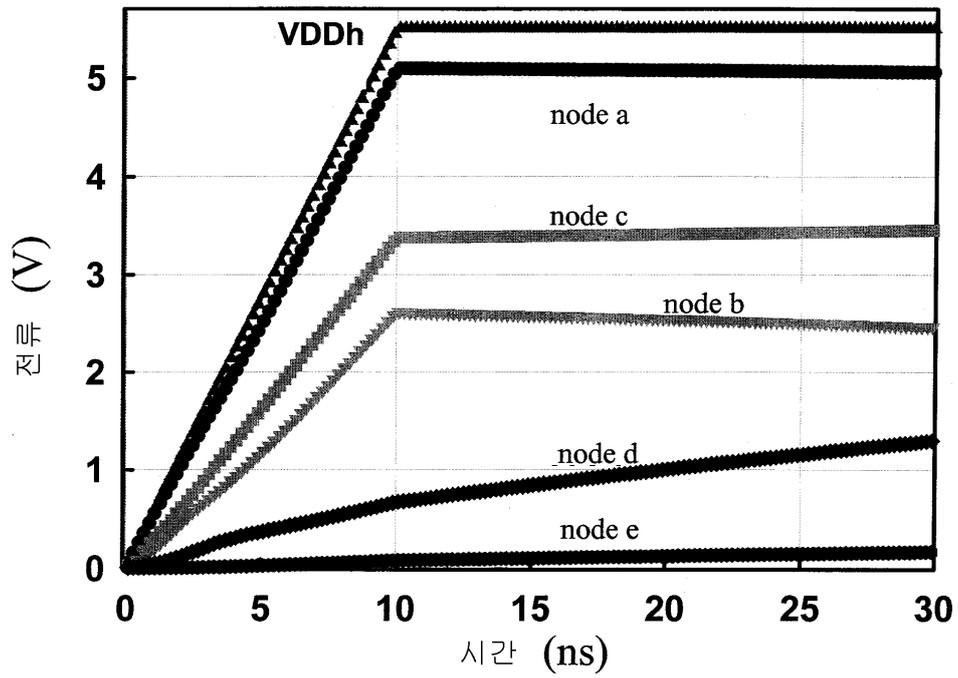
도면3



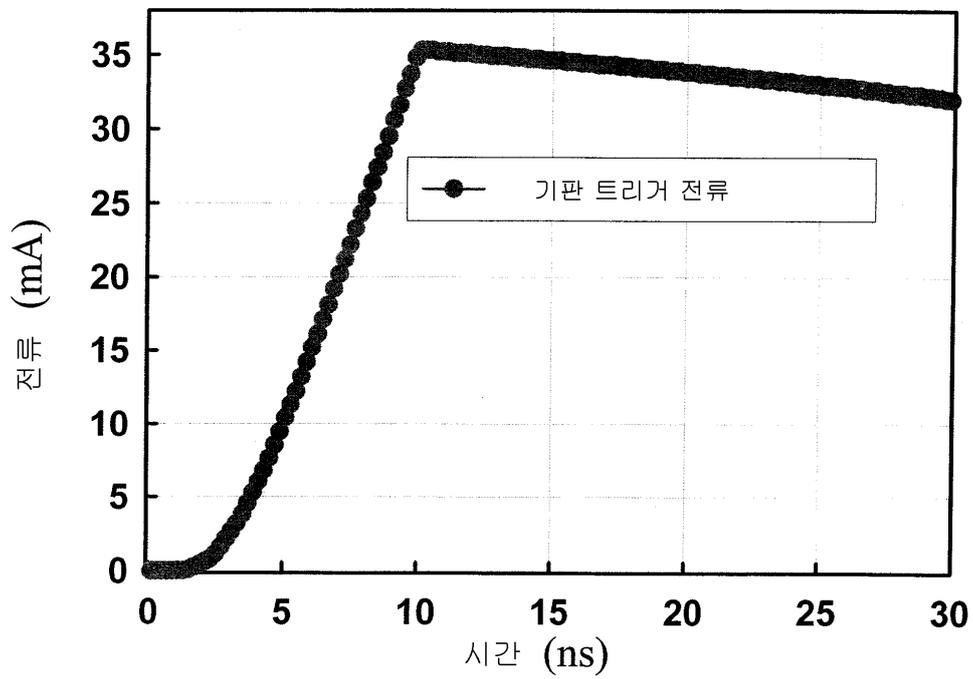
도면4



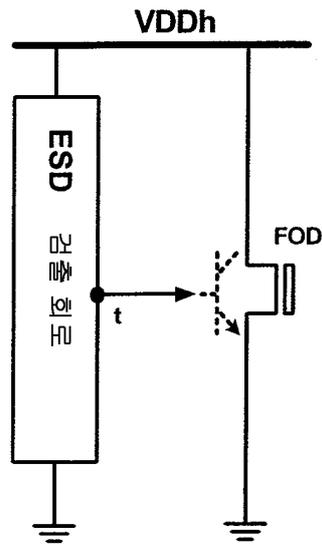
도면5



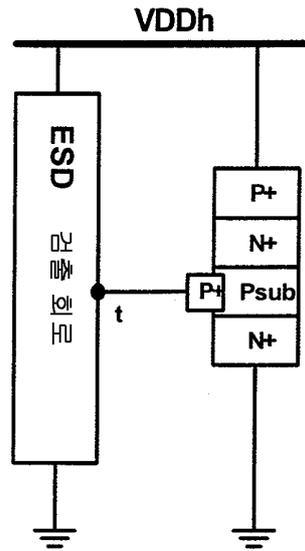
도면6



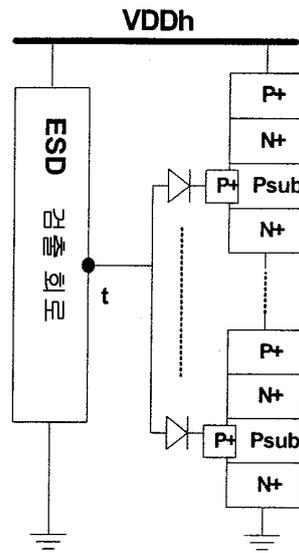
도면7a



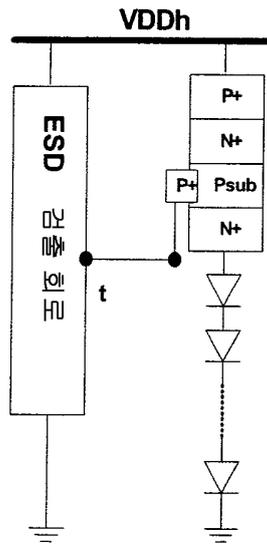
도면7b



도면7c



도면7d



도면7e

