

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2020-107908  
(P2020-107908A)

(43) 公開日 令和2年7月9日(2020.7.9)

(5) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/768 (2006.01)	HO 1 L 21/90 A	5 F 0 3 3
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 2 C	5 F 0 3 8
HO 1 L 21/82 (2006.01)	HO 1 L 21/82 B	5 F 0 6 4
HO 1 L 21/3205 (2006.01)	HO 1 L 21/82 W	5 F 1 1 0
HO 1 L 23/522 (2006.01)	HO 1 L 21/88 Z	

審査請求 有 請求項の数 3 O L (全 44 頁) 最終頁に続く

(21) 出願番号 特願2020-55469 (P2020-55469)  
 (22) 出願日 令和2年3月26日 (2020.3.26)  
 (62) 分割の表示 特願2016-21733 (P2016-21733) の分割  
 原出願日 平成28年2月8日 (2016.2.8)  
 (31) 優先権主張番号 特願2015-22933 (P2015-22933)  
 (32) 優先日 平成27年2月9日 (2015.2.9)  
 (33) 優先権主張国・地域又は機関 日本国(JP)

(71) 出願人 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷398番地  
 (72) 発明者 田村 輝  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 筒井 直昭  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 磯部 敦生  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内

最終頁に続く

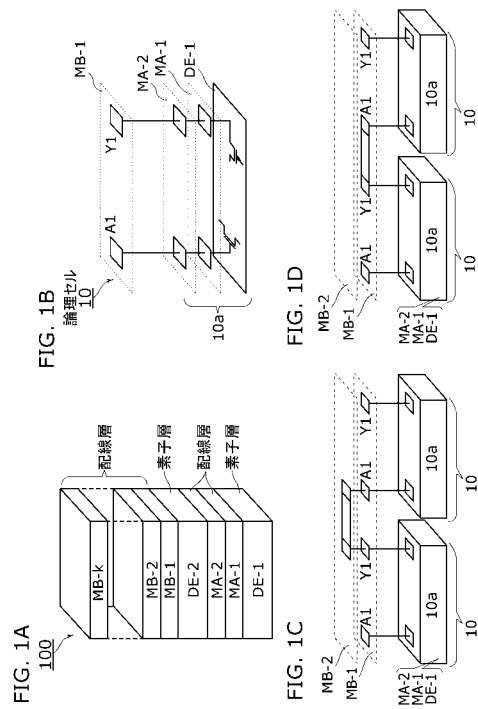
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 素子層が積層されている半導体装置を提供する。

【解決手段】 第1素子層と第2素子層との間に第1配線層と第2配線層が積層され、第2素子層上に第3配線層と第4配線層が積層されている。論理セルのトランジスタは第1素子層に設けられ、論理セルの配線は第1配線層または第2配線層に設けられている。論理セルの入力ポートおよび出力ポートは、第3配線層または第4配線層の配線によって、論理セルの入力ポートは他の論理セルの出力ポートと接続される。第2素子層よりも上方の配線層によって、論理セル間を接続することで、論理セル間の配置配線工程の効率が向上される。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

第 1 の素子層と、前記第 1 の素子層上の第 1 の配線層と、前記第 1 の配線層上の第 2 の配線層と、前記第 1 の配線層及び前記第 2 の配線層の間の第 1 の層間絶縁層と、前記第 1 の層間絶縁層上の第 2 の素子層と、前記第 2 の素子層上の第 3 の配線層と、前記第 3 の配線層上の第 4 の配線層と、前記第 3 の配線層及び前記第 4 の配線層の間の第 2 の層間絶縁層と、を有し、

前記第 1 の素子層は、第 1 のトランジスタを有し、

前記第 2 の素子層は、第 2 のトランジスタを有し、

前記第 1 の層間絶縁層は、第 1 のプラグを有し、

前記第 2 の層間絶縁層は、第 2 のプラグを有し、

前記第 1 のプラグは、前記第 1 の配線層と前記第 2 の配線層を電氣的に接続し、

前記第 2 のプラグは、前記第 3 の配線層と前記第 4 の配線層を電氣的に接続する、半導体装置。

10

## 【請求項 2】

請求項 1 において、

前記第 1 のプラグはタングステンを有する、半導体装置。

## 【請求項 3】

請求項 1 または請求項 2 において、

前記複数の第 2 のプラグは少なくともアルミニウム、銅、タングステン、チタンのいずれか一を有する、半導体装置。

20

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本出願の明細書、図面、および特許請求の範囲（以下、「本明細書等」と呼ぶ。）には、半導体装置、電子部品、及び電子機器、ならびにこれらの動作方法と作製方法等が開示される。例えば、本発明の一形態の技術分野としては、半導体装置、記憶装置、処理装置、スイッチ回路（例えば、パワースイッチ、配線スイッチ等）、表示装置、液晶表示装置、発光装置、照明装置、蓄電装置、入力装置、撮像装置、それらの駆動方法、または、それらの製造方法を一例として挙げる事ができる。

30

## 【背景技術】

## 【0002】

SOC 等の半導体装置を設計する方法に、スタンダードセル方式がある。この設計方法では、機能別に複数のセル（論理セル、あるいはスタンダードセル等とも呼ばれる）を用意し、これらを構成単位として、半導体装置が構成される。スタンダードセル方式では、セル配置とセル間配線接続の工程は、自動配置配線ツールによって、行われる。

## 【0003】

また、半導体領域が酸化物半導体で形成されているトランジスタ（以下、OSトランジスタと呼ぶ場合がある）のオフ電流が極めて小さいという特性を利用して、様々な半導体装置が提案されている。

40

## 【0004】

例えば、特許文献 1、2 には、OSトランジスタが用いられた記憶回路が記載されている。例えば、非特許文献 1 には、フリップフロップおよびSRAMそれぞれにOSトランジスタが用いられたバックアップ回路が設けられたパワーゲーティングが可能なプロセッサが記載されている。また、特許文献 3 には、SiトランジスタとOSトランジスタを有するスタンダードセルと、Siトランジスタで構成されるスタンダードセルとを組み合わせた半導体装置が提案されている。

## 【先行技術文献】

## 【特許文献】

## 【0005】

50

【特許文献1】特開2011-187950号公報

【特許文献2】特開2013-8437号公報

【特許文献3】特開2013-243351号公報

【非特許文献】

【0006】

【非特許文献1】H. Tamura et al., "Embedded SRAM and Cortex-M0 Core with Backup Circuits Using a 60-nm Crystalline Oxide Semiconductor for Power Gating," IEEE COOL Chips X VII, Apr. 2014.

10

【発明の概要】

【発明が解決しようとする課題】

【0007】

新規な半導体装置、または新規な半導体装置の動作方法、または新規な半導体装置の作製方法を提供する。少なくとも2の素子層が積層されている新規な半導体装置、または同動作方法、または同作製方法を提供する。または、パワーゲーティングが可能な半導体装置、および同動作方法を提供する。または、半導体装置の設計工程を効率よく行うことを可能とする。

【0008】

なお、複数の課題の記載は、互いの課題の存在を妨げるものではない。なお、本発明の一形態は、これらの課題の全て解決する必要はない。また、列記した以外の課題が、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、これらの課題も、本発明の一形態の課題となり得る。

20

【課題を解決するための手段】

【0009】

(1)本発明の一形態は、複数の論理セルを有する半導体装置であって、第1素子層と、第2素子層と、第1乃至第k配線層と(kは3よりも大きい整数である。)を有し、第1素子層および第2素子層には、それぞれ、複数のトランジスタが設けられ、第1乃至第k配線層はこの順序で積層され、第1素子層は第1配線層の下層に設けられ、第2素子層は第2配線層と第3配線層との間に設けられ、論理セルのトランジスタは第1素子層に設けられ、論理セルの配線は第1配線層または第2配線層に設けられ、論理セルの入力ポートおよび出力ポートは、それぞれ、第3配線層に設けられている半導体装置である。

30

【0010】

上記の形態(1)において、第3配線層の配線によって、または第3配線層の配線および第4配線層の配線によって、論理セルの入力ポートは、他の論理セルの出力ポートに電気的に接続されていてもよい。

【0011】

上記の形態(1)において、第3乃至第k配線層の配線の抵抗率は、第1配線層および第2配線層の配線よりも低くすることができる。または、第1配線層および第2配線層の配線は、タンゲステンを含む導電体を有し、第3乃至第k配線層の配線は、銅またはアルミニウムを含む導電体を有していてもよい。

40

【0012】

上記の形態(1)において、第2素子層の複数のトランジスタは、チャンネルが形成される酸化物半導体層を有していてもよい。

【0013】

上記の形態(1)において、第3配線層の配線グリッドの間隔は、第2配線層の配線グリッドの間隔の1.5倍、または2倍としてもよい。

【0014】

上記の形態(1)において、第2配線層を設けない構成としてもよい。

【0015】

50

本明細書等において、半導体装置とは、半導体特性を利用することで機能しうる装置であり、半導体素子（トランジスタ、ダイオード、フォトダイオード等）を含む回路、同回路を有する装置等をいう。集積回路を備えたチップや、パッケージにチップを収納した電子部品、記憶装置、表示装置、発光装置、照明装置及び電子機器等は、それ自体が半導体装置であり、半導体装置を有している場合がある。

【0016】

本明細書等において、XとYとが接続されていると記載されている場合は、XとYとが電氣的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接接続されている場合とが、本明細書等に開示されているものとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも、図または文章に記載されているものとする。X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層など）であるとする。

10

【0017】

トランジスタは、ゲート、ソース、およびドレインと呼ばれる3つの端子を有する。ゲートは、トランジスタの導通状態を制御する制御ノードとして機能するノードである。ソースまたはドレインとして機能する2つの入出力ノードは、トランジスタの型及び各端子に与えられる電位の高低によって、一方がソースとなり他方がドレインとなる。このため、本明細書等においては、ソースやドレインの用語は、入れ替えて用いることができるものとする。また、本明細書等では、ゲート以外の2つの端子を第1端子、第2端子と呼ぶ場合がある。

20

【0018】

ノードは、回路構成やデバイス構造等に応じて、端子、配線、電極、導電層、導電体、不純物領域等と言い換えることが可能である。また、端子、配線等をノードと言い換えることが可能である。

【0019】

電圧は、ある電位と、基準の電位（例えば接地電位（GND）またはソース電位）との電位差のことを示す場合が多い。よって、電圧を電位と言い換えることが可能である。なお、電位とは相対的なものである。よって、GNDと記載されていても、必ずしも0Vを意味しない場合もある。

【0020】

本明細書等において、「第1」、「第2」、「第3」などの序数詞は、順序を表すために使用される場合がある。または、構成要素の混同を避けるために使用する場合があり、この場合、序数詞の使用は構成要素の個数を限定するものではなく、順序を限定するものでもない。例えば、「第1」を「第2」または「第3」に置き換えて、発明の一形態を説明することができる。

30

【0021】

本明細書等の記載に関するその他の事項を実施の形態4に付記している。

【発明の効果】

【0022】

新規な半導体装置を提供すること、または新規な半導体装置の動作方法、または新規な半導体装置の作製方法を提供することが可能である。または、少なくとも2の素子層が積層されている新規な半導体装置、または同動作方法、または同作製方法を提供することが可能となる。または、パワーゲーティングが可能な半導体装置、および同動作方法を提供することができる。または、半導体装置の設計を効率化することができる。

40

【0023】

複数の効果の記載は、他の効果の存在を妨げるものではない。また、本発明の一形態は、必ずしも、例示した効果の全てを有する必要はない。また、本発明の一形態について、上記以外の課題、効果、および新規な特徴については、本明細書の記載および図面から自ずと明らかになるものである。

【図面の簡単な説明】

50

【 0 0 2 4 】

【 図 1 】 A - D : 半導体装置、および論理セルの構成例を示す模式図。

【 図 2 】 A - D : 半導体装置、および論理セルの構成例を示す模式図。

【 図 3 】 A、B : インパータセルのレイアウト例を示す図。

【 図 4 】 A - F : 論理回路と酸化半導体トランジスタとの組み合わせ例を示す回路図。

【 図 5 】 半導体装置の積層構造を模式的に示す断面図。

【 図 6 】 処理装置の構成例を示すブロック図。

【 図 7 】 プロセッサコアの構成例を示すブロック図。

【 図 8 】 フリップフロップの構成例を示す回路図。

【 図 9 】 フリップフロップの動作例を示すタイミングチャート。

10

【 図 10 】 フリップフロップの動作例を示すタイミングチャート。

【 図 11 】 フリップフロップのデバイス構造例を模式的に示す図。

【 図 12 】 A : 電子部品の作製方法例を示すフローチャート。 B : 電子部品の構成例を示す斜視模式図。

【 図 13 】 A - F : 電子機器の構成例を説明する図。

【 図 14 】 A : O S トランジスタの構成例を示す上面図。 B : 図 14 A の  $y_1 - y_2$  線断面図。 C : 図 14 A の  $x_1 - x_2$  線断面図。 D : 図 14 A の  $x_3 - x_4$  線断面図。

【 図 15 】 : 図 14 B の部分拡大図。 B : O S トランジスタのエネルギーバンド図。

【 図 16 】 A、B、C : O S トランジスタの構成例を示す断面図。

【 図 17 】 A、B : トランジスタの構成例を示す断面図。

20

【 発明を実施するための形態 】

【 0 0 2 5 】

以下に、本発明の実施の形態を説明する。ただし、本発明の一形態は、以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明の一形態は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【 0 0 2 6 】

以下に示される複数の実施の形態は適宜組み合わせることが可能である。また 1 の実施の形態の中に、複数の構成例（作製方法例、動作方法例等も含む。）が示される場合は、互い構成例を適宜組み合わせること、および他の実施の形態に記載された 1 または複数の構成例と適宜組み合わせることも可能である。

30

【 0 0 2 7 】

本明細書において、例えば、高電源電位  $V_{DD}$  を、電位  $V_{DD}$ 、 $V_{DD}$  等と省略して記載する場合がある。これは、他の構成要素（例えば、信号、電圧、回路、素子、電極、配線等）についても同様である。

【 0 0 2 8 】

〔 実施の形態 1 〕

< < 半導体装置の構成例 1 > >

ここでは、2つの素子層が積層されている半導体装置について説明する。図 1 A は、半導体装置の積層構造を模式的に示す図である。半導体装置 100 は、2の素子層  $DE - 1$  と  $DE - 2$ 、2の配線層  $MA - 1$  と  $MA - 2$ 、並びに  $k$  の配線層  $MB - 1$  乃至  $MB - k$  ( $k$  は 1 よりも大きな整数) を有する。これらの配線層は、 $MA - 1$ 、 $MA - 2$ 、 $MB - 1$  乃至  $MB - k$  の順に、積層されている。素子層  $DE - 1$  上に素子層  $DE - 2$  が積層されている。素子層  $DE - 1$  と素子層  $DE - 2$  との間に、配線層  $MA - 1$ 、 $MA - 2$  が設けられている。素子層  $DE - 2$  に配線層  $MB - 1$  乃至  $MB - k$  が積層されている。

40

【 0 0 2 9 】

配線層  $MA - 1$ 、 $MA - 2$ 、 $MB - 1$  乃至  $MB - k$  には、それぞれ、複数の配線が設けられている。素子層  $DE - 1$ 、 $DE - 2$  には、それぞれ、複数のトランジスタが設けられている。素子層  $DE - 1$ 、 $DE - 2$  には、トランジスタの他に、抵抗素子、容量素子、ダイオード等を設けることができる。

50

## 【0030】

半導体装置100において、2つの隣接する配線層の間には、層間絶縁層が設けられており、2つの層を絶縁している。上層の配線と下層の配線を電氣的に接続するために、層間絶縁層にはプラグが形成されている。また、同様に、隣接する素子層と配線層との間にも層間絶縁層が設けられ、プラグによって、素子層の素子と配線層の配線とが接続される。

## 【0031】

<素子層>

素子層DE-1とDE-2とは異なる工程で作製されるため、素子層DE-1のトランジスタ(以下、「トランジスタDE1」と呼ぶ。)と素子層DE-2のトランジスタ(以下、「トランジスタDE2」と呼ぶ。)はデバイス構造、構成要素の材料等を異ならせることが可能である。

10

## 【0032】

例えば、トランジスタDE1は半導体基板に作製されたものとして行うことができる。半導体基板は、例えば、シリコン、ゲルマニウム、炭化シリコン、シリコンゲルマニウムなどの第14族元素半導体基板、および、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムからなる化合物半導体基板などである。半導体基板は、バルク型でよいし、半導体基板に絶縁領域を介して半導体層が設けられているSOI(Silicon On Insulator)型でもよい。半導体基板の結晶構造は、単結晶、多結晶等の結晶性半導体基板が好ましい。トランジスタDE1の半導体領域は、半導体基板の材料および結晶構造に依存する。

20

## 【0033】

トランジスタDE2の半導体領域は、配線層MA-2の上方に、気相法で成膜された半導体から作製されることとなる。半導体領域を構成する半導体は、単結晶半導体と非単結晶半導体とに大別される。非単結晶半導体としては、多結晶半導体、微結晶半導体、非晶質半導体などが挙げられる。半導体材料としては、Si、Ge、C等の第14族元素を1種または複数種含む第14族半導体(例えば、シリコン、ゲルマニウム、炭化シリコン、シリコンゲルマニウム等)、酸化物半導体(例えば、In-Ga-Zn酸化物等)、化合物半導体等が挙げられる。

## 【0034】

例えば、トランジスタDE2の半導体領域をシリコンとする場合、気相成長法やスパッタリング法等で成膜された非晶質シリコン、非晶質シリコンを結晶化した多結晶シリコン等で、半導体領域を形成すればよい。非晶質シリコンの結晶化には、熱処理、レーザー照射処理等を用いればよい。あるいは、気相成長法やスパッタリング法等で成膜された酸化物半導体で、トランジスタDE2の半導体領域を形成することができる。この場合、トランジスタDE2はOSトランジスタである。

30

## 【0035】

<論理セル>

半導体装置100は、複数の論理セル10を構成単位として構成されている1または複数の回路を有する。図1Bに論理セル10の構成を模式的に示す。論理セル10は、1または複数のトランジスタ、複数の配線、ポートA1、およびポートY1を有する。ポートA1は入力ポートであり、ポートY1は出力ポートである。

40

## 【0036】

論理セル10において、複数のトランジスタは素子層DE-1に設けられている。複数のトランジスタは配線層MA-1又は配線層MA-2の何れかに設けられている配線によって電氣的に接続され、所定の処理機能を備えた論理回路10aが構成される。

## 【0037】

論理回路10aは、ポートA1のデータを処理し、処理したデータをポートY1から出力する機能を有する。論理回路10aの回路構成には、特段の制約はない。例えば、インバータ回路やNAND回路等の基本論理ゲート回路、フリップフロップ、ラッチ回路、カウンタ、マルチプレクサなどがある。また、算術演算ユニットなどの複雑な論理回路でもよ

50

い。

【0038】

ここでは、論理セル10の入力ポートおよび出力ポートの数を1としているが、論理セル10の回路構成に応じて、複数の入力ポートが設けられる場合があり、これらはポートA1と同様に、配置される。または複数の出力ポートが設けられる場合があり、これらはポートY1と同様に、配置される。

【0039】

ポートA1およびポートY1は、それぞれ、配線層MB-1に設けられている。また、2つの論理セル10間は、配線層MB-1の配線、または配線層MB-2の配線によって電氣的に接続される。図1Cおよび図1Dは、2つの論理セル10間の接続構造を模式的に示した図である。図1Cの例では、論理セル10のポートY1は、配線層MB-2の配線によって、他の論理セル10のポートA1と電氣的に接続される。図1Dの例では、論理セル10のポートY1は、配線層MB-1の配線によって、他の論理セル10のポートA1と電氣的に接続される。半導体装置100において、論理回路10aは、素子層DE-2の下層に設けられているトランジスタDE1および配線によって構成され、複数の論理セル10(論理回路10a)間は、素子層DE-2の上層の配線によって電氣的に接続されている。

10

【0040】

つまり、論理セル10の回路部(論理回路10a)は、素子層DE-2よりも下層の積層(DE-1、MA-2)で構成されており、回路部の入力ポートおよび出力ポートは、素子層DE-2に積層されている配線層MB-1に設けられている。

20

【0041】

<配線層>

半導体装置100において、トランジスタDE1、DE2の電極、各配線層の配線、配線間を接続するプラグ等は、抵抗率が低い導電体(例えば、アルミニウム、銅)であることが好ましい。配線等を低抵抗化することで、配線等の寄生抵抗や寄生容量が低減されるため、信号の遅延が抑制され、消費電力の低減することができる。また、プラグを形成するピアホールを小さくすることができるため、高集積化に有利である。

【0042】

(MA-1、MA-2)

しかしながら、素子層DE-2よりも下層に形成される配線層MA-1、MA-2の配線等の導電体は、素子層DE-2(トランジスタDE2)の作製工程の処理温度に耐えうることが求められる。また、単結晶シリコンウエハで作製されるSiトランジスタと異なり、トランジスタDE2の半導体領域は気相法で成膜された半導体から形成される。そのため、トランジスタDE2の特性や信頼性を向上させるため、半導体領域は400以上の処理温度を経て形成される場合がある。このような高温の熱処理は、例えば、トランジスタDE2が多結晶シリコントランジスタである場合は、多結晶シリコンの結晶性を向上させる熱処理である。例えば、トランジスタDE2がOSTランジスタである場合は、酸化物半導体領域の酸素欠陥を低減するための熱処理、水素(H)を低減するための熱処理が挙げられる。

30

40

【0043】

よって、配線層MA-1、MA-2の配線等は、400程度(例えば、400乃至500)の熱に耐えうる耐熱性を有する導電体で形成されることが好ましい。このような導電体として、リン等の不純物を添加した多結晶シリコン、シリサイド、高融点金属、高融点金属の合金、および高融点金属の化合物等が挙げられる。高融点金属とは、タングステン、モリブデン、タンタル、チタン、クロム、ニオブ、バナジウム、白金等が挙げられる。配線層MA-1、MA-2の配線等に用いることができる高融点金属の合金には、例えば、Ta-W合金、Mo-W合金が挙げられる。高融点金属の化合物には、窒化チタン、窒化タンタル等が挙げられる。

【0044】

50

配線層 M A - 1、M A - 2 の配線等は、単層の導電体でも、積層の導電体でもよい。配線層 M A - 1、M A - 2 の配線、およびこれらと接続されるプラグは、耐熱性と導電性を両立するタングステンおよびモリブデンで形成することが好ましく、特にタングステンが好ましい。

【 0 0 4 5 】

( M B - 1 乃至 M B - k )

配線層 M B - j ( j は 1 以上 k 以下の整数 ) は、素子層 D E - 2 に積層されるため、配線層 M B - j の配線、およびこの配線と接続されるプラグは、耐熱性は劣るが低抵抗な導電体 ( 例えばアルミニウムまたは銅を主成分とする導電体 ) で形成することができる。このような低抵抗導電体として、アルミニウム、銅、アルミニウム合金、ヒロック防止のため  
10  
の元素 ( S i、C r、S c、T a、T i 等 ) を含むアルミニウム合金 ( 例えば、A l - M o 合金、A l - T i 合金 )、銅合金 ( 例えば、C u - M o 合金、C u - W 合金 ) 等が挙げられる。配線層 M B - j の配線、およびこの配線と接続されるプラグは、単層の導電体でも積層の導電体でもよい。積層の導電体とする場合は、上掲の低抵抗の導電体と、上掲した高耐熱性の導電体との積層でもよい。このような積層とすることで、配線およびプラグの耐熱性を向上でき、またはマイグレーションが抑制できる。例えば、積層の導電体を設ける場合は、低抵抗の導電体の下側および上側の両方あるいは片方に、チタン、モリブデン、タングステンなどの高融点金属、またはそれらの窒化物 ( 窒化チタン、窒化モリブデン、窒化タングステン ) を設ければよい。例えば、窒化チタン、アルミニウム、窒化チタンの 3 層の導電体で、配線およびプラグを形成することができる。  
20

【 0 0 4 6 】

つまり、素子層 D E - 2 に積層される配線層 M B - j には、半導体装置 1 0 0 の高速動作のため、低抵抗な導電体が用いられる。これに対して、素子層 D E - 2 の下層の配線層 M A - 1、M A - 2 は、耐熱性が重視されるため、これらには、配線層 M B - j の導電体よりも抵抗率が高い導電体  
30

【 0 0 4 7 】

論理セル 1 0 のトランジスタは、全て素子層 D E - 1 に設けられているため、論理回路 1 0 a の配置配線を容易にするため、素子層 D E - 2 の下層の配線層 M A - 1、M A - 2 および素子層 D E - 1 積層に、論理回路 1 0 a の全ての要素を配置している。また、ポート A 1 およびポート Y 1 を、素子層 D E - 2 よりも上層の配線層 M B - 1 に設けることで、半導体装置 1 0 0 の設計において、論理セル 1 0 の配置工程と複数の論理セル 1 0 間の配線接続工程が容易になり、半導体装置 1 0 0 の設計効率が向上される。また、複数の論理セル 1 0 間を、配線層 M B - 1、M B - 2 の低抵抗な配線で接続することで、高い周波数で論理セル 1 0 を動作させることができる。  
30

【 0 0 4 8 】

なお、論理セル 1 0 の配置によっては、論理セル 1 0 間を配線層 M A - 2 の配線で接続するほうが好ましい場合もある。このような論理セル 1 0 では、ポート A 1、およびポート Y 1 は配線層 M A - 2 に設ければよい。  
40

【 0 0 4 9 】

< < 半導体装置の構成例 2 > >

また、素子層 D E - 1 のトランジスタ D E 1 と配線層 M A - 1 の配線とで、論理セル 1 0 の論理回路 1 0 a を設計できる場合は、配線層 M A - 2 を設けなくてもよい。そのような構成例を図 2 に示す。

【 0 0 5 0 】

図 2 A の半導体装置 1 0 1 は、半導体装置 1 0 0 の変形例であり、配線層 M A - 2 が設けられていない点を除いて、半導体装置 1 0 0 と同様である。半導体装置 1 0 1 は、複数の論理セル 1 1 で構成されている回路を有する。図 2 B は、論理セル 1 1 の構成例を模式的に示す図である。論理セル 1 1 は論理セル 1 0 の変形例であり、論理セル 1 1 の回路部 (   
50



論理回路 11a) が、素子層 DE - 1 および配線層 MA - 1 で構成されている。

【0051】

論理セル 11 間の接続は、論理セル 10 間の接続と同様である。図 2C に、配線層 MB - 2 の配線によって 2 つの論理セル 11 を接続する例を示す。図 2D に、配線層 MB - 1 の配線によって 2 つの論理セル 11 を接続する例を示す。

【0052】

ここでは、論理セル 11 の入力ポートおよび出力ポートの数を 1 としているが、論理セル 11 の回路構成に応じて、複数の入力ポートが複数設けられる場合もあり、複数の出力ポートが設けられる場合もある。これらの入力、および出力ポートは、ポート A 1、およびポート Y 1 と同様に、配置配線される。論理回路 10 についても同様である。

10

【0053】

以下では、半導体装置 100 および論理セル 10 を例に、本発明のより具体的な態様を説明するが、半導体装置 101 および論理セル 11 についても同様である。

【0054】

<< 論理セル 10 のレイアウト例 >>

【0055】

インバータセルを例に、論理セル 10 のレイアウトを説明する。図 3 は、インバータセル 20 のレイアウトを模式的に示した図である。図 3A は、トランジスタ 20P、トランジスタ 20N、配線層 MA - 1、MA - 2 の配線のレイアウトを示し、図 3B は、配線層 MA - 2、MB - 1 の配線のレイアウトを示す。図 3A には、素子層 DE - 1、および配線層 MA - 1、MA - 2 の設計に用いられる配線グリッド 15 およびグリッド点 15a を示す。図 3B には、配線層 MB - 1 および MB - 2 の設計に用いられる配線グリッド 16 およびグリッド点 16a を示している。L<sub>15</sub>、L<sub>16</sub> はグリッド間隔である。

20

【0056】

トランジスタ 20P は p チャネル型トランジスタであり、トランジスタ 20N は n チャネル型トランジスタである。領域 21C はインバータセル 20 が形成される領域である。素子層 DE - 1 に、領域 22p、22n、および配線 23 が設けられている。領域 22p はトランジスタ 20P が形成される領域であり、領域 22n はトランジスタ 20N が形成される領域である。領域 22p、領域 22n には、それぞれ、トランジスタ 20P、20N のソースおよびドレインを構成する不純物領域が設けられている。配線 23 は、トランジスタ 20N、20P のゲートを構成する。

30

【0057】

配線層 MA - 1 には配線 24a - 24d が設けられ、配線層 MA - 2 には配線 25a、25b が設けられ、配線層 MB - 1 には配線 26a、26b が設けられている。配線 26b によりトランジスタ 20P とトランジスタ 20N とが直列に電氣的に接続される。配線 24c は、低電源電位 VSS を供給する電源線 (VSS 線) を構成する。配線 24d は、高電源電位 VDD を供給する電源線 (VDD 線) を構成する。

【0058】

ポート A 1 は、配線 26a で構成される。配線 26a は、配線 25a、24a を介して配線 23 と電氣的に接続される。ポート Y 1 は、配線 26b で構成される。配線 26b は、配線 25b を介して配線 24b と電氣的に接続される。配線 25a、24a、23 は、共通のグリッド点 15a と重なるように配置される。同様に、配線 25b、24b は、共通のグリッド点 15a と重なるように配置される。

40

【0059】

配線層 MB - 1、MB - 2 は素子層 DE - 2 に積層されるため、L<sub>16</sub> が L<sub>15</sub> よりも大きくなる場合がある。この場合、L<sub>16</sub> を素子層 DE - 2 のデザインルールの最小値にすることができる。しかしながら、このようなデザインルールでは、配線層 MB - 1、MB - 2 のグリッド点 16a が、配線層 MA - 1、MA - 2 のグリッド点 15a とずれてしまうので、自動配置配線ツールでの設計効率を低下させてしまうことがある。

【0060】

50

そこで、 $L_{16}$ が $L_{15}$ よりも大きくなる場合は、 $L_{16}$ は、 $L_{15}$ の1.5倍または2倍にする。ここでは、 $L_{16}$ は $L_{15}$ の2倍である。このようなデザインルールにすることで、配線グリッド15は、グリッド点16aと重なるグリッド点15aを含むこととなる。よって、自動配置配線ツールでの設計の効率向上と、半導体装置100の面積オーバーヘッドの抑制とを両立することができる。また、論理セル10とトランジスタDE2とを組み合わせた回路を設計する場合にも、このようなデザインルールは効率的な設計に寄与する。

#### 【0061】

<<トランジスタDE2と論理セル10との組み合わせ>>

半導体装置100には、1または複数のトランジスタDE2と論理セル10とを組み合わせた回路を設けることができる。トランジスタDE2がOSトランジスタである場合、OSトランジスタのオフ電流が極めて小さいことから、論理セル10の論理回路10aに機能を付加すること、あるいは性能を向上させることができる。図4に、OSトランジスタと論理回路とを組み合わせた回路の例を示す。図4のトランジスタTO1 - TO3、TO6 - TO8はOSトランジスタである。

10

#### 【0062】

ここでいう、オフ電流とは、トランジスタがオフ状態のときにソースとドレインとの間に流れる電流をいう。トランジスタがnチャネル型である場合、例えば、閾値電圧が0V乃至2V程度であれば、ゲートとソース間の電圧が負の電圧であるときのソースとドレインとの間に流れる電流をオフ電流と呼ぶことができる。また、オフ電流が極めて小さいとは、例えば、チャネル幅 $1\mu\text{m}$ あたりのオフ電流が $100z\text{A}$  ( $z$ ; ゼプト、 $10^{-21}$ )以下であることをいう。オフ電流は小さいほど好ましいため、この規格化されたオフ電流が $10z\text{A}/\mu\text{m}$ 以下、あるいは $1z\text{A}/\mu\text{m}$ 以下とすることが好ましく、 $10y\text{A}/\mu\text{m}$  ( $y$ ; ヨクト、 $10^{-24}$ )以下であることがより好ましい。

20

#### 【0063】

酸化物半導体のバンドギャップは $3.0\text{eV}$ 以上であるため、OSトランジスタは熱励起によるリーク電流が小さく、また上掲のようにオフ電流が極めて小さい。OSトランジスタのチャネル形成領域は、インジウム(In)および亜鉛(Zn)の少なくとも一方を含む酸化物半導体であることが好ましい。このような酸化物半導体としては、 $\text{In-Ga-Zn}$ 酸化物、 $\text{In-Sn-Zn}$ 酸化物が代表的である。電子供与体(ドナー)となる水分または水素等の不純物を低減し、かつ酸素欠損も低減することで、酸化物半導体をi型(真性半導体)にする、あるいはi型に限りなく近づけることができる。ここでは、このような酸化物半導体は高純度化された酸化物半導体と呼ぶことができる。高純度化された酸化物半導体を適用することで、チャネル幅で規格化されたOSトランジスタのオフ電流を数 $y\text{A}/\mu\text{m}$ 以上数 $z\text{A}/\mu\text{m}$ 以下程度に低くすることができる。OSトランジスタ、および酸化物半導体については、実施の形態3、4で説明する。

30

#### 【0064】

図4Aの回路30は、論理回路34およびトランジスタTO6を有する。論理回路34は論理セル10の論理回路10aに対応する。トランジスタTO6は、VSSの供給を遮断するパワースイッチとして機能する。トランジスタTO6は信号s1pによって、オンオフが制御される。

40

#### 【0065】

図4B、図4Cに示すように、トランジスタTO6にバックゲートを設けてもよい。図4Bの回路30-1では、トランジスタTO7のバックゲートは、ポートOBGと電氣的に接続されている。ポートOBGの電位によって、トランジスタTO7のしきい値電圧を制御することができる。トランジスタTO7のバックゲートとチャネル形成領域と間の絶縁層に電荷蓄積層を設けた場合、回路30-1の作製時に、ポートOBGを利用して、トランジスタTO7の電荷蓄積層に電荷を注入する工程を行うこともできる。この工程を行った場合は、ポートOBGの電位を制御せずに、トランジスタTO7のバックゲートを電氣的に浮遊状態にして、回路30-1を動作させてもよい。

50

## 【 0 0 6 6 】

図 4 C の回路 3 0 - 2 では、トランジスタ T O 8 のバックゲートは、ゲートと電氣的に接続されている。このようなデバイス構造とすることで、トランジスタ T O 8 のオン電流特性を向上させることができる。なお、トランジスタ T O 8 のバックゲートをソースまたはドレインと電氣的に接続してもよい。

## 【 0 0 6 7 】

図 4 D - 図 4 F には、論理回路と、O S トランジスタが適用されたバックアップ回路とを組み合わせた回路の例を示す。論理回路のデータ(状態)をバックアップするための回路を設けることで、論理回路を組み込んだ半導体装置のパワーゲーティングが可能となる。下記に示すバックアップ回路は、O S トランジスタが極小オフ電流をもつことで、クロックゲーティング、およびパワーゲーティング時において、データを長時間保持することが可能である。

10

## 【 0 0 6 8 】

図 4 D の回路 3 1 は、論理回路 3 5 およびバックアップ回路 3 6 A を有する。論理回路 3 5 は論理セル 1 0 の論理回路 1 0 a に対応する。バックアップ回路 3 6 A は、ノード S N 1、トランジスタ T O 1 および容量素子 C 1 を有する。バックアップ回路 3 6 A は、D R A M のメモリセルと同様の構成を有する。ノード S N 1 は保持ノードであり、トランジスタ T O 1 をオフ状態にすることで、電氣的に浮遊状態とされる。容量素子 C 1 はノード S N 1 の電位を保持するための保持容量であり、ノード S N 1 とポート P L とに電氣的に接続されている。トランジスタ T O 1 のゲートはポート B K と電氣的に接続されている。ポート B K にはバックアップ動作を制御する信号が入力される。トランジスタ T O 1 をオンにすることでノード N 3 5 のデータがバックアップされる、または、ノード S N 1 で保持されているデータがノード N 3 5 に書き込まれる。ノード N 3 5 は、論理回路 3 5 の内部ノード、入力ノード、および出力ノードの何れであってもよい。

20

## 【 0 0 6 9 】

図 4 E の回路 3 2 は、論理回路 3 5 およびバックアップ回路 3 6 B を有する。バックアップ回路 3 6 B はバックアップ回路 3 6 A にトランジスタ T O 2 を追加したものである。トランジスタ T O 1 とトランジスタ T O 2 は直列に電氣的に接続されている、トランジスタ T O 1、T O 2 をオフ状態にすることで、ノード S N 1 は電氣的に浮遊状態とされる。トランジスタ T O 2 のゲートはポート R E と電氣的に接続されている。ポート R E には、リストア動作を制御するための信号が入力される。

30

## 【 0 0 7 0 】

バックアップ動作では、トランジスタ T O 1 をオン状態にすることで、論理回路 3 5 の出力ノード(ポート Y 1)のデータをノード S N 1 に書き込む。リストア動作では、トランジスタ T O 2 をオン状態にすることで、ノード S N 1 のデータを、論理回路 3 5 の入力ノード(ポート A 1)に書き込む。なお、バックアップの対象となるノードは、論理回路 3 5 の内部ノードでもよいし、出力ノードでもよい。また、データを書き戻すノードは、内部ノードでもよいし、出力ノードでもよい。

## 【 0 0 7 1 】

図 4 F の回路 3 3 は、論理回路 3 5、ポート B 1、およびバックアップ回路 3 6 C を有する。バックアップ回路 3 6 C はバックアップ回路 3 6 B にトランジスタ T O 3 を追加したものである。トランジスタ T O 3 はポート B 1 とポート A 1 間の導通状態を制御するパストランジスタである。トランジスタ T O 3 のゲートはポート B K に電氣的に接続されている。

40

## 【 0 0 7 2 】

なお、トランジスタ T O 1 - T O 3 は、それぞれ、トランジスタ T O 7、T O 8 のようにバックゲートを有していてもよい。

## 【 0 0 7 3 】

(保持時間について)

トランジスタ T O 1 - T O 3 が O S トランジスタであることで、バックアップ回路 3 6 A

50

- 36Cは、長時間のデータ保持が可能となる。例えば、バックアップ回路36Aにおいて、電源電圧を2V以上かつ3.5V以下、ノードSN1の保持容量(C1の容量)を21fF、ノードSN1の保持電位の許容変動量を0.5V未満であるとする条件下では、85、10年間で保持電位の変動量を許容変動量未満とするには、ノードSN1からのリーク電流は、 $33 \times 10^{-24}$  A未満であることが必要となる。他からのリークがさらに小さく、リーク箇所がほぼトランジスタT01である場合、トランジスタT01のチャンネル幅が350nmのとき、トランジスタT01のチャンネル幅あたりのリーク電流を $93 \times 10^{-24}$  A/ $\mu$ m未満とすることが好ましい。つまり、トランジスタT01をOSTランジスタとすることで、バックアップ回路36Aは85において10年間データを保持することが可能である。

10

#### 【0074】

バックアップ回路36A-36Cのような、OSTランジスタのオフ電流特性を利用する記憶回路では、保持期間において、OSTランジスタに所定の電位が供給され続けている場合がある。例えば、OSTランジスタのゲートには、OSTランジスタが完全にオフ状態となるような電位が供給され続けている場合がある。または、OSTランジスタのバックゲートには、ノーマリ・オフ状態になるような電位が供給され続けている場合がある。そのような場合には、保持期間において、記憶回路に電圧が供給されていることになるが、電流がほとんど流れないため、電力をほとんど消費しない。したがって、電力をほとんど消費しないことから、仮に、所定の電圧が記憶回路に供給されているとしても、実質的には、OSTランジスタを利用した記憶回路は不揮発性であると表現することができる。

20

#### 【0075】

<<半導体装置100の積層構造の例>>

図5は、半導体装置100の積層構造を模式的に示した図である。図5には、論理セル110、論理セル111、および回路112を示す。回路112は、論理セル111に積層されている。回路112は、図4C-図4Eに示すバックアップ回路に対応する回路であり、論理セル111のデータをバックアップ可能なように、論理セル111と接続されている。図5には、回路112に設けられるトランジスタT01および容量素子C1を示す。

#### 【0076】

図5の半導体装置100は、単結晶シリコンウエハ40に作製されている。素子層DE-1には、複数のSiトランジスタTp、およびSiトランジスタTnが作製される。これらのSiトランジスタは絶縁層41に覆われている。論理セル110は、インバータセルである。論理セル111は、インバータの出力ノードがポートY1に電気的に接続される論理回路である。ここでは、SiトランジスタTpはpチャンネル型トランジスタであり、SiトランジスタTnはnチャンネル型トランジスタである。

30

#### 【0077】

層MVA1-MVA6は、上層の導電体と下層の導電体との間を導通させるためのプラグが形成される層である。層MVA1-MVA6は、絶縁層53-1-53-6に設けられた複数のプラグ71-76を有する。

#### 【0078】

配線層MA-1、MA-2は、それぞれ、絶縁層51-1、51-2に設けられた複数の配線61、62を有する。配線層MB-1-MB-3は、それぞれ、複数の配線64-66を有する。配線64、66は、それぞれ、絶縁層52-1、52-3に設けられている。配線65は絶縁層53-5上に形成されている。配線65は絶縁層44に覆われている。

40

#### 【0079】

回路112において、絶縁層44を介して配線65と重なる配線67が設けられており、これによって、容量素子C1が構成される。なお、容量素子C1を構成する電極は、配線層MB-2に形成される電極に限定されない。容量素子C1の電極は、半導体装置100が有するいずれかの配線層に形成されていればよい。ポートPL、BKは配線層MB-3

50

に設けられる。トランジスタT O 1のゲート（配線6 8）は、ポートB Kと接続されている。

#### 【0080】

ここでは、素子層D E - 2上に3層の配線層が設けられている例を示したが、これに限定されない。素子層D E - 2上に2層以上の配線層があればよい。

#### 【0081】

素子層D E - 2には、複数のO Sトランジスタが作製される。O Sトランジスタは絶縁層4 2上に作製され、絶縁層4 3に覆われている。絶縁層4 2、4 3は、O Sトランジスタに対するパッシベーション層である。図5には、素子層D E - 2に設けられているO Sトランジスタのうち、トランジスタT O 1を示している。トランジスタT O 1は、実施の形態3で説明されるO Sトランジスタ8 0 0（図1 4）と同様のデバイス構造を有する。素子層D E - 2にバックゲートをもつO Sトランジスタが設けられているため、素子層D E - 2は、バックゲートが設けられる配線層M A - 3を有する。配線層M A - 3は、絶縁層5 1 - 3に設けられている複数の配線6 3を有する。

10

#### 【0082】

図5では、論理セル1 1 0のポートA 1およびポートY 1は、それぞれ、プラグ7 5を介して、配線6 5と接続されている。配線層M A - 3がある場合には、論理セル1 1 0および論理セル1 1 1において、層（D E - 1、M A - 1、M A - 2）で構成される論理回路と、入力ポートおよび出力ポートとを接続するための配線を配線層M A - 3にも設けることができる。

20

#### 【0083】

図5において、配線6 1 - 6 3およびプラグ7 1 - 7 3は、上掲した耐熱性の高い導電体（例えば、タングステン）である。他方、素子層D E - 2よりも後に形成される配線6 4 - 6 7、およびプラグ7 4 - 7 6は、配線6 1等よりも融点が高いが、抵抗率が低い導電体（例えば、C u、A l等）であることが好ましい。

#### 【0084】

ここでは、素子層D E - 1のトランジスタT p、T nはプレナー型トランジスタであるが、これに限定されない。トランジスタT p、T nは、例えば、立体構造を有するトランジスタ（フィン（F I N）型、トライゲート型など）でもよい。図1 7にフィン型トランジスタの一例を示す。図1 7 Aはトランジスタのチャンネル長方向の断面図であり、図1 7 Bは、e 1 - e 2線で切断した図1 7 Aの断面図である。

30

#### 【0085】

図1 7に示すトランジスタは、活性層（チャンネル形成領域とも呼ぶ。）7 7 2が凸形状を有し、その側面及び上面に沿ってゲート絶縁層7 7 6及びゲート電極7 7 7が設けられている。7 1 0は素子分離層である。7 7 1はウエルであり、7 7 3は低濃度不純物領域であり、7 7 4は高濃度不純物領域である。7 7 5は導電性領域である。7 7 8、7 7 9は側壁絶縁層である。図1 7には、単結晶シリコンウエハ7 0 0を加工して凸部を形成する場合を示したが、S O I基板を加工して凸形状を有する半導体領域を形成してもよい。

#### 【0086】

<< 処理装置の構成例 >>

40

ここでは、論理セルを構成単位として設計される半導体装置の具体例として、処理装置について説明する。図6に示す半導体装置は、処理装置（P U）2 0 0および電源回路2 1 0を有する。P U 2 0 0は命令を実行する機能を有する回路である。P U 2 0 0は、一のチップに集積された複数の機能回路を有する。P U 2 0 0は、プロセッサコア2 0 1、電源管理装置（P M U）2 0 2、パワースイッチ（P S W）2 0 3、クロック制御回路2 0 4を有する。図6は、電源回路2 1 0がP U 2 0 0と異なるチップに設けられている例を示している。端子2 2 0は電源電位用端子であり、電源回路2 1 0から電源電位V D Dが入力される。端子2 2 1、2 2 2は、信号の入力端子である。端子2 2 1はマスタクロック信号M C L Kが入力される。端子2 2 2には信号I N Tが入力される。信号I N Tは割り込み処理を要求する割り込み信号である。信号I N Tは、P U 2 0 0のプロセッサコア

50

201およびPMU202に入力される。

【0087】

<プロセッサコア>

プロセッサコア201は、命令を処理することができる機能を有する回路であり、演算処理回路、あるいはプロセッサ（処理装置）と呼ぶことも可能である。プロセッサコア201は論理セルを基本単位にして設計されている。プロセッサコア201は、論理回路240およびフリップフロップ（FF）250等を有しており、これらにより、各種の機能回路が構成されている。例えば、論理回路240は組み合わせ回路とすることができる。FF250はレジスタに含まれる。

【0088】

FF250は、スキャンフリップフロップ（SFF）251およびバックアップ回路252を有する。SFF251は論理セルで構成される。バックアップ回路252は、SFF251のデータをバックアップするための回路である。つまり、FF250は、バックアップ機能を備えたスキャンフリップフロップと呼ぶことができる。FF250のポートQは、論理回路240の入力端子と電氣的に接続され、かつスキャンチェーンを構成するため、他のFF250のポートSD\_INと電氣的に接続されている。FF250を設けたことで、プロセッサコア201のクロックゲーティングおよびパワーゲーティングが可能となり、PU200の消費電力を削減することができる。

【0089】

図7はプロセッサコア201の構成例を示す。図7に示すプロセッサコア201は、制御装置231、プログラムカウンタ232、パイプラインレジスタ233、パイプラインレジスタ234、レジスタファイル235、ALU236、およびデータバス237を有する。プロセッサコア201とPMU202やキャッシュ等の周辺回路とのデータのやり取りは、データバス237を介して行われる。

【0090】

制御装置231は、プログラムカウンタ232、パイプラインレジスタ233、パイプラインレジスタ234、レジスタファイル235、ALU236、およびデータバス237の動作を統括的に制御することで、入力されたアプリケーションなどのプログラムに含まれる命令をデコードし、実行する機能を有する。ALU236は、四則演算、論理演算などの各種演算処理を行う機能を有する。プログラムカウンタ232は、次に実行する命令のアドレスを記憶する機能を有するレジスタである。

【0091】

パイプラインレジスタ233は、命令データを一時的に記憶する機能を有するレジスタである。レジスタファイル235は、汎用レジスタを含む複数のレジスタを有しており、メインメモリから読み出されたデータ、またはALU236の演算処理の結果得られたデータ、などを記憶することができる。パイプラインレジスタ234は、ALU236の演算処理に利用するデータ、またはALU236の演算処理により得られたデータなどを一時的に記憶する機能を有するレジスタである。

【0092】

<フリップフロップの回路構成例>

図8はFF250の回路構成例を示す。図8に示すバックアップ回路252は、バックアップ回路36Cと同様の回路構成を有する。図8に示すSFF251は、セクタ（SEL）253、FF254、ポートVH、VL、D、Q、QB、SD、SD\_IN、SE、CK、RTを有する。

【0093】

ポートVHは高電源電圧VDD用の電源端子であり、ポートVLは低電源電圧VSS用の電源ポートである。VDD、VSSはSEL253のインバータ、FF254のインバータおよびNAND回路（以下、“NAND”と呼ぶ。）に供給される。VHへのVDDの入力は、パワースイッチを介して行われる。

【0094】

10

20

30

40

50

ポートD、SDはSFF251のデータ入力ポートである。ポートDは、論理回路（例えば、組み合わせ回路）のデータ出力ポートと電氣的に接続されており、データが入力される。ポートSDには、バックアップ回路252を介して、リストア用のデータ、またはスキャンテストデータが入力される。ポートQは出力ポートである。ポートQは、他のFF250のポートSD\_IN、および論理回路のデータ入力ポートと電氣的に接続される。ポートQBは、ポートQの論理を反転したデータを出力するためのものである。ポートQBは、他の論理回路のデータ入力ポートに電氣的に接続される。ポートQBは必要に応じて設ければよい。

#### 【0095】

ポートSE、CK、RTは制御信号用の入力ポートである。ポートSEには、スキャンイネーブル信号が入力される。ポートSEはSEL253に電氣的に接続されている。ポートCKにはクロック信号が入力され、回路254aと電氣的に接続されている。ポートRTにはリセット信号が入力され、FF254のNANDと電氣的に接続されている。

10

#### 【0096】

SEL253は、ポートSEの論理によってポートD、SDの何れか一方を選択し、選択したポートのデータをFF254に inputsする機能を有する。スキャンテストを行うときはポートSEの論理を“H”にし、SDのデータがFF254が入力されるようにする。FF250を通常動作させる場合は、ポートSEの論理を“L”にして、ポートDがFF254の入力ポートと電氣的に接続する。

#### 【0097】

図8のFF254は、マスター・ラッチ回路とスレーブ・ラッチ回路とでなるFFである。回路254aはクロック信号入力用の回路であり、ポートCK1、CKB1を有する。ポートCK1からは非反転クロック信号が出力され、ポートCKB1からは反転クロック信号が出力される。FF254のアナログスイッチは、ポートCK1およびCKB1と電氣的に接続されている。

20

#### 【0098】

<<フリップフロップの動作例>>

図9、図10はFF250の動作例を示すタイミングチャートである。図9は、PU200がアクティブモードからスリープモードに移行するときの、FF250動作例を示し、図10は、PU200がスリープモードからアクティブモードに移行するときのFF250動作例を示す。図9、図10には、ポートVH、CK、Q、SE、SD、BKおよびRE、並びにノードSN1の電圧（論理）の変化を示す。ポートPLにはVSSが入力される。図9、図10において、電圧の最大値はVDDであり最小値はVSSである。

30

#### 【0099】

<アクティブモード（通常動作モード）>

アクティブモードでは、FF250は通常動作を行う。FF250は、論理回路からの出力データを一時的に保持するフリップフロップとして機能する。ここでは、論理回路の出力データは、ポートDに入力されることとする。通常動作時では、ポートRE、BKが“L”であるので、トランジスタTO1 - TO3はオフである。ポートSEは“L”であるので、SEL253によって、ポートDのデータがFF254に inputsされる。ポートRTは“H”である。ポートCKにはクロック信号が入力される。ポートCKが“H”になるのに連動して、ポートQの電圧（論理）が変化する。

40

#### 【0100】

<スキャンモード>

スキャンモードでは、複数のSFF251が直列に電氣的に接続され、スキャンチェーンが構成される。バックアップ回路252では、トランジスタTO1、TO3がオンとなり、トランジスタTO2がオフになる。ポートSEが“H”であるので、SEL253によって、ポートSDのデータがFF254に inputsされる。つまり、スキャンモードでは、ポートQの出力データが、次段のFF250のポートSDに inputsされることになる。

#### 【0101】

50

## ( スキャンテスト )

スキャンテストを行うには、スキャンモードにして、スキャンチェーンの初段の F F 2 5 0 のポート S D \_ I N にスキャンテストデータを入力する。クロック信号を入力することによってスキャンチェーンのシフト動作を行い、各 F F 2 5 0 にスキャンテストデータを書き込む。次に、F F 2 5 0 を通常動作させ、論理回路 2 4 0 の出力データを F F 2 5 0 に保持させる。再び、スキャンモードにして、スキャンチェーンのシフト動作を行う。最終段の F F 2 5 0 のポート Q から出力されるデータから、論理回路 2 4 0 および F F 2 5 0 の故障の有無を判定することができる。

## 【 0 1 0 2 】

## ( バックアップ・シークエンス )

アクティブモードからスリープモードに移行することでバックアップ・シークエンスが行われる。バックアップ・シークエンスでは、クロックゲーティング(クロック停止)、データのバックアップ、およびパワーゲーティング(電源オフ)が行われる。クロックの停止によって、スリープモードになる。

10

## 【 0 1 0 3 】

図 9 の例では、t 1 で、F F 2 5 0 のクロックゲーティングが開始し、バックアップ回路 2 5 2 はバックアップ動作を開始する。具体的には、t 1 でポート C K は “ L ” となり、ポート B K は “ H ” となる。ポート B K が “ H ” である期間がバックアップ動作期間である。

20

## 【 0 1 0 4 】

ポート B K が “ H ” になることで、トランジスタ T O 1 によりノード S N 1 がポート Q と電氣的に接続される。よって、ポート Q が “ 0 ” であれば、ノード S N 1 は “ L ” のままであり、ポート Q が “ 1 ” であれば、ノード S N 1 の電圧は上昇して、“ H ” となる。つまり、B K が “ H ” である期間に、ノード S N 1 の論理をポート Q と同じにすることができる。ノード S N 1 の電圧が “ 1 ” の論理レベルまで上昇できるように、ポート B K が “ H ” である期間を決定すればよい。t 2 でポート B K を “ L ” にしてトランジスタ T O 1 、T O 3 をオフにすることで、ノード S N 1 が電氣的に浮遊状態となり、バックアップ回路 2 5 2 は保持状態となる。

## 【 0 1 0 5 】

t 3 で電源をオフにし、ポート R T を “ L ” にする。ポート V H の電圧は V D D から徐々に低下し、V S S となる。t 2 で電源を遮断してもよい。また、電源の遮断は必要に応じて行えばよい。P U 2 0 0 の電源ドメインの構成や、スリープモードにしておく時間等によっては、電源が遮断されることで削減できる電力よりも、スリープモードからアクティブモードに復帰するのに要する電力の方が大きくなる場合がある。この場合は、パワーゲーティングの効果を得ることができないので、スリープモードでは電源は遮断せずに、クロック信号の停止のみ行うほうが好ましい。

30

## 【 0 1 0 6 】

## ( リストア・シークエンス )

スリープモードからアクティブモードに移行するリストア・シークエンスでは、電源のオン、データのリストア、クロックの供給が行なわれる。クロックの供給を開始することで、アクティブモードになる。

40

## 【 0 1 0 7 】

t 4 で電源をオンにする。V H の電圧が V S S から徐々に上昇し、V D D となる。V H が V D D になった後にリストア動作を開始する。t 5 でポート S E 、R E を “ H ” にする。またポート R T も “ H ” にする。ポート R E が “ H ” である間にリストア動作が行われる。トランジスタ T O 2 がオンになり、ノード S N 1 とポート S D が接続される。ノード S N 1 が “ L ” であれば、ポート S D は “ L ” のままである。ノード S N 1 が “ H ” であれば、ポート S D の電圧は上昇し、“ H ” となる。t 6 でポート S E を “ H ” にする。S E L 2 5 3 によりポート S D が F F 2 5 4 の入力ポートと電氣的に接続される。つまり、ノード S N 1 で保持されているデータがポート S D に書き込まれる。

50



## 【0108】

なお、t5で、ポートREと共にポートSEを“H”にすることも可能である。図10に示すように、ノードSN1が“H”である場合、ポートSDの電圧が“1”の論理レベルまで上昇してから、ポートSEを“H”にすることが好ましい。このような駆動によって、FF250で貫通電流が流れることを防ぐことができる。

## 【0109】

ポートSDの論理がノードSN1と同じになった後、一定期間(t7からt8)ポートCKを“H”にする。図10の例では、ポートCKに1クロックを入力している。t7でポートCKが“H”になることで、FF254においてマスター・ラッチ回路のデータがスレーブ・ラッチに書き込まれる。t7でポートSDが“0”であればポートQは“0”となり、ポートSDが“1”であればポートQは“1”となる。つまり、ノードSN1のデータがポートQに書き込まれ、FF250はクロックゲーティングされる(スリープモードになる)直前の状態に復帰する。t9でポートSE、REを“L”にしてリストア動作を終了する。SEL253によりポートDがFF254の入力ポートと電氣的に接続される。バックアップ回路252では、トランジスタTO3がオフとなり、ノードSN1が浮遊状態になる。

10

## 【0110】

ポートSE、REを“L”にした後、一定期間(例えば、1クロック期間)経過したt10で、クロック信号の入力を再開し、FF250をアクティブモードとする。FF250は通常動作を再開する。

20

## 【0111】

上述したように、FF250は、高速でバックアップ、リストアが可能であり、例えば、バックアップ動作、リストア動作を数クロック(2乃至5クロック)以内で完了することが可能である。バックアップ回路252の書き込み動作、読み出し動作は、トランジスタTO1-TO3のスイッチング動作によってノードSN1またはポートSDを充電または放電する動作であるため、これらの動作に要するエネルギーは、DRAMセルと同様に小さい。バックアップ回路252のデータ保持に電源を供給する必要がないので、FF250のスタンバイ電力を少なくすることができる。また、同様に、通常動作時にバックアップ回路252への電源供給は不要であるので、バックアップ回路252を設けたことによるFF250のダイナミック電力は実質的に増加しない。

30

## 【0112】

なお、バックアップ回路252を設けたことによって、トランジスタTO1による寄生容量がポートQに付加することになるが、ポートQに接続される論理回路による寄生容量と比較して小さいので、FF250の通常動作に影響はなく、バックアップ回路252を設けたことで、アクティブモードでのFF250の性能を実質的に低下させることがない。つまり、バックアップ回路252はPU200の動作に影響を与えない。

## 【0113】

<<電源管理>>

PMU202は、パワーゲーティング、クロックゲーティング等を制御する機能を有する。より具体的には、PMU202は、プロセッサコア201、PSW203、クロック制御回路204を制御することができる機能を有する。PMU202は、ポートBK、RE、SE等に入力される制御信号をプロセッサコア201に出力する機能を有する。

40

## 【0114】

PMU202は回路205を有する。回路205は時間を計測することができる機能を有する。PMU202は、回路205で得られる時間に関するデータをもとに、電源管理を行うことができる機能を有する。例えば、回路205をタイマー回路とすることで、PMU202でタイマー割り込み要求信号を生成するようにしてもよい。必要に応じて回路205を設ければよい。

## 【0115】

PSW203は、PMU202の制御信号に従い、PU200へのVDDの供給、遮断を

50

制御することができる機能を有する。図6の例では、プロセッサコア201は複数の電源ドメインを有していてもよい。この場合、PSW203により、複数の電源ドメインへの電源供給を独立に制御できるようにすればよい。また、プロセッサコア201は、パワーゲーティングが行われない電源ドメインを有していてもよい。この場合、この電源ドメインにPSW203を介さずにVDDを供給してもよい。

【0116】

クロック制御回路204は、信号MCLKから、ゲートドクロック信号を生成し、出力する機能を有する。クロック制御回路204は、PMU202の制御信号に従い、プロセッサコア201へのクロック信号を遮断することができる機能を有する。電源回路210は、PMU202の制御信号に従い、VDDの値を変更できる機能を有していてもよい。

10

【0117】

プロセッサコア201からPMU202に信号SLPが出力される。信号SLPは、プロセッサコア201をスリープモードに移行するためのトリガとなる信号である。信号SLPに従い、プロセッサコア201では、FF250のバックアップ・シークエンスが実行される。PMU202は、信号SLPが入力されると、アクティブモードからスリープモードに移行するための制御信号を制御対象の機能回路に出力する。PMU202はクロック制御回路204を制御し、プロセッサコア201へのクロック信号の供給を停止させる。また、PMU202はPSW203を制御し、プロセッサコア201への電源の供給を停止させる。

20

【0118】

プロセッサコア201をスリープモードからアクティブモードへ復帰するための処理は、信号INTの入力により実行される。信号INTに従い、プロセッサコア201では、FF250のリストア・シークエンスが実行される。PMU202は、信号INTが入力されると、スリープモードからアクティブモードに移行するための制御信号を制御対象の機能回路に出力する。PMU202はPSW203を制御して、プロセッサコア201への電源の供給を再開停止させ、また、クロック制御回路204を制御して、プロセッサコア201へのクロック信号の供給を再開させる。

【0119】

バックアップ・シークエンスは、信号INT、あるいはPMU202の割り込み要求信号をトリガにして実行できるようにしてもよい。また、リストア・シークエンスはPMU202の割り込み要求信号をトリガにして実行できるようにしてもよい。

30

【0120】

<<PU200(FF250)のデバイス構造>>

PU200は、図5の半導体装置100と同様の積層構造をもつデバイスである。図11はFF250のデバイス構造の模式図である。SFF251は論理セルで構成される。SFF251のトランジスタは素子層DE-1に設けられ、これらは配線層MA-1の配線によって接続される。ポートSD、Qは配線層MB-1に設けられ、配線層MA-2の配線を介して、SFF251と接続される。ポートSD\_IN、Dも同様である。バックアップ回路252のトランジスタTO1-TO3は素子層DE-2に設けられている。容量素子C1の一对の電極の一方は配線層MB-2に設けられている。

40

【0121】

バックアップ回路252は、SFF251と比較して素子数が非常に少ないので、バックアップ回路252を積層するためにSFF251を構成する論理セルの回路構成の変更がない。つまり、バックアップ回路252は、汎用性が非常に高いバックアップ回路である。また、PU200の設計の効率化が可能となる。

【0122】

バックアップ回路252は、通常動作時の消費電力がほとんどなく、またバックアップ、リストア動作に必要な電力は非常に小さい。よって、バックアップ回路252を備えたFF250は、ノーマリオフ・コンピューティングに非常に好適である。FF250を搭載しても、PU200のダイナミック電力の増加や、性能低下をほとんど発生させないよう

50

にすることが可能である。したがって、FF250を搭載したPU200は性能を保ったまま、パワーゲーティングによって消費電力を効果的に削減することが可能である。

【0123】

(実施の形態2)

本実施の形態では、半導体装置の一例として、電子部品、及び電子部品を具備する電子機器等について説明する。

【0124】

<<電子部品>>

図12Aは、電子部品の作製方法例を示すフローチャートである。電子部品は、半導体パッケージ、またはIC用パッケージともいう。この電子部品は、端子取り出し方向や、端子の形状に応じて、複数の規格や名称が存在する。そこで、本実施の形態では、その一例について説明することにする。

10

【0125】

トランジスタで構成される半導体装置は、組み立て工程(後工程)を経て、プリント基板に脱着可能な部品が複数合わさることで完成する。後工程については、図12Aに示す各工程を経ることで完成させることができる。具体的には、前工程で得られる素子基板が完成(ステップS1)した後、基板を複数のチップに分離するダイシング工程を行う(ステップS2)。ステップS2の前に、基板の裏面を研削する工程が行われる。この段階で基板を薄膜化して、前工程での基板の反り等を低減し、部品の小型化を図る。

20

【0126】

分離したチップを個々にピックアップしてリードフレーム上に搭載し接合する、ダイボンディング工程を行う(ステップS3)。ダイボンディング工程におけるチップとリードフレームとの接着方法は製品に適した方法を選択すればよく、これらを樹脂やテープによって接着することができる。ダイボンディング工程は、インターポーザ上にチップを搭載し接合してもよい。ワイヤーボンディング工程で、リードフレームのリードとチップ上の電極とを金属の細線(ワイヤー)で電氣的に接続する(ステップS4)。金属の細線には、銀線や金線を用いることができる。ワイヤーボンディングは、ボールボンディングとウェッジボンディングの何れでもよい。

【0127】

ワイヤーボンディングされたチップは、エポキシ樹脂等で封止される、モールド工程が施される(ステップS5)。モールド工程を行うことで電子部品の内部が樹脂で充填される。リードフレームのリードをメッキ処理する。そしてリードを切断及び成形加工する(ステップS6)。めっき処理によりリードの錆を防止し、後にプリント基板に実装する際にはんだ付けをより確実に行うことができる。パッケージの表面に印字処理(マーキング)を施す(ステップS7)。検査工程(ステップS8)を経て、電子部品が完成する(ステップS9)。上掲した実施の形態の半導体装置を組み込むことで、低消費電力で、小型な電子部品を提供することができる。

30

【0128】

完成した電子部品の斜視模式図を図12Bに示す。図12Bでは、電子部品の一例として、QFP(Quad Flat Package)の斜視模式図を示している。図12Bに示すように、電子部品7000は、リード7001及び回路部7003を示している。回路部7003には、複数の論理セル、および素子層DE-2のトランジスタDE2によってさまざまな論理回路が、例えば、実施の形態1のFFが作製されている。電子部品7000は、例えばプリント基板7002に実装される。このような電子部品7000が複数組み合わせられて、それぞれがプリント基板7002上で電氣的に接続されることで電子機器に搭載することができる。完成した回路基板7004は、電子機器等の内部に設けられる。例えば、電子部品7000は、データを記憶するランダムアクセスメモリ、CPU、MCU(マイクロコントローラユニット)、FPGA、無線IC等の各種の処理を実行する処理装置に用いることができる。電子部品7000を搭載することで、電子機器の消費電力を削減することができる。または、電子機器を小型化することが容易になる。

40

50

## 【 0 1 2 9 】

よって、電子部品 7 0 0 0 は、デジタル信号処理、ソフトウェア無線、アビオニクス（通信機器、航法システム、自動操縦装置、飛行管理システム等の航空に関する電子機器）、A S I C のプロトタイピング、医療用画像処理、音声認識、暗号、バイオインフォマティクス（生物情報科学）、機械装置のエミュレータ、および電波天文学における電波望遠鏡等、幅広い分野の電子機器の電子部品（I C チップ）に適用することが可能である。このような電子機器としては、表示機器、パーソナルコンピュータ（P C）、記録媒体を備えた画像再生装置（D V D、ブルーレイディスク、フラッシュメモリ、H D D 等の記録媒体を再生する装置、および画像を表示するための表示部を有する装置）、携帯電話、携帯型を含むゲーム機、携帯データ端末、電子書籍端末、カメラ（ビデオカメラ、デジタルスチルカメラ等）、ウェアラブル型表示装置（ヘッドマウント型、ゴーグル型、眼鏡型、腕章型、ブレスレット型、ネックレス型等）ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレイヤー等）、複写機、ファクシミリ、プリンタ、プリンタ複合機、現金自動預け入れ払い機（A T M）、自動販売機などが挙げられる。電子機器の具体例を図 1 3 に示す。

10

## 【 0 1 3 0 】

図 1 3 A に示す携帯型ゲーム機 9 0 0 は、筐体 9 0 1、筐体 9 0 2、表示部 9 0 3、表示部 9 0 4、マイクロホン 9 0 5、スピーカ 9 0 6、操作キー 9 0 7、およびスタイラス 9 0 8 等を有する。

20

## 【 0 1 3 1 】

図 1 3 B に示す携帯情報端末 9 1 0 は、筐体 9 1 1、筐体 9 1 2、表示部 9 1 3、表示部 9 1 4、接続部 9 1 5、および操作キー 9 1 6 等を有する。表示部 9 1 3 は筐体 9 1 1 に設けられ、表示部 9 1 4 は筐体 9 1 2 に設けられている。接続部 9 1 5 により筐体 9 1 1 と筐体 9 1 2 とが接続され、筐体 9 1 1 と筐体 9 1 2 との間の角度は接続部 9 1 5 により変更可能となっている。そのため、接続部 9 1 5 における筐体 9 1 1 と筐体 9 1 2 との間の角度によって、表示部 9 1 3 に表示される画像を切り換える構成としてもよい。また、表示部 9 1 3 および / または表示部 9 1 4 にタッチパネル付の表示装置を使用してもよい。

## 【 0 1 3 2 】

図 1 3 C に示すノート型 P C 9 2 0 は、筐体 9 2 1、表示部 9 2 2、キーボード 9 2 3、およびポインティングデバイス 9 2 4 等を有する。

30

## 【 0 1 3 3 】

図 1 3 D に示す電気冷凍冷蔵庫 9 3 0 は、筐体 9 3 1、冷蔵室用扉 9 3 2、および冷凍室用扉 9 3 3 等を有する。

## 【 0 1 3 4 】

図 1 3 E に示すビデオカメラ 9 4 0 は、筐体 9 4 1、筐体 9 4 2、表示部 9 4 3、操作キー 9 4 4、レンズ 9 4 5、および接続部 9 4 6 等を有する。操作キー 9 4 4 およびレンズ 9 4 5 は筐体 9 4 1 に設けられており、表示部 9 4 3 は筐体 9 4 2 に設けられている。そして、筐体 9 4 1 と筐体 9 4 2 は接続部 9 4 6 によって接続されており、かつ接続部 9 4 6 により筐体 9 4 1 と筐体 9 4 2 の間の角度を変えることが可能な構造となっている。筐体 9 4 1 に対する筐体 9 4 2 の角度によって、表示部 9 4 3 に表示される画像の向きの変更、画像の表示 / 非表示の切り換え等を行えるようにしてもよい。

40

## 【 0 1 3 5 】

図 1 3 F に示す自動車 9 5 0 は、車体 9 5 1、車輪 9 5 2、ダッシュボード 9 5 3、およびライト 9 5 4 等を有する。

## 【 0 1 3 6 】

## 〔実施の形態 3〕

本実施の形態では、O S トランジスタ、および O S トランジスタを有する半導体装置について説明する。

## 【 0 1 3 7 】

50

## &lt;&lt; O S トランジスタの構成例 1 &gt;&gt;

図 1 4 に O S トランジスタの構成の一例を示す。図 1 4 A は O S トランジスタの構成の一例を示す上面図である。図 1 4 B は、 $y_1 - y_2$  線断面図であり、図 1 4 C は  $x_1 - x_2$  線断面図であり、図 1 4 D は  $x_3 - x_4$  線断面図である。ここでは、 $y_1 - y_2$  線方向をチャンネル長方向と呼び、 $x_1 - x_2$  線方向をチャンネル幅方向と呼ぶ場合がある。なお、デバイス構造を明確にするため、図 1 4 A では、一部の構成要素が省略されている。

## 【 0 1 3 8 】

O S トランジスタ 8 0 0 は絶縁表面に形成される。ここでは、絶縁層 8 2 1 上に形成されている。絶縁層 8 2 1 は基板 8 2 0 表面に形成されている。絶縁層 8 2 1 は、O S トランジスタ 8 0 0 の下地層の機能を有する。O S トランジスタ 8 0 0 は絶縁層 8 2 5 に覆われている。なお、絶縁層 8 2 1、および絶縁層 8 2 5 を O S トランジスタ 8 0 0 の構成要素とみなすこともできる。O S トランジスタ 8 0 0 は、絶縁層 8 2 2、絶縁層 8 2 3、絶縁層 8 2 4、半導体層 8 4 1 - 8 4 3、導電層 8 5 0、導電層 8 5 1、導電層 8 5 2 および導電層 8 5 3 を有する。ここでは、半導体層 8 4 1 - 8 4 3 をまとめて半導体領域 8 4 0 と呼称する。

10

## 【 0 1 3 9 】

導電層 8 5 0 はゲート電極として機能し、導電層 8 5 3 はバックゲート電極として機能する。導電層 8 5 1、8 5 2 は、それぞれ、ソース電極またはドレイン電極として機能する。絶縁層 8 2 1 は、基板 8 2 0 と導電層 8 5 3 を電気的に分離する機能を有する。絶縁層 8 2 4 はゲート絶縁層を構成し、絶縁層 8 2 3 はバックチャンネル側のゲート絶縁層を構成する。

20

## 【 0 1 4 0 】

なお、チャンネル長とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが重なる領域、またはチャンネルが形成される領域における、ソース（ソース領域またはソース電極）とドレイン（ドレイン領域またはドレイン電極）との間の距離をいう。なお、一のトランジスタにおいて、チャンネル長が全ての領域で同じ値をとるとは限らない。即ち、一のトランジスタのチャンネル長は一つの値に定まらない場合がある。そのため、本明細書等では、チャンネル長はチャンネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

30

## 【 0 1 4 1 】

チャンネル幅とは、例えば、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが重なる領域、またはチャンネルが形成される領域における、ソースとドレインとが向かい合っている部分の長さをいう。なお、一のトランジスタにおいて、チャンネル幅がすべての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャンネル幅は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル幅は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

## 【 0 1 4 2 】

なお、トランジスタの構造によっては、実際にチャンネルの形成される領域におけるチャンネル幅（以下、実効的なチャンネル幅と呼ぶ。）と、トランジスタの上面図において示されるチャンネル幅（以下、見かけ上のチャンネル幅と呼ぶ。）と、が異なる場合がある。例えば、立体的な構造を有するトランジスタでは、実効的なチャンネル幅が、トランジスタの上面図において示される見かけ上のチャンネル幅よりも大きくなり、その影響が無視できなくなる場合がある。例えば、微細かつ立体的な構造を有するトランジスタでは、半導体の側面に形成されるチャンネル領域の割合が大きくなる場合がある。その場合は、上面図において示される見かけ上のチャンネル幅よりも、実際にチャンネルの形成される実効的なチャンネル幅の方が大きくなる。

40

## 【 0 1 4 3 】

特に、立体的な構造を有するトランジスタにおいては、実効的なチャンネル幅の実測による

50

見積もりが困難となる場合がある。例えば、設計値から実効的なチャンネル幅を見積もるためには、半導体領域の形状が既知という仮定が必要である。したがって、半導体領域の形状が正確にわからない場合には、実効的なチャンネル幅を正確に測定することは困難である。

#### 【0144】

そこで、本明細書では、トランジスタの上面図において、半導体領域とゲート電極とが重なる領域における、ソースとドレインとが向かい合っている部分の長さである見かけ上のチャンネル幅を、「囲い込みチャンネル幅 (SCW: Surrounded Channel Width)」と呼ぶ場合がある。また、本明細書では、単にチャンネル幅と記載した場合には、囲い込みチャンネル幅または見かけ上のチャンネル幅を指す場合がある。または、本明細書では、単にチャンネル幅と記載した場合には、実効的なチャンネル幅を指す場合がある。なお、チャンネル長、チャンネル幅、実効的なチャンネル幅、見かけ上のチャンネル幅、囲い込みチャンネル幅などは、断面TEM像などを取得して、その画像を解析することなどによって、値を決定することができる。

10

#### 【0145】

なお、トランジスタの電界効果移動度や、チャンネル幅当たりの電流値などを計算して求める場合、囲い込みチャンネル幅を用いて計算する場合がある。その場合には、実効的なチャンネル幅を用いて計算する場合とは異なる値をとる場合がある。

#### 【0146】

図14B、図14Cに示すように、半導体領域840は、半導体層841、半導体層842、半導体層843の順に積層している部分を有する。絶縁層824はこの積層部分を覆っている領域を含む。導電層850は絶縁層823を介して積層部分と重なる。導電層851および導電層852は、半導体層841および半導体層843とでなる積層上に設けられており、それぞれ、この積層の上面と、同チャンネル長方向の側面とに接している。半導体層841、842および導電層851、852の積層は、同じマスクを用いたエッチング工程を経ることで形成されている。

20

#### 【0147】

半導体層843は、半導体層841、842、および導電層851、852を覆うように形成されている。絶縁層824は半導体層843を覆っている。ここでは、半導体層843と絶縁層824は同じマスクを用いてエッチングされている。

30

#### 【0148】

絶縁層824を介して、半導体層841 - 843の積層部分のチャンネル幅方向を取り囲むように、導電層850が形成されている(図14C参照)。このため、この積層部分には、垂直方向からのゲート電界と、側面方向からのゲート電界も印加される。OSトランジスタ800において、ゲート電界とは、導電層850(ゲート電極層)に印加される電圧により形成される電界のことをいう。ゲート電界によって、半導体層841 - 843の積層部分全体を電気的に取り囲むことができるので、半導体層842の全体に(バルク)にチャンネルが形成される場合がある。そのため、OSトランジスタ800は高いオン電流を有することができる。

#### 【0149】

本明細書等では、ゲート電極層の電界で半導体領域が囲まれるようなトランジスタの構造を、「surrounded channel (s-channel) 構造」と呼ぶ。s-channel 構造であることで、OSトランジスタ800の高周波特性を向上することができる。具体的には、遮断周波数を向上することができる。s-channel 構造は高いオン電流が得られるため、LSIなど微細化されたトランジスタが要求される半導体装置に適した構造といえ、また、動作周波数が高いトランジスタに適した構造といえる。該トランジスタを有する半導体装置は、高い周波数で動作させることができる。

40

#### 【0150】

OSトランジスタの微細化によって、集積度が高い、または小型な半導体装置を提供することが可能となる。例えば、OSトランジスタは、チャンネル長が好ましくは10nm以上

50

かつ1 $\mu$ m未満、さらに好ましくは10nm以上かつ100nm未満、さらに好ましくは10nm以上かつ70nm未満、さらに好ましくは10nm以上かつ60nm未満、さらに好ましくは10nm以上かつ30nm未満の領域を有する。例えば、トランジスタは、チャンネル幅が好ましくは10nm以上かつ1 $\mu$ m未満、さらに好ましくは10nm以上かつ100nm未満、さらに好ましくは10nm以上かつ70nm未満、さらに好ましくは10nm以上かつ60nm未満、さらに好ましくは10nm以上かつ30nm未満の領域を有する。

#### 【0151】

##### <導電層>

導電層850-853は、銅(Cu)、タングステン(W)、モリブデン(Mo)、金(Au)、アルミニウム(Al)、マンガン(Mn)、チタン(Ti)、タンタル(Ta)、ニッケル(Ni)、クロム(Cr)、鉛(Pb)、錫(Sn)、鉄(Fe)、コバルト(Co)、ルテニウム(Ru)、白金(Pt)、イリジウム(Ir)、ストロンチウム(Sr)の低抵抗材料からなる単体、もしくは合金、またはこれらを主成分とする化合物を含む導電膜の単層または積層とすることが好ましい。特に、耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましい。また、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。さらに、Cu-Mn合金を用いると、酸素を含む絶縁体との界面に酸化マンガンを形成し、酸化マンガンのCuの拡散を抑制する機能を持つので好ましい。

10

#### 【0152】

Oトランジスタ801の導電層851および導電層852は、半導体層841と半導体層842との積層を形成するために使用されるハードマスクから作製されている。そのため、導電層851および導電層852は、半導体層841および半導体層842の側面に接する領域を有していない。例えば、次のような工程を経て、半導体層841、842、導電層851、852を作製することができる。半導体層841、842を構成する2層の酸化物半導体膜を形成する。酸化物半導体膜上に、単層または積層の導電膜を形成する。この導電膜をエッチングしてハードマスクを形成する。このハードマスクを用いて、2層の酸化物半導体膜をエッチングして、半導体層841と半導体層842の積層を形成する。次に、ハードマスクをエッチングして、導電層851および導電層852を形成する。

20

30

#### 【0153】

##### <半導体層>

半導体層842は、例えば、インジウム(In)を含む酸化物半導体である。半導体層842は、例えば、インジウムを含むと、キャリア移動度(電子移動度)が高くなる。また、半導体層842は、元素Mを含むと好ましい。元素Mは、好ましくは、アルミニウム(Al)、ガリウム(Ga)、イットリウム(Y)またはスズ(Sn)などとする。そのほかの元素Mに適用可能な元素としては、ホウ素B、シリコン(Si)、チタン(Ti)、鉄(Fe)、ニッケル(Ni)、ゲルマニウム(Ge)、ジルコニウム(Zr)、モリブデン(Mo)、ランタン(La)、セリウム(Ce)、ネオジム(Nd)、ハフニウム(Hf)、タンタル(Ta)、タングステン(W)などがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。元素Mは、例えば、酸素との結合エネルギーが高い元素である。例えば、酸素との結合エネルギーがインジウムよりも高い元素である。または、元素Mは、例えば、酸化物半導体のエネルギーギャップを大きくする機能を有する元素である。また、半導体層842は、亜鉛(Zn)を含むと好ましい。酸化物半導体は、亜鉛を含むと結晶化しやすくなる場合がある。

40

#### 【0154】

なお、半導体層842は、インジウムを含む酸化物半導体に限定されない。半導体層842は、例えば、亜鉛スズ酸化物、ガリウムスズ酸化物などの、インジウムを含まず、亜鉛を含む酸化物半導体、ガリウムを含む酸化物半導体、スズを含む酸化物半導体などであっても構わない。半導体層842は、例えば、エネルギーギャップが大きい酸化物を用いる

50

。半導体層 842 のエネルギーギャップは、例えば、2.5 eV 以上 4.2 eV 以下、好ましくは 2.8 eV 以上 3.8 eV 以下、さらに好ましくは 3 eV 以上 3.5 eV 以下とする。半導体領域 840 は、実施の形態 4 で説明される C A A C - O S で形成されていることが好ましい。または、少なくとも、半導体層 842 は C A A C - O S で形成されていることが好ましい。

【0155】

なお、半導体領域 840 を構成する酸化物半導体をスパッタリング法で成膜する場合、基板温度を 150 以上 750 以下、好ましくは 150 以上 450 以下、さらに好ましくは 200 以上 420 以下とすることで、C A A C - O S を形成することができる。よって、実施の形態 1 の半導体装置 100 において、素子層 D E - 1 に設けられる導電体は、酸化物半導体の成膜温度に耐えることが要求される。

10

【0156】

半導体層 841 および半導体層 843 は、半導体層 842 を構成する酸素以外の元素一種以上、または二種以上から構成される酸化物半導体である。半導体層 842 を構成する酸素以外の元素一種以上、または二種以上から半導体層 841 および半導体層 843 が構成されるため、半導体層 841 と半導体層 842 との界面、および半導体層 842 と半導体層 843 との界面において、界面準位が形成されにくい。

【0157】

なお、半導体層 841 が In - M - Zn 酸化物のとき、In および M の和を 100 atomic % としたとき、好ましくは In が 50 atomic % 未満、M が 50 atomic % より高く、さらに好ましくは In が 25 atomic % 未満、M が 75 atomic % より高いとする。半導体層 841 をスパッタリング法で成膜する場合、上記の組成を満たすスパッタリングターゲットを用いることが好ましい。例えば、In : M : Zn = 1 : 3 : 2 が好ましい。

20

【0158】

また、半導体層 842 が In - M - Zn 酸化物のとき、In および M の和を 100 atomic % としたとき、好ましくは In が 25 atomic % より高く、M が 75 atomic % 未満、さらに好ましくは In が 34 atomic % より高く、M が 66 atomic % 未満とする。半導体層 842 をスパッタリング法で成膜する場合、上記の組成を満たすスパッタリングターゲットを用いることが好ましい。例えば、In : M : Zn = 1 : 1 : 1、In : M : Zn = 1 : 1 : 1.2、In : M : Zn = 2 : 1 : 3、In : M : Zn = 3 : 1 : 2、In : M : Zn = 4 : 2 : 4.1 が好ましい。特に、スパッタリングターゲットとして、原子数比が In : Ga : Zn = 4 : 2 : 4.1 を用いる場合、成膜される半導体層 842 の原子数比は、In : Ga : Zn = 4 : 2 : 3 近傍となる場合がある。

30

【0159】

また、半導体層 843 が In - M - Zn 酸化物のとき、In および M の和を 100 atomic % としたとき、In は 50 atomic % 未満、M は 50 atomic % よりも高いことが好ましく、In は 25 atomic % 未満、M は 75 atomic % よりも高いことがより好ましい。なお、半導体層 843 は、半導体層 841 と同種の酸化物を用いても構わない。ただし、半導体層 841 および半導体層 843 の一方、あるいは双方がインジウムを含まなくても構わない場合がある。例えば、半導体層 841 および半導体層 843 の少なくとも一方が酸化ガリウムであっても構わない。

40

【0160】

(エネルギーバンド構造)

図 15 を参照して、半導体層 841、半導体層 842、および半導体層 843 の積層により構成される半導体領域 840 の機能およびその効果について、説明する。図 15 A は、図 14 B の部分拡大図であり、O S トランジスタ 800 の活性層(チャンネル部分)を拡大した図である。図 15 B は O S トランジスタ 800 のチャンネル形成領域のエネルギーバンド構造であり、図 15 A の点線 z1 - z2 で示す部位のエネルギーバンド構造を示している。

50



## 【0161】

図15Bの、Ec823、Ec841、Ec842、Ec843、Ec824は、それぞれ、絶縁層823、半導体層841、半導体層842、半導体層843、絶縁層824の伝導帯下端のエネルギーを示している。

## 【0162】

ここで、真空準位と伝導帯下端のエネルギーとの差（「電子親和力」ともいう。）は、真空準位と価電子帯上端のエネルギーとの差（イオン化ポテンシャルともいう。）からエネルギーギャップを引いた値となる。なお、エネルギーギャップは、分光エリブソメータを用いて測定できる。また、真空準位と価電子帯上端のエネルギー差は、紫外線光電子分光分析（UPS：Ultraviolet Photoelectron Spectroscopy）装置を用いて測定できる。

10

## 【0163】

絶縁層823と絶縁層824は絶縁体であるため、Ec823とEc824は、Ec841、Ec842、およびEc843よりも真空準位に近い（電子親和力が小さい）。

## 【0164】

半導体層842には、半導体層841および半導体層843よりも電子親和力の大きい酸化物が用いられる。例えば、半導体層842として、半導体層841および半導体層843よりも電子親和力の0.07eV以上1.3eV以下、好ましくは0.1eV以上0.7eV以下、さらに好ましくは0.15eV以上0.4eV以下大きい酸化物が用いられる。なお、電子親和力は、真空準位と伝導帯下端のエネルギーとの差である。

20

## 【0165】

なお、インジウムガリウム酸化物は、小さい電子親和力と、高い酸素ブロック性を有する。そのため、半導体層843がインジウムガリウム酸化物を含むと好ましい。ガリウム原子割合 $[Ga / (In + Ga)]$ は、例えば、70%以上、好ましくは80%以上、さらに好ましくは90%以上とする。このとき、ゲート電圧を印加すると、半導体層841、半導体層842、半導体層843のうち、電子親和力の大きい半導体層842にチャネルが形成される。

## 【0166】

ここで、半導体層841と半導体層842との間には、半導体層841と半導体層842との混合領域を有する場合がある。また、半導体層842と半導体層843との間には、半導体層842と半導体層843との混合領域を有する場合がある。混合領域は、界面準位密度が低くなる。そのため、半導体層841、半導体層842および半導体層843の積層体は、それぞれの界面近傍において、エネルギーが連続的に変化する（連続接合ともいう。）バンド構造となる。

30

## 【0167】

このとき、電子は、半導体層841中および半導体層843中ではなく、半導体層842中を主として移動する。上述したように、半導体層841および半導体層842の界面における界面準位密度、半導体層842と半導体層843との界面における界面準位密度を低くすることによって、半導体層842中で電子の移動が阻害されることが少なく、OSトランジスタ800のオン電流を高くすることができる。

40

## 【0168】

トランジスタのオン電流は、電子の移動を阻害する要因を低減するほど、高くすることができる。例えば、電子の移動を阻害する要因のない場合、効率よく電子が移動すると推定される。電子の移動は、例えば、チャネル形成領域の物理的な凹凸が大きい場合にも阻害される。または、例えば、チャネルの形成される領域中の欠陥準位密度が高い場合にも、電子の移動は阻害される。

## 【0169】

OSトランジスタ800のオン電流を高くするためには、例えば、半導体層842の上面または下面（被形成面、ここでは半導体層841の上面）の、 $1\mu\text{m} \times 1\mu\text{m}$ の範囲における二乗平均平方根（RMS：Root Mean Square）粗さが1nm未満、

50

好ましくは0.6nm未満、さらに好ましくは0.5nm未満、より好ましくは0.4nm未満とすればよい。また、1 $\mu$ m $\times$ 1 $\mu$ mの範囲における平均面粗さ(Raともいう。)が1nm未満、好ましくは0.6nm未満、さらに好ましくは0.5nm未満、より好ましくは0.4nm未満とすればよい。また、1 $\mu$ m $\times$ 1 $\mu$ mの範囲における最大高低差(P-Vともいう。)が10nm未満、好ましくは9nm未満、さらに好ましくは8nm未満、より好ましくは7nm未満とすればよい。RMS粗さ、RaおよびP-Vは、走査型プローブ顕微鏡システムを用いて測定することができる。

#### 【0170】

例えば、半導体層842が酸素欠損( $V_O$ とも表記する。)を有する場合、酸素欠損のサイトに水素が入り込むことでドナー準位を形成することがある。以下では酸素欠損のサイトに水素が入り込んだ状態を $V_OH$ と表記することがある。 $V_OH$ は電子を散乱するため、OSトランジスタ800のオン電流を低下させる要因となる。なお、酸素欠損のサイトは、水素が入るよりも酸素が入る方が安定する。したがって、半導体層842中の酸素欠損を低減することでOSトランジスタ800のオン電流を高くすることができる場合がある。

10

#### 【0171】

例えば、半導体層842のある深さにおいて、または、半導体層842のある領域において、二次イオン質量分析法(SIMS: Secondary Ion Mass Spectrometry)で測定される水素濃度は、 $1 \times 10^{16}$  atoms/cm<sup>3</sup>以上、 $2 \times 10^{20}$  atoms/cm<sup>3</sup>以下、好ましくは $1 \times 10^{16}$  atoms/cm<sup>3</sup>以上、 $5 \times 10^{19}$  atoms/cm<sup>3</sup>以下、より好ましくは $1 \times 10^{16}$  atoms/cm<sup>3</sup>以上、 $1 \times 10^{19}$  atoms/cm<sup>3</sup>以下、さらに好ましくは $1 \times 10^{16}$  atoms/cm<sup>3</sup>以上、 $5 \times 10^{18}$  atoms/cm<sup>3</sup>以下とする。

20

#### 【0172】

半導体層842の酸素欠損を低減する方法には、例えば、絶縁層823に含まれる過剰酸素を、半導体層841を介して半導体層842まで移動させる方法などがある。この場合、半導体層841は、酸素透過性を有する層(酸素を通過または透過させる層)であることが好ましい。例えば、絶縁層825を形成した後、150以上600未満の熱処理を行うことで、半導体領域840に接する絶縁層(例えば、絶縁層823)に含まれている酸素を拡散させて、半導体層842まで移動させることで、半導体層842に存在する酸素欠損の酸素を補填することができる。半導体層842の局在準位密度が低減されるため、優れた電気特性を有するOSトランジスタ800を作製することができる。また、経時変化やストレス試験による電気特性の変動の少ない、信頼性の高いOSトランジスタ800を作製することができる。

30

#### 【0173】

この熱処理温度は、好ましくは250以上500以下、さらに好ましくは300以上450以下とすることができる。よって実施の形態1の半導体装置100において、素子層DE-2の下層の導電体を高耐熱性とすることで、素子層DE-2のプロセス温度を高くすることができるため、特性の優れた、また高信頼性のトランジスタDE2を作製することができる。

40

#### 【0174】

OSトランジスタ800がS-channel構造である場合、半導体層842の全体にチャンネルが形成される。したがって、半導体層842が厚いほどチャンネル領域は大きくなる。即ち、半導体層842が厚いほど、OSトランジスタ800のオン電流を高くすることができる。

#### 【0175】

また、OSトランジスタ800のオン電流を高くするためには、半導体層843の厚さは小さいほど好ましい。半導体層843は、例えば、10nm未満、好ましくは5nm以下、さらに好ましくは3nm以下の領域を有していればよい。一方、半導体層843は、チャンネルの形成される半導体層842へ、隣接する絶縁体を構成する酸素以外の元素(水素

50

、シリコンなど)が入り込まないようにブロックする機能を有する。そのため、半導体層 843 は、ある程度の厚さを有することが好ましい。半導体層 843 は、例えば、0.3 nm 以上、好ましくは 1 nm 以上、さらに好ましくは 2 nm 以上の厚さの領域を有していればよい。また、半導体層 843 は、絶縁層 823、824 などから放出される酸素の外方拡散を抑制するために、酸素をブロックする性質を有すると好ましい。

【0176】

また、O5 トランジスタ 800 の信頼性を高くするためには、半導体層 841 は厚く、半導体層 843 は薄いことが好ましい。半導体層 841 は、例えば、10 nm 以上、好ましくは 20 nm 以上、さらに好ましくは 40 nm 以上、より好ましくは 60 nm 以上の厚さの領域を有していればよい。半導体層 841 の厚さを、厚くすることで、隣接する絶縁体と半導体層 841 との界面からチャネルの形成される半導体層 842 までの距離を離すことができる。ただし、半導体装置の生産性が低下する場合があるため、半導体層 841 は、例えば、200 nm 以下、好ましくは 120 nm 以下、さらに好ましくは 80 nm 以下の厚さの領域を有していればよい。

10

【0177】

O5 トランジスタ 800 に安定した電気特性を付与するには、半導体領域 840 中の不純物濃度を低減し、半導体層 842 を真性または実質的に真性にするのが有効である。なお、本明細書等において、酸化物半導体が実質的に真性であるという場合、酸化物半導体膜のキャリア密度は、 $8 \times 10^{11} / \text{cm}^3$  未満、好ましくは  $1 \times 10^{11} / \text{cm}^3$  未満、さらに好ましくは  $1 \times 10^{10} / \text{cm}^3$  未満であり、 $1 \times 10^{-9} / \text{cm}^3$  以上である。

20

【0178】

酸化物半導体において、水素、窒素、炭素、シリコン、および主成分以外の金属元素は不純物となる。例えば、水素および窒素はドナー準位の形成に寄与し、キャリア密度を増大させてしまう。また、シリコンは酸化物半導体中で不純物準位の形成に寄与する。当該不純物準位はトラップとなり、トランジスタの電気特性を劣化させることがある。したがって、半導体層 841、半導体層 842 および半導体層 843 の層中や、それぞれの界面において不純物濃度を低減させることが好ましい。

【0179】

例えば、半導体層 842 と半導体層 841 との間に、シリコン濃度が  $1 \times 10^{16} \text{ atoms} / \text{cm}^3$  以上かつ  $1 \times 10^{19} \text{ atoms} / \text{cm}^3$  未満である領域を有する。シリコン濃度は、 $1 \times 10^{16} \text{ atoms} / \text{cm}^3$  以上かつ  $5 \times 10^{18} \text{ atoms} / \text{cm}^3$  未満が好ましく、 $1 \times 10^{16} \text{ atoms} / \text{cm}^3$  以上かつ  $2 \times 10^{18} \text{ atoms} / \text{cm}^3$  未満であることがより好ましい。また、半導体層 842 と半導体層 843 との間に、シリコン濃度が  $1 \times 10^{16} \text{ atoms} / \text{cm}^3$  以上かつ  $1 \times 10^{19} \text{ atoms} / \text{cm}^3$  未満である領域を有する。シリコン濃度は  $1 \times 10^{16} \text{ atoms} / \text{cm}^3$  以上かつ  $5 \times 10^{18} \text{ atoms} / \text{cm}^3$  未満が好ましく、 $1 \times 10^{16} \text{ atoms} / \text{cm}^3$  以上、 $2 \times 10^{18} \text{ atoms} / \text{cm}^3$  未満がより好ましい。シリコン濃度は例えば SIMS で測定することができる。

30

【0180】

また、半導体層 842 の水素濃度を低減するために、半導体層 841 および半導体層 843 の水素濃度を低減すると好ましい。半導体層 841 および半導体層 843 は、水素濃度が  $1 \times 10^{16} \text{ atoms} / \text{cm}^3$  以上かつ  $2 \times 10^{20} \text{ atoms} / \text{cm}^3$  以下の領域を有する。水素濃度は、 $1 \times 10^{16} \text{ atoms} / \text{cm}^3$  以上かつ  $5 \times 10^{19} \text{ atoms} / \text{cm}^3$  以下が好ましく、 $1 \times 10^{16} \text{ atoms} / \text{cm}^3$  以上かつ  $1 \times 10^{19} \text{ atoms} / \text{cm}^3$  以下がより好ましく、 $1 \times 10^{16} \text{ atoms} / \text{cm}^3$  以上かつ  $5 \times 10^{18} \text{ atoms} / \text{cm}^3$  以下がさらに好ましい。水素濃度は例えば SIMS で測定することができる。

40

【0181】

半導体層 842 の窒素濃度を低減するために、半導体層 841 および半導体層 843 の窒

50

素濃度を低減すると好ましい。半導体層 841 および半導体層 843 は、窒素濃度が  $1 \times 10^{16} \text{ atoms/cm}^3$  以上かつ  $5 \times 10^{19} \text{ atoms/cm}^3$  未満の領域を有する。窒素濃度は  $1 \times 10^{16} \text{ atoms/cm}^3$  以上かつ  $5 \times 10^{18} \text{ atoms/cm}^3$  以下が好ましく、 $1 \times 10^{16} \text{ atoms/cm}^3$  以上かつ  $1 \times 10^{18} \text{ atoms/cm}^3$  以下がより好ましく、 $1 \times 10^{16} \text{ atoms/cm}^3$  以上かつ  $5 \times 10^{17} \text{ atoms/cm}^3$  以下がさらに好ましい。窒素濃度は SIMS で測定することができる。

【0182】

また、上述のように高純度化された酸化物半導体をチャネル形成領域に用いたトランジスタのオフ電流は極めて小さい。例えば、ソースとドレインとの間の電圧を 0.1 (V)、5 (V)、または、10 (V) 程度とした場合に、トランジスタのチャネル幅で規格化したオフ電流を数 y A/μm から数 z A/μm にまで低減することが可能となる。

10

【0183】

図 14 は、半導体領域 840 が 3 層の例であるが、これに限定されない。例えば、半導体層 841 または半導体層 843 が無い 2 層構造としてもよい。または、半導体層 841 の上もしくは下、または半導体層 843 上もしくは下に、半導体層 841 843 と同様の半導体層を設けて、4 層構造とすることも可能である。または、半導体層 841 の上、半導体層 841 の下、半導体層 843 の上、半導体層 843 の下のいずれか二箇所以上に、半導体層 841 843 と同様の半導体層を設けて、n 層構造 (n は 5 以上の整数) とすることもできる。

【0184】

OS トランジスタ 800 をバックゲート電極の無いトランジスタにする場合、導電層 853 および絶縁層 822 を設けず、絶縁層 821 上に絶縁層 823 を形成すればよい。

20

【0185】

< 絶縁層 >

絶縁層 821 - 825 は、単層構造または積層構造の絶縁膜で形成される。絶縁膜を構成する材料には、例えば、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジウム、酸化ハフニウム、酸化タantalなどがあ

【0186】

なお、本明細書において、酸化窒化物とは、窒素よりも酸素の含有量が多い化合物をいい、窒化酸化物とは、酸素よりも窒素の含有量が多い化合物をいう。本明細書等において、絶縁材料に用いられる酸化物には、窒素濃度が 1 atomic % 未満のものも含まれる。

30

【0187】

絶縁層 823、824 は半導体領域 840 と接しているため、酸化物を含むことが好ましく、特に、加熱により一部の酸素が脱離する酸化物材料を含むことが好ましい。好適には、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物を用いることが好ましい。化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物膜は、加熱により一部の酸素が脱離する。絶縁層 823、824 から脱離した酸素は酸化物半導体である半導体領域 840 に供給され、酸化物半導体中の酸素欠損を低減することが可能となる。その結果、トランジスタの電気特性の変動を抑制し、信頼性を高めることができる。

40

【0188】

化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物膜は、例えば、昇温脱離ガス (TDS) 分析にて、酸素原子に換算しての酸素の脱離量が  $1.0 \times 10^{18} \text{ atoms/cm}^3$  以上、好ましくは  $3.0 \times 10^{20} \text{ atoms/cm}^3$  以上である酸化物膜である。なお、TDS 分析時における膜の表面温度は 100 以上 700 以下、または 100 以上 500 以下の範囲が好ましい。

【0189】

絶縁層 821、825 は、絶縁層 823、824 に含まれる酸素が減少することを防ぐパッシベーション機能を有することが好ましい。または、絶縁層 821、および絶縁層 82

50

5 は、酸素、水素、水、アルカリ金属、アルカリ土類金属等をブロッキングできる機能を有していることが好ましい。このような機能を持つ絶縁層 8 2 1 および絶縁層 8 2 5 を設けることで、半導体領域 8 4 0 から外部への酸素の拡散と、外部から半導体領域 8 4 0 への水素、水等が入り込みを防ぐことができる。このような機能を持たせるため、絶縁層 8 2 1 および絶縁層 8 2 5 には、例えば、窒化シリコン、窒化酸化シリコン、窒化アルミニウム、窒化酸化アルミニウム、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム等となる絶縁層を少なくとも 1 層設ければよい。

#### 【0190】

##### < 電荷捕獲層 >

S i トランジスタでは、チャンネルドーピングによってしきい値電圧を容易に制御することができる。これに対して、O S トランジスタは、チャンネルドーピングでは、しきい値電圧を効果的に変化させることが困難である。O S トランジスタでは、電荷捕獲層に電子を注入することで、しきい値電圧を変動させることが可能である。例えば、電荷捕獲層への電子の注入はトンネル効果を利用すればよい。導電層 8 5 3 に正の電圧を印加することによって、トンネル電子を電荷捕獲層に注入する。

#### 【0191】

O S トランジスタ 8 0 0 においては、絶縁層 8 2 3 に電荷捕獲層を設けることができる。例えば、電荷捕獲層としては、酸化ハフニウム、酸化アルミニウム、酸化タンタル、アルミニウムシリケート等からなる絶縁層が挙げられる。例えば、絶縁層 8 2 3 を、酸化シリコン層、酸化ハフニウム層、および酸化シリコン層の 3 層構造とすればよい。

#### 【0192】

##### < 基板 >

基板 8 2 0 としては、例えば、絶縁体基板、半導体基板または導電体基板を用いればよい。絶縁体基板は、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板（イットリア安定化ジルコニア基板など）、樹脂基板などである。また、半導体基板は、例えば、シリコン、ゲルマニウムなどの単体半導体基板、または炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムからなる化合物半導体基板などである。半導体基板は、バルク型でよいし、半導体基板に絶縁領域を介して半導体層が設けられている S O I ( S i l i c o n O n I n s u l a t o r ) 型でもよい。導電体基板は、黒鉛基板、金属基板、合金基板、導電性樹脂基板などである。または、金属の窒化物を有する基板、金属の酸化物を有する基板などがある。さらには、絶縁体基板に導電体または半導体が設けられた基板、半導体基板に導電体または絶縁体が設けられた基板、導電体基板に半導体または絶縁体が設けられた基板などである。または、上掲された基板に素子が設けられたものを用いてもよい。基板に設けられる素子は、容量素子、抵抗素子、スイッチ素子、発光素子、記憶素子などである。

#### 【0193】

基板 8 2 0 は可撓性基板でもよい。可撓性基板上にトランジスタを設ける方法としては、非可撓性基板（例えば、半導体基板）上にトランジスタを作製した後、トランジスタを剥離し、可撓性基板である基板 8 2 0 に転置する方法もある。その場合には、非可撓性基板とトランジスタとの間に剥離層を設けるとよい。なお、基板 8 2 0 として、繊維を編みこんだシート、フィルムまたは箔などを用いてもよい。また、基板 8 2 0 が伸縮性を有してもよい。また、基板 8 2 0 は、折り曲げや引っ張りをやめると元の形状に戻る性質を有してもよい。または、元の形状に戻らない性質を有してもよい。基板 8 2 0 の厚さは、例えば、5  $\mu\text{m}$  以上 700  $\mu\text{m}$  以下、好ましくは 10  $\mu\text{m}$  以上 500  $\mu\text{m}$  以下、さらに好ましくは 15  $\mu\text{m}$  以上 300  $\mu\text{m}$  以下とする。基板 8 2 0 を薄くすると、半導体装置を軽量化することができる。また、基板 8 2 0 を薄くすることで、ガラスのような素材であっても、伸縮性を有する場合や、折り曲げや引っ張りをやめると元の形状に戻る性質を有する場合がある。そのため、落下などによって基板 8 2 0 上の半導体装置に加わる衝撃などを緩和することができる。即ち、丈夫な半導体装置を提供することができる。

10

20

30

40

50

## 【0194】

可撓性基板である基板820は、例えば、金属、合金、樹脂もしくはガラス、またはそれらの繊維などである。可撓性基板は、線膨張率が低いほど環境による変形が抑制されて好ましい。可撓性基板には、例えば、線膨張率が $1 \times 10^{-3} / K$ 以下、 $5 \times 10^{-5} / K$ 以下、または $1 \times 10^{-5} / K$ 以下である材質を用いるとよい。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネート、アクリル、ポリテトラフルオロエチレン（PTFE）などがある。特に、アラミドは、線膨張率が低いため可撓性基板の材料として好適である。

## 【0195】

<< O S トランジスタの構成例2 >>

導電層850をマスクにして、半導体層843及び絶縁層824をエッチングしてもよい。そのような工程を経たO S トランジスタの構成例を図16Aに示す。図16AのO S トランジスタ801では、半導体層843および絶縁層824の端部は導電層850の端部とほぼ一致することになる。したがって、導電層850の下部のみに半導体層843および絶縁層824が存在する。

10

## 【0196】

<< O S トランジスタの構成例3 >>

図16Bに示すO S トランジスタ802は、O S トランジスタ801に導電層855、導電層856を追加したデバイス構造を有する。ソース電極およびドレイン電極として機能する一対の電極は、導電層855と導電層851との積層、および導電層856と導電層852との積層で構成される。

20

## 【0197】

導電層855、856は、単層または積層の導電体で形成される。例えば、ホウ素、窒素、酸素、フッ素、シリコン、リン、アルミニウム、チタン、クロム、マンガン、コバルト、ニッケル、銅、亜鉛、ガリウム、イットリウム、ジルコニウム、モリブデン、ルテニウム、銀、インジウム、スズ、タンタルおよびタングステンを一種以上含む導電体を用いることができる。導電体は合金膜や化合物であってもよく、アルミニウムを含む導電体、銅およびチタンを含む導電体、銅およびマンガンを含む導電体、インジウム、スズおよび酸素を含む導電体、チタンおよび窒素を含む導電体などを用いてもよい。

30

## 【0198】

導電層855、856は可視光線を透過する性質を有してよい。または、導電層855、856は可視光線、紫外線、赤外線もしくはX線を、反射もしくは吸収することで透過させない性質を有してもよい。このような性質を有することで、O S トランジスタ802の電気特性の迷光による変動を抑制できる場合がある。

## 【0199】

半導体層842などとの間にショットキー障壁を形成しない層を、導電層855、856に用いるのが好ましい場合がある。こうすることで、O S トランジスタ802のオン特性を向上させることができる。

## 【0200】

導電層855、856は、導電層851、852よりも高抵抗の膜を用いると好ましい場合がある。また、導電層855、856は、O S トランジスタ802のチャンネル（具体的には、半導体層842）よりも抵抗を低いことが好ましい場合がある。例えば、導電層855、856の抵抗率を、 $0.1 \text{ cm}$ 以上かつ $100 \text{ cm}$ 以下、 $0.5 \text{ cm}$ 以上かつ $50 \text{ cm}$ 以下、または $1 \text{ cm}$ 以上かつ $10 \text{ cm}$ 以下とすればよい。導電層855、856の抵抗率を上述の範囲とすることにより、チャンネルとドレインとの境界部における電界集中を緩和することができる。そのため、O S トランジスタ802の電気特性の変動を低減することができる。また、ドレインから生じる電界に起因したパンチスルー電流を低減することができる。そのため、チャンネル長の短いトランジスタにおいても、飽和特性を良好にすることができる。なお、ソースとドレインとが入れ替わらない回路構成であれば、導電層855および導電層856のいずれか一方のみ（例えば、ドレイン側）を配

40

50

置するほうが好ましい場合がある。

【0201】

<< O S トランジスタの構成例 4 >>

図 1 4 に示す O S トランジスタ 8 0 0 は、導電層 8 5 1 及び導電層 8 5 2 が、半導体層 8 4 1、8 4 2 の側面と接していてもよい。そのような構成例を図 1 6 C に示す。図 1 6 C に示す O S トランジスタ 8 0 3 は、導電層 8 5 1 及び導電層 8 5 2 が半導体層 8 4 1 の側面及び半導体層 8 4 2 の側面と接している。

【0202】

半導体装置の作製工程において、絶縁体、導電体、半導体の成膜は、スパッタリング法、化学気相堆積 (CVD; Chemical Vapor Deposition) 法、分子ビームエピタキシー (MBE; Molecular Beam Epitaxy) 法、原子層堆積 (ALD; Atomic Layer Deposition) 法、またはパルスレーザ堆積 (PLD; Pulsed Laser Deposition) 法等でいえばよい。CVD 法は、熱 CVD 法、有機金属 CVD (MOCVD; Metal Organic CVD) 法、プラズマ CVD (PECVD; Plasma Enhanced CVD) 法等を含む。例えば、絶縁膜を CVD 法、好ましくは PECVD 法によって成膜すると、被覆性を向上させることができるため好ましい。プラズマによるダメージを減らすには、熱 CVD 法、MOCVD 法あるいは ALD 法が好ましい。また、スパッタリング法で成膜する場合、例えば、対向ターゲット型のスパッタ装置、平行平板型のスパッタ装置等を用いればよい。例えば、半導体領域 8 4 0 の半導体層 8 4 2 は、対向ターゲット型のスパッタ装置で成膜を行うことが好ましい。

【0203】

〔実施の形態 4〕

<< 酸化物半導体の構造 >>

本実施の形態では、酸化物半導体の構造について説明する。

【0204】

酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体とに分けられる。非単結晶酸化物半導体としては、CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor)、多結晶酸化物半導体、nc-OS (nanocrystalline Oxide Semiconductor)、擬似非晶質酸化物半導体 (a-like OS: amorphous like Oxide Semiconductor)、非晶質酸化物半導体などがある。

【0205】

また別の観点では、酸化物半導体は、非晶質酸化物半導体と、それ以外の結晶性酸化物半導体とに分けられる。結晶性酸化物半導体としては、単結晶酸化物半導体、CAAC-OS、多結晶酸化物半導体、nc-OS などがある。

【0206】

非晶質構造の定義としては、一般に、準安定状態で固定化していないこと、等方的であって不均質構造を持たないことなどが知られている。また、結合角度が柔軟であり、短距離秩序性は有するが、長距離秩序性を有さない構造と言い換えることもできる。

【0207】

逆の見方をすると、本質的に安定な酸化物半導体の場合、完全な非晶質 (completely amorphous) 酸化物半導体と呼ぶことはできない。また、等方的でない (例えば、微小な領域において周期構造を有する) 酸化物半導体を、完全な非晶質酸化物半導体と呼ぶことはできない。ただし、a-like OS は、微小な領域において周期構造を有するものの、鬆 (ポイドともいう。) を有し、不安定な構造である。そのため、物性的には非晶質酸化物半導体に近いといえる。

【0208】

< CAAC-OS >

CAAC-OS は、c 軸配向した複数の結晶部 (ペレットともいう。) を有する酸化物半

導体の一つである。

【0209】

透過型電子顕微鏡 (TEM: Transmission Electron Microscope) によって、CAAC-OSの明視野像と回折パターンとの複合解析像(高分解能TEM像ともいう。)を観察すると、複数のペレットを確認することができる。一方、高分解能TEM像ではペレット同士の境界、即ち結晶粒界(グレインバウンダリーともいう。)を明確に確認することができない。そのため、CAAC-OSは、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

【0210】

以下では、TEMによって観察したCAAC-OSについて説明する。試料面と略平行な方向から観察したCAAC-OSの断面の高分解能TEM像により、ペレットにおいて、金属原子が層状に配列していることを確認できる。金属原子の各層の配列は、CAAC-OSの膜を形成する面(被形成面ともいう。)または上面の凹凸を反映しており、CAAC-OSの被形成面または上面と平行となる。

10

【0211】

また、高分解能TEM像により、CAAC-OSは特徴的な原子配列を有することを確認することができる。ペレット一つの大きさは1nm以上のものや、3nm以下のものがあり、ペレットとペレットとの傾きにより生じる隙間の大きさは0.8nm程度であることがわかる。したがって、ペレットを、ナノ結晶(nc: nanocrystal)と呼ぶこともできる。また、CAAC-OSを、CAN(C-Axis Aligned nanocrystals)を有する酸化物半導体と呼ぶこともできる。

20

【0212】

また、試料面と略垂直な方向から観察したCAAC-OSの平面のCs補正高分解能TEM像では、ペレットは、金属原子が三角形状、四角形状または六角形状に配列していることを確認できる。しかしながら、異なるペレット間で、金属原子の配列に規則性は見られない。

【0213】

次に、X線回折(XRD: X-Ray Diffraction)によって解析したCAAC-OSについて説明する。例えば、InGaZnO<sub>4</sub>の結晶を有するCAAC-OSに対し、out-of-plane法による構造解析を行うと、回折角(2 $\theta$ )が31°近傍にピークが現れる場合がある。このピークは、InGaZnO<sub>4</sub>の結晶の(009)面に帰属されることから、CAAC-OSの結晶がc軸配向性を有し、c軸が被形成面または上面に略垂直な方向を向いていることが確認できる。

30

【0214】

なお、CAAC-OSのout-of-plane法による構造解析では、2 $\theta$ が31°近傍のピークの他に、2 $\theta$ が36°近傍にもピークが現れる場合がある。2 $\theta$ が36°近傍のピークは、CAAC-OS中の一部に、c軸配向性を有さない結晶が含まれることを示している。より好ましいCAAC-OSは、out-of-plane法による構造解析では、2 $\theta$ が31°近傍にピークを示し、2 $\theta$ が36°近傍にピークを示さない。

40

【0215】

一方、CAAC-OSに対し、c軸に略垂直な方向からX線を入射させるin-plane法による構造解析を行うと、2 $\theta$ が56°近傍にピークが現れる。このピークは、InGaZnO<sub>4</sub>の結晶の(110)面に帰属される。CAAC-OSの場合は、2 $\theta$ を56°近傍に固定し、試料面の法線ベクトルを軸(c軸)として試料を回転させながら分析(スキャン)を行っても、明瞭なピークは現れない。これに対し、InGaZnO<sub>4</sub>の単結晶酸化物半導体であれば、2 $\theta$ を56°近傍に固定してスキャンした場合、(110)面と等価な結晶面に帰属されるピークが6本観察される。したがって、XRDを用いた構造解析から、CAAC-OSは、a軸およびb軸の配向が不規則であることが確認できる。

【0216】

50



次に、電子回折によって解析した C A A C - O S について説明する。例えば、I n G a Z n O<sub>4</sub> の結晶を有する C A A C - O S に対し、試料面に平行にプローブ径が 3 0 0 n m の電子線を入射させると、回折パターン（制限視野透過電子回折パターンともいう。）が現れる場合がある。この回折パターンには、I n G a Z n O<sub>4</sub> の結晶の（0 0 9）面に起因するスポットが含まれる。したがって、電子回折によっても、C A A C - O S に含まれるペレットが c 軸配向性を有し、c 軸が被形成面または上面に略垂直な方向を向いていることがわかる。一方、同じ試料に対し、試料面に垂直にプローブ径が 3 0 0 n m の電子線を入射させる場合、リング状の回折パターンが確認される。したがって、電子回折によっても、C A A C - O S に含まれるペレットの a 軸および b 軸は配向性を有さないことがわかる。

10

## 【0217】

上述したように、C A A C - O S は結晶性の高い酸化物半導体である。酸化物半導体の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、逆の見方をすると C A A C - O S は不純物や欠陥（酸素欠損など）の少ない酸化物半導体ともいえる。

## 【0218】

なお、不純物は、酸化物半導体の主成分以外の元素で、水素、炭素、シリコン、遷移金属元素などがある。例えば、シリコンなどの、酸化物半導体を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体から酸素を奪うことで酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径（または分子半径）が大きいため、酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。

20

## 【0219】

酸化物半導体が不純物や欠陥を有する場合、光や熱などによって特性が変動する場合がある。例えば、酸化物半導体に含まれる不純物は、キャリアトラップとなる場合や、キャリア発生源となる場合がある。また、酸化物半導体中の酸素欠損は、キャリアトラップとなる場合や、水素を捕獲することによってキャリア発生源となる場合がある。

## 【0220】

不純物および酸素欠損の少ない C A A C - O S は、キャリア密度の低い酸化物半導体である。具体的には、 $8 \times 10^{11} / \text{cm}^3$  未満、好ましくは  $1 \times 10^{11} / \text{cm}^3$  未満、さらに好ましくは  $1 \times 10^{10} / \text{cm}^3$  未満であり、 $1 \times 10^{-9} / \text{cm}^3$  以上のキャリア密度の酸化物半導体とすることができる。そのような酸化物半導体を、高純度真性または実質的に高純度真性な酸化物半導体と呼ぶ。C A A C - O S は、不純物濃度が低く、欠陥準位密度が低い。即ち、安定な特性を有する酸化物半導体であるといえる。

30

## 【0221】

< n c - O S >

n c - O S は、高分解能 T E M 像において、結晶部を確認することのできる領域と、明確な結晶部を確認することのできない領域と、を有する。n c - O S に含まれる結晶部は、1 n m 以上 1 0 n m 以下、または 1 n m 以上 3 n m 以下の大きさであることが多い。なお、結晶部の大きさが 1 0 n m より大きく 1 0 0 n m 以下である酸化物半導体を微結晶酸化物半導体と呼ぶことがある。n c - O S は、例えば、高分解能 T E M 像では、結晶粒界を明確に確認できない場合がある。なお、ナノ結晶は、C A A C - O S におけるペレットと起源を同じくする可能性がある。そのため、以下では n c - O S の結晶部をペレットと呼ぶ場合がある。

40

## 【0222】

n c - O S は、微小な領域（例えば、1 n m 以上 1 0 n m 以下の領域、特に 1 n m 以上 3 n m 以下の領域）において原子配列に周期性を有する。また、n c - O S は、異なるペレット間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、n c - O S は、分析方法によっては、a - l i k e O S や非晶質酸化物半導体と区別が付かない場合がある。例えば、n c - O S に対し、ペレットよりも大きい径の X 線を用いた場合、o u t - o f - p l a n e 法による解析では、結晶面を示すピークは検

50

出されない。また、nc-OSに対し、ペレットよりも大きいプローブ径（例えば50 nm以上）の電子線を用いる電子回折を行うと、ハローパターンのような回折パターンが観測される。一方、nc-OSに対し、ペレットの大きさと近いかペレットより小さいプローブ径の電子線を用いるナノビーム電子回折を行うと、スポットが観測される。また、nc-OSに対しナノビーム電子回折を行うと、円を描くように（リング状に）輝度の高い領域が観測される場合がある。さらに、リング状の領域内に複数のスポットが観測される場合がある。

#### 【0223】

このように、ペレット（ナノ結晶）間では結晶方位が規則性を有さないことから、nc-OSを、RANC（Random Aligned nanocrystals）を有する酸化物半導体、またはNANC（Non-Aligned nanocrystals）を有する酸化物半導体と呼ぶこともできる。

10

#### 【0224】

nc-OSは、非晶質酸化物半導体よりも規則性の高い酸化物半導体である。そのため、nc-OSは、a-like OSや非晶質酸化物半導体よりも欠陥準位密度が低くなる。ただし、nc-OSは、異なるペレット間で結晶方位に規則性が見られない。そのため、nc-OSは、CAAC-OSと比べて欠陥準位密度が高くなる。

#### 【0225】

<a-like OS>

a-like OSは、nc-OSと非晶質酸化物半導体との間の構造を有する酸化物半導体である。a-like OSは、高分解能TEM像において鬆が観察される場合がある。また、高分解能TEM像において、明確に結晶部を確認することのできる領域と、結晶部を確認することのできない領域と、を有する。鬆を有するため、a-like OSは、不安定な構造である。a-like OSは、電子照射によって結晶部の成長が見られる場合がある。一方、nc-OSおよびCAAC-OSは、電子照射による結晶部の成長がほとんど見られないことがわかる。即ち、a-like OSは、nc-OSおよびCAAC-OSと比べて、不安定な構造であることがわかる。

20

#### 【0226】

また、鬆を有するため、a-like OSは、nc-OSおよびCAAC-OSと比べて密度の低い構造である。具体的には、a-like OSの密度は、同じ組成の単結晶酸化物半導体の密度の78.6%以上92.3%未満となる。また、nc-OSの密度およびCAAC-OSの密度は、同じ組成の単結晶酸化物半導体の密度の92.3%以上100%未満となる。単結晶酸化物半導体の密度の78%未満となる酸化物半導体は、成膜すること自体が困難である。

30

#### 【0227】

例えば、In:Ga:Zn=1:1:1[原子数比]を満たす酸化物半導体において、菱面体晶構造を有する単結晶InGaZnO<sub>4</sub>の密度は6.357 g/cm<sup>3</sup>となる。よって、例えば、In:Ga:Zn=1:1:1[原子数比]を満たす酸化物半導体において、a-like OSの密度は5.0 g/cm<sup>3</sup>以上5.9 g/cm<sup>3</sup>未満となる。また、例えば、In:Ga:Zn=1:1:1[原子数比]を満たす酸化物半導体において、nc-OSの密度およびCAAC-OSの密度は5.9 g/cm<sup>3</sup>以上6.3 g/cm<sup>3</sup>未満となる。

40

#### 【0228】

なお、同じ組成の単結晶が存在しない場合がある。その場合、任意の割合で組成の異なる単結晶を組み合わせることにより、所望の組成における単結晶に相当する密度を見積もることができる。所望の組成の単結晶に相当する密度は、組成の異なる単結晶を組み合わせる割合に対して、加重平均を用いて見積もればよい。ただし、密度は、可能な限り少ない種類の単結晶を組み合わせで見積もることが好ましい。

#### 【0229】

以上のように、酸化物半導体は、様々な構造をとり、それぞれが様々な特性を有する。な

50

お、酸化物半導体は、例えば、非晶質酸化物半導体、*a-like OS*、*nc-OS*、*CAAC-OS*のうち、二種以上を有する積層膜であってもよい。

以下に、本明細書等に関する事項を示す。

【0230】

図面において、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお図面は、理想的な例を模式的に示したものであり、図面に示す形状又は値などに限定されない。例えば、ノイズによる信号、電圧、若しくは電流のばらつき、又は、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

【0231】

本明細書において、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている場合がある。また、構成同士的位置関係は、各構成を描写する方向に応じて適宜変化するものである。従って、明細書で説明した語句に限定されず、状況に応じて適切に言い換えることができる。

【0232】

図面に記載したブロック図の各回路ブロックの配置は、説明のため位置関係を特定するものであり、異なる回路ブロックで別々の機能を実現するよう示していても、実際の回路ブロックにおいては同じ回路ブロック内で別々の機能を実現しうるように設けられている場合もある。また各回路ブロックの機能は、説明のため機能を特定するものであり、一つの回路ブロックとして示していても、実際の回路ブロックにおいては一つの回路ブロックで行う処理を、複数の回路ブロックで行うよう設けられている場合もある。

【0233】

本明細書等において、「膜」という言葉と「層」という言葉とは、場合によっては、または、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を「導電膜」という用語に変更することが可能な場合がある。例えば、「絶縁膜」という用語を「絶縁層」という用語に変更することが可能な場合がある。

【0234】

また、本明細書等において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

【0235】

本明細書等において、「平行」とは、二つの直線が $-10^\circ$ 以上 $10^\circ$ 以下の角度で配置されている状態をいう。したがって、 $-5^\circ$ 以上 $5^\circ$ 以下の場合も含まれる。また、「略平行」とは、二つの直線が $-30^\circ$ 以上 $30^\circ$ 以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が $80^\circ$ 以上 $100^\circ$ 以下の角度で配置されている状態をいう。したがって、 $85^\circ$ 以上 $95^\circ$ 以下の場合も含まれる。また、「略垂直」とは、二つの直線が $60^\circ$ 以上 $120^\circ$ 以下の角度で配置されている状態をいう。

【0236】

本明細書等においては、能動素子（トランジスタ、ダイオードなど）、受動素子（容量素子、抵抗素子など）などが有するすべてのポートについて、その接続先を特定しなくても、当業者であれば、発明の一形態を構成することは可能な場合がある。つまり、接続先を特定しなくても、発明の一形態が明確であると言える。そして、接続先が特定された内容が、本明細書等に記載されている場合、接続先を特定しない発明の一形態が、本明細書等に記載されていると判断することが可能な場合がある。特に、ポートの接続先が複数のケース考えられる場合には、そのポートの接続先を特定の箇所限定する必要はない。したがって、能動素子（トランジスタ、ダイオードなど）、受動素子（容量素子、抵抗素子など）などが有する一部のポートについてのみ、その接続先を特定することによって、発明の一形態を構成することが可能な場合がある。

【0237】

なお、本明細書等においては、ある回路について、少なくとも接続先を特定すれば、当業者であれば、発明を特定することが可能な場合がある。または、ある回路について、少な

10

20

30

40

50

くとも機能を特定すれば、当業者であれば、発明を特定することが可能な場合がある。つまり、機能を特定すれば、発明の一形態が明確であると言える。そして、機能が特定された発明の一形態が、本明細書等に記載されていると判断することが可能な場合がある。したがって、ある回路について、機能を特定しなくても、接続先を特定すれば、発明の一形態として開示されているものであり、発明の一形態を構成することが可能である。または、ある回路について、接続先を特定しなくても、機能を特定すれば、発明の一形態として開示されているものであり、発明の一形態を構成することが可能である。

**【0238】**

本明細書等において規定されていない内容について、その内容を除くことを規定した発明の一形態を構成することができる。または、ある値について、上限値と下限値などで示される数値範囲が記載されている場合、その範囲を任意に狭めることで、または、その範囲の中の一点を除くことで、その範囲を一部除いた発明の一形態を規定することができる。これらにより、例えば、従来技術が本発明の一形態の技術的範囲内に入らないことを規定することができる。

10

**【0239】**

具体例としては、ある回路において、第1乃至第5のトランジスタを用いている回路図が記載されているとする。その場合、その回路が、第6のトランジスタを有していないことを発明として規定することが可能である。または、その回路が、容量素子を有していないことを規定することが可能である。さらに、その回路が、ある特定の接続構造をとっているような第6のトランジスタを有していない、と規定して発明を構成することができる。または、その回路が、ある特定の接続構造をとっている容量素子を有していない、と規定して発明を構成することができる。例えば、ゲートが第3のトランジスタのゲートと接続されている第6のトランジスタを有していない、と発明を規定することが可能である。または、例えば、第1の電極が第3のトランジスタのゲートと接続されている容量素子を有していない、と発明を規定することが可能である。

20

**【0240】**

なお、本明細書等においては、ある一つの実施の形態において述べる図または文章において、その一部分を取り出して、発明の一形態を構成することは可能である。したがって、ある部分を述べる図または文章が記載されている場合、その一部分の図または文章を取り出した内容も、発明の一形態として開示されているものであり、発明の一形態を構成することが可能であるものとする。そして、その発明の一形態は明確であると言える。そのため、例えば、能動素子（トランジスタ、ダイオードなど）、配線、受動素子（容量素子、抵抗素子など）、導電層、絶縁層、半導体層、有機材料、無機材料、部品、装置、動作方法、製造方法などが単数もしくは複数記載された図面または文章において、その一部分を取り出して、発明の一形態を構成することが可能であるものとする。例えば、N個（Nは整数）の回路素子（トランジスタ、容量素子等）を有して構成される回路図から、M個（Mは整数で、 $M < N$ ）の回路素子（トランジスタ、容量素子等）を抜き出して、発明の一形態を構成することは可能である。別の例としては、N個（Nは整数）の層を有して構成される断面図から、M個（Mは整数で、 $M < N$ ）の層を抜き出して、発明の一形態を構成することは可能である。さらに別の例としては、N個（Nは整数）の要素を有して構成されるフローチャートから、M個（Mは整数で、 $M < N$ ）の要素を抜き出して、発明の一形態を構成することは可能である。さらに別の例としては、「Aは、B、C、D、E、または、Fを有する」と記載されている文章から、一部の要素を任意に抜き出して、「Aは、BとEとを有する」、「Aは、EとFとを有する」、「Aは、CとEとFとを有する」、または、「Aは、BとCとDとEとを有する」などの発明の一形態を構成することは可能である。

30

40

**【0241】**

本明細書等においては、ある一つの実施の形態において述べる図または文章において、少なくとも一つの具体例が記載される場合、その具体例の上位概念を導き出すことは、当業者であれば容易に理解される。したがって、ある一つの実施の形態において述べる図また

50

は文章において、少なくとも一つの具体例が記載される場合、その具体例の上位概念も、発明の一形態として開示されているものであり、発明の一形態を構成することが可能である。そして、その発明の一形態は、明確であると言える。

【0242】

本明細書等においては、少なくとも図に記載した内容（図の中の一部でもよい）は、発明の一形態として開示されているものであり、発明の一形態を構成することが可能である。したがって、ある内容について、図に記載されていれば、文章を用いて述べていなくても、その内容は、発明の一形態として開示されているものであり、発明の一形態を構成することが可能である。同様に、図の一部を取り出した図についても、発明の一形態として開示されているものであり、発明の一形態を構成することが可能である。そして、その発明の一形態は明確であると言える。

10

【0243】

本発明の一形態において、スイッチには様々な態様のものを用いることができる。スイッチは、導通状態（オン状態）、または、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有している。または、スイッチは、電流を流す経路を選択して切り替える機能を有し、例えば、経路1に電流を流すことができるようにするか、経路2に電流を流すことができるようにするかを選択して切り替える機能を有している。スイッチの一例としては、電氣的スイッチまたは機械的なスイッチなどを用いることができる。つまり、スイッチは、電流を制御できるものであればよく、特定のものに限定されない。スイッチの一例としては、トランジスタ（例えば、バイポーラトランジスタ、MOS（Metal Oxide Semiconductor）トランジスタなど）、ダイオード（例えば、PNダイオード、PINダイオード、ショットキーダイオード、MIM（Metal Insulator Metal）ダイオード、MIS（Metal Insulator Semiconductor）ダイオード、ダイオード接続のトランジスタなど）、またはこれらを組み合わせた論理回路などがある。機械的なスイッチの一例としては、デジタルマイクロミラーデバイス（DMD）のように、MEMS（マイクロ・エレクトロ・メカニカル・システム）技術を用いたスイッチがある。そのスイッチは、機械的に動かすことが可能な電極を有し、その電極が動くことによって、導通と非導通とを制御して動作する。

20

【0244】

本発明の一形態において、素子として意図的に設けられるキャパシタのデバイス構造に特段の制約はない。例えば、MIM型のキャパシタを用いることも、MOS型のキャパシタを用いることもできる。

30

【符号の説明】

【0245】

10：論理セル、10a：論理回路、11：論理セル、11a：論理回路、  
 15：配線グリッド、15a：グリッド点、16：配線グリッド、16a：グリッド点、  
 20：インバータセル、20N：トランジスタ、20P：トランジスタ、21C：領域、  
 22n：領域、22p：領域、23：配線、24a：配線、24b：配線、24c：配線、  
 24d：配線、25a：配線、25b：配線、26a：配線、26b：配線、  
 30：回路、30-1：回路、30-2：回路、31：回路、32：回路、33：回路、  
 34：論理回路、35：論理回路、36A：バックアップ回路、36B：バックアップ回路、  
 36C：バックアップ回路、  
 40：単結晶シリコンウエハ、41：絶縁層、42：絶縁層、43：絶縁層、44：絶縁層、  
 52-1：絶縁層、52-3：絶縁層、53-1：絶縁層、53-2：絶縁層、53-3：絶縁層、  
 53-4：絶縁層、53-5：絶縁層、53-6：絶縁層、61：配線、62：配線、  
 63：配線、64：配線、65：配線、66：配線、67：配線、68：配線、  
 71：プラグ、72：プラグ、73：プラグ、74：プラグ、75：プラグ、76：プラグ、

40

100：半導体装置、101：半導体装置、110：論理セル、111：論理セル、11

50

2 : 回路、

200 : PU ( 処理装置 )、201 : プロセッサコア、202 : PMU ( 電源管理装置 )、  
203 : PSW ( パワースイッチ )、204 : クロック制御回路、205 : 回路、210 : 電源回路、  
220 : 端子、221 : 端子、222 : 端子、231 : 制御装置、232 : プログラムカウンタ、  
233 : パイプラインレジスタ、234 : パイプラインレジスタ、235 : レジスタファイル、  
236 : ALU ( 算術論理演算装置 )、237 : データバス、240 : 論理回路、250 : FF ( フリップフロップ )、  
251 : SFF ( スキャンフリップフロップ )、252 : バックアップ回路、253 : SEL ( セレクタ )、  
254 : FF ( フリップフロップ )、254a : 回路、

700 : 単結晶シリコンウエハ、710 : 素子分離層、771 : ウエル、772 : 活性層、  
773 : 低濃度不純物領域、774 : 高濃度不純物領域、775 : 導電性領域、776 : ゲート絶縁層、  
777 : ゲート電極、778 : 側壁絶縁層、779 : 側壁絶縁層、800 : OSTRANジスタ、  
801 : OSTRANジスタ、802 : OSTRANジスタ、803 : OSTRANジスタ、820 : 基板、  
821 : 絶縁層、822 : 絶縁層、823 : 絶縁層、824 : 絶縁層、825 : 絶縁層、  
840 : 半導体領域、841 : 半導体層、842 : 半導体層、843 : 半導体層、  
850 : 導電層、851 : 導電層、852 : 導電層、853 : 導電層、855 : 導電層、  
856 : 導電層、

900 : 携帯型ゲーム機、901 : 筐体、902 : 筐体、903 : 表示部、904 : 表示部、  
905 : マイクホン、906 : スピーカ、907 : 操作キー、908 : スタイルス、  
910 : 携帯情報端末、911 : 筐体、912 : 筐体、913 : 表示部、914 : 表示部、  
915 : 接続部、916 : 操作キー、920 : ノート型PC、921 : 筐体、922 : 表示部、  
923 : キーボード、924 : ポインティングデバイス、930 : 電気冷凍冷蔵庫、  
931 : 筐体、932 : 冷蔵庫用扉、933 : 冷凍室用扉、940 : ビデオカメラ、  
941 : 筐体、942 : 筐体、943 : 表示部、944 : 操作キー、945 : レンズ、  
946 : 接続部、950 : 自動車、951 : 車体、952 : 車輪、953 : ダッシュボード、  
954 : ライト、

7000 : 電子部品、7001 : リード、7002 : プリント基板、7003 : 回路部、  
7004 : 回路基板、

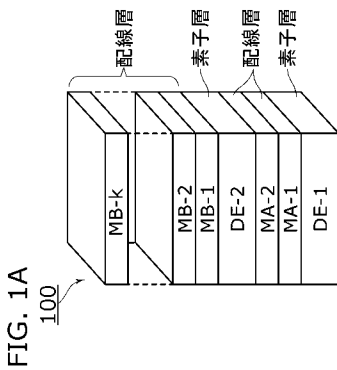
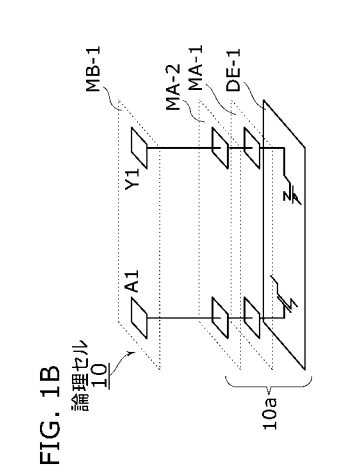
A1 : ポート、B1 : ポート、BK : ポート、C1 : 容量素子、CK : ポート、CK1 :  
ポート、CKB1 : ポート、D : ポート、DE1 : トランジスタ、DE2 : トランジスタ、  
DE-1 : 素子層、DE-2 : 素子層、L<sub>15</sub> : グリッド間隔、L<sub>16</sub> : グリッド間隔、  
MA-1 : 配線層、MA-2 : 配線層、MA-3 : 配線層、MB-1 : 配線層、MB-  
2 : 配線層、MB-3 : 配線層、MB-k : 配線層、MVA1 : 層、MVA2 : 層、MVA  
3 : 層、MVA4 : 層、MVA5 : 層、MVA6 : 層、N35 : ノード、OBG : ポー  
ト、PL : ポート、Q : ポート、QB : ポート、RE : ポート、RT : ポート、SD : ポ  
ート、SD\_IN : ポート、SE : ポート、SN1 : ノード、Tn : Siトランジスタ、  
Tp : Siトランジスタ、TO1 : トランジスタ、TO2 : トランジスタ、TO3 : トラ  
ンジスタ、TO6 : トランジスタ、TO7 : トランジスタ、TO8 : トランジスタ、VH  
 : ポート、VL : ポート、Y1 : ポート

10

20

30

【 図 1 】



【 図 3 】

FIG. 3A

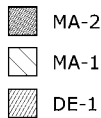
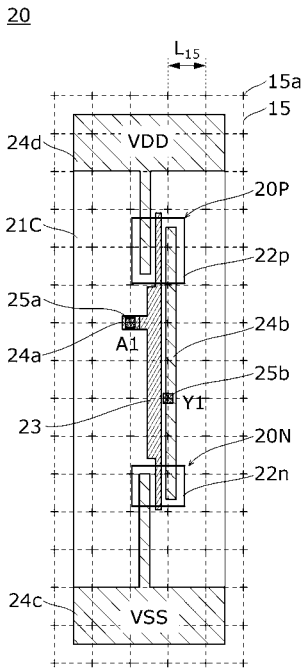
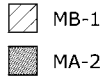
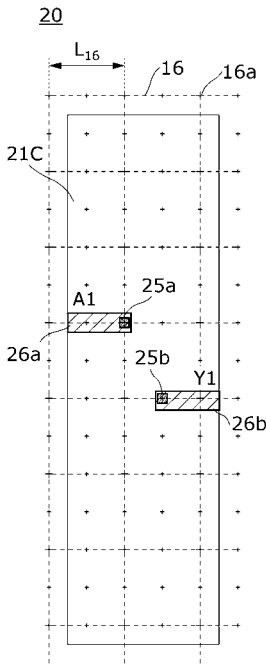
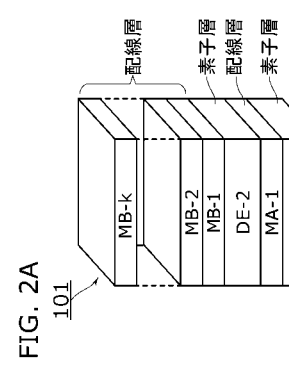
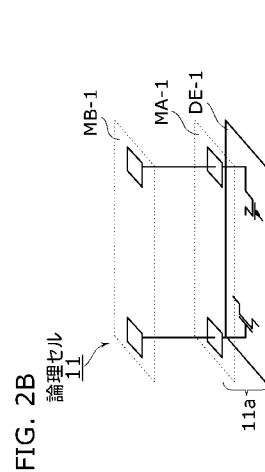


FIG. 3B



【 図 2 】



【 図 4 】

FIG. 4A

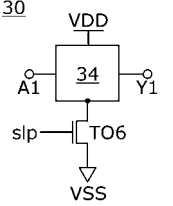


FIG. 4B

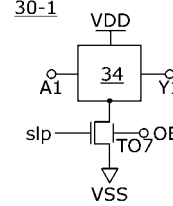


FIG. 4C

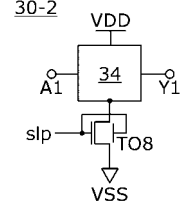


FIG. 4D

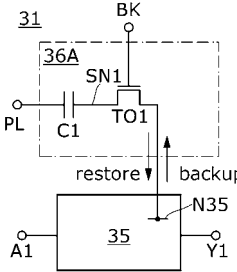


FIG. 4E

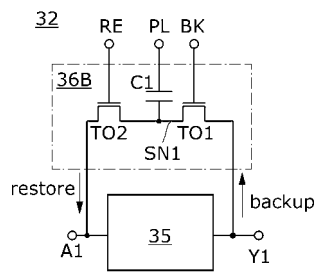
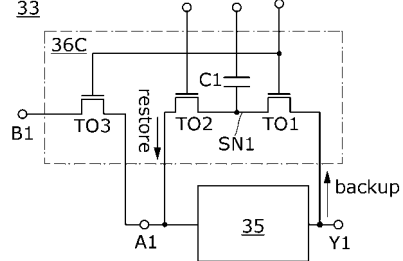


FIG. 4F



【 図 5 】

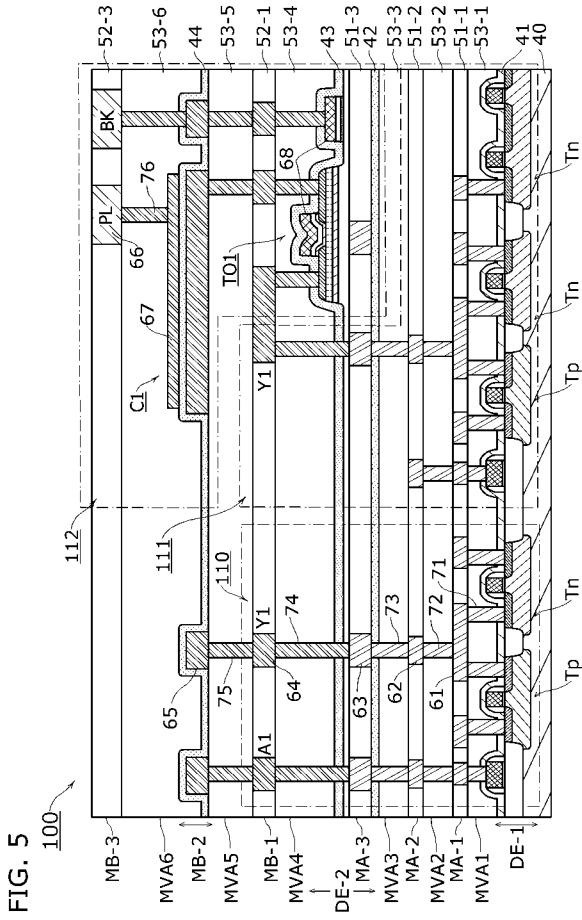
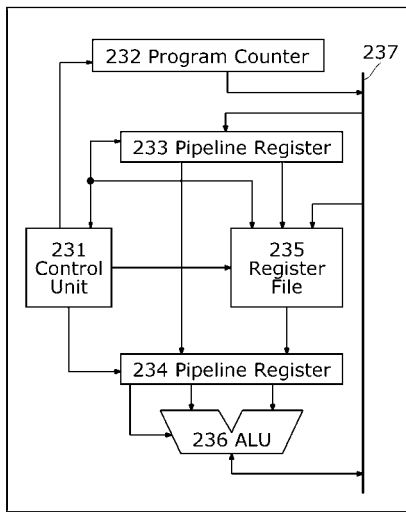


FIG. 5

【 図 7 】

FIG. 7

Processor Core 201



【 図 6 】

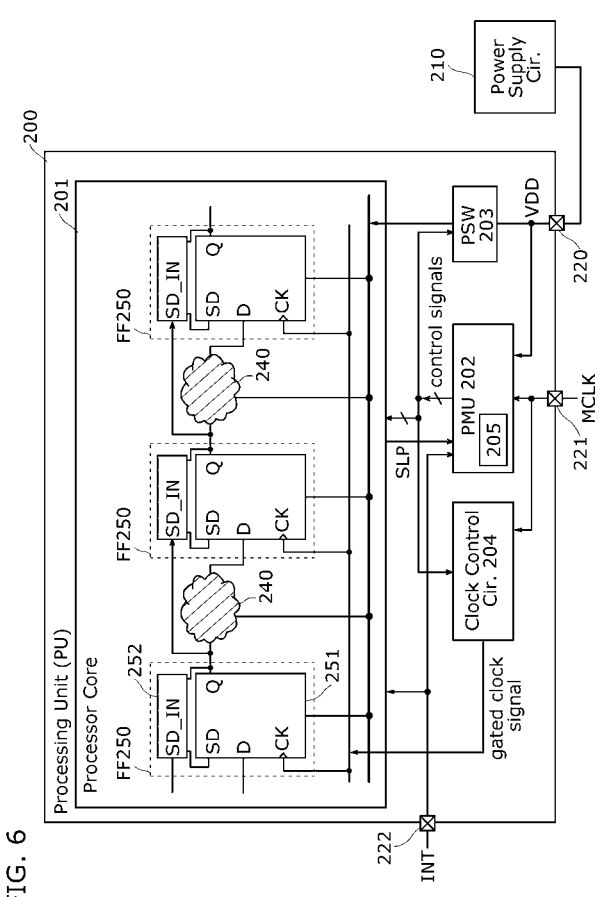
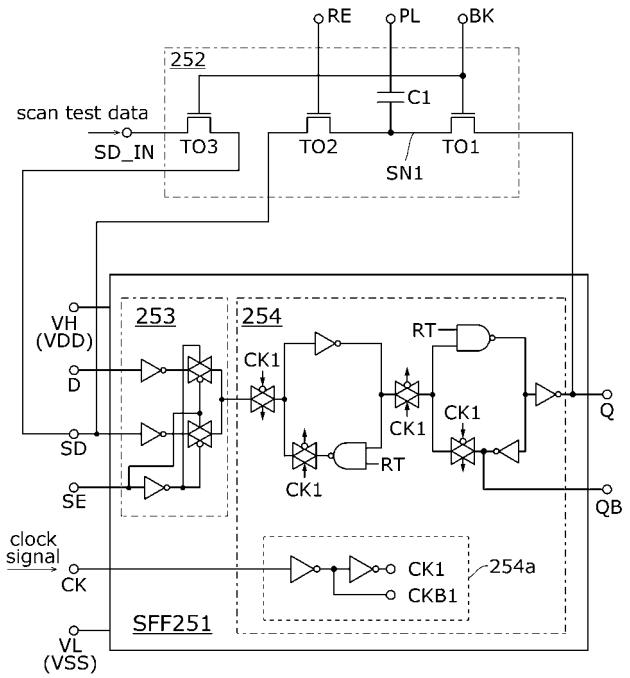


FIG. 6

【 図 8 】

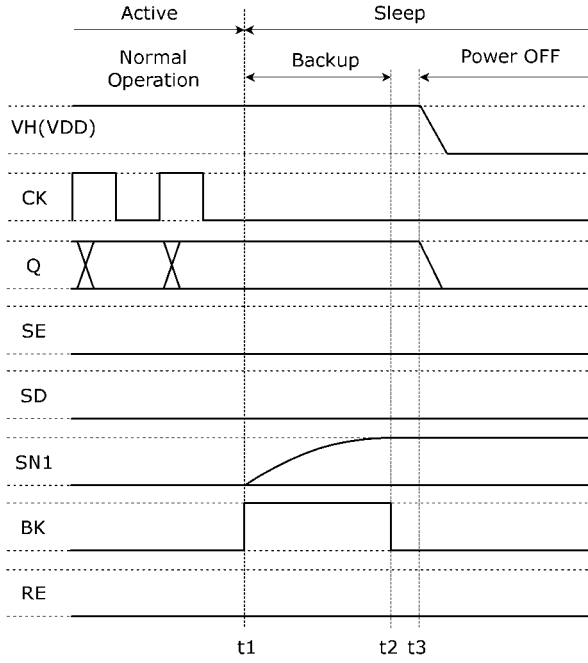
FIG. 8

FF250

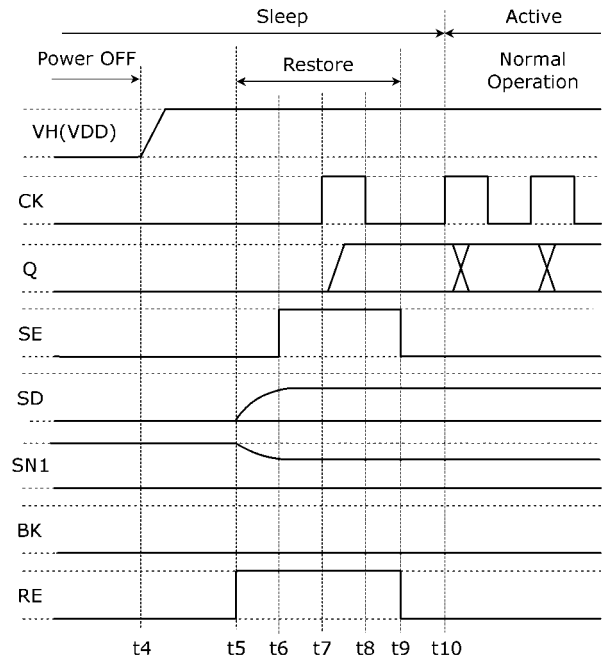




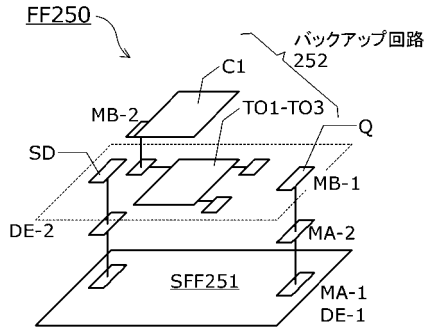
【 図 9 】  
FIG. 9



【 図 1 0 】  
FIG. 10



【 図 1 1 】  
FIG. 11



【 図 1 2 】  
FIG. 12A

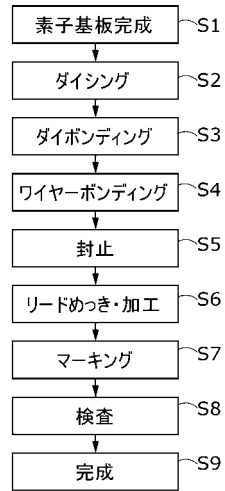
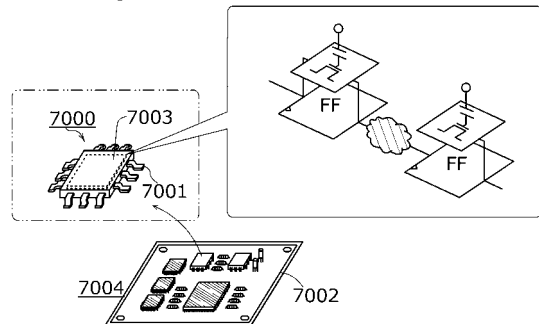


FIG. 12B



【 図 1 3 】

FIG. 13A

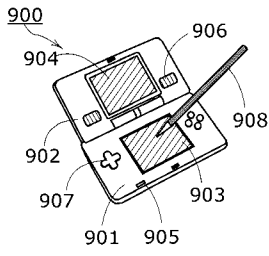


FIG. 13B

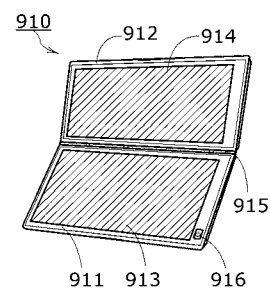


FIG. 13C

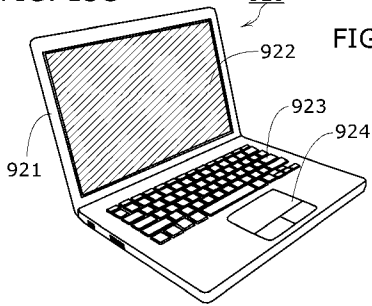


FIG. 13D

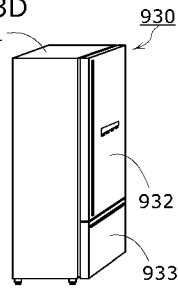


FIG. 13E

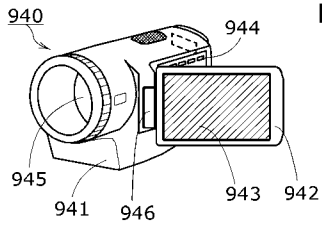
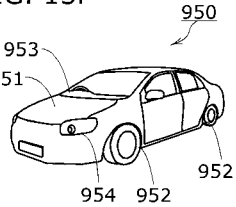


FIG. 13F



【 図 1 4 】

FIG. 14A

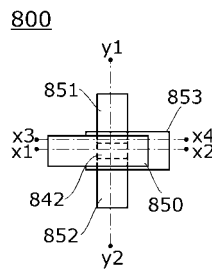


FIG. 14B

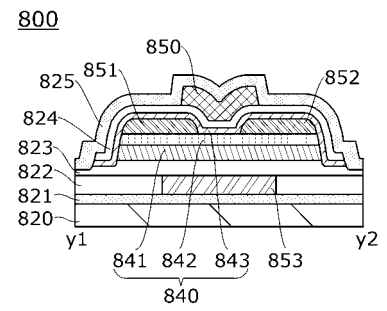


FIG. 14C

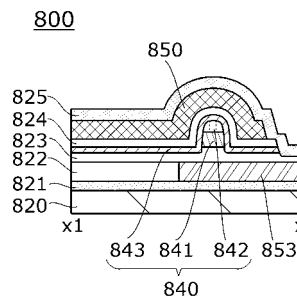
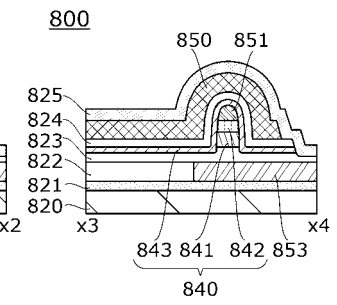


FIG. 14D



【 図 1 5 】

FIG. 15A

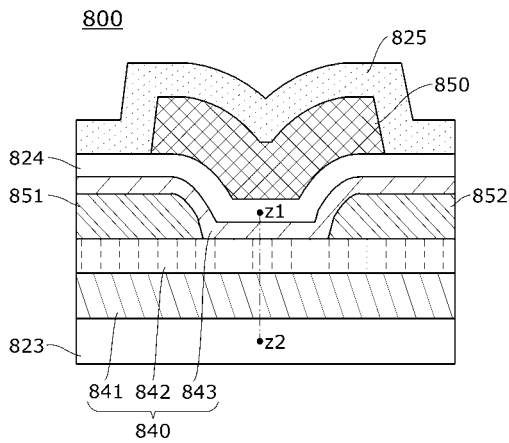
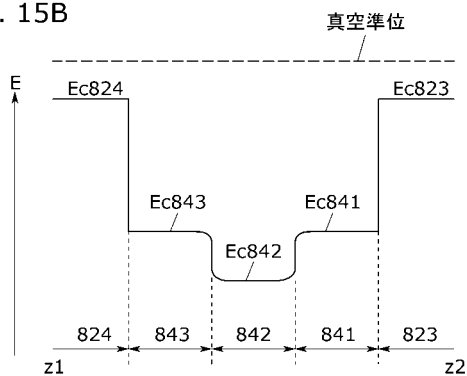


FIG. 15B



【 図 1 6 】

FIG. 16A

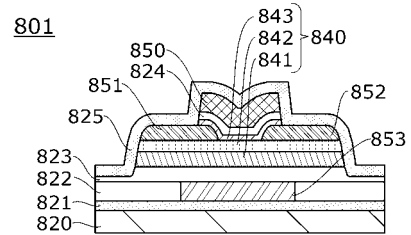


FIG. 16B

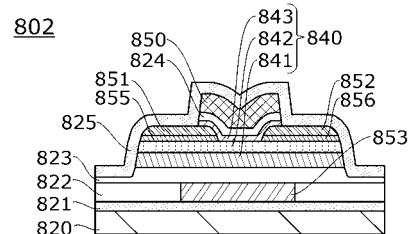
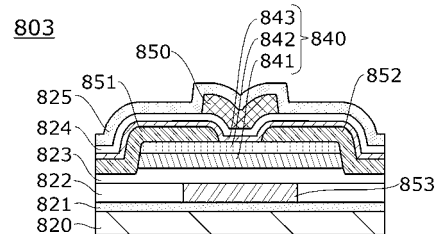


FIG. 16C



【 図 17 】

FIG. 17A

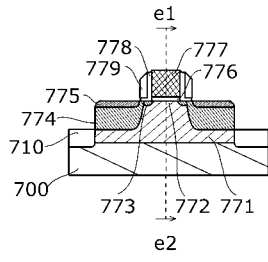
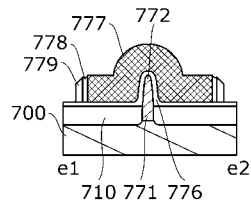


FIG. 17B



## フロントページの続き

(51)Int.Cl.			F I								テーマコード(参考)
	H 0 1 L	21/822	(2006.01)	H 0 1 L	27/04						A
	H 0 1 L	27/04	(2006.01)								

Fターム(参考)	5F033	GG01	GG02	GG03	HH04	HH07	HH17	HH18	HH19	HH20	HH21
		HH22	HH25	HH32	HH33	JJ01	JJ08	JJ09	JJ11	JJ12	JJ19
		JJ33	KK01	MM05	MM13	NN06	NN07	QQ73	RR03	RR06	RR07
		RR08	UU04	VV04	VV05	VV07	VV15	XX05			
	5F038	CA10	CA16	CA17	CD02	CD04	CD06	CD15	DF04	DF08	DT06
		DT15	DT19	EZ01	EZ02	EZ06	EZ09	EZ20			
	5F064	AA04	AA13	BB05	BB07	BB10	BB19	BB20	CC12	CC21	CC22
		CC23	DD02	DD25	DD42	DD44	EE02	EE17	EE19	EE22	EE27
		EE32	EE33	EE52	HH06						
	5F110	BB03	BB11	CC02	CC10	DD01	DD02	DD03	DD04	DD05	DD08
		DD12	DD13	DD14	DD15	DD17	EE02	EE03	EE04	EE14	EE22
		EE27	EE30	EE31	EE42	EE44	EE45	FF01	FF02	FF03	FF04
		FF09	FF27	FF28	FF29	FF30	FF40	GG01	GG02	GG03	GG04
		GG06	GG12	GG13	GG14	GG15	GG16	GG17	GG19	GG22	GG24
		GG28	GG29	GG33	GG34	GG42	GG43	GG44	GG45	GG58	HK01
		HK02	HK03	HK04	HK06	HK07	HK21	HK32	HK33	HL01	HL02
		HL04	HL05	HL06	HL08	HM15	NN03	NN22	NN23	NN24	NN33
		NN34	NN35	NN72	NN78	PP01	PP03	PP10			