

특허청구의 범위

청구항 1

제1 도전형 기관상에 형성된 제2 도전형 하부층;
 상기 하부층 상에 제1 영역과 제2 영역으로 정의되어 형성된 제1 도전형 에피층;
 상기 제1 영역의 에피층에 형성된 제2 도전형 제1 드리프트 영역(drift region);
 상기 제2 영역의 에피층에 형성된 제2 도전형 제2 드리프트 영역(drift region) 및 제1 도전형층;
 상기 제1 드리프트 영역에 형성된 제1 도전형 제1 바디영역과 상기 제1 바디영역에 형성된 제1 소스영역; 및
 제2 영역의 상기 제2 드리프트 영역에 형성된 제1 도전형 제2 바디영역과 상기 제2 바디영역에 형성된 제2 소스영역;을 포함하는 것을 특징으로 하는 횡형 디모스소자.

청구항 2

제1 항에 있어서,
 상기 제1 영역은 저전압 LDMOS 영역이며,
 상기 제2 영역은 고전압 LDMOS 영역인 것을 특징으로 하는 횡형 디모스소자.

청구항 3

제1 항에 있어서,
 상기 제2 도전형 하부층은
 제1 영역과 제2 영역의 제2 도전형 하부층이 서로 분리되지 않은 것을 특징으로 하는 횡형 디모스소자.

청구항 4

제1 항에 있어서,
 상기 제2 도전형 하부층은
 제1 영역과 제2 영역의 제2 도전형 하부층이 각각 상호 분리되어 형성된 것을 특징으로 하는 횡형 디모스소자.

청구항 5

제4 항에 있어서,
 상기 제2 도전형 하부층은
 상기 에피층의 상측으로부터 상기 분리된 하부층 상에 각각 별도로 연결되도록 형성된 제2 도전형 고농도 이온 주입영역을 더 포함하는 것을 특징으로 하는 횡형 디모스소자.

청구항 6

제1 항에 있어서,
 상기 기관은 P-형이고, 상기 하부층은 N형인 것을 특징으로 하는 횡형 디모스소자.

청구항 7

제1 도전형 기관상에 제2 도전형 하부층을 형성하는 단계;
 상기 하부층 상에 제1 영역과 제2 영역으로 정의된 제1 도전형 에피층을 형성하는 단계;
 상기 제1 영역의 에피층에 제2 도전형 제1 드리프트 영역(drift region)을 형성하는 단계;
 상기 제2 영역의 에피층에 제2 도전형 제2 드리프트 영역(drift region)과 제1 도전형층을 형성하는 단계;
 상기 제1 드리프트 영역에 제1 도전형 제1 바디영역을 형성하고, 제2 영역의 상기 제2 드리프트 영역에 제1 도

전형 제2 바디영역을 형성하는 단계; 및

상기 제1 바디영역에 제1 소스영역을 형성하고, 상기 제2 바디영역에는 제2 소스영역을 형성하는 단계;를 포함하는 것을 특징으로 하는 횡형 디모스소자의 제조방법.

청구항 8

제7 항에 있어서,

상기 제1 영역은 저전압 LDMOS 영역이며,

상기 제2 영역은 고전압 LDMOS 영역인 것을 특징으로 하는 횡형 디모스소자의 제조방법.

청구항 9

제7 항에 있어서,

상기 에피층의 표면에 열산화막을 성장시켜 페드산화막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 횡형 디모스소자 제조방법.

청구항 10

제7 항에 있어서,

상기 제1 드리프트 영역을 형성하는 단계는

인(P:phosphorus)이 $3E12\sim4E12/cm^2$ 의 농도, 800~1000 KeV의 파워로 고에너지(MEV) 이온주입하는 단계; 및

1100~1200℃의 온도, 질소 또는 산소 분위기에서 300~400분 동안 열처리하여 확산시키는 단계;를 포함하는 것을 특징으로 하는 횡형 디모스소자 제조방법.

청구항 11

제7 항에 있어서,

상기 제2 드리프트 영역 및 제1 도전형층을 형성하는 단계는

상기 제2 드리프트 영역 및 제1 도전형층을 형성하는 단계를 순차적으로 진행하는 것을 특징으로 하는 횡형 디모스소자 제조방법.

청구항 12

제7 항에 있어서,

상기 제2 드리프트 영역 및 제1 도전형층을 형성하는 단계는

상기 제2 드리프트 영역 및 제1 도전형층을 형성하는 단계를 동시에 진행하는 것을 특징으로 하는 횡형 디모스소자 제조방법.

청구항 13

제7 항에 있어서,

상기 제2 드리프트 영역 및 제1 도전층을 형성하는 단계는

상기 제2 드리프트 영역에는 인(P:phosphorus)을, 상기 제1 도전형층영역에는 보론(B)을 각각 $3E12\sim4E12/cm^2$ 의 농도, 800~1000 KeV의 파워로 고에너지(MEV) 이온주입하는 단계; 및

1100~1200℃의 온도 및 질소 또는 산소 분위기에서 60~80분 동안 열처리하여 확산시키는 단계;를 포함하는 것을 특징으로 하는 횡형 디모스소자 제조방법.

청구항 14

제1 도전형 기관상에 제1 영역과 제2 영역으로 정의된 에피층을 형성하는 단계;

상기 에피층의 하층의 제1 영역과 제2 영역의 각각에 상호 분리된 제2 도전형 하부층을 형성하는 단계;

상기 에피층의 상층으로부터 상기 분리된 하부층 상에 각각 별도로 연결되도록 제2 도전형 고농도 이온주입영역을 형성하는 단계;

상기 제1 영역의 에피층에 제2 도전형 제1 드리프트 영역(drift region)을 형성하는 단계;

상기 제2 영역의 에피층에 제2 도전형 제2 드리프트 영역(drift region) 및 제1 도전형층을 형성하는 단계;

상기 제1 드리프트 영역에 제1 도전형 제1 바디영역을 형성하고, 제2 영역의 상기 제2 드리프트 영역에 제1 도전형 제2 바디영역을 형성하는 단계; 및

상기 제1 바디영역에 제1 소스영역을 형성하고, 상기 제2 바디영역에는 제2 소스영역을 형성하는 단계;를 포함하는 것을 특징으로 하는 횡형 디모스소자의 제조방법.

청구항 15

제14 항에 있어서,

상기 제1 영역은 저전압 LDMOS 영역이며,

상기 제2 영역은 고전압 LDMOS 영역인 것을 특징으로 하는 횡형 디모스소자의 제조방법.

청구항 16

제14 항에 있어서,

상기 에피층의 표면상에 열산화막을 성장시켜 페드산화막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 횡형 디모스소자 제조방법.

청구항 17

제14 항에 있어서,

상기 제1 드리프트 영역을 형성하는 단계는

인(P:phosphorus)이 $3E12\sim4E12/cm^2$ 의 농도, 800~1000 KeV의 파워로 고에너지(MEV) 이온주입하는 단계; 및

1100~1200℃의 온도, 질소 또는 산소 분위기에서 300~400분 동안 열처리하여 확산시키는 단계;를 포함하는 것을 특징으로 하는 횡형 디모스소자 제조방법.

청구항 18

제14 항에 있어서,

상기 제2 드리프트 영역 및 제1 도전형층을 형성하는 단계는

상기 제2 드리프트 영역 및 제1 도전형층을 형성하는 단계를 순차적으로 진행하는 것을 특징으로 하는 횡형 디모스소자 제조방법.

청구항 19

제14 항에 있어서,

상기 제2 드리프트 영역 및 제1 도전형층을 형성하는 단계는

상기 제2 드리프트 영역 및 제1 도전형층을 형성하는 단계를 동시에 진행하는 것을 특징으로 하는 횡형 디모스소자 제조방법.

청구항 20

제14 항에 있어서,

상기 제2 드리프트 영역 및 제1 도전층을 형성하는 단계는

상기 제2 드리프트 영역에는 인(P:phosphorus)을, 상기 제1 도전형층영역에는 보론(B)을 각각 $3E12\sim4E12/cm^2$ 의 농도, 800~1000 KeV의 파워로 고에너지(MEV) 이온주입하는 단계; 및

1100~1200℃의 온도 및 질소 또는 산소 분위기에서 60~80분 동안 열처리하여 확산시키는 단계;를 포함하는 것을 특징으로 하는 횡형 디모스소자 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <5> 본 발명은 횡형 디모스소자(Lateral Double Diffused MOSFET) 및 그 제조방법에 관한 것이다.
- <6> 일반적으로 사용되는 전력 모스 전계효과 트랜지스터(MOS Field Effect Transistor; 이하 "MOSFET"이라 칭함)는 바이폴라(bipolar) 트랜지스터에 비해 높은 입력 임피던스(impedance)를 가지기 때문에 전력이득이 크고 게이트 구동 회로가 매우 간단하며, 또한 유니폴라(unipolar) 소자이기 때문에 소자가 턴-오프(turn-off)되는 동안 소수 캐리어(carrier)에 의한 축적 또는 재결합에 의해 발생하는 시간지연이 없는 등의 장점을 가지고 있다.
- <7> 따라서, 스위칭 모드 전력 공급장치(switching mode power supply), 램프 안정화(lamp ballast) 및 모터 구동 회로에의 응용이 점차 확산되고 있는 추세에 있다.
- <8> 이와 같은 전력 MOSFET으로는 통상, 플래너 확산(planar diffusion) 기술을 이용한 DMOSFET(Double Diffused MOSFET) 구조가 널리 사용되고 있으며, 대표적인 LDMOS 트랜지스터이다.
- <9> 그런데, 종래기술에 의한 LDMOS는 동작전압(Vop) 대략 30~60V 정도이다.
- <10> 그러나, 약 85V 이상의 동작전압에 요구되는 소자에 종래기술에 의한 LDMOS 구조로 구현할 경우 게이트 에지(Gate Edge) 부분에 강한 전계가 인가되어 서피스 브레이크다운(Surface Breakdown)이 발생할 가능성이 큰 문제가 있다.
- <11> 또한, 종래기술에 의한 LDMOS 구조에 포화전류를 높이기 위해 게이트 바이어스 전압을 높이는 경우 안정동작영역(SOA:Safe Operating Area) 관점의 내압에 현저히 감소하기 때문에 게이트 바이어스 전압을 높이는 것에는 한계가 있는 문제가 있다.

발명이 이루고자 하는 기술적 과제

- <12> 본 발명은 게이트 에지부분의 전계를 낮추고 동작전압(Vop)을 기존 보다 높일 수 있는 횡형 디모스소자 및 그 제조방법을 제공하고자 한다.
- <13> 또한, 본 발명은 종래기술과 달리 전압대비 Ron을 향상시킬 수 있는 횡형 디모스소자 및 그 제조방법을 제공하고자 한다.

발명의 구성 및 작용

- <14> 상기의 목적을 달성하기 위한 본 발명에 따른 횡형 디모스소자는 제1 도전형 기판상에 형성된 제2 도전형 하부층; 상기 하부층 상에 제1 영역과 제2 영역으로 정의되어 형성된 제1 도전형 에피층; 상기 제1 영역의 에피층에 형성된 제2 도전형 제1 드리프트 영역(drift region); 상기 제2 영역의 에피층에 형성된 제2 도전형 제2 드리프트 영역(drift region) 및 제1 도전형층; 상기 제1 드리프트 영역에 형성된 제1 도전형 제1 바디영역과 상기 제1 바디영역에 형성된 제1 소스영역; 및 제2 영역의 상기 제2 드리프트 영역에 형성된 제1 도전형 제2 바디영역과 상기 제2 바디영역에 형성된 제2 소스영역;을 포함하는 것을 특징으로 한다.
- <15> 또한, 상기의 목적을 달성하기 위한 본 발명에 따른 횡형 디모스소자의 제조방법은 제1 도전형 기판상에 제2 도전형 하부층을 형성하는 단계; 상기 하부층 상에 제1 영역과 제2 영역으로 정의된 제1 도전형 에피층을 형성하는 단계; 상기 제1 영역의 에피층에 제2 도전형 제1 드리프트 영역(drift region)을 형성하는 단계; 상기 제2 영역의 에피층에 제2 도전형 제2 드리프트 영역(drift region)과 제1 도전형층을 형성하는 단계; 상기 제1 드리프트 영역에 제1 도전형 제1 바디영역을 형성하고, 제2 영역의 상기 제2 드리프트 영역에 제1 도전형 제2 바디

영역을 형성하는 단계; 및 상기 제1 바디영역에 제1 소스영역을 형성하고, 상기 제2 바디영역에는 제2 소스영역을 형성하는 단계;를 포함하는 것을 특징으로 한다.

- <16> 또한, 상기의 목적을 달성하기 위한 본 발명에 따른 횡형 디모스소자의 제조방법은 제1 도전형 기판상에 제1 영역과 제2 영역으로 정의된 에피층을 형성하는 단계; 상기 에피층의 하층의 제1 영역과 제2 영역의 각각에 상호 분리된 제2 도전형 하부층을 형성하는 단계; 상기 에피층의 상층으로부터 상기 분리된 하부층 상에 각각 별도로 연결되도록 제2 도전형 고농도 이온주입영역을 형성하는 단계; 상기 제1 영역의 에피층에 제2 도전형 제1 드리프트 영역(drift region)을 형성하는 단계; 상기 제2 영역의 에피층에 제2 도전형 제2 드리프트 영역(drift region) 및 제1 도전형층을 형성하는 단계; 상기 제1 드리프트 영역에 제1 도전형 제1 바디영역을 형성하고, 제2 영역의 상기 제2 드리프트 영역에 제1 도전형 제2 바디영역을 형성하는 단계; 및 상기 제1 바디영역에 제1 소스영역을 형성하고, 상기 제2 바디영역에는 제2 소스영역을 형성하는 단계;를 포함하는 것을 특징으로 한다.
- <17> 이와 같은 본 발명에 의하면 플로팅되어 있는 P층(P layer)에 의해 공핍영역이 확장하므로 게이트 에지부분의 전계를 낮추고 동작전압(Vop)을 기존 보다 높일 수 있는 장점이 있다.
- <18> 이하, 본 발명의 실시예에 따른 횡형 디모스소자 및 그 제조방법을 첨부된 도면을 참조하여 상세히 설명한다.
- <19> 본 발명에 따른 실시 예의 설명에 있어서, 각 층의 "상/위(on/over)"에 형성되는 것으로 기재되는 경우에 있어, 상/위(On/Over)는 직접(directly)와 또는 다른 층을 개재하여(indirectly) 형성되는 것을 모두 포함한다.
- <20> 도 1은 본 발명의 제1 실시예에 따른 횡형 디모스소자의 단면도이다.
- <21> 본 발명의 제1 실시예에 따른 횡형 디모스소자는 제1 도전형 기판(미도시)상에 형성된 제2 도전형 하부층(205); 상기 하부층(205) 상에 제1 영역과 제2 영역으로 정의되어 형성된 제1 도전형 에피층(300); 상기 제1 영역의 에피층에 형성된 제2 도전형 제1 드리프트 영역(drift region)(100); 상기 제2 영역의 에피층에 형성된 제2 도전형 제2 드리프트 영역(drift region)(200) 및 제1 도전형층(290); 상기 제1 드리프트 영역에 형성된 제1 도전형 제1 바디영역(120)과 상기 제1 바디영역에 형성된 제1 소스영역(140); 및 제2 영역의 상기 제2 드리프트 영역에 형성된 제1 도전형 제2 바디영역(130)과 상기 제2 바디영역에 형성된 제2 소스영역(230);을 포함할 수 있다.
- <22> 도 2 내지 도 6은 본 발명의 제1 실시예에 따른 횡형 디모스소자의 제조방법의 공정 단면도이다. 아래의 실시예는 설명의 용이함을 위하여 N형 LDMOS 트랜지스터에 한정하여 설명하였으나 반대 도전형, 즉 P형의 LDMOS 트랜지스터에 대해서도 본 발명이 적용될 수 있다.
- <23> 우선, 도 2와 같이 비저항이 높은 제1 도전형(P형) 기판(미도시)상에 제2 도전형 하부층(205)을 형성한다. 상기 하부층(205)은 N형으로 형성할 수 있다(N-type bottom layer).
- <24> 그 후, 상기 하부층(205) 상에 제1 영역과 제2 영역으로 정의된 제1 도전형 에피층(300)을 형성한다. 상기 에피층(300)은 P형 에피층으로 형성될 수 있다. 상기 제1 영역은 저전압 LDMOS 영역이며, 상기 제2 영역은 고전압 LDMOS 영역일 수 있다.
- <25> 이때, 상기 에피층(300)의 표면상에는 열산화막을 성장시켜 패드산화막(미도시)을 형성할 수 있다.
- <26> 다음으로, 도 3과 같이 상기 제1 영역의 에피층(300)에 제2 도전형 제1 드리프트 영역(drift region)(100)을 형성한다. 상기 제1 드리프트 영역(100)은 N형 드리프트 영역으로 형성할 수 있다.
- <27> 상기 제1 드리프트 영역(100)은 사진공정을 이용하여 제1 드리프트 영역(100)이 형성될 영역을 한정된 다음, 상기 한정된 영역에 N형 불순물을 고농도로 이온주입한 후 소정의 열처리를 통해 상기 불순물을 확산시켜 N형 제1 드리프트 영역(100)을 형성할 수 있다.
- <28> 상기 제1 드리프트 영역(100)은 인(P:phosphorus)이 약 $3E12\sim 4E12/cm^2$ 의 농도, 약 800~1000 KeV의 파워로 고에너지(MEV) 이온주입될 수 있다. 이후, 약 1100~1200℃의 온도 및 질소 또는 산소 분위기에서 약 300~400분 동안 열처리하여 확산시킴으로써 형성될 수 있다.
- <29> 예를 들어, 상기 제1 드리프트 영역(100)은 인(P:phosphorus)이 약 $3.6E12/cm^2$ 의 농도, 약 900 KeV의 파워로 고에너지(MEV) 이온주입될 수 있다. 이후, 약 1150℃의 온도 및 질소 또는 산소 분위기에서 약 350분 동안 열처리하여 확산시킴으로써 형성될 수 있다.
- <30> 다음으로, 도 4 및 도 5와 같이 상기 제2 영역의 에피층(300)에 제2 도전형 제2 드리프트 영역(drift region)(200) 및 제1 도전형층(290)을 형성한다. 상기 제2 드리프트 영역(200)은 N형 드리프트 영역, 상기 제1

도전형층(290)은 P형 층으로 형성할 수 있다.

- <31> 본 발명의 제1 실시예는 상기 제1 도전형층(290)에 의해, 예를 들어 P형층(P-layer)에 의해 제2 도전형 제2 드리프트 영역(drift region)(200)이 더블(double) RESURF(reduced surface field) 가 가능하도록 하여 BV_{dss}를 100V이상 되도록 할 수 있는 효과가 있다.
- <32> 또한, 본 발명은 상기 제1 도전형층(290)에 의해, 예를 들어 P형층(P-layer)에 의해 상기 제2 도전형 제2 드리프트 영역(drift region)(200)의 공핍 영역이 확장 하도록 하여 게이트 에지(Gate Edge) 부분 전계를 줄일 수 있는 효과가 있다.
- <33> 상기 제2 드리프트 영역(200)은 제2 영역의 에피층(300)에 고농도의 인(P:phosphorus)을 이온주입하고 확산하여 형성할 수 있다.
- <34> 또한, 상기 제1 도전형층(290)은 제2 영역의 에피층(300)에 보론(B)을 이온주입하고 확산하여 형성할 수 있다.
- <35> 이때, 상기 제2 드리프트 영역(200) 및 제1 도전형층(290)을 형성하기 위한 이온주입 및 열처리는 순차적으로, 또는 동시에 진행될 수 있다.
- <36> 예를들어, 상기 제2 드리프트 영역(200)을 먼저 형성하고 그 후 제1 도전형층(290)을 형성하거나, 제1 도전형층(290)을 먼저 형성하고 그 후 제2 드리프트 영역(200)을 형성하거나 또는 제2 드리프트 영역(200)과 제1 도전형층(290)을 동시에 형성할 수도 있다.
- <37> 예를 들어, 상기 제2 드리프트 영역(200)에는 인(P:phosphorus)을, 상기 제1 도전형층(290)에는 보론(B)을 각각 약 3E12~4E12/cm²의 농도, 약 800~1000 KeV의 파워로 고에너지(MEV) 이온주입하고, 이후 약 1100~1200℃의 온도 및 질소 또는 산소 분위기에서 약 60~80분 동안 열처리하여 확산시킴으로써 형성될 수 있다.
- <38> 이때, 상기 제2 드리프트 영역(200) 및 제1 도전형층(290)을 형성하기 위한 열처리는 약 1100~1200℃의 온도 및 질소 또는 산소 분위기에서 약 60~80분 동안 열처리함으로써 상기 제1 영역의 제2 도전형 제1 드리프트 영역(100)의 도핑 농도에 영향이 없도록 할 수 있다.
- <39> 다음으로, 도 6과 같이 제1 영역의 상기 제1 드리프트 영역(100)에는 제1 도전형 제1 바디영역(120)이 형성되고, 제2 영역의 상기 제2 드리프트 영역(200)에는 제1 도전형 제2 바디영역(220)이 형성된다.
- <40> 다음으로, 상기 제1 바디영역(120)에는 제1 소스영역(140)이, 상기 제2 바디영역(220)에는 제2 소스영역(240)이 형성된다. 이때, 상기 제1 소스영역(140) 및 제2 소스영역(240)은 각각 N형 불순물이 고농도로 도핑된 N 소스(미도시)와 P형 불순물이 고농도로 도핑된 P 소스(미도시)를 포함할 수 있다.
- <41> 또한, 드레인이 형성될 영역의 제1 영역에 제1 N형 웰(130)을, 제2 영역에 제2 N형 웰(230)을 형성할 수 있다. 상기 제1 N형 웰(130) 및 제2 N형 웰(230)에 고농도 N형 이온을 주입하여 드레인 영역을 형성할 수 있다.
- <42> 다음으로, 상기 패드산화막(미도시) 위에 산화막을 증착하거나 열산화막을 성장시켜 약 5,000~7,000Å 정도 두께의 절연막을 형성한 다음, 상기 절연막을 패터닝하여 절연막 패턴(110)을 형성한다. 상기 절연막 패턴(110)은 도 1과 같이 제1 소스영역(140)과 제2 소스영역(240) 사이에 이격되어 4개로 형성될 수 있으나 이에 한정되는 것은 아니다.
- <43> 다음으로, 상기 절연막 패턴(110)이 형성된 상기 기판 상에 약 3,000~5000Å 정도 두께의 폴리실리콘막을 형성한 후 포클(POCl₃)을 이용하여 상기 폴리실리콘막을 도우프시킨다. 이어서, 도우프된 상기 폴리실리콘막을 패터닝하여 제1 게이트전극(170) 및 제2 게이트전극(270)을 형성한다.
- <44> 이때, 게이트절연막(160)은 별도로 형성하여 패터닝하거나 상기 패드 산화막을 이용할 수도 있다.
- <45> 이후, 상기 제1 게이트전극(170) 및 제2 게이트전극(270)에 각각 제1 스페이서(180) 및 제2 스페이서(290)을 형성할 수 있다. 그 후, 상기 결과물의 전면에 산화막(미도시)을 침적하여 층간절연막(미도시)을 형성할 수 있다.
- <46> 그 다음으로, 통상의 사진식각 공정으로 상기 층간절연막을 부분적으로 식각하여 소오스, 드레인, 및 게이트의 일부를 노출시키는 콘택홀을 형성한다. 다음에, 결과물의 전면에 금속막을 증착한 다음, 이 금속막을 패터닝함으로써 소오스전극(S), 드레인전극(D) 및 게이트전극(G)을 형성할 수 있다.
- <47> 본 발명의 제1 실시예에 따른 횡형 디모스소자 및 그 제조방법에 의하면 플로팅되어 있는 P층(P layer)에 의해 공핍영역이 확장하므로 게이트 에지부분의 전계를 낮추고 동작전압(V_{op})을 기존 보다 높일 수 있는 효과가

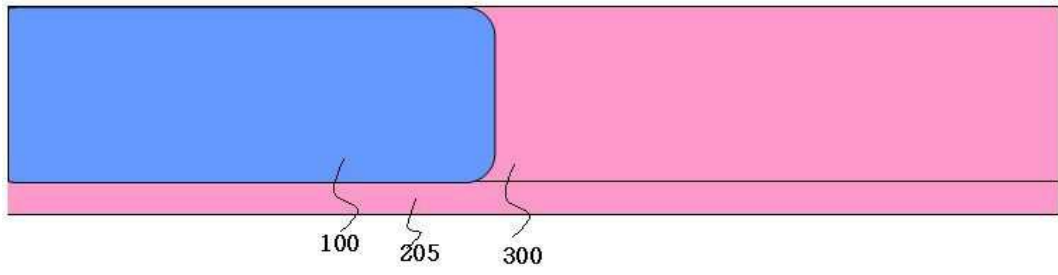
있다.

- <48> 또한, 본 발명에 의하면 종래기술과 달리 드리프트 영역의 농도가 높으므로 전압대비 Ron을 향상시킬 수 있는 효과가 있다.
- <49> (제2 실시예)
- <50> 도 7은 본 발명의 제2 실시예에 따른 횡형 디모스소자의 단면도이다.
- <51> 본 발명의 제2 실시예에 따른 횡형 디모스소자는 제1 영역과 제2 영역으로 정의되어 형성된 제1 도전형 기관(미도시); 상기 기관상에 형성된 제1 도전형 에피층; 상기 제1 영역과 제2 영역의 에피층에 각각 상호분리되어 형성되는 제2 도전형 하부층; 상기 에피층의 상측으로부터 상기 분리된 하부층 상에 각각 별도로 연결되도록 형성된 제2 도전형 고농도 이온주입영역; 상기 제1 영역의 에피층에 형성된 제2 도전형 제1 드리프트 영역(drift region)(100); 상기 제2 영역의 에피층에 형성된 제2 도전형 제2 드리프트 영역(drift region)(200) 및 제1 도전형층(290); 상기 제1 드리프트 영역에 형성된 제1 도전형 제1 바디영역(120)과 상기 제1 바디영역에 형성된 제1 소스영역(140); 및 제2 영역의 상기 제2 드리프트 영역에 형성된 제1 도전형 제2 바디영역(130)과 상기 제2 바디영역에 형성된 제2 소스영역(230);을 포함할 수 있다.
- <52> 도 8 내지 도 10은 본 발명의 제2 실시예에 따른 횡형 디모스소자의 제조방법의 공정 단면도이다. 아래의 실시예는 설명의 용이함을 위하여 N형 LDMOS 트랜지스터에 한정하여 설명하였으나 반대 도전형, 즉 P형 LDMOS 트랜지스터에 대해서도 본 발명이 적용될 수 있다.
- <53> 우선, 도 8과 같이 비저항이 높은 제1 도전형(P형) 기관(미도시)상에 제1 영역과 제2 영역으로 정의된 에피층(300)을 형성한다. 상기 제1 영역은 저전압 LDMOS 영역이며, 상기 제2 영역은 고전압 LDMOS 영역일 수 있다.
- <54> 다음으로, 상기 에피층(300)의 하측에 제2 도전형 하부층(205)을 형성한다. 상기 하부층(205)은 N형으로 형성할 수 있다(N-type bottom layer). 또한, 상기 제2 도전형 하부층(205)은 제1 영역과 제2 영역으로 분리되어 형성될 수 있다.
- <55> 그 후, 상기 에피층(300)의 상측으로부터 상기 분리된 하부층(205) 상에 각각 별도로 전기적으로 연결되도록 제2 도전형 고농도 이온주입영역(207)이 형성될 수 있다.
- <56> 이때, 상기 에피층(300)의 표면상에는 열산화막을 성장시켜 패드산화막(미도시)을 형성할 수 있다.
- <57> 다음으로, 도 9와 같이 상기 제1 영역의 에피층(300)에 제2 도전형 제1 드리프트 영역(drift region)(100)을 형성한다. 상기 제1 드리프트 영역(100)은 N형 드리프트 영역으로 형성할 수 있다.
- <58> 상기 제1 드리프트 영역(100)은 사진공정을 이용하여 제1 드리프트 영역(100)이 형성될 영역을 한정된 다음, 상기 한정된 영역에 N형 불순물을 고농도로 이온주입한 후 소정의 열처리를 통해 상기 불순물을 확산시켜 N형 제1 드리프트 영역(100)을 형성할 수 있다.
- <59> 상기 제1 드리프트 영역(100)은 인(P:phosphorus)이 약 $3E12\sim4E12/cm^2$ 의 농도, 약 800~1000 KeV의 파워로 고에너지(MEV) 이온주입될 수 있다. 이후, 약 1100~1200℃의 온도 및 질소 또는 산소 분위기에서 약 300~400분 동안 열처리하여 확산시킴으로써 형성될 수 있다.
- <60> 예를 들어, 상기 제1 드리프트 영역(100)은 인(P:phosphorus)이 약 $3.6E12/cm^2$ 의 농도, 약 900 KeV의 파워로 고에너지(MEV) 이온주입될 수 있다. 이후, 약 1150℃의 온도 및 질소 또는 산소 분위기에서 약 350분 동안 열처리하여 확산시킴으로써 형성될 수 있다.
- <61> 다음으로, 도 10과 같이 상기 제2 영역의 에피층(300)에 제2 도전형 제2 드리프트 영역(drift region)(200) 및 제1 도전형층(290)을 형성한다. 상기 제2 드리프트 영역(200)은 N형 드리프트 영역, 상기 제1 도전형층(290)은 P형 층으로 형성할 수 있다.
- <62> 본 발명의 제2 실시예는 상기 제1 도전형층(290)에 의해, 예를 들어 P형층(P-layer)에 의해 제2 도전형 제2 드리프트 영역(drift region)(200)이 더블(double) RESURF(reduced surface field) 가 가능하도록 하여 BVdss를 100V이상 되도록 할 수 있는 효과가 있다.
- <63> 또한, 본 발명은 상기 제1 도전형층(290)에 의해, 예를 들어 P형층(P-layer)에 의해 상기 제2 도전형 제2 드리프트 영역(drift region)(200)의 공핍 영역이 확장 하도록 하여 게이트 에지(Gate Edge) 부분 전계를 줄일 수

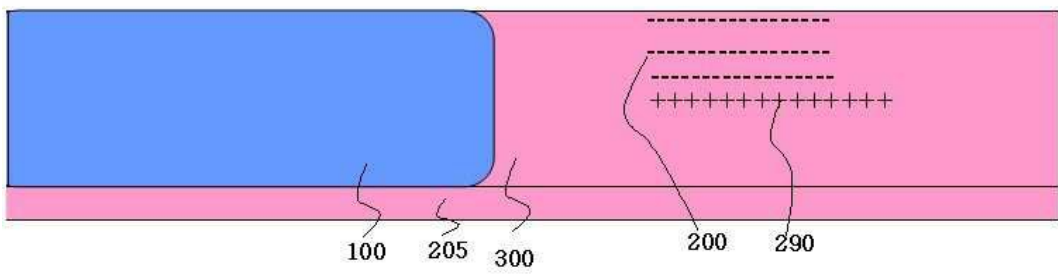
있는 효과가 있다..

- <64> 상기 제2 드리프트 영역(200)은 제2 영역의 에피층(300)에 고농도의 인(P:phosphorus)을 이온주입하고 확산하여 형성할 수 있다.
- <65> 또한, 상기 제1 도전형층(290)은 제2 영역의 에피층(300)에 보론(B)을 이온주입하고 확산하여 형성할 수 있다.
- <66> 이때, 상기 제2 드리프트 영역(200) 및 제1 도전형층(290)을 형성하기 위한 이온주입 및 열처리는 순차적으로, 또는 동시에 진행될 수 있다.
- <67> 예를들어, 상기 제2 드리프트 영역(200)을 먼저 형성하고 그 후 제1 도전형층(290)을 형성하거나, 제1 도전형층(290)을 먼저 형성하고 그 후 제2 드리프트 영역(200)을 형성하거나 또는 제2 드리프트 영역(200)과 제1 도전형층(290)을 동시에 형성할 수도 있다.
- <68> 예를 들어, 상기 제2 드리프트 영역(200)에는 인(P:phosphorus)을, 상기 제1 도전형층(290)에는 보론(B)을 각각 약 $3E12\sim4E12/cm^2$ 의 농도, 약 800~1000 KeV의 파워로 고에너지(MEV) 이온주입하고, 이후 약 1100~1200℃의 온도 및 질소 또는 산소 분위기에서 약 60~80분 동안 열처리하여 확산시킴으로써 형성될 수 있다.
- <69> 이때, 상기 제2 드리프트 영역(200) 및 제1 도전형층(290)을 형성하기 위한 열처리는 약 1100~1200℃의 온도 및 질소 또는 산소 분위기에서 약 60~80분 동안 열처리함으로써 상기 제1 영역의 제2 도전형 제1 드리프트 영역(100)의 도핑 농도에 영향이 없도록 할 수 있다.
- <70> 다음으로, 제1 영역의 상기 제1 드리프트 영역(100)에는 제1 도전형 제1 바디영역(120)이 형성되고, 제2 영역의 상기 제2 드리프트 영역(200)에는 제1 도전형 제2 바디영역(220)이 형성된다.
- <71> 다음으로, 상기 제1 바디영역(120)에는 제1 소스영역(140)이, 상기 제2 바디영역(220)에는 제2 소스영역(240)이 형성된다. 이때, 상기 제1 소스영역(140) 및 제2 소스영역(240)은 각각 N형 불순물이 고농도로 도핑된 N 소스(미도시)와 P형 불순물이 고농도로 도핑된 P 소스(미도시)를 포함할 수 있다.
- <72> 또한, 드레인이 형성될 영역의 제1 영역에 제1 N형 웰(130)을, 제2 영역에 제2 N형 웰(230)을 형성할 수 있다. 상기 제1 N형 웰(130) 및 제2 N형 웰(230)에 고농도 N형 이온을 주입하여 드레인 영역을 형성할 수 있다.
- <73> 다음으로, 상기 패드산화막(미도시) 위에 산화막을 증착하거나 열산화막을 성장시켜 약 5,000~7,000Å 정도 두께의 절연막을 형성한 다음, 상기 절연막을 패터닝하여 절연막 패턴(110)을 형성한다. 상기 절연막 패턴(110)은 도 1과 같이 제1 소스영역(140)과 제2 소스영역(240) 사이에 이격되어 6개로 형성될 수 있으나 이에 한정되는 것은 아니다.
- <74> 다음으로, 상기 절연막 패턴(110)이 형성된 상기 기판상에 약 3,000~5000Å 정도 두께의 폴리실리콘막을 형성한 후 포클(POCl₃)을 이용하여 상기 폴리실리콘막을 도우프시킨다. 이어서, 도우프된 상기 폴리실리콘막을 패터닝하여 제1 게이트전극(170) 및 제2 게이트전극(270)을 형성한다.
- <75> 이때, 게이트절연막(160)은 별도로 형성하여 패터닝하거나 상기 패드 산화막을 이용할 수도 있다.
- <76> 이후, 상기 제1 게이트전극(170) 및 제2 게이트전극(270)에 각각 제1 스페이서(180) 및 제2 스페이서(290)을 형성할 수 있다. 그 후, 상기 결과물의 전면에 산화막(미도시)을 침적하여 층간절연막(미도시)을 형성할 수 있다.
- <77> 그 다음으로, 통상의 사진식각 공정으로 상기 층간절연막을 부분적으로 식각하여 소오스, 드레인, 및 게이트의 일부를 노출시키는 콘택홀을 형성한다. 다음에, 결과물의 전면에 금속막을 증착한 다음, 이 금속막을 패터닝함으로써 소오스전극(S), 드레인전극(D) 및 게이트전극(G)을 형성할 수 있다.
- <78> 본 발명의 제2 실시예에 따른 횡형 디모스소자 및 그 제조방법에 의하면 플로팅되어 있는 P층(P layer)에 의해 공핍영역이 확장하므로 게이트 에지부분의 전계를 낮추고 동작전압(Vop)을 기존 보다 높일 수 있는 효과가 있다.
- <79> 또한, 본 발명에 의하면 종래기술과 달리 드리프트 영역의 농도가 높으므로 전압대비 Ron을 향상시킬 수 있는 효과가 있다.
- <80> 이상에서 설명한 본 발명은 전술한 실시예 및 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경할 수 있다는 것은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

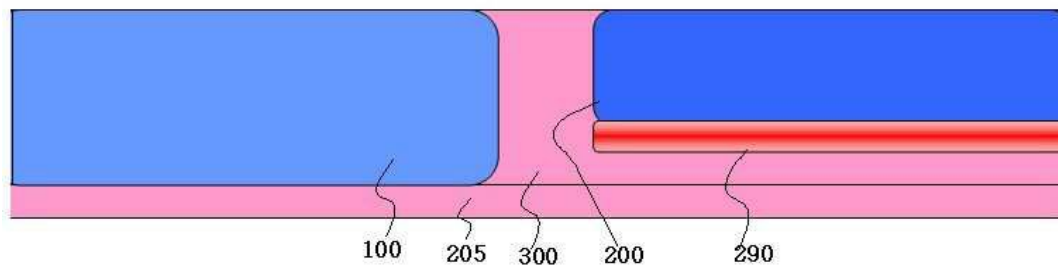
도면3



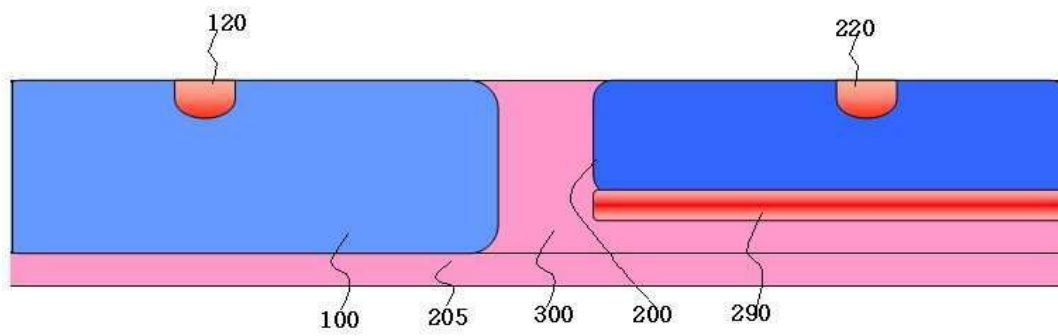
도면4



도면5



도면6



도면10

