

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年6月6日(06.06.2019)



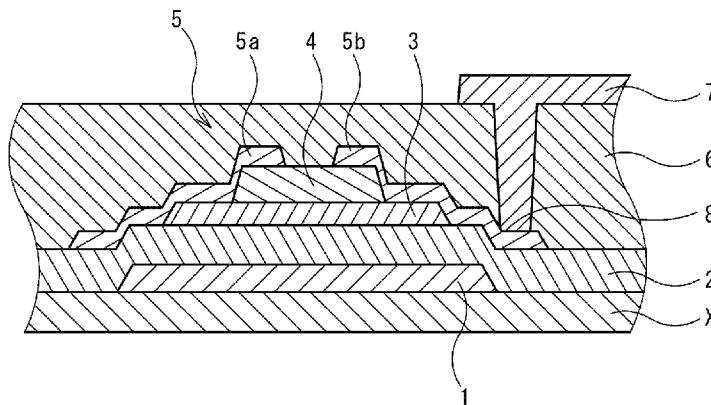
(10) 国際公開番号

WO 2019/107043 A1

- (51) 国際特許分類:
H01L 21/363 (2006.01) H01L 29/786 (2006.01)
C23C 14/08 (2006.01)
- (21) 国際出願番号: PCT/JP2018/040204
- (22) 国際出願日: 2018年10月29日(29.10.2018)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2017-229663 2017年11月29日(29.11.2017) JP
特願 2018-157571 2018年8月24日(24.08.2018) JP
- (71) 出願人: 株式会社神戸製鋼所 (KABUSHIKI KAISHA KOBE SEIKO SHO (KOBE STEEL, LTD.)) [JP/JP]; 〒6518585 兵庫県神戸市中央区脇浜海岸通二丁目2番4号 Hyogo (JP).
- (72) 発明者: 寺前 裕美 (TERAMAE Yumi). 後藤 裕史 (GOTO Hiroshi). 越智 元隆 (OCHI Mototaka). 日野 綾 (HINO Aya).
- (74) 代理人: 天野 一規 (AMANO Kazunori); 〒6500025 兵庫県神戸市中央区相生町1丁目1番18号 富士興業ビル6階 天野特許事務所内 Hyogo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH,

(54) Title: OXIDE SEMICONDUCTOR THIN FILM, THIN FILM TRANSISTOR, AND SPUTTERING TARGET

(54) 発明の名称: 酸化物半導体薄膜、薄膜トランジスタ及びスパッタリングターゲット



(57) Abstract: The purpose of the present invention is to provide an oxide semiconductor thin film for which the manufacturing cost is relatively low, and which has high carrier mobility and light stress tolerance when a thin film transistor is formed, and the thin film transistor using this oxide semiconductor thin film. The oxide semiconductor thin film of the present invention contains In, Zn, and Fe, and with respect to the total number of atoms of In, Zn, and Fe, the number of In atoms is 20 at m %-89 at m %, the number of Zn atoms is 10 at m %-79 at m %, and the number of Fe atoms is 0.2 at m %-2 at m %. The present invention includes the thin film transistor having this oxide semiconductor thin film.

(57) 要約: 本発明は製造コストが比較的安く、薄膜トランジスタを形成した際のキャリア移動度及び光ストレス耐性が高い酸化物半導体薄膜、この酸化物半導体薄膜を用いた薄膜トランジスタの提供を目的とする。本発明の酸化物半導体薄膜は、In、Zn及びFeを含み、In、Zn及びFeの合計原子数に対し、Inの原子数が20 at m %以上89 at m %以下、Znの原子数が10 at m %以上79 at m %以下、Feの原子数が0.2 at m %以上2 at m %以下である。本発明は、当該酸化物半導体薄膜を有する薄膜トランジスタを含む。

WO 2019/107043 A1

KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

- 一 国際調査報告 (条約第21条(3))

明 細 書

発明の名称：

酸化物半導体薄膜、薄膜トランジスタ及びスパッタリングターゲット

技術分野

[0001] 本発明は、酸化物半導体薄膜、薄膜トランジスタ及びスパッタリングターゲットに関する。

背景技術

[0002] アモルファス酸化物半導体は、例えばアモルファスシリコン半導体に比べて薄膜トランジスタ（Thin Film Transistor：TFT）を形成した際のキャリア移動度が高い。また、アモルファス酸化物半導体は光学バンドギャップが大きく、可視光の透過性が高い。さらに、アモルファス酸化物半導体の薄膜は、アモルファスシリコン半導体よりも低温で成膜することができる。これらの特徴を活かして、アモルファス酸化物半導体薄膜は、高解像度で高速駆動できる次世代の大型ディスプレイや、低温での成膜が要求される樹脂基板を用いた可撓性ディスプレイへの応用が期待されている。

[0003] このようなアモルファス酸化物半導体薄膜としては、インジウム、ガリウム、亜鉛及び酸素を含む $In-Ga-Zn-O$ （IGZO）アモルファス酸化物半導体薄膜が公知である（例えば特開2010-219538号公報参照）。アモルファスシリコン半導体を用いた薄膜トランジスタのキャリア移動度が $0.5 \text{ cm}^2/\text{Vs}$ 程度であるのに対し、上記公報に記載のIGZOアモルファス酸化物半導体薄膜を用いたTFTは、 $1 \text{ cm}^2/\text{Vs}$ 以上の移動度を有する。

[0004] さらに移動度の向上したアモルファス酸化物半導体薄膜として、インジウム、ガリウム、亜鉛及びスズを含む酸化物半導体薄膜が公知である（例えば特開2010-118407号公報参照）。上記公報に記載の $In-Ga-Zn-Sn$ アモルファス酸化物半導体薄膜を用いたTFTでは、チャネル長

1000 μm でそのキャリア移動度が20 cm^2/Vs を超える。しかしながら、チャネル長が短いTFETではキャリア移動度が低下する傾向にあり、高速性が要求される例えば次世代の大型ディスプレイに用いるためには、低チャネル領域でのキャリア移動度が不足するおそれがある。

[0005] また、これらのアモルファス酸化物半導体は、希少元素であるガリウム（Ga）を含むため、比較的製造コストが高い。このため、Gaを含まない酸化物半導体が求められている。

[0006] さらに、薄膜トランジスタに用いられるアモルファス酸化物半導体薄膜をディスプレイに用いるためには、薄膜トランジスタに対して光の照射を行っても継時的な閾値電圧のシフトが少ない、いわゆる光ストレス耐性が高いことが望まれている。

先行技術文献

特許文献

[0007] 特許文献1：特開2010-219538号公報

特許文献2：特開2010-118407号公報

発明の概要

発明が解決しようとする課題

[0008] 本発明は、上述のような事情に基づいてなされたものであり、製造コストが比較的安く、薄膜トランジスタを形成した際のキャリア移動度及び光ストレス耐性が高い酸化物半導体薄膜、この酸化物半導体薄膜を用いた薄膜トランジスタ、及びこの酸化物半導体薄膜を形成するためのスパッタリングターゲットの提供を目的とする。

課題を解決するための手段

[0009] 本発明者らは、酸化物半導体薄膜に鉄（Fe）を所定量含めることで、Gaを含まなくとも高いキャリア移動度と、光ストレス耐性とを有する酸化物半導体薄膜が得られることを見出し、本発明を完成させた。

[0010] すなわち、上記課題を解決するためになされた発明は、In、Zn及びF

eを含み、In、Zn及びFeの合計原子数に対し、Inの原子数が20atm%以上89atm%以下、Znの原子数が10atm%以上79atm%以下、Feの原子数が0.2atm%以上2atm%以下である酸化物半導体薄膜である。

[0011] 当該酸化物半導体薄膜は、In及びZnの原子数を上記範囲内とし、Feの原子数を上記下限以上とするので、高い光ストレス耐性を有する。また、当該酸化物半導体薄膜は、Feの原子数を上記上限以下とするので、当該酸化物半導体薄膜を用いて薄膜トランジスタを形成した際のキャリア移動度を高められる。さらに、当該酸化物半導体薄膜は、Gaを含む必要がないので、製造コストを低減できる。

[0012] 当該酸化物半導体薄膜は、In、Zn及びFeの合計原子数に対し、Inの原子数が34atm%以上80atm%以下、Znの原子数が18atm%以上65atm%以下、Feの原子数が0.2atm%以上1.8atm%以下であることが好ましい。当該酸化物半導体薄膜は、In及びZnの原子数を上記範囲内とし、Feの原子数を上記下限以上とするので、高い光ストレス耐性を有する。また、当該酸化物半導体薄膜は、Feの原子数を上記上限以下とするので、当該酸化物半導体薄膜を用いて薄膜トランジスタを形成した際のキャリア移動度をさらに高められる。

[0013] 当該酸化物半導体薄膜は、In、Zn及びFeの合計原子数に対し、Inの原子数が34atm%以上60atm%以下、Znの原子数が39atm%以上65atm%以下、Feの原子数が0.2atm%以上0.9atm%以下であることがさらに好ましい。当該酸化物半導体薄膜は、In及びZnの原子数を上記範囲内とし、Feの原子数を上記下限以上とするので、さらに高い光ストレス耐性を有する。また、当該酸化物半導体薄膜は、Feの原子数を上記上限以下とするので、当該酸化物半導体薄膜を用いて薄膜トランジスタを形成した際のキャリア移動度をさらに高められる。

[0014] 本発明は、当該酸化物半導体薄膜を有する薄膜トランジスタを含む。当該薄膜トランジスタは、当該酸化物半導体薄膜を有するので、製造コストが比

較的低く、キャリア移動度及び光ストレス耐性が高い。

- [0015] 当該薄膜トランジスタの光照射による閾値電圧シフトとしては、2 V以下が好ましい。上記閾値電圧シフトを上記下限以下とすることで、薄膜トランジスタの性能安定性を高めることができる。
- [0016] 当該薄膜トランジスタのキャリア移動度としては、 $20 \text{ cm}^2/\text{Vs}$ 以上が好ましい。上記キャリア移動度を上記下限以上とすることで、高速性が要求される例えば次世代の大型ディスプレイに好適に用いることができる。
- [0017] 上記課題を解決するためになされた別の発明は、酸化物半導体薄膜の形成に用いられるスパッタリングターゲットであって、In、Zn及びFeを含み、In、Zn及びFeの合計原子数に対し、Inの原子数が20 at m%以上89 at m%以下、Znの原子数が10 at m%以上79 at m%以下、Feの原子数が0.2 at m%以上2 at m%以下である。
- [0018] 当該スパッタリングターゲットは原子数が上記範囲内のIn、Zn及びFeを含むので、当該スパッタリングターゲットを用いて酸化物半導体薄膜を成膜することで、製造コストが比較的安く、キャリア移動度及び光ストレス耐性が高い薄膜トランジスタを製造することができる。
- [0019] ここで、「キャリア移動度」とは、薄膜トランジスタの飽和領域での電界効果移動度を表し、「電界効果移動度」とは、ゲート電圧 V_g [V]、閾値電圧 V_{th} [V]、ドレイン電流 I_d [A]、チャネル長 L [m]、チャネル幅 W [m]、ゲート絶縁膜の容量 C_{ox} [F] とするとき、薄膜トランジスタの電流－電圧特性の飽和領域 ($V_g > V_d - V_{th}$) において、以下の式(1)に示す μ_{FE} [m^2/Vs]により求められる値を指す。

[数1]

$$\mu_{FE} = \frac{\partial I_d}{\partial V_g} \left(\frac{L}{C_{ox} \times W \times (V_g - V_{th})} \right) \quad \dots (1)$$

- [0020] なお、薄膜トランジスタの「閾値電圧」とは、トランジスタのドレイン電流が 10^{-9} Aとなるゲート電圧を指す。
- [0021] また、「光照射による閾値電圧シフト」とは、基板温度60℃で、薄膜ト

ランジスタのソースドレイン間に10V、ゲートソース間に-10Vの電圧条件で、薄膜トランジスタに白色LEDを2時間照射した際の照射前後の閾値電圧の差の絶対値を指す。

発明の効果

[0022] 以上説明したように、当該酸化物半導体薄膜を用いた薄膜トランジスタは、製造コストが比較的安く、キャリア移動度及び光ストレス耐性が高い。また、当該スパッタリングターゲットを用いることで、製造コストが比較的安く、キャリア移動度及び光ストレス耐性が高い酸化物半導体薄膜を形成できる。

図面の簡単な説明

[0023] [図1]基板表面に形成された本発明の一実施形態の薄膜トランジスタを示す模式的断面図である。

発明を実施するための形態

[0024] 以下、本発明の実施の形態を適宜図面を参照しつつ詳説する。

[0025] [薄膜トランジスタ]

図1に示す当該薄膜トランジスタは、例えば次世代の大型ディスプレイや可撓性ディスプレイ等の表示装置の製造に用いることができる。当該薄膜トランジスタは、基板Xの表面に形成されたボトムゲート型のトランジスタである。当該薄膜トランジスタは、ゲート電極1、ゲート絶縁膜2、酸化物半導体薄膜3、ESL(Etch Stop Layer)保護膜4、ソース及びドレイン電極5、パッシベーション絶縁膜6、並びに導電膜7を有する。

[0026] (基板)

基板Xとしては、特に限定されないが、例えば表示装置に用いられる基板を挙げることができる。このような基板Xとしては、ガラス基板やシリコン樹脂基板等の透明基板を挙げることができる。上記ガラス基板に用いられるガラスとしては、特に限定されず、例えば無アルカリガラス、高歪点ガラス、ソーダライムガラス等を挙げることができる。また、基板Xとしてステ

ンレス薄膜等の金属基板、ポリエチレンテレフタレート（PET）フィルム等の樹脂基板を用いることもできる。

[0027] 基板Xの平均厚さは、加工性の観点から0.3mm以上1.0mm以下が好ましい。また、基板Xの大きさ及び形状は、使用される表示装置等の大きさや形状に応じて適宜決定される。

[0028] (ゲート電極)

ゲート電極1は、基板Xの表面に形成され、導電性を有する。ゲート電極1を構成する薄膜としては、特に限定されないが、Al合金やAl合金の表面にMo、Cu、Tiなどの薄膜や合金膜を積層したものをを用いることができる。

[0029] ゲート電極1の形状としては、特に限定されないが、チャンネル長及びチャンネル幅の制御性の観点から、当該薄膜トランジスタのチャンネル長方向及びチャンネル幅方向を縦横とする平面視形状が好ましい。ゲート電極1の大きさとしては、当該薄膜トランジスタのチャンネル長及びチャンネル幅を確保できる大きさであればよい。ここで、薄膜トランジスタのチャンネル長方向とは、当該薄膜トランジスタのソース電極5a及びドレイン電極5bの対向方向である。また、当該薄膜トランジスタのチャンネル幅方向とは、当該薄膜トランジスタのチャンネル長方向に直交し、かつ基板Xの表面に平行な方向である。

[0030] ゲート電極1の平均厚さの下限としては、50nmが好ましく、170nmがより好ましい。一方、ゲート電極1の平均厚さの上限としては、500nmが好ましく、400nmがより好ましい。ゲート電極1の平均厚さが上記下限未満であると、ゲート電極1の抵抗が大きいため、ゲート電極1での電力消費が増大するおそれや断線が発生し易くなるおそれがある。逆に、ゲート電極1の平均厚さが上記上限を超えると、ゲート電極1の表面側に積層されるゲート絶縁膜2等の平坦化が困難となり、当該薄膜トランジスタの特性が悪化するおそれがある。

[0031] なお、ゲート絶縁膜2のカバレッジをよくするため、ゲート電極1の厚さ方向の断面は、基板Xに向かって拡張するテーパ状とするとよい。ゲート

電極 1 をテーパ状とする場合のテーパ角度としては、 30° 以上 40° 以下が好ましい。

[0032] (ゲート絶縁膜)

ゲート絶縁膜 2 は、ゲート電極 1 を覆うように基板 X の表面側に積層される。ゲート絶縁膜 2 を構成する薄膜としては、特に限定されないが、シリコン酸化膜、シリコン窒化膜、シリコン酸窒化膜、 Al_2O_3 や Y_2O_3 等の金属酸化物膜などが挙げられる。また、ゲート絶縁膜 2 は、これら薄膜の単層構造であってもよく、2 種以上の薄膜を積層した多層構造であってもよい。

[0033] ゲート絶縁膜 2 の形状はゲート電極 1 が被覆される限り限定されず、例えばゲート絶縁膜 2 が基板 X 全面を覆ってもよい。

[0034] ゲート絶縁膜 2 の平均厚さの下限としては、 50 nm が好ましく、 100 nm がより好ましい。また、ゲート絶縁膜 2 の平均厚さの上限としては、 300 nm が好ましく、 250 nm がより好ましい。ゲート絶縁膜 2 の平均厚さが上記下限未満であると、ゲート絶縁膜 2 の耐圧が不足し、ゲート電圧の印加によりゲート絶縁膜 2 がブレイクダウンするおそれがある。逆に、ゲート絶縁膜 2 の平均厚さが上記上限を超えると、ゲート電極 1 と当該酸化物半導体薄膜 3 との間に形成されるキャパシタの容量が不足し、ドレイン電流が不十分となるおそれがある。なお、ゲート絶縁膜 2 が多層構造である場合、「ゲート絶縁膜の平均厚さ」とは、その合計の平均厚さを指す。

[0035] (酸化物半導体薄膜)

当該酸化物半導体薄膜 3 は、それ自体が本発明の別の実施形態である。当該酸化物半導体薄膜 3 は、 In 、 Zn 及び Fe を含む。当該酸化物半導体薄膜 3 は、金属元素として In 、 Zn 及び Fe 以外に不可避免的不純物を含む。すなわち、当該酸化物半導体薄膜 3 は、実質的に In 、 Zn 及び Fe 以外の金属元素を含まない。

[0036] In 、 Zn 及び Fe の合計原子数に対する In の原子数の下限としては、 $20\text{ atm}\%$ であり、 $29\text{ atm}\%$ がより好ましく、 $34\text{ atm}\%$ がさらに好ましい。一方、上記 In の原子数の上限としては、 $89\text{ atm}\%$ であり、

81 at m%がより好ましく、80 at m%がさらに好ましく、60 at m%が特に好ましい。上記Inの原子数が上記下限未満であると、当該薄膜トランジスタのキャリア移動度が低下するおそれがある。逆に、上記Inの原子数が上記上限を超えると、当該酸化物半導体薄膜3のリーク電流が増大したり、閾値電圧が負側へシフトしたりするため、当該酸化物半導体薄膜3が導体化するおそれがある。

[0037] In、Zn及びFeの合計原子数に対するZnの原子数の下限としては、10 at m%であり、18 at m%がより好ましく、39 at m%がさらに好ましい。一方、上記Znの原子数の上限としては、79 at m%であり、70 at m%がより好ましく、65 at m%がさらに好ましい。上記Znの原子数が上記下限未満であると、他の金属原子数が相対的に多くなるため、導体化するおそれがある。逆に、上記Znの原子数が上記上限を超えると、キャリア濃度が抑制され、当該薄膜トランジスタのキャリア移動度が低下するおそれがある。

[0038] In、Zn及びFeの合計原子数に対するFeの原子数の下限としては、0.2 at m%であり、0.4 at m%がより好ましく、0.5 at m%がさらに好ましい。一方、上記Feの原子数の上限としては、2 at m%であり、1.8 at m%がより好ましく、1 at m%がさらに好ましく、0.9 at m%が特に好ましい。上記Feの原子数が上記下限未満であると、光照射による閾値電圧シフトが大きくなるおそれがある。逆に、上記Feの原子数が上記上限を超えると、キャリア濃度が抑制され、当該薄膜トランジスタのキャリア移動度が低下するおそれがある。

[0039] 当該酸化物半導体薄膜3は、In、Zn及びFeの合計原子数に対し、Inの原子数が34 at m%以上81 at m%以下、Znの原子数が18 at m%以上65 at m%以下、Feの原子数が0.2 at m%以上1.8 at m%以下であることが好ましい。当該酸化物半導体薄膜3は、In及びZnの原子数を上記範囲内とし、Feの原子数を上記下限以上とするので、高い光ストレス耐性を有する。また、当該酸化物半導体薄膜3は、Feの原子数

を上記上限以下とするので、当該酸化物半導体薄膜3を用いて薄膜トランジスタを形成した際のキャリア移動度をさらに高められる。

[0040] 当該酸化物半導体薄膜3は、In、Zn及びFeの合計原子数に対し、Inの原子数が34atm%以上80atm%以下、Znの原子数が18atm%以上65atm%以下、Feの原子数が0.4atm%以上1.8atm%以下であることが好ましい。当該酸化物半導体薄膜3は、In及びZnの原子数を上記範囲内とし、Feの原子数を上記下限以上とするので、高い光ストレス耐性を有する。また、当該酸化物半導体薄膜3は、Feの原子数を上記上限以下とするので、当該酸化物半導体薄膜3を用いて薄膜トランジスタを形成した際のキャリア移動度をさらに高められる。

[0041] 当該酸化物半導体薄膜3は、In、Zn及びFeの合計原子数に対し、Inの原子数が34atm%以上60atm%以下、Znの原子数が39atm%以上65atm%以下、Feの原子数が0.2atm%以上1atm%以下であることがさらに好ましい。当該酸化物半導体薄膜3は、In及びZnの原子数を上記範囲内とし、Feの原子数を上記下限以上とするので、さらに高い光ストレス耐性を有する。また、当該酸化物半導体薄膜3は、Feの原子数を上記上限以下とするので、当該酸化物半導体薄膜3を用いて薄膜トランジスタを形成した際のキャリア移動度をさらに高められる。

[0042] 当該酸化物半導体薄膜3は、In、Zn及びFeの合計原子数に対し、Inの原子数が34atm%以上60atm%以下、Znの原子数が39atm%以上65atm%以下、Feの原子数が0.5atm%以上0.9atm%以下であることがさらに好ましい。当該酸化物半導体薄膜3は、In及びZnの原子数を上記範囲内とし、Feの原子数を上記下限以上とするので、さらに高い光ストレス耐性を有する。また、当該酸化物半導体薄膜3は、Feの原子数を上記上限以下とするので、当該酸化物半導体薄膜3を用いて薄膜トランジスタを形成した際のキャリア移動度をさらに高められる。

[0043] 当該酸化物半導体薄膜3の平面視形状としては、特に限定されないが、当該薄膜トランジスタのチャンネル長及びチャンネル幅の制御性の観点から、ゲー

ト電極 1 と同様の形状が好ましい。当該酸化物半導体薄膜 3 の平面視の大きさとしては、当該薄膜トランジスタのチャンネル長及びチャンネル幅を確保できる大きさであればよい。

[0044] また、当該酸化物半導体薄膜 3 の平面視の大きさは、当該酸化物半導体薄膜 3 をゲート電極 1 の直上に確実に配設させるため、ゲート電極 1 の平面視の大きさより小さいことが好ましい。当該酸化物半導体薄膜 3 とゲート電極 1 とのチャンネル方向及びチャンネル幅方向の辺の長さの差の下限としては、2 nm が好ましく、4 nm がより好ましい。一方、上記辺の長さの差の上限としては、10 nm が好ましく、8 nm がより好ましい。上記辺の長さの差が上記下限未満であると、パターニングのずれ等により当該酸化物半導体薄膜 3 の一部がゲート電極 1 の直上から外れ、その結果当該酸化物半導体薄膜 3 の平坦性が悪化し、当該薄膜トランジスタの特性が悪化するおそれがある。逆に、上記辺の長さの差が上記上限を超えると、当該薄膜トランジスタが不要に大きくなるおそれがある。

[0045] 当該酸化物半導体薄膜 3 の平均厚さは、スイッチング素子として用いる場合にドレイン電流をオフ状態とできる条件から決めることができる。具体的には、ゲート電圧を印加することで当該酸化物半導体薄膜 3 の内部が完全に空乏化されるとよい。このためには、絶縁膜の誘電率を ϵ_{OX} 、半導体の誘電率を ϵ_{AOS} 、半導体のフェルミ準位を ϕ_f [eV]、電子電荷を q [C] とするとき、当該酸化物半導体薄膜 3 の平均厚さ t_{ch} [m] は、キャリア濃度 N_C [m⁻³] に対して、以下に示す式 (2) の関係を満たすとよい。下記式 (2) と後述するキャリア濃度との関係、及び当該酸化物半導体薄膜 3 を製造する際の膜厚分布の制御精度の観点から、当該酸化物半導体薄膜 3 の平均厚さは、例えば 20 nm 以上 60 nm 以下とできる。

[数2]

$$N_C < 4\epsilon_{OX}\epsilon_{AOS}\phi_f / (qt_{ch}^2) \quad \dots (2)$$

[0046] なお、ソース及びドレイン電極 5 のカバレッジをよくするため、当該酸化物半導体薄膜 3 の厚さ方向の断面は、基板 X に向かって拡張するテーパ状

とするとよい。当該酸化物半導体薄膜3をテーパ状とする場合のテーパ角度としては、 30° 以上 40° 以下が好ましい。

[0047] 当該酸化物半導体薄膜3のキャリア濃度の下限としては、 $1 \times 10^{12} \text{ cm}^{-3}$ が好ましく、 $1 \times 10^{13} \text{ cm}^{-3}$ がより好ましく、 $1 \times 10^{14} \text{ cm}^{-3}$ がさらに好ましい。一方、当該酸化物半導体薄膜3のキャリア濃度の上限としては、 $1 \times 10^{20} \text{ cm}^{-3}$ が好ましく、 $1 \times 10^{19} \text{ cm}^{-3}$ がより好ましく、 $1 \times 10^{18} \text{ cm}^{-3}$ がさらに好ましい。当該酸化物半導体薄膜3のキャリア濃度が上記下限未満であると、当該薄膜トランジスタのドレイン電流が不足するおそれがある。逆に、当該酸化物半導体薄膜3のキャリア濃度が上記上限を超えると、当該酸化物半導体薄膜3の内部を完全に空乏化することが困難となるため、閾値電圧がマイナス側にシフトしてしまい、スイッチング素子として機能しないおそれがある。

[0048] 当該酸化物半導体薄膜3のホール移動度の下限としては、 $20 \text{ cm}^2/\text{Vs}$ が好ましく、 $23 \text{ cm}^2/\text{Vs}$ がより好ましく、 $30 \text{ cm}^2/\text{Vs}$ がより好ましい。当該酸化物半導体薄膜3のホール移動度が上記下限未満であると、当該薄膜トランジスタのスイッチング特性が低下するおそれがある。一方、当該酸化物半導体薄膜3のホール移動度の上限は、特に限定されないが、通常当該酸化物半導体薄膜3のホール移動度は $100 \text{ cm}^2/\text{Vs}$ 以下である。「ホール移動度」とは、ホール効果測定により得られるキャリア移動度を指す。

[0049] (ESL保護膜)

ESL保護膜4は、ソース及びドレイン電極5をエッチングにより形成する際に当該酸化物半導体薄膜3が損傷を受けて当該薄膜トランジスタの特性が低下することを抑止する保護膜である。ESL保護膜4を構成する薄膜としては、特に限定されないが、シリコン酸化膜が好適に用いられる。

[0050] ESL保護膜4の平均厚さの下限としては、 50 nm が好ましく、 80 nm がより好ましい。一方、ESL保護膜4の平均厚さの上限としては、 250 nm が好ましく、 200 nm がより好ましい。ESL保護膜4の平均厚さ

が上記下限未満である場合、E S L保護膜4の当該酸化物半導体薄膜3の保護効果が不足するおそれがある。逆に、E S L保護膜4の平均厚さが上記上限を超える場合、パッシベーション絶縁膜6の平坦化が困難となるおそれや、ソース及びドレイン電極5からの配線が断線し易くなるおそれがある。

[0051] (ソース及びドレイン電極)

ソース及びドレイン電極5は、ゲート絶縁膜2及びE S L保護膜4の一部を覆うと共に、当該薄膜トランジスタのチャンネルの両端で当該酸化物半導体薄膜3と電氣的に接続する。このソース電極5 a及びドレイン電極5 bの間には、ゲート電極1及びソース電極5 a間の電圧並びにソース電極5 a及びドレイン電極5 b間の電圧に応じて、当該薄膜トランジスタのドレイン電流が流れる。

[0052] ソース及びドレイン電極5を構成する薄膜としては、導電性を有する限り特に限定されず、例えばゲート電極1と同様の薄膜を用いることができる。

[0053] ソース及びドレイン電極5の平均厚さの下限としては、100 nmが好ましく、150 nmがより好ましい。一方、ソース及びドレイン電極5の平均厚さの上限としては、400 nmが好ましく、300 nmがより好ましい。ソース及びドレイン電極5の平均厚さが上記下限未満であると、ソース及びドレイン電極5の抵抗が大きいため、ソース及びドレイン電極5での電力消費が増大するおそれや断線が発生し易くなるおそれがある。逆に、ソース及びドレイン電極5の平均厚さが上記上限を超えると、パッシベーション絶縁膜6の平坦化が困難となり、導電膜7による配線が困難となるおそれがある。

[0054] ソース電極5 a及びドレイン電極5 bの対向距離、すなわち当該薄膜トランジスタのチャンネル長の下限としては、5 μ mが好ましく、10 μ mがより好ましい。一方、当該薄膜トランジスタのチャンネル長の上限としては、50 μ mが好ましく、30 μ mがより好ましい。当該薄膜トランジスタのチャンネル長が上記下限未満であると、精度の高い加工が必要となり、製造歩留まりが低下するおそれがある。逆に、当該薄膜トランジスタのチャンネル長が上記

上限を超えると、当該薄膜トランジスタのスイッチング時間が長くなるおそれがある。

[0055] ソース電極5 a及びドレイン電極5 bのチャンネル幅方向の長さ、すなわち当該薄膜トランジスタのチャンネル幅の下限としては、100 μm が好ましく、150 μm がより好ましい。一方、当該薄膜トランジスタのチャンネル幅の上限としては、300 μm が好ましく、250 μm がより好ましい。当該薄膜トランジスタのチャンネル幅が上記下限未満であると、ドレイン電流が不足するおそれがある。逆に、当該薄膜トランジスタのチャンネル幅が上記上限を超えると、ドレイン電流が過剰となり、当該薄膜トランジスタの消費電力が不要に増大するおそれがある。

[0056] (パッシベーション絶縁膜)

パッシベーション絶縁膜6は、ゲート電極1、ゲート絶縁膜2、当該酸化物半導体薄膜3、ESL保護膜4、ソース電極5 a及びドレイン電極5 bを覆い、当該薄膜トランジスタの特性が劣化することを防ぐ。パッシベーション絶縁膜6を構成する薄膜としては、特に限定されないが、水素の含有量により比較的シート抵抗の制御が容易であるシリコン窒化膜が好適に用いられる。また、シート抵抗の制御性をさらに高めるためにパッシベーション絶縁膜6は、例えばシリコン酸化膜とシリコン窒化膜との2層構造としてもよい。

[0057] パッシベーション絶縁膜6の平均厚さの下限としては、100 nmが好ましく、250 nmがより好ましい。一方、パッシベーション絶縁膜6の平均厚さの上限としては、500 nmが好ましく、300 nmがより好ましい。パッシベーション絶縁膜6の平均厚さが上記下限未満であると、当該薄膜トランジスタの特性の劣化防止効果が不足するおそれがある。逆に、パッシベーション絶縁膜6の平均厚さが上記上限を超えると、パッシベーション絶縁膜6が不要に厚くなり、当該薄膜トランジスタの製造コストの上昇や生産効率の低下が発生するおそれがある。なお、パッシベーション絶縁膜6が多層構造である場合、「パッシベーション絶縁膜の平均厚さ」とは、その合計の

平均厚さを指す。

[0058] また、パッシベーション絶縁膜 6 には、ドレイン電極 5 b と電氣的に接続できるようにコンタクトホール 8 が開けられている。コンタクトホール 8 の平面視形状及び大きさはドレイン電極 5 b との電氣的な接続が確保される限り特に限定されないが、例えば平面視で 1 辺 10 μm 以上 30 μm 以下の形状とすることができる。

[0059] (導電膜)

導電膜 7 は、パッシベーション絶縁膜 6 に開けられたコンタクトホール 8 を介してドレイン電極 5 b に接続される。この導電膜 7 により当該薄膜トランジスタからドレイン電流を取得する配線が構成される。

[0060] 導電膜 7 としては、特に限定されず、ゲート電極 1 と同様の薄膜を用いることができる。中でもディスプレイへの応用に好適な透明導電膜が好ましい。このような透明導電膜としては ITO 膜、ZnO 膜等を挙げることができる。

[0061] 導電膜 7 がドレイン電極 5 b と接続する位置としては、ドレイン電極 5 b がゲート絶縁膜 2 と接する位置であって、ゲート電極 1 の直上ではない位置が好ましい。導電膜 7 をこのような位置でドレイン電極 5 b と接続することで、導電膜 7 とドレイン電極 5 b との接続部分の平坦性が高まるため、接触抵抗の増大を抑制できる。

[0062] 導電膜 7 の平均配線幅の下限としては、5 μm が好ましく、10 μm がより好ましい。一方、導電膜 7 の平均配線幅の上限としては、50 μm が好ましく、30 μm がより好ましい。導電膜 7 の平均配線幅が上記下限未満であると、導電膜 7 による配線が高抵抗となり、導電膜 7 による配線での消費電力や電圧降下が増大するおそれがある。逆に、導電膜 7 の平均配線幅が上記上限を超えると、当該薄膜トランジスタの集積度が低下するおそれがある。ここで、「導電膜の平均配線幅」とは、導電膜 7 のうちパッシベーション絶縁膜 6 の表面に配設され、当該薄膜トランジスタからドレイン電流を取得する配線部分の平均幅を意味する。

[0063] 導電膜7の平均厚さの下限としては、50nmが好ましく、80nmがより好ましい。一方、導電膜7の平均厚さの上限としては、200nmが好ましく、150nmがより好ましい。導電膜7の平均厚さが上記下限未満であると、導電膜7による配線が高抵抗となり、導電膜7による配線での消費電力や電圧降下が増大するおそれがある。逆に、導電膜7の平均厚さが上記上限を超えると、導電膜7による配線の平均配線幅に対して導電膜7の平均厚さが大きくなり過ぎるため、配線が傾き易く、配線自身の断線や隣接する配線との短絡が発生し易くなるおそれがある。ここで、「導電膜の平均厚さ」とは、導電膜7のうちパッシベーション絶縁膜6の表面に配設され、当該薄膜トランジスタからドレイン電流を取得する配線部分の平均厚さを意味する。

[0064] (薄膜トランジスタの特性)

当該薄膜トランジスタのキャリア移動度（電子移動度）の下限としては、 $20\text{ cm}^2/\text{Vs}$ が好ましく、 $23\text{ cm}^2/\text{Vs}$ がより好ましく、 $30\text{ cm}^2/\text{Vs}$ がさらに好ましい。当該薄膜トランジスタのキャリア移動度が上記下限未満であると、当該薄膜トランジスタのスイッチング特性が低下するおそれがある。一方、当該薄膜トランジスタのキャリア移動度の上限としては、特に限定されないが、通常当該薄膜トランジスタのキャリア移動度は $100\text{ cm}^2/\text{Vs}$ 以下である。

[0065] 当該薄膜トランジスタの閾値電圧の下限としては、 -1 V が好ましく、 0 V がより好ましい。一方、当該薄膜トランジスタの閾値電圧の上限としては、 3 V が好ましく、 2 V がより好ましい。当該薄膜トランジスタの閾値電圧が上記下限未満であると、ゲート電極1に電圧を印加しないスイッチング素子としてのオフ状態におけるリーク電流が大きくなり、当該薄膜トランジスタの待機電力が大きくなり過ぎるおそれがある。逆に、当該薄膜トランジスタの閾値電圧が上記上限を超えると、ゲート電極1に電圧を印加したスイッチング素子としてのオン状態におけるドレイン電流が不足するおそれがある。

[0066] 当該薄膜トランジスタの光照射による閾値電圧シフトの上限としては、2 Vが好ましく、1.5 Vがより好ましく、1 Vがさらに好ましい。上記閾値電圧シフトが上記上限を超えると、当該薄膜トランジスタを表示装置に用いた場合、当該薄膜トランジスタの性能が安定せず、必要なスイッチング特性が得られないおそれがある。上記閾値電圧シフトの下限としては、0 V、すなわち上記閾値電圧シフトが発生しないことが好ましい。

[0067] 当該薄膜トランジスタのS値 (Subthreshold Swing値) の上限としては、0.7 Vが好ましく、0.5 Vがより好ましい。当該薄膜トランジスタのS値が上記上限を超える場合、当該薄膜トランジスタのスイッチングに時間を要するおそれがある。一方、当該薄膜トランジスタのS値の下限としては、特に限定されないが、通常当該薄膜トランジスタのS値は0.2 V以上である。ここで、薄膜トランジスタの「S値」とは、ドレイン電流を1桁上昇させるのに必要なゲート電圧の変化量の最小値を指す。

[0068] [薄膜トランジスタの製造方法]

当該薄膜トランジスタは、例えばゲート電極成膜工程、ゲート絶縁膜成膜工程、酸化物半導体薄膜成膜工程、ESL保護膜成膜工程、ソース及びドレイン電極成膜工程、パッシベーション絶縁膜成膜工程、導電膜成膜工程及びポストアニール処理工程を備える製造方法により製造することができる。

[0069] <ゲート電極成膜工程>

ゲート電極成膜工程では、基板Xの表面にゲート電極1を成膜する。

[0070] 具体的には、まず基板Xの表面に公知の方法、例えばスパッタリング法により導電膜を所望の膜厚となるように積層する。スパッタリング法により導電膜を積層する際の条件としては、特に限定されないが、例えば基板温度20℃以上50℃以下、成膜パワー密度3W/cm²以上4W/cm²以下、圧力0.1Pa以上0.4Pa以下、キャリアガスArの条件とすることができる。

[0071] 次に、この導電膜をパターニングすることにより、ゲート電極1を形成する。パターニングの方法としては、特に限定されないが、例えばフォトリソ

グラフィを行った後に、ウエットエッチングを行う方法を用いることができる。このとき、ゲート絶縁膜2のカバレッジがよくなるように、ゲート電極1の断面を基板Xに向かって拡張するテーパー状にエッチングするとよい。

[0072] <ゲート絶縁膜成膜工程>

ゲート絶縁膜成膜工程では、ゲート電極1を覆うように基板Xの表面側にゲート絶縁膜2を成膜する。

[0073] 具体的には、まず基板Xの表面側に公知の方法、例えば各種CVD法により絶縁膜を所望の膜厚となるように積層する。例えばプラズマCVD法によりシリコン酸化膜を積層する場合であれば、基板温度300℃以上400℃以下、成膜パワー密度0.7W/cm²以上1.3W/cm²以下、圧力100Pa以上300Pa以下の条件とし、原料ガスとしてN₂OとSiH₄との混合ガスを用いて行うことができる。

[0074] <酸化物半導体薄膜成膜工程>

酸化物半導体薄膜成膜工程では、ゲート絶縁膜2の表面で、かつゲート電極1の直上に当該酸化物半導体薄膜3を成膜する。具体的には、基板Xの表面に酸化物半導体層を積層した後、この酸化物半導体層をパターニングすることにより、当該酸化物半導体薄膜3を形成する。

[0075] (酸化物半導体層の積層)

具体的には、まず例えば公知のスputtering装置を用いて、スputtering法により基板Xの表面に酸化物半導体層を積層する。スputtering法を用いることで、その成分や膜厚の面内均一性に優れた酸化物半導体層を容易に形成することができる。

[0076] スputtering法に用いるスputteringターゲットは、それ自体が本発明の別の実施形態である。すなわち、上記スputteringターゲットは、当該酸化物半導体薄膜3の形成に用いられるスputteringターゲットであって、In、Zn及びFeを含む。当該スputteringターゲットとしては、具体的には、In、Zn及びFeを含む酸化物ターゲット（IZFOターゲット）を挙げることができる。

[0077] 当該スパッタリングターゲットのIn、Zn及びFeの合計原子数に対するInの原子数の下限としては、20atm%であり、29atm%がより好ましく、34atm%がさらに好ましい。一方、上記Inの原子数の上限としては、89atm%であり、81atm%がより好ましく、80atm%がさらに好ましく、60atm%が特に好ましい。また、In、Zn及びFeの合計原子数に対するZnの原子数の下限としては、10atm%であり、18atm%がより好ましく、39atm%がさらに好ましい。一方、上記Znの原子数の上限としては、79atm%であり、70atm%がより好ましく、65atm%がさらに好ましい。また、In、Zn及びFeの合計原子数に対するFeの原子数の下限としては、0.2atm%であり、0.4atm%がより好ましく、0.5atm%がさらに好ましい。一方、上記Feの原子数の上限としては、2atm%であり、1.8atm%がより好ましく、1atm%がさらに好ましく、0.9atm%が特に好ましい。当該スパッタリングターゲットを用いて当該酸化物半導体薄膜3を成膜することで、製造コストが比較的安く、キャリア移動度及び光ストレス耐性が高い当該薄膜トランジスタを製造することができる。

[0078] 当該スパッタリングターゲットは、所望の酸化物半導体層と同一組成とすることが好ましい。このように当該スパッタリングターゲットの組成を所望の酸化物半導体層と同一とすることで、形成される酸化物半導体層の組成ずれを抑止できるので、所望の組成を有する酸化物半導体層を得易い。

[0079] 当該スパッタリングターゲットは、例えば粉末焼結法により製造することができる。

[0080] なお、酸化物半導体層を積層するためのスパッタリングターゲットは、上述のIn、Zn及びFeを含むターゲットに限定されるものではなく、組成の異なる複数のターゲットを用いてもよい。この場合、上記複数のターゲットは全体でIn、Zn及びFeを含むように構成される。また、各ターゲットはIn、Zn及びFeのうち複数の元素を含んでもよい。上記複数のターゲットは、In、Zn及びFeのうち1又は複数の元素を含む酸化物ターゲ

ットとすることもできる。上記複数のターゲットについても、例えば粉末焼結法により製造することができる。上記複数のターゲットを用いる場合、スパッタリング法としては、上記複数のターゲットを同時放電するコスパッタ法（C o - s p u t t e r 法）を用いることができる。

[0081] スパッタリング法により酸化物半導体層を積層する際の条件としては、特に限定されないが、例えば基板温度 20°C 以上 50°C 以下、成膜パワー密度 $2\text{W}/\text{cm}^2$ 以上 $3\text{W}/\text{cm}^2$ 以下、圧力 0.1Pa 以上 0.3Pa 以下、キャリアガス Ar の条件とすることができる。また、酸素源として、雰囲気中に酸素を含有させるとよい。雰囲気中の酸素の含有量としては、3体積%以上5体積%以下とできる。

[0082] なお、酸化物半導体層の積層する方法は、スパッタリング法に限定されるものではなく、塗布法などの化学的成膜法を用いてもよい。

[0083] (パターニング)

次に、この酸化物半導体層をパターニングすることにより、当該酸化物半導体薄膜3を形成する。酸化物半導体薄層のパターニングの方法としては、特に限定されないが、例えばフォトリソグラフィを行った後に、ウエットエッチングを行う方法を用いることができる。

[0084] なお、パターニング後にプレアニール処理を行い当該酸化物半導体薄膜3のトラップ準位の密度を低減してもよい。これにより製造される薄膜トランジスタの光照射による閾値電圧シフトを低減できる。

[0085] プレアニール処理の温度の下限としては、 300°C が好ましく、 350°C がより好ましい。一方、プレアニール処理の温度の上限としては、 450°C が好ましく、 400°C がより好ましい。プレアニール処理の温度が上記下限未満である場合、当該薄膜トランジスタの電気的な特性向上効果が不十分となるおそれがある。逆に、プレアニール処理の温度が上記上限を超える場合、当該酸化物半導体薄膜3が熱によるダメージを受けるおそれがある。

[0086] プレアニール処理の圧力及び時間の条件は特に限定されないが、例えば大気圧 (0.9 気圧以上 1.1 気圧以下) の N_2 雰囲気中で、10分以上60分

以下の時間の条件を用いることができる。

[0087] <E S L 保護膜成膜工程>

E S L 保護膜成膜工程では、当該酸化物半導体薄膜 3 の表面でソース及びドレイン電極 5 が形成されない部分に E S L 保護膜 4 を成膜する。

[0088] 具体的には、まず基板 X の表面側に公知の方法、例えば各種 C V D 法により絶縁膜を所望の膜厚となるように積層する。例えばプラズマ C V D 法によりシリコン酸化膜を積層する場合であれば、基板温度 1 0 0 ° C 以上 3 0 0 ° C 以下、成膜パワー密度 0 . 2 W / c m ² 以上 0 . 5 W / c m ² 以下、圧力 1 0 0 P a 以上 3 0 0 P a 以下の条件とし、原料ガスとして N ₂ O と S i H ₄ との混合ガスを用いて行うことができる。

[0089] <ソース及びドレイン電極成膜工程>

ソース及びドレイン電極成膜工程では、当該薄膜トランジスタのチャネル両端で当該酸化物半導体薄膜 3 と電氣的に接続するソース電極 5 a 及びドレイン電極 5 b を成膜する。

[0090] 具体的には、まず基板 X の表面に公知の方法、例えばスパッタリング法により導電膜を所望の膜厚となるように積層する。スパッタリング法により導電膜を積層する際の条件としては、特に限定されないが、例えば基板温度 2 0 ° C 以上 5 0 ° C 以下、成膜パワー密度 3 W / c m ² 以上 4 W / c m ² 以下、圧力 0 . 1 P a 以上 0 . 4 P a 以下、キャリアガス A r の条件とすることができる。

[0091] 次に、この導電膜をパターニングすることにより、ソース電極 5 a 及びドレイン電極 5 b を形成する。パターニングの方法としては、特に限定されないが、例えばフォトリソグラフィを行った後に、ウエットエッチングを行う方法を用いることができる。

[0092] <パッシベーション絶縁膜成膜工程>

パッシベーション絶縁膜成膜工程では、当該薄膜トランジスタを覆うパッシベーション絶縁膜 6 を成膜する。

[0093] 具体的には、基板 X の表面側に公知の方法、例えば各種 C V D 法により絶

縁膜を所望の膜厚となるように積層する。例えばプラズマCVD法によりシリコン窒化膜を積層する場合の条件としては、基板温度100℃以上200℃以下、成膜パワー密度0.2W/cm²以上0.5W/cm²以下、圧力100Pa以上300Pa以下の条件とし、原料ガスとしてNH₃とSiH₄との混合ガスを用いて行うことができる。

[0094] <導電膜成膜工程>

導電膜成膜工程では、コンタクトホール8を介してドレイン電極5bに電氣的に接続する導電膜7を成膜する。

[0095] 具体的には、まず公知の方法、例えばフォトリソグラフィによってドレイン電極5bとのコンタクト部分のパターニングを行った後にドライエッチングを行う方法によってコンタクトホール8を形成する。次に公知の方法、例えばスパッタリング法によりコンタクトホール8を介してドレイン電極5bに電氣的に接続する導電膜7を成膜する。スパッタリング法により導電膜7を積層する際の条件としては、特に限定されないが、例えば基板温度20℃以上50℃以下、成膜パワー密度3W/cm²以上4W/cm²以下、圧力0.1Pa以上0.4Pa以下、キャリアガスArの条件とすることができる。

[0096] <ポストアニール処理工程>

ポストアニール処理工程は、最終の熱処理を行う工程である。この熱処理により当該酸化物半導体薄膜3とゲート絶縁膜2との界面や、当該酸化物半導体薄膜3とESL保護膜4との界面に形成されたトラップ準位の密度を低減できる。これにより当該薄膜トランジスタの光照射による閾値電圧シフトを低減できる。

[0097] ポストアニール処理の温度の下限としては、200℃が好ましく、250℃がより好ましい。一方、ポストアニール処理の温度の上限としては、400℃が好ましく、350℃がより好ましい。ポストアニール処理の温度が上記下限未満であると、当該薄膜トランジスタの電氣的な特性向上効果が不十分となるおそれがある。逆に、ポストアニール処理の温度が上記上限を超え

ると、当該薄膜トランジスタが熱によるダメージを受けるおそれがある。

[0098] ポストアニール処理の圧力及び時間の条件は特に限定されないが、例えば大気圧（0.9気圧以上1.1気圧以下）で、10分以上60分以下の時間の条件を用いることができる。また、ポストアニール処理の雰囲気としては、大気雰囲気下で行ってもよいが、窒素等の不活性ガスの雰囲気下で行うことが好ましい。このように不活性ガスの雰囲気下で行うことで、ポストアニール処理中に雰囲気中に含まれる分子等の当該薄膜トランジスタへの結合による当該薄膜トランジスタの品質のばらつきを抑制できる。

[0099] [利点]

当該酸化物半導体薄膜3は、In、Zn及びFeの合計原子数に対し、Inの原子数を20atm%以上89atm%以下、Znの原子数を10atm%以上79atm%以下とし、Feの原子数を0.2atm%以上とするので、高い光ストレス耐性を有する。また、当該酸化物半導体薄膜3は、Feの原子数を2atm%以下とするので、当該酸化物半導体薄膜3を用いて薄膜トランジスタを形成した際のキャリア移動度が高い。さらに、当該酸化物半導体薄膜3は、Gaを含む必要がないので、製造コストを低減できる。

[0100] 従って、当該酸化物半導体薄膜3を用いた当該薄膜トランジスタは、製造コストが比較的安く、キャリア移動度及び光ストレス耐性が高い。

[0101] [その他の実施形態]

本発明の酸化物半導体薄膜、薄膜トランジスタ及びスパッタリングターゲットは、上記実施形態に限定されるものではない。

[0102] 上記実施形態では、薄膜トランジスタとしてボトムゲート型のトランジスタの場合を説明したが、トップゲート型のトランジスタであってもよい。

[0103] 上記実施形態では、薄膜トランジスタがESL保護膜を有する場合を説明したが、ESL保護膜は必須の構成要件ではない。例えばマスク蒸着やリフトオフによりソース及びドレイン電極を成膜する場合は、酸化物半導体薄膜がダメージを受け難いため、ESL保護膜を省略することができる。

[0104] また、上記実施形態では、酸化物半導体薄膜が実質的にIn、Zn及びF

e以外の金属元素を含まない場合を説明したが、他の金属元素を含んでいてもよい。例えばこのような金属元素としては、Snなどを挙げることができる。

実施例

[0105] 以下、実施例に基づき本発明を詳述するが、この実施例の記載に基づいて本発明が限定的に解釈されるものではない。

[0106] [実施例1]

ガラス基板（コーニング社製の「Eagle XG」、直径6インチ、厚さ0.7mm）を用意し、まずこのガラス基板の表面にMo薄膜を平均厚さが100nmとなるように成膜した。成膜条件は基板温度25℃（室温）、成膜パワー密度3.8W/cm²、圧力0.266Pa、及びキャリアガスArとした。Mo薄膜を成膜後、パターニングによりゲート電極を形成した。

[0107] 次に、ゲート絶縁膜として、平均厚さ250nmのシリコン酸化膜をCVD法により上記ゲート電極を覆うように成膜した。原料ガスとしては、N₂OとSiH₄との混合ガスを用いた。成膜条件は基板温度320℃、成膜パワー密度0.96W/cm²、及び圧力133Paとした。

[0108] 次に、ガラス基板の表面側に酸化物半導体層として、平均厚さ40nmの実質的にIn、Zn及びFeのみを含む酸化物半導体層をスパッタリング法により形成した。

[0109] スパッタリング法には、従来から最適な組成比を調べる手法として確立されている手法を用いた。具体的には、In₂O₃、ZnO及びFeチップを装着したIn₂O₃の3つのターゲットを上記ガラス基板の周囲の異なる位置に配置し、静止している上記ガラス基板に対してスパッタリングを行うことで、酸化物半導体層を成膜した。このような方法によれば、構成元素の異なる3つのターゲットをガラス基板の周囲の異なる位置に配置しているので、ガラス基板上の位置により各ターゲットからの距離が異なる。スパッタリングターゲットから遠ざかるに従ってそのターゲットから供給される元素が減少するから、例えばZnOターゲットに近くIn₂O₃ターゲットから遠い位置

ではInに対しZnが多くなり、逆にIn₂O₃ターゲットに近くZnOターゲットから遠い位置ではZnに対しInが多くなる。つまり、ガラス基板上の位置によって組成比の異なる酸化物半導体層を得ることができる。

- [0110] スパッタリング装置（株式会社アルバック製の「CS200」）を用い、成膜条件は基板温度25℃（室温）、成膜パワー密度2.55W/cm²、圧力0.133Pa、及びキャリアガスArとした。また、雰囲気酸素含有量は4体積%とした。
- [0111] 得られた酸化物半導体層をフォトリソグラフィ及びウェットエッチングによりパターニングを行い、ガラス基板上の位置により組成の異なる酸化物半導体薄膜を形成した。なお、ウェットエッチャントには、関東化学株式会社製の「ITO-07N」を用いた。
- [0112] ここで、この酸化物半導体薄膜の膜質改善のためプレアニール処理を行った。なお、プレアニール処理の条件は、大気雰囲気（大気圧）で350℃の環境下60分間とした。
- [0113] 次に、ガラス基板の表面側にシリコン酸化膜をCVD法により平均厚さが100nmとなるように成膜した。原料ガスとしては、N₂OとSiH₄との混合ガスを用いた。成膜条件は基板温度230℃、成膜パワー密度0.32W/cm²、及び圧力133Paとした。シリコン酸化膜を成膜後、パターニングによりESL保護膜を形成した。
- [0114] 次に、ガラス基板の表面側にMo薄膜を平均厚さが200nmとなるように成膜した。成膜条件は基板温度25℃（室温）、成膜パワー密度3.8W/cm²、圧力0.266Pa、及びキャリアガスArとした。Mo薄膜を成膜後、パターニングにより、ソース電極及びドレイン電極を形成した。
- [0115] 次に、ガラス基板の表面側にシリコン酸化膜（平均厚さ100nm）とシリコン窒化膜（平均厚さ150nm）との2層構造のパッシベーション絶縁膜をCVD法により形成した。原料ガスとしては、シリコン酸化膜の形成にはN₂OとSiH₄との混合ガスを用い、シリコン窒化膜の形成には、NH₃とSiH₄との混合ガスを用いた。成膜条件は基板温度150℃、成膜パワー密

度 0.32 W/cm^2 、及び圧力 133 Pa とした。

[0116] 次に、フォトリソグラフィ及びドライエッチングによりコンタクトホールを形成し、ドレイン電極に電氣的に接続するためのパッドを設けた。このパッドにプローブを当てることで薄膜トランジスタの電氣的な測定が行える。

[0117] 最後に、ポストアニール処理を行った。なお、ポストアニール処理の条件は、大気圧の N_2 雰囲気中で 250°C の環境下30分間とした。

[0118] このようにして実施例1の薄膜トランジスタを得た。なお、この薄膜トランジスタのチャンネル長は $20\ \mu\text{m}$ 、チャンネル幅は $200\ \mu\text{m}$ とした。また、実施例1の薄膜トランジスタでの酸化物半導体薄膜の組成は表1に示すとおりであった。

[0119] [実施例2～15、比較例1～7]

用いるスパッタリングターゲットの In 、 Zn 及び Fe の合計原子数に対する In 、 Zn 及び Fe の原子数、すなわち形成される酸化物半導体薄膜の In 、 Zn 及び Fe の合計原子数に対する In 、 Zn 及び Fe の原子数、並びにプレアニール及びポストアニールの温度を表1のように変化させた以外は、実施例1と同様にして、実施例2～15及び比較例1～7の薄膜トランジスタを得た。

[0120] [測定方法]

実施例1～15及び比較例1～7の薄膜トランジスタに対して、キャリア移動度、閾値電圧、閾値電圧シフト及び S 値の測定を行った。

[0121] これらの測定のうち、キャリア移動度、閾値電圧及び S 値の測定は、いずれもトランジスタの薄膜トランジスタの静特性(I_d-V_g 特性)から算出した。上記静特性の測定は、半導体パラメータアナライザ(Agilent Technologies社製の「HP4156C」)を用いて行った。測定条件としては、ソース電圧を 0 V 、ドレイン電圧を 10 V に固定し、ゲート電圧を -30 V から 30 V まで 0.25 V 刻みで変化させる条件とした。なお、測定は室温(25°C)で行った。以下に測定方法を記す。

[0122] <キャリア移動度>

キャリア移動度は、上記静特性の飽和領域での電界効果移動度 μ_{FE} [m^2/Vs] とした。この電界効果移動度 μ_{FE} [m^2/Vs] は、ゲート電圧 V_g [V]、閾値電圧 V_{th} [V]、ドレイン電流 I_d [A]、チャネル長 L [m]、チャネル幅 W [m]、ゲート絶縁膜の容量 C_{ox} [F] とするとき、上記静特性の飽和領域 ($V_g > V_d - V_{th}$) において、以下の式 (3) に示す μ_{FE} [m^2/Vs] により算出した。結果を表 1 に示す。

[数3]

$$\mu_{FE} = \frac{\partial I_d}{\partial V_g} \left(\frac{L}{C_{ox} \times W \times (V_g - V_{th})} \right) \quad \dots (3)$$

[0123] <閾値電圧>

閾値電圧は、トランジスタのドレイン電流が $10^{-9} A$ となるゲート電圧を上記薄膜トランジスタの静特性から算出した値とした。結果を表 1 に示す。

[0124] <S 値>

S 値は、上記静特性からドレイン電流を 1 桁上昇させるのに必要なゲート電圧の変化量を算出し、その最小値とした。結果を表 1 に示す。

[0125] <閾値電圧シフト>

閾値電圧シフトは、基板温度 $60^\circ C$ で、薄膜トランジスタのソース電圧を $0 V$ 、ドレイン電圧を $10 V$ 、ゲート電圧を $-10 V$ に固定し、薄膜トランジスタに白色 LED (PHILIPS 社製の「LXHL-PW01」) を 2 時間照射し、照射前後の閾値電圧の差の絶対値として算出した。この数値が小さいほど光ストレス耐性が高いと言える。結果を表 1 に示す。

[0126] [判定]

上述の測定結果をもとに、以下の判定基準で総合判定を行った。結果を表 1 に示す。

A : キャリア移動度が $20 m^2/Vs$ 以上、かつ閾値電圧シフトが $2 V$ 以下であり、次世代大型ディスプレイや可撓性ディスプレイに好適である。

B : キャリア移動度が $20 m^2/Vs$ 以上、かつ閾値電圧シフトが $2 V$ 超 $4 V$ 以下であり、次世代大型ディスプレイや可撓性ディスプレイに用いること

ができる。

C : キャリア移動度が $20 \text{ m}^2/\text{Vs}$ 未満、又は閾値電圧シフトが 4 V 超であり、次世代大型ディスプレイや可撓性ディスプレイに用いることができない。

[0127] [表1]

	アニール処理		組成			キャリア移動度 (cm^2/Vs)	閾値電圧 (V)	閾値電圧シフト (V)	S値 (V/dec)	総合判定
	プレ ($^{\circ}\text{C}$)	ポスト ($^{\circ}\text{C}$)	In (atm%)	Zn (atm%)	Fe (atm%)					
実施例1	350	250	56.6	42.7	0.7	32.3	0.25	0.50	0.3	A
実施例2	350	250	53.5	45.6	0.9	28.4	0.50	0.50	0.3	A
実施例3	350	250	50.4	48.4	1.2	25.0	1.00	0.50	0.4	A
実施例4	350	250	48.2	50.2	1.6	25.5	0.75	0.75	0.4	A
実施例5	400	250	35.0	64.4	0.6	23.2	2.00	0.50	0.3	A
実施例6	400	300	37.0	62.4	0.7	24.4	1.25	0.50	0.2	A
実施例7	350	250	49.1	49.0	1.9	20.6	1.50	0.50	0.5	A
実施例8	400	300	79.6	18.8	1.6	48.0	0.25	0.50	0.2	A
実施例9	350	280	41.7	57.6	0.8	23.1	1.75	0.25	0.3	A
実施例10	350	280	61.4	37.5	1.2	32.6	2.25	0.50	0.4	A
実施例11	350	280	69.6	29.0	1.4	40.1	1.50	1.25	0.5	A
実施例12	400	300	50.0	49.6	0.4	30.8	0.75	1.00	0.2	A
実施例13	350	250	52.0	47.8	0.2	26.3	2.00	1.00	0.4	A
実施例14	350	300	56.5	43.2	0.3	34.2	0.25	1.00	0.5	A
実施例15	350	250	62.1	37.5	0.4	28.6	1.00	1.25	0.4	A
比較例1	400	300	37.2	62.8	0.0	21.5	6.25	7.50	0.3	C
比較例2	400	300	60.8	39.2	0.0	34.7	6.25	7.50	0.3	C
比較例3	350	250	46.6	53.4	0.0	32.2	0.00	11.25	0.3	C
比較例4	350	250	78.8	21.2	0.0	42.2	4.00	18.50	0.4	C
比較例5	350	250	51.8	45.9	2.2	19.5	1.50	0.75	0.5	C
比較例6	350	250	55.3	41.7	3.0	19.7	1.25	0.75	0.7	C
比較例7	400	300	81.2	18.8	0.0	導体化	-	-	-	C

[0128] 表1で、キャリア移動度の「導体化」は、薄膜トランジスタが導体化し、MOS特性を示さなかったことを意味する。また、閾値電圧、閾値電圧シフト及びS値の「-」は、薄膜トランジスタの導体化により測定できなかったことを意味する。

[0129] 表1より、実施例1～15の薄膜トランジスタは、キャリア移動度が高く、閾値電圧シフトが小さい。これに対し、比較例1～4の薄膜トランジスタは、酸化物半導体薄膜がFeを含まないことが原因で、閾値電圧シフトが大きくなっていると考えられ、光ストレス耐性に劣る。また、比較例5～6の薄膜トランジスタは、酸化物半導体薄膜のIn、Zn及びFeの合計原子数に対するFeの原子数が2atm%を超えることが原因で、キャリア移動度

が低くなっていると考えられ、スイッチング動作に劣る。また、比較例7の薄膜トランジスタは、酸化物半導体薄膜がFeを含まず、かつIn、Zn及びFeの合計原子数に対するInの原子数が多いことが原因で、導体化したと考えられる。

[0130] 以上から、酸化物半導体薄膜のIn、Zn及びFeの合計原子数に対し、Inの原子数が20atm%以上89atm%以下、Znの原子数が10atm%以上79atm%以下の範囲で、Feの原子数を0.2atm%以上2atm%以下とすることで、キャリア移動度及び光ストレス耐性を高められることが分かる。

[0131] In、Zn及びFeの合計原子数に対し、Inの原子数が34atm%以上80atm%以下、Znの原子数が18atm%以上65atm%以下、Feの原子数が0.2atm%以上1.8atm%以下である酸化物半導体薄膜を有する実施例1～6及び実施例8～15をみると、いずれの実施例においてもキャリア移動度が $23\text{ cm}^2/\text{Vs}$ 以上である。一方、酸化物半導体薄膜の原子数が上述の原子数の範囲に属さない実施例7では、キャリア移動度が $23\text{ cm}^2/\text{Vs}$ 未満である。このことから、Inの原子数が34atm%以上80atm%以下、Znの原子数が18atm%以上65atm%以下、Feの原子数が0.2atm%以上1.8atm%以下とすることで、キャリア移動度を向上できることが分かる。

[0132] また、Inの原子数が34atm%以上60atm%以下、Znの原子数が39atm%以上65atm%以下、Feの原子数が0.2atm%以上0.9atm%以下である酸化物半導体薄膜を有する実施例1、2、5、6、9、12、13、14をみると、いずれの実施例においても閾値電圧シフトが1V以下である。一方、酸化物半導体薄膜の原子数が上述の原子数の範囲に属さない実施例では、閾値電圧シフトが1.25Vとなるもの（実施例11、15）が存在する。このことから、Inの原子数が34atm%以上60atm%以下、Znの原子数が39atm%以上65atm%以下、Feの原子数が0.2atm%以上0.9atm%以下とすることで、光スト

レス耐性が向上し、薄膜トランジスタの性能安定性を高めることができることが分かる。

産業上の利用可能性

[0133] 以上説明したように、当該酸化物半導体薄膜を用いた薄膜トランジスタは、製造コストが比較的安く、キャリア移動度及び光ストレス耐性が高い。従って、当該薄膜トランジスタは、高速性が要求される例えば次世代の大型ディスプレイに好適に用いることができる。また、当該スパッタリングターゲットを用いることで、製造コストが比較的安く、キャリア移動度及び光ストレス耐性が高い酸化物半導体薄膜を形成できる。

符号の説明

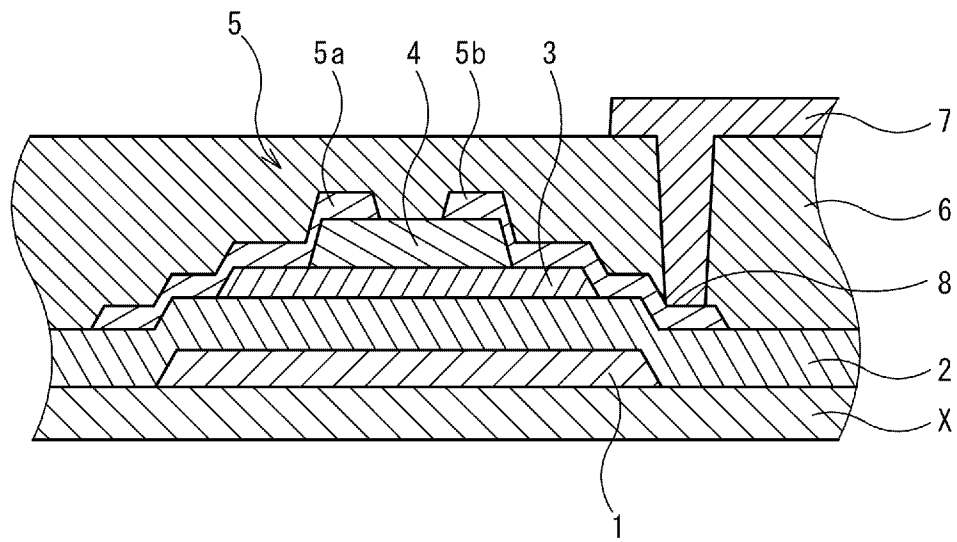
- [0134]
- 1 ゲート電極
 - 2 ゲート絶縁膜
 - 3 酸化物半導体薄膜
 - 4 ESL保護膜
 - 5 ソース及びドレイン電極
 - 5 a ソース電極
 - 5 b ドレイン電極
 - 6 パッシベーション絶縁膜
 - 7 導電膜
 - 8 コンタクトホール
 - X 基板

請求の範囲

- [請求項1] In、Zn及びFeを含み、
In、Zn及びFeの合計原子数に対し、
Inの原子数が20atm%以上89atm%以下、
Znの原子数が10atm%以上79atm%以下、
Feの原子数が0.2atm%以上2atm%以下
である酸化物半導体薄膜。
- [請求項2] In、Zn及びFeの合計原子数に対し、
Inの原子数が34atm%以上80atm%以下、
Znの原子数が18atm%以上65atm%以下、
Feの原子数が0.2atm%以上1.8atm%以下
である請求項1に記載の酸化物半導体薄膜。
- [請求項3] In、Zn及びFeの合計原子数に対し、
Inの原子数が34atm%以上60atm%以下、
Znの原子数が39atm%以上65atm%以下、
Feの原子数が0.2atm%以上0.9atm%以下
である請求項1に記載の酸化物半導体薄膜。
- [請求項4] 請求項1、請求項2又は請求項3に記載の酸化物半導体薄膜を有する薄膜トランジスタ。
- [請求項5] 光照射による閾値電圧シフトが2V以下である請求項4に記載の薄膜トランジスタ。
- [請求項6] キャリア移動度が $20\text{ cm}^2/\text{Vs}$ 以上である請求項4に記載の薄膜トランジスタ。
- [請求項7] キャリア移動度が $20\text{ cm}^2/\text{Vs}$ 以上である請求項5に記載の薄膜トランジスタ。
- [請求項8] 酸化物半導体薄膜の形成に用いられるスパッタリングターゲットであって、
In、Zn及びFeを含み、

I n、Z n及びF eの合計原子数に対し、
I nの原子数が2 0 a t m%以上8 9 a t m%以下、
Z nの原子数が1 0 a t m%以上7 9 a t m%以下、
F eの原子数が0. 2 a t m%以上2 a t m%以下
であるスパッタリングターゲット。

[図1]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/040204

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L21/363 (2006.01) i, C23C14/08 (2006.01) i, H01L29/786 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L21/363, C23C14/08, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	WO 2009/081885 A1 (IDEMITSU KOSAN CO., LTD.) 02 July 2009, paragraphs [0020]-[0027], [0100], table 4, example 28 & US 2010/0276688 A1, paragraphs [0058]-[0073], [0240]-[0257], table 4 & CN 101911303 A & KR 10-2010-0094535 A & TW 200943552 A	1, 2, 4, 8 5-7
X Y	鈴木陽介ほか, Fe をドーピングした希薄磁性半導体 IZO 薄膜の磁気特性, 日本化学会講演予稿集, 27 March 2007, vol. 87th, no. 1, pp. 254, 3G6-05, ISSN 0285-7626, non-official translation (SUZUKI, Yosuke et al., "Magnetic properties of diluted magnetic semiconductor IZO thin films doped with Fe", Lecture Proceedings of the Chemical Society of Japan)	1-3, 8 4-7

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
11 January 2019 (11.01.2019)

Date of mailing of the international search report
22 January 2019 (22.01.2019)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/040204

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2010-135773 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 17 June 2010, paragraphs [0005]-[0015], [0037]-[0189], fig. 1-6, 30-32 & US 2010/0117074 A1, paragraphs [0008]-[0018], [0071]-[0223] & KR 10-2010-0051550 A & CN 101740633 A & TW 201025606 A	4-7
A	JP 2016-189463 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 04 November 2016, entire text, all drawings & US 2016/0284857 A1 & WO 2016/157016 A1 & TW 201705472 A & CN 107484435 A	1-8
A	JP 2004-103957 A (JAPAN SCIENCE AND TECHNOLOGY CORP.) 02 April 2004, entire text, all drawings & US 2005/0039670 A1 & WO 2003/040441 A1 & EP 1443130 A1	1-8

A. 発明の属する分野の分類（国際特許分類（IPC））
 Int.Cl. H01L21/363(2006.01)i, C23C14/08(2006.01)i, H01L29/786(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料（国際特許分類（IPC））
 Int.Cl. H01L21/363, C23C14/08, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2019年
 日本国実用新案登録公報 1996-2019年
 日本国登録実用新案公報 1994-2019年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	WO 2009/081885 A1（出光興産株式会社） 2009.07.02, 段落[0020]-[0027], [0100], [表4]の実施例28 & US 2010/0276688 A1, 段落[0058]-[0073], [0240]-[0257], TABLE4 & CN 101911303 A & KR 10-2010-0094535 A & TW 200943552 A	1, 2, 4, 8 5-7
X Y	鈴木陽介ほか, Feをドーピングした希薄磁性半導体IZO薄膜の磁気特性, 日本化学会講演予稿集, 2007.03.27, Vol.87th, No.1, pp. 254, 3G6-05, ISSN 0285-7626	1-3, 8 4-7

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日 11.01.2019	国際調査報告の発送日 22.01.2019
国際調査機関の名称及びあて先 日本国特許庁（ISA/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 長谷川 直也 電話番号 03-3581-1101 内線 3559

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2010-135773 A (株式会社半導体エネルギー研究所) 2010.06.17, 段落[0005]-[0015], [0037]-[0189], 図1-6, 30-32 & US 2010/0117074 A1, 段落[0008]-[0018], [0071]-[0223] & KR 10-2010-0051550 A & CN 101740633 A & TW 201025606 A	4-7
A	JP 2016-189463 A (株式会社半導体エネルギー研究所) 2016.11.04, 全文, 全図 & US 2016/0284857 A1 & WO 2016/157016 A1 & TW 201705472 A & CN 107484435 A	1-8
A	JP 2004-103957 A (科学技術振興事業団) 2004.04.02, 全文, 全図 & US 2005/0039670 A1 & WO 2003/040441 A1 & EP 1443130 A1	1-8