

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4261461号  
(P4261461)

(45) 発行日 平成21年4月30日(2009.4.30)

(24) 登録日 平成21年2月20日(2009.2.20)

(51) Int.Cl.		F I		
G 1 1 C	16/06	(2006.01)	G 1 1 C	17/00 6 3 9 C
G 1 1 C	16/02	(2006.01)	G 1 1 C	17/00 6 1 1 A
G 1 1 C	29/42	(2006.01)	G 1 1 C	17/00 6 1 2 B
			G 1 1 C	29/00 6 3 1 Z

請求項の数 5 (全 16 頁)

(21) 出願番号	特願2004-322496 (P2004-322496)	(73) 特許権者	000003078
(22) 出願日	平成16年11月5日(2004.11.5)		株式会社東芝
(65) 公開番号	特開2006-134476 (P2006-134476A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成18年5月25日(2006.5.25)	(74) 代理人	100058479
審査請求日	平成18年10月3日(2006.10.3)		弁理士 鈴江 武彦
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100075672
			弁理士 峰 隆司
		(74) 代理人	100109830
			弁理士 福原 淑弘

最終頁に続く

(54) 【発明の名称】 半導体集積回路装置、及びそれを用いた不揮発性メモリシステム

(57) 【特許請求の範囲】

【請求項1】

書き込みシーケンス、及び消去シーケンスの少なくともいずれか一方の終了後に、許容ビット数までのビットエラーが発生していてもステータスとしてはバスを返す擬似バス機能を備えた不揮発性メモリを有する半導体集積回路装置であって、

前記不揮発性メモリは、擬似バス機能を発動するタイミングを任意に設定可能な発動タイミング調節部を備え、

前記発動タイミング調節部は、前記擬似バス機能を発動するタイミングを、書き込みシーケンス/消去シーケンスにおける最大ループ回数(Max Loop)に達する以前の、プログラム/イレースパルス数に設定可能であることを特徴とする半導体集積回路装置。

【請求項2】

前記発動タイミング調節部は、

前記擬似バス機能を発動する擬似バス発動パルス数を保持するパルス数保持部と、プログラム/イレースパルスの印加回数を計数するパルス印加回数計数部と、

前記パルス数保持部に保持された擬似バス発動パルス数と、前記パルス印加回数計数部の計数した印加回数とが一致したとき、前記擬似バス機能を発動させる発動フラグを出力する発動フラグ出力部とを備えることを特徴とする請求項1に記載の半導体集積回路装置。

【請求項3】

前記パルス数保持部に保持された擬似パス発動パルス数は、書き換え可能であることを特徴とする請求項 2 に記載の半導体集積回路装置。

【請求項 4】

不揮発性メモリと、前記不揮発性メモリを制御するメモリコントローラとを具備し、前記不揮発性メモリは、

書き込みシーケンス、及び消去シーケンスの少なくともいずれか一方の終了後に、許容ビット数までのビットエラーが発生していてもステータスとしてはパスを返す擬似パス機能と、

擬似パス機能を発動するタイミングを任意に設定可能な発動タイミング調節機能と、を備え、

前記発動タイミング調節機能は、前記擬似パス機能を発動するタイミングを、書き込みシーケンス/消去シーケンスにおける最大ループ回数 (Max Loop) に達する以前の、プログラム/イレースパルス数に設定可能であり、

前記メモリコントローラは、

前記擬似パス機能を発動するタイミングを変更する発動タイミング変更機能を備えることを特徴とする不揮発性メモリシステム。

【請求項 5】

請求項 4 記載の不揮発性メモリシステムにおいて、

前記発動タイミング調節機能は、

前記擬似パス機能を発動する擬似パス発動パルス数を保持し、前記擬似パス発動パルス数を書き換え可能なパルス数保持部と、

プログラム/イレースパルスの印加回数を計数するパルス印加回数計数部と、

前記パルス数保持部に保持された擬似パス発動パルス数と、前記パルス印加回数計数部の計数した印加回数とが一致したとき、前記擬似パス機能を発動させる発動フラグを出力する発動フラグ出力部とを備える

ことを特徴とする請求項 4 に記載の不揮発性メモリシステム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路装置に関し、特に、擬似パス機能を有した不揮発性メモリを持つ半導体集積回路装置、及びその半導体集積回路装置を用いた不揮発性メモリシステムに関する。

【背景技術】

【0002】

不揮発性半導体記憶装置、例えば、NANDフラッシュメモリを使用する場合には、十分な信頼性を保証するために ECC (Error Checking and Correcting) によるビットエラーの検出・訂正が有効である。例えば、多値 NAND フラッシュメモリを使用している標準的なシステムでは、ページあたり 4 シンボルのビットエラーの検出・訂正が可能な ECC が搭載されている。

【0003】

ところで、NANDフラッシュメモリの高集積化、大規模容量化が進んでおり、高集積化、大規模容量化が進んだ NAND フラッシュメモリでは、あるメモリセルのしきい値が、突発的に高くなり、正しくデータを書き込めなくなる、あるいは正しくデータを消去できなくなる現象が、近時確認された。この現象を、本明細書では“突発的なビット化け”と呼ぶ。

【0004】

このような事情から、例えば、多値 NAND フラッシュメモリでは、“突発的なビット化け”をある程度まで許容した上で信頼性を保証した方が、コスト的に有利であると考えられた。この考えに基づいて開発された機能が、いわゆる“擬似パス機能”である。“擬似パス機能”は、チップ内部書き込みシーケンス、又はチップ内部消去シーケンス終了時

10

20

30

40

50

に、1ビット、2ビットといったビットにエラーが発生していても、ステータスとしては“パス”を返す手法である。この手法は、例えば、特許文献1に記載されている。チップ内部書き込みシーケンス、又はチップ内部消去シーケンス終了時にビットエラーが発生していても、読み出し時には、システム、あるいはフラッシュコントローラにおいて、ECCが実行されるために、ビットエラーが、訂正可能なビット数の範囲であれば支障は無いのである。

【0005】

しかし、“擬似パス機能”を有したNANDフラッシュメモリは、書き込み速度、又は消去速度が低下し、結果としてNANDフラッシュメモリを用いている電子機器システム、例えば、メモリカードに代表される電子機器システムのパフォーマンスが低下しやすい、という事情を抱えている。

10

【特許文献1】米国特許第6,185,134号明細書

【発明の開示】

【発明が解決しようとする課題】

【0006】

この発明は、“擬似パス機能”を有しつつ、電子機器システムのパフォーマンスの低下を抑制することが可能な不揮発性メモリを備えた半導体集積回路装置、及びその半導体集積回路装置を備えた不揮発性メモリシステムを提供する。

【課題を解決するための手段】

【0007】

20

この発明の第1態様に係る半導体集積回路装置は、書き込みシーケンス、及び消去シーケンスの少なくともいずれか一方の終了後に、許容ビット数までのビットエラーが発生していてもステータスとしてはパスを返す擬似パス機能を備えた不揮発性メモリを有する半導体集積回路装置であって、前記不揮発性メモリは、擬似パス機能を発動するタイミングを任意に設定可能な発動タイミング調節部を備え、前記発動タイミング調節部は、前記擬似パス機能を発動するタイミングを、書き込みシーケンス/消去シーケンスにおける最大ループ回数(Max Loop)に達する以前の、プログラム/イレースパルス数に設定可能である。

【0008】

この発明の第2態様に係る不揮発性メモリシステムは、不揮発性メモリと、前記不揮発性メモリを制御するメモリコントローラとを具備し、前記不揮発性メモリは、書き込みシーケンス、及び消去シーケンスの少なくともいずれか一方の終了後に、許容ビット数までのビットエラーが発生していてもステータスとしてはパスを返す擬似パス機能と、擬似パス機能を発動するタイミングを任意に設定可能な発動タイミング調節機能と、を備え、前記発動タイミング調節機能は、前記擬似パス機能を発動するタイミングを、書き込みシーケンス/消去シーケンスにおける最大ループ回数(Max Loop)に達する以前の、プログラム/イレースパルス数に設定可能であり、前記メモリコントローラは、前記擬似パス機能を発動するタイミングを変更する発動タイミング変更機能を備える。

30

【発明の効果】

【0009】

40

この発明は、“擬似パス機能”を有しつつ、電子機器システムのパフォーマンスの低下を抑制することが可能な不揮発性メモリを備えた半導体集積回路装置、及びその半導体集積回路装置を備えた不揮発性メモリシステムを提供できる。

【発明を実施するための最良の形態】

【0010】

“突発的なビット化け”が発生するアドレスは完全にランダムであり、その原因は、動作の履歴とは関係がないようであるが、メモリセルの経時劣化には関係がありそうである。また、“突発的なビット化け”が発生しても、データを消去した上で再びデータを書き込めば回復してしまう。このような特異性から、“突発的なビット化け”は、メモリセルの致命的な不良に起因して発生した現象ではなく、一種のソフトエラー的な障害と考えら

50

れている。いまのところ、“突発的なビット化け”を防ぐための有効な手立ては確立していない。

【0011】

“突発的なビット化け”は、NANDフラッシュメモリに関係なく、NANDフラッシュメモリと同様の不揮発性メモリセルを使っている不揮発性半導体記憶装置においても発生する。なかでも、データに対応したしきい値分布幅が、通常の二値メモリに比較してタイトである多値メモリにおいては、より深刻な事情に発展する可能性がある。このような事情から開発された機能が、いわゆる“擬似パス機能”である。

【0012】

NANDフラッシュメモリでは、書き込みパルス、又は消去パルスをメモリセルに印加した後、内部で自動的にメモリセルの状態をベリファイし、書き込み、又は消去が終了したか否かを判断する。そして、書き込み、又は消去が終了していないビットがあった場合には、再度、書き込みパルス、又は消去パルスを印加し、再度、ベリファイを行なう。この動作は、NANDフラッシュメモリに設定された規定回数(Max Loop)まで繰り返す。

【0013】

“擬似パス機能”は、規定回数までパルスが印加されて発動される仕組みとなっている。このため、恒久的に書き込み、又は消去ができないビットを持つページ、あるいはブロックに対して書き込み、又は消去を行なう時には、規定回数までパルスが印加されることになり、書き込み速度、又は消去速度が低下し、結果としてNANDフラッシュメモリを用いている電子機器システム、例えば、メモリカードに代表される電子機器システムのパフォーマンスが低下しやすい。

【0014】

本実施形態では、“擬似パス機能”を有しつつ、電子機器システムのパフォーマンスの低下を抑制することが可能な不揮発性メモリを備えた半導体集積回路装置、及びその半導体集積回路装置を備えた不揮発性メモリシステムを開示する。

【0015】

以下、この発明の実施形態のいくつかを、図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【0016】

(第1実施形態)

図1に、“擬似パス機能”を備えるNANDフラッシュメモリで使用される擬似パス機能対応型データレジスタの一例を示す。

【0017】

擬似パス機能対応型データレジスタは、1ページ分のデータを記憶するレジスタ(ページバッファ)100を有し、ベリファイ結果の一括検知のために1バイト分をワイヤード・オア(wired OR)接続し、回路SDのPMOSのゲートに入力する。回路SD中のPMOSは、ページバッファ中に書き込みが完了していないビットが存在する場合には、そのビットの個数に比例した電流I<sub>fail</sub>を流す。この電流I<sub>fail</sub>を、回路SDP<sub>0</sub>、SDP<sub>1</sub>、SDP<sub>2</sub>、SDP<sub>3</sub>の電流I<sub>pass</sub>と比較することにより、ベリファイが完了していないビットの数を知ることができる。回路SDP<sub>0</sub>は、ページ内のすべてのビットの書き込みが完了したことを検知するための系であるが、回路SDP<sub>0</sub>中のPMOS1のゲート幅は、回路SDP<sub>1</sub>、SDP<sub>2</sub>、SDP<sub>3</sub>中のPMOS2それぞれのゲート幅の半分に設定されており、トランジスタのばらつきによらず、書き込みが完了したことを確実に検知できる。

【0018】

図2に、図1に示すデータレジスタが、許容したビット数を検知する時の内部波形を示す。図2は、1ページ中のビットエラーが2ビットである場合の、データレジスタの内部波形である。

【0019】

従来、擬似パス機能を発動するタイミングは、規定回数(Max Loop)後に固定されてお

10

20

30

40

50

り、発動するタイミングを調節するような回路は無い。発動するタイミングが規定回数後に固定されたままでは、恒久的に書き込み、又は消去ができないビットを持つページ、あるいはブロックに対して書き込み、又は消去を行なう時には、規定回数までパルスが印加されてしまう。このため、書き込み速度、又は消去速度が低下し、結果としてNANDフラッシュメモリを用いている電子機器システム、例えば、メモリカードに代表される電子機器システムのパフォーマンスが低下しやすい。

#### 【0020】

そこで、本実施形態では、発動するタイミングを調節するような回路をNANDフラッシュメモリに設け、メーカー側でも、また、ユーザーにおいても、擬似パス機能を発動するタイミングを調節し、変更できるようにする。以下、本実施形態が備える発動タイミング調節/変更機能を、不揮発性メモリをメモリコントローラによって制御する不揮発性メモリシステムを例にとり、詳しく説明する。

10

#### 【0021】

図3は、この発明の第1実施形態に係る半導体集積回路装置を用いた不揮発性メモリシステムの一例を示すブロック図である。本例は、不揮発性メモリをNANDフラッシュメモリとし、メモリコントローラをフラッシュコントローラとした場合である。

#### 【0022】

図3に示すように、フラッシュコントローラ3は、NANDフラッシュメモリ1を制御する。例えば、コントローラ3は、システム、例えば、外部ホストからの要求に従ってメモリ1をアクセスし、データの読み出し、データの書き込み、及びデータの消去を制御する。

20

#### 【0023】

メモリ1は、制御ピンと、入出力ピンとを持つ。制御ピンは、基本的にコントローラ3からの制御信号を受信するためのピンであり、入出力ピンは、基本的にコントローラ3とのデータの送受信、コントローラ3からのコマンドの受信、及びコントローラ3へのステータスの送信を行なうためのピンである。本例では、制御ピンとして/CE(チップイネーブル)、ALE(アドレスラッチイネーブル)、CLE(コマンドラッチイネーブル)、/WE(ライトイネーブル)、/RE(リードイネーブル)、RY-/BY(レディ/ビジー)、/WP(ライトプロテクト)があり、入出力ピンとしてI/O1~I/O8がある。これら制御ピン、及び入出力ピンは、コントローラ3に接続される。

30

#### 【0024】

図4に、メモリ1の構成の一例を示す。図4に示す回路ブロックについては、その動作説明とともに説明する。

#### 【0025】

図5にこの発明の第1実施形態に係る半導体集積回路装置、例えば、NANDフラッシュメモリの書き込みシーケンス、又は消去シーケンスの一例を示す。

#### 【0026】

NANDフラッシュメモリでは、内部で自動的に書き込み、又は消去と、ベリファイとを繰り返す。書き込み、又は消去が終了すると、RY-/BYピンがレディ(Ready)状態に戻り、ステータスリードコマンドの入力が可能となる。書き込み、又は消去が終了していないビットがあった場合には、NANDフラッシュメモリに設定された規定回数(Max Loop)まで書き込み、又は消去と、ベリファイとを繰り返す。このとき、本例では、擬似パス機能を、NANDフラッシュのプログラムパルス、又はイレーズパルスの印加回数のカウント数が、擬似パス機能を発動する擬似パス発動パルス数にヒットした以降の全てのプログラムパルス、又はイレーズパルスにおいて、発動させる仕組みになっている。

40

#### 【0027】

具体的には、図5に示すように、コントローラ3がシステムからの要求により、書き込みコマンド、又は消去コマンドを発行する。書き込みコマンド、又は消去コマンドを受けたメモリ1は、内部で自動的に書き込み・ベリファイのシーケンスを繰り返す(内部シーケンス)。詳しくは、ST.1において、書き込み、又は消去を、メモリセルアレイのペ

50

ージ、又はブロックに対して実行する。この後、S T . 2 において、ベリファイを実行する。

【 0 0 2 8 】

S T . 2 において、パス (Pass) ならば内部シーケンスを終了し、S T . 3 のステータスリードに移行する。一方、フェイル (Fail) ならば内部シーケンスが継続される。本例では、S T . 2 1 において、プログラム / イレーズパルスの印加回数のカウント数が、擬似パス発動パルス数にヒットしたか否かを判断する。

【 0 0 2 9 】

S T . 2 1 において、ヒットしない場合 (No)、S T . 1 に戻り、書き込み、又は消去を再度実行する。一方、ヒットした場合 (Yes)、S T . 2 2 に進む。S T . 2 2 においては、ビットエラー数が、擬似パスとして許容する許容ビット数以下であるか否かが判断される。

10

【 0 0 3 0 】

S T . 2 2 において、ビットエラー数が、許容ビット数以下と判断された場合 (Yes)、擬似パス機能を発動させ、内部シーケンスを終了し、S T . 3 のステータスリードに移行する。一方、ビットエラー数が、許容ビット数を超えると判断された場合 (No)、S T . 2 3 に進む。S T . 2 3 においては、繰り返し回数が、規定回数 (Max Loop) に達しているか否かが判断される。

【 0 0 3 1 】

S T . 2 3 において、規定回数 (Max Loop) に達している場合 (Yes)、内部シーケンスを終了し、S T . 3 のステータスリードに移行する。一方、規定回数 (Max Loop) に達していない場合 (No)、S T . 1 に戻り、書き込み、又は消去を再度実行する。

20

【 0 0 3 2 】

S T . 3 のステータスリードにおいては、コントローラ 3 がメモリ 1 に対してステータスリードコマンドが発行され、これを受けたメモリ 1 はコントローラ 3 に対してパス、もしくはフェイルのステータスを返す。ステータスリードの結果、パス (Pass) ならば、そのまま、書き込みシーケンス、又は消去シーケンスを終了し、フェイル (Fail) ならば、書き込み、又は消去を行なったブロックをバッドブロックとして登録し、書き込みシーケンス、又は消去シーケンスを終了する。バッドブロックとして登録されたブロックについては、例えば、その後の使用が禁止される。

30

【 0 0 3 3 】

図 5 に示すシーケンスの一例は、擬似パス機能が、規定回数 (Max Loop) に達する以前に発動される。特に、図 5 に示すシーケンスでは、例えば、S T . 2 1、及び S T . 2 2 に示す手順に従って、擬似パス機能が発動される。このように擬似パス機能を規定回数 (Max Loop) に達する以前に発動させるために、本例のメモリ 1 は発動タイミング調節部を有する。発動タイミング調節部の一構成例を図 6 に示す。

【 0 0 3 4 】

図 6 に示すように、一例に係る発動タイミング調節部は、擬似パス発動パルス数保持部、パルス印加回数計数部、及び発動フラグ出力部を含む。

【 0 0 3 5 】

擬似パス発動パルス数保持部は、擬似パス機能を発動するパルス数を保持する。本例では、ROM ヒューズ 1 1 に相当する。ROM ヒューズ 1 1 には擬似パス発動パルス数が書き込まれており、このパルス数は出力 NF として、発動フラグ出力部に出力される。

40

【 0 0 3 6 】

パルス印加回数計数部は、プログラムパルス、又はイレーズパルスの印加回数を計数する。本例では、パルス印加回数カウンタ 1 3 に相当する。カウンタ 1 3 は、プログラムパルス、又はイレーズパルスが印加される毎に、そのカウント数をアップさせる。カウント数は、出力 OFC として、発動フラグ出力部に出力される。

【 0 0 3 7 】

発動フラグ出力部は、例えば、S T . 2 1 に示す手順を実行し、ROM ヒューズ 1 1 に

50

書き込まれたパルス数と、カウンタ13のカウント数とが一致したとき、擬似パス発動フラグPFLGを出力する。本例では、発動フラグ出力回路15に相当する。フラグPFLGは、例えば、プログラムノイーズ制御回路17に入力される。制御回路17は、フラグPFLGに従って、擬似パス発動信号を出力する。擬似パス発動信号は、例えば、データレジスタ19(図1、及び図4参照)に入力される。擬似パス発動信号を受けたデータレジスタ19は、例えば、ST.22に示す手順を実行し、ビットエラー数が、擬似パスとして許容する許容ビット数以下であるか否かを判断する。許容ビット数以下である場合には、その旨を示すベリファイ結果がプログラムノイーズパルス発生回路21に返され、内部シーケンスを終了させる。一方、許容ビット数を超過している場合には、その旨を示すベリファイ結果が発生回路21に返される。この場合、発生回路21は、例えば、ST.23に示す手順を実行し、規定回数(Max Loop)に達している場合には、内部シーケンスを終了させ、反対に達していない場合には、再度プログラムノイーズパルス

10

## 【0038】

このような発動タイミング調節部のうち、ROMヒューズ11を除く回路は、図4に示す構成を持つメモリ1においては、制御回路(Control circuit)23に含まれる。

## 【0039】

次に、発動フラグ出力回路15の一回路例を説明する。

## 【0040】

図7は、発動フラグ出力回路15の一回路例を示す回路図である。

20

## 【0041】

図7に示す一回路例では、擬似パス発動パルス数は、 $NF < 0 : 3 >$ の4ビットの信号で示され、同様に、カウント数は、 $OF C < 0 : 3 >$ の4ビットの信号で示される(もちろん、NF、及びOF Cは、それぞれ4ビットに限られるものではない)。出力回路15は、これらの4ビットの信号どうしを比較する比較回路25を含む。比較回路25は、基本的に、擬似パス発動パルス数NFが、カウント数OF Cに一致したことを検出することが可能な論理ゲート回路である。

## 【0042】

本例では、NFがOF Cに一致したことを検出するために、NFとOF Cとを、ビット毎に比較し、一致/不一致を検出する論理ゲート回路、本例では、Ex. OR(排他的論理和)ゲート回路27を有する。Ex. ORゲート回路27は、NFとOF Cとをビット毎に比較し、双方が“1”で一致、もしくは“0”で一致した時、その出力を“0”とする。さらに、本例では、ビット毎の比較結果COMP<0:3>がオール“1”、もしくはオール“0”になったことを検出する論理ゲート回路、本例では、NOR(論理和の反転)ゲート回路29を有する。NORゲート回路29は、ビット毎の比較結果がオール“0”となった時のみ、その出力を“1”とする。NORゲート回路29の出力は、RS-FF(リセット/セット-フリップフロップ)回路31のセット入力SETに入力される。RS-FF回路31はセット入力SETが“1”となるとセットされ、その出力Qを、リセット入力RSTにReset“1”が入力されるまで、“1”に保つ。出力QはフラグPFLGであり、“1”のフラグPFLG出力以降、プログラムノイーズパルス印加後は擬似パスが行なわれる。

30

40

## 【0043】

図8に、図7に示す出力回路15の論理例を示す。本論理例は、擬似パス発動パルス数 $NF < 0 : 3 >$ を“0100”に設定した場合を示す。図7に示すように、擬似パス発動パルス数 $NF < 0 : 3 >$ を“0100”に設定した場合、カウント数OF C<0:3>が“0100”に一致した時のみ、セット入力SETが“1”となり、RS-FF回路31がセットされてフラグPFLG“1”が立つ。

## 【0044】

なお、特に、図示しないが、擬似パス発動パルス数 $NF < 0 : 3 >$ を“0100”以外に設定した場合においても、カウント数OF C<0:3>が $NF < 0 : 3 >$ に一致した時

50

のみ、セット入力 S E T が “ 1 ” となることはもちろんである。

【 0 0 4 5 】

次に、ステータス出力の一例を説明する。

【 0 0 4 6 】

擬似パス発動パルス数 N F と、カウント数 O F C とが一致した時点で擬似パス機能が発動され、内部シーケンスが終了すると、メモリ 1 は、擬似パスとして許容する許容ビット数、あるいは許容バイト数に応じて、ステータス出力を返すことが可能となる。図 9 に、ステータス出力の一例を示す。最下位ビット I / O 1 はパス/フェイルを示し、例えば、出力値 “ 0 ” であればパス、“ 1 ” であればフェイルである。ステータスがパスの場合には、I / O 2 ~ 4 に、擬似パス発動パルス数が、例えば、2 進数として出力される。これにより、擬似パスを発動したプログラム/イレーズパルス数を確認することが可能である。出力の方法はこれに限らず、ビットアサインを変更しても良いし、パス/フェイルを示すステータスコマンドとは別のコマンドをアサインしても良い。

10

【 0 0 4 7 】

擬似パスを行なうプログラム/イレーズパルスが最終パルス(規定回数 Max Loop)になっている場合でも、ターゲットとするパフォーマンスを維持できる場合には、擬似パスを発動するタイミングを変える必要は無い。しかし、ターゲットとするパフォーマンスを満たすことができない場合には、擬似パスを発動するタイミングを変える必要がある。擬似パスを発動するタイミングは、システム側、例えば、フラッシュコントローラ 3 (メモリコントローラ) からメモリ 1 をアクセスし、擬似パスを発動するパルス数を書き換えれば

20

【 0 0 4 8 】

擬似パスを発動するパルス数は、図 4 に示す ROM ヒューズ 1 1 に記憶させることができる。ROM ヒューズ 1 1 は、例えば、図 4 に示すメモリセルアレイ 3 3 に集積されたメモリセルと同じ構造を持つメモリセルを用いて形成できる。ROM ヒューズ 1 1 に記憶させたパルス数を書き換える場合には、アドレッシングを行い、ROM ヒューズ 1 1 を指定すれば良い。ROM ヒューズ 1 1 に記憶させたデータは、通常メモリセルに記憶させたデータと同様にして書き換えることができる。ROM ヒューズ 1 1 は、メモリの動作情報、例えば、リダンダンシ情報等を記憶させる領域であり、メモリ 1 は、ROM ヒューズ 1 1 に記憶させた情報を書き換えるためのテストモードコマンドを備えている。このテスト

30

モードコマンドを利用して、具体的には、フラッシュコントローラ 3 等のシステム側から、ROM ヒューズ書き換えコマンドを発行し、データを書き換えれば良い。次の書き込み/消去からは、ROM ヒューズ 1 1 に記憶させた値が反映されるため、擬似パスが発動されるプログラム/イレーズパルス数が変更される。

40

【 0 0 4 9 】

第 1 実施形態に係る半導体集積回路装置によれば、擬似パス機能を発動するタイミングが、従来、規定回数 (Max Loop) 後に固定されていたところを、任意の回数後に自由に設定できる。しかも、擬似パス機能の発動させるタイミングは、デバイス出荷後において、ユーザーが自由に設定できるために、NAND フラッシュメモリを用いている電子機器システム、例えば、メモリカードに代表される電子機器システムのパフォーマンスの低下を抑制することが可能となる。

【 0 0 5 0 】

さらに、上記実施形態では、ユーザー、又はメーカーが、擬似パス機能を使用するか否かについても、自由に選ぶことが可能になる。擬似パス機能を使用しない場合には、図 6 に示す発動フラグ出力回路 1 5 が、フラグ P F L G を立てないようにすれば良い。また、図 7 に示す発動フラグ出力回路 1 5 の一例においては、発動パルス数 N F を任意に変えられることを利用して、発動パルス数 N F を、カウント数 O F C がとり得ない値に設定することでも、フラグ P F L G が立たないようにできる。例えば、図 1 0 に示すように、発動パルス数 N F < 0 : 3 > を “ 1 1 1 1 ” に設定する。そして、規定回数 (Max Loop) を、O F C < 0 : 3 > が “ 1 1 1 1 ” 未満になるように設定する。このようにすれば、O F C

50

< 0 : 3 > は、“ 1 1 1 1 ” の値をとり得ない。従って、規定回数 (Max Loop) まで、フラグ P F L G が立つことはない。即ち、擬似パス機能は発動されない。このように、本実施形態では、擬似パス機能を使用するか否かについても自由に選ぶことができる。

【 0 0 5 1 】

また、メーカーにおいては、出荷後に擬似パス機能を使用する前提であれば、出荷試験時に、決まったプログラムパルス、又は決まったイレースパルスのときに擬似パス機能を発動させることで、規定回数 (Max Loop) 後に擬似パス機能を発動させる場合に比べて、出荷試験に要する時間を短縮することが可能である。

【 0 0 5 2 】

さらに、出荷試験の際、規定回数 (Max Loop) までは、プログラムパルス、又はイレースパルスを印加し、その段階で書き込み、又は消去ができないビットを含むブロックはバッドブロックとして登録し、市場で使用されない状態にすることがある。この場合、出荷試験時には、規定回数 (Max Loop) までパルスが印加されてから擬似パス機能を発動した方が良いケースと、全く発動しない方が良いケースがある。本実施形態によれば、擬似パス機能を発動させるタイミングを変えたり、発動させなかったりすることができるから、上記ケースのいずれにも対応できる。この利点から、例えば、製造コスト的な面においても本実施形態は有意である。

【 0 0 5 3 】

( 第 2 実施形態 )

上記第 1 実施形態は、発動パルス数 N F を R O M ヒューズ 1 1 に保持させる例であったが、発動パルス数 N F は R O M ヒューズ 1 1 以外にも保持させることができる。第 2 実施形態は、R O M ヒューズ 1 1 以外に保持させる一例に関する。

【 0 0 5 4 】

本例では、発動パルス数 N F をブロック内のページの一部を利用し、ここに保持させる例である。ブロックとページとの関係の一例を図 1 1 に示す。

【 0 0 5 5 】

図 1 1 に示すように、メモリセルアレイ 3 3 は、例えば、1 0 2 4 個のブロック B L O C K 0 ~ B L O C K 1 0 2 3 を含む。ブロックは、例えば、消去の最小単位である。ブロック B L O C K は、1 個あたり、例えば、4 2 5 6 個の N A N D 型メモリユニットを含む。N A N D 型メモリユニットは、直列に接続された複数個の不揮発性半導体メモリセルトランジスタ M、例えば、4 個のメモリセルトランジスタ M と、これら 4 個のメモリセルトランジスタ M の列の一端に接続された選択ゲートトランジスタ S 1 と、その他端に接続された選択ゲートトランジスタ S 2 とを含む。選択ゲートトランジスタ S 1 のゲートはドレイン側選択ゲート線 S G D に接続され、その電流通路はメモリセルトランジスタ M とビット線 B L との間に直列に接続される。選択ゲートトランジスタ S 2 のゲートはソース側選択ゲート線 S G S に接続され、その電流通路はメモリセルトランジスタ M とセルソース線 C -source との間に直列に接続される。4 個のメモリセルトランジスタ M 各々のゲートは、それぞれワード線 W L 0 ~ W L 3 に接続される。データの書き込み、及び読み出しは、1 本のワード線 W L に接続された、例えば、4 2 5 6 個のメモリセルトランジスタ M に対して同時に実行される。1 個のメモリセルトランジスタ M がそれぞれ記憶する 1 ビットのデータ、もしくは多ビットのデータが、本例では 4 2 5 6 個集まり、ページとなる。ページは、書き込み、及び読み出しの最小単位である。

【 0 0 5 6 】

図 1 2 に、ページの一例を示す。本例のページのサイズは、例えば、5 3 2 バイトである。本例では 5 3 2 バイトのうち、例えば、5 1 2 バイトをデータ領域に割り当て、残りの 2 0 バイトを冗長領域に割り当てる。データ領域は、例えば、システムが使用するメインメモリストレージであり、冗長領域は、例えば、リダンダンシやその他の情報のストレージに利用される。本例では、ページの一部の領域、例えば、冗長領域のメモリセルトランジスタ M のうちの一部を使用して発動パルス数 N F を記憶させる。発動パルス数 N F を記憶させる領域は、冗長領域の一部、例えば、2 0 バイトのうち 1 バイトである。

## 【 0 0 5 7 】

( 応 用 例 )

次に、この発明の実施形態に係る半導体集積回路装置、又はその半導体集積回路装置を用いた不揮発性メモリシステムが利用される電子機器の例を説明する。

## 【 0 0 5 8 】

図 1 3 は、この発明の実施形態に係る不揮発性メモリシステムを利用する電子機器の一例を示す図である。図 1 3 には、電子機器の一例として、携帯電子機器、例えば、携帯電話端末が示されている。

## 【 0 0 5 9 】

上記実施形態は、不揮発性メモリシステムであり、例えば、携帯電話端末内の書き換え可能な ROM ( E E P R O M ) に利用することができる。もちろん、 E E P R O M ばかりでなく、携帯電話端末内の ROM にも利用可能である。

10

## 【 0 0 6 0 】

図 1 4 は、携帯電話端末のシステム例を示すブロック図である。以下、携帯電話端末を、そのシステム例とともに説明する。

## 【 0 0 6 1 】

図 1 3、及び図 1 4 に示すように、携帯電話端末は、通信部、及び制御部を含む。通信部は、送受信アンテナ 3 1 1、アンテナ共用器 3 1 2、受信器 3 1 3、ベースバンド処理部 3 1 4、音声コーデックとして用いられる DSP ( Digital Signal Processor ) 3 1 5、スピーカ 3 1 6、マイクロホン 3 1 7、送信器 3 1 8、及び周波数シンセサイザ 3 1 9

20

## 【 0 0 6 2 】

制御部は、CPU 3 2 1、及び CPU 3 2 1 に CPU バス 3 3 0 を介して接続される ROM 3 2 2、RAM 3 2 3、EEPROM 3 2 4 を備えている。ROM 3 2 2 は、CPU 3 2 1 において実行されるプログラム、例えば、通信プロトコルや、表示用のフォント等の必要となるデータを記憶する。RAM 3 2 3 は作業領域として主に用いられ、例えば、CPU 3 2 1 がプログラム実行中において、計算途中のデータなどを必要に応じて記憶したり、制御部と制御部以外の各部との間でやり取りされるデータを一時的に記憶したりする。書き換え可能な ROM ( E E P R O M ) 3 2 4 は不揮発性メモリシステムであり、携帯電話端末の電源がオフにされても、これに記憶されているデータは消滅しない。このため、EEPROM 3 2 4 は、例えば、直前の設定条件などを記憶し、次の電源オン時に同じ設定にするような使用方法をとる場合に、それらの設定パラメータ等を記憶する。上記実施形態に係る不揮発性メモリシステムは、EEPROM 3 2 4 に利用することができる。もちろん、ROM 3 2 2 にも利用可能である。

30

## 【 0 0 6 3 】

本例に係る携帯電話端末は、さらに、キー操作部 3 4 0、LCD コントローラ 3 5 0、リング 3 6 0、外部入出力端子 3 7 0、外部メモリスロット 3 8 0、及びオーディオ再生処理部 3 9 0 を備えている。

## 【 0 0 6 4 】

キー操作部 3 4 0 は、インターフェース回路 ( I / F ) 3 4 1 を介して CPU バス 3 3 0 に接続される。キー操作部 3 4 0 からキー入力されたキー入力情報は、例えば、CPU 3 2 1 に伝えられる。

40

## 【 0 0 6 5 】

LCD コントローラ 3 5 0 は、例えば、CPU 3 2 1 からの表示情報を、CPU バス 3 3 0 を介して受け、LCD ( 液晶ディスプレイ ) 3 5 1 を制御する LCD 制御情報に変換し、LCD 3 5 1 に伝える。

## 【 0 0 6 6 】

リング 3 6 0 は、例えば、呼び出し音等を発生する。

## 【 0 0 6 7 】

外部入出力端子 3 7 0 は、インターフェース回路 3 7 1 を介して CPU バス 3 3 0 に接

50

続され、携帯電話端末に外部から情報を入力したり、あるいは携帯電話端末から外部へ情報を出したりする際の端子として機能する。

【 0 0 6 8 】

外部メモリスロット 3 8 0 にはメモリカード等の外部メモリ 4 0 0 が挿入される。外部メモリスロット 3 8 0 は、インターフェース回路 3 8 1 を介して CPU バス 3 3 0 に接続される。携帯電話端末にスロット 3 8 0 を設けることにより、携帯電話端末からの情報を外部メモリ 4 0 0 に書き込んだり、あるいは外部メモリ 4 0 0 に記憶された情報を読み出し、携帯電話端末に入力したりすることが可能となる。

【 0 0 6 9 】

外部メモリ 4 0 0 は、例えば、メモリカードである。メモリカードは、記憶部として不揮発性メモリシステムを持つ。上記実施形態に係る不揮発性メモリシステムは、メモリカードの記憶部として利用できる。

10

【 0 0 7 0 】

オーディオ再生処理部 3 9 0 は、携帯電話端末に入力されたオーディオ情報、あるいは外部メモリ 4 0 0 に記憶されたオーディオ情報を再生する。再生されたオーディオ情報は、外部端子 3 9 1 を介して、例えば、ヘッドホン、携帯型スピーカ等に伝えることにより、外部に取り出すことが可能である。例えば、携帯電話端末にオーディオ再生処理部 3 9 0 を設けることにより、オーディオ情報の再生が可能となる。

【 0 0 7 1 】

このように、この発明の実施形態に係る不揮発性メモリシステムは、電子機器、例えば、携帯電話端末やメモリカードに利用することができる。

20

【 0 0 7 2 】

また、この発明の実施形態に係る不揮発性メモリシステムを利用したメモリカードは、図 1 5 A ~ 1 5 F、図 1 6 A ~ 図 1 6 E に示すように、例えば、デジタルスチルカメラ / ビデオカメラ ( 図 1 5 A )、テレビジョン ( 図 1 5 B )、オーディオ / ビジュアル機器 ( 図 1 5 C )、オーディオ機器 ( 図 1 5 D )、ゲーム機器 ( 図 1 5 E )、電子楽器 ( 図 1 5 F )、パーソナルコンピュータ ( 図 1 6 A )、パーソナルデジタルアシスタント : P D A ( 図 1 6 B )、ボイスレコーダ ( 図 1 6 C )、P C カード ( 図 1 6 D )、電子書籍端末 ( 図 1 6 E ) 等の記録メディアとしても利用することができる。

【 0 0 7 3 】

以上、この発明をいくつかの実施形態により説明したが、この発明は各実施形態に限定されるものではなく、その実施にあたっては発明の要旨を逸脱しない範囲で種々に変形することが可能である。

30

【 0 0 7 4 】

メモリ 1 としては、二値メモリであっても良いし、多値メモリであっても良い。さらに、メモリ 1 は、N A N D フラッシュメモリを例示したが、N A N D フラッシュメモリに限られるものでもない。

【 0 0 7 5 】

また、各実施形態は、それぞれ単独で実施することが可能であるが、適宜組み合わせで実施することも可能である。

40

【 0 0 7 6 】

また、各実施形態は、それぞれ種々の段階の発明を含んでおり、各実施形態において開示した複数の構成要件の適宜な組み合わせにより、種々の段階の発明を抽出することが可能である。

【 0 0 7 7 】

また、各実施形態は、この発明を不揮発性メモリ、及びその不揮発性メモリ用いた不揮発性メモリシステムに適用した例に基づき説明したが、この発明はこれらに限られるものではなく、その不揮発性メモリ、又はその不揮発性メモリを用いた不揮発性メモリシステムを内蔵した半導体集積回路装置、例えば、プロセッサ、システム L S I 等もまた、この発明の範疇であるし、それを利用した電子機器システムもまた、この発明の範疇である。

50

## 【図面の簡単な説明】

【0078】

【図1】図1は擬似バス対応型データレジスタの一例を示す回路図

【図2】図2は擬似バス対応型データレジスタの内部波形を示す波形図

【図3】図3はこの発明の第1実施形態に係る半導体集積回路装置を用いた不揮発性メモリシステムの一例を示すブロック図

【図4】図4はこの発明の第1実施形態に係る半導体集積回路装置の一構成例を示すブロック図

【図5】図5はこの発明の第1実施形態に係る半導体集積回路装置の書き込みシーケンス、又は消去シーケンスの一例を示す流れ図

10

【図6】図6はこの発明の第1実施形態に係る半導体集積回路装置が備える発動タイミング調節部の一構成例を示すブロック図

【図7】図7は図6に示す発動フラグ出力回路の一回路例を示す回路図

【図8】図8は図7に示す発動フラグ出力回路の論理例を示す図

【図9】図9はステータス出力の一例を示す図

【図10】図10は図7に示す発動フラグ出力回路の他の論理例を示す図

【図11】図11はブロックとページとの関係の一例を示す図

【図12】図12はページの一例を示す図

【図13】図13はこの発明の実施形態に係る半導体集積回路装置、又はその半導体集積回路装置を用いた不揮発性メモリシステムが利用される電子機器の一例を示す図

20

【図14】図14は携帯電話端末のシステム例を示すブロック図

【図15】図15A～図15Fはこの発明の実施形態に係る半導体集積回路装置、又はその半導体集積回路装置を用いた不揮発性メモリシステムが利用されるメモリカードを使用する電子機器を示す図

【図16】図16A～図16Eはこの発明の実施形態に係る半導体集積回路装置、又はその半導体集積回路装置を用いた不揮発性メモリシステムが利用されるメモリカードを使用する電子機器を示す図

## 【符号の説明】

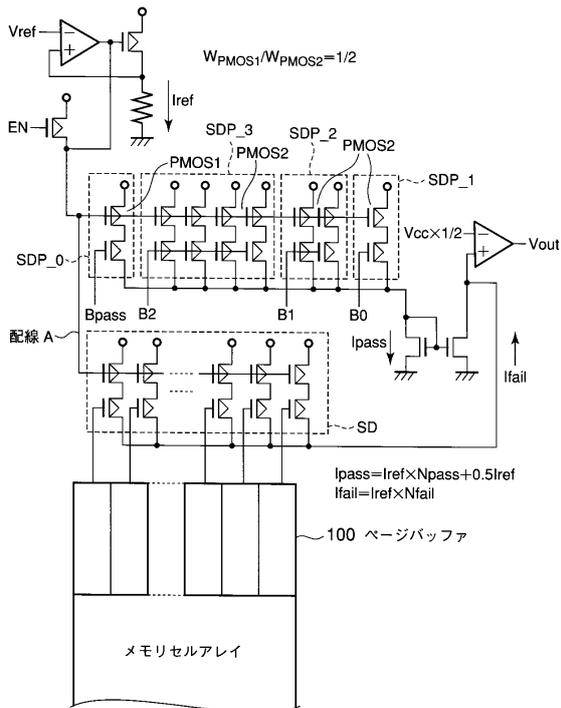
【0079】

1...NANDフラッシュメモリ、3...フラッシュコントローラ、11...ROMヒューズ

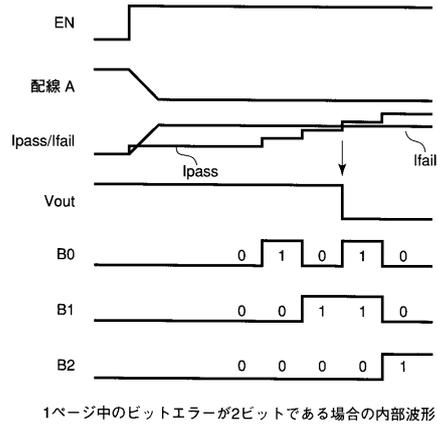
30

。

【図1】

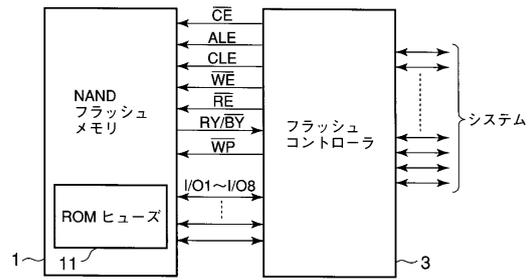


【図2】

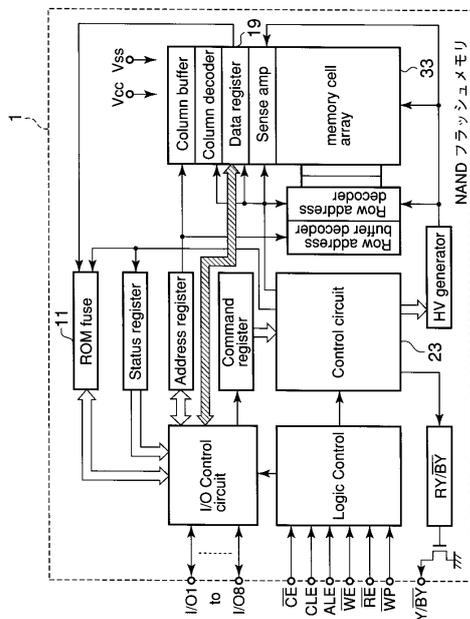


1ページ中のビットエラーが2ビットである場合の内部波形

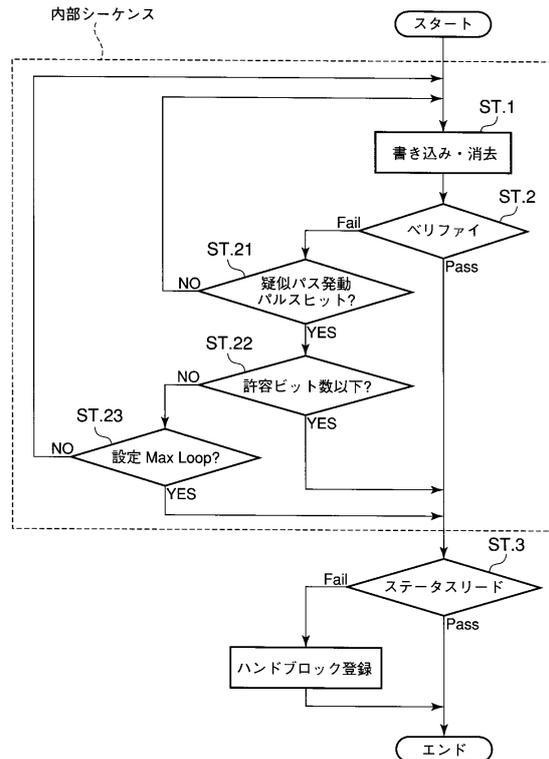
【図3】



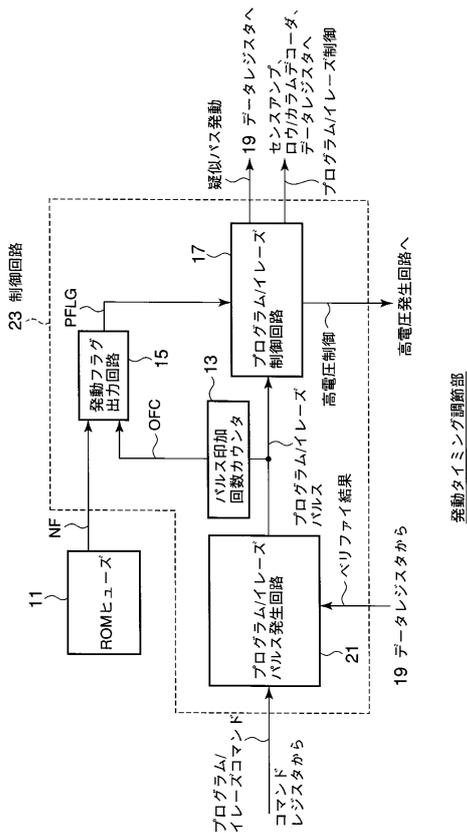
【図4】



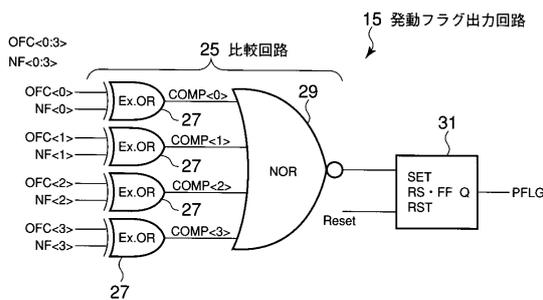
【図5】



【図6】



【図7】



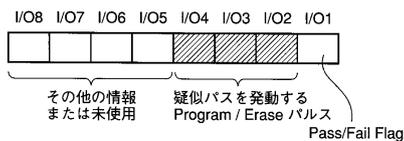
【図8】

NF<0:3>を"0100"に設定

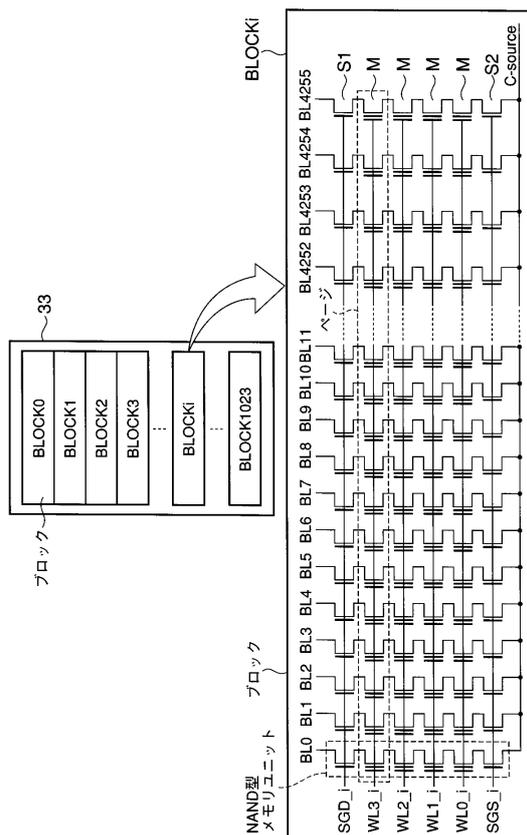
カウン	OFC<0>	NF<0>	COMP<0>	OFC<1>	NF<1>	COMP<1>	OFC<2>	NF<2>	COMP<2>	OFC<3>	NF<3>	COMP<3>	SET	RST	PFLG
0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0
1	0	0	0	1	1	0	0	0	1	0	1	0	0	0	0
2	0	0	0	1	1	1	0	1	0	0	0	0	0	0	0
3	0	0	0	1	1	1	0	1	1	0	1	0	0	0	0
4	0	0	0	1	1	0	0	0	0	0	0	1	0	0	1
5	0	0	0	1	1	0	1	0	1	0	1	0	0	0	1
6	0	0	0	1	1	0	1	0	1	1	0	1	0	0	1
7	1	0	1	0	1	1	0	0	0	0	0	0	0	0	1
8	1	0	1	1	1	0	1	0	0	0	0	0	0	0	1
9	1	0	1	1	1	0	1	0	1	1	0	1	0	0	1
10	*	*	*	*	*	*	*	*	*	*	*	*	0	1	0

\*:任意

【図9】



【図11】



【図10】

NF<0:3>を"1111"に設定  
Max LoopをOFC<0:3><"1111"に設定

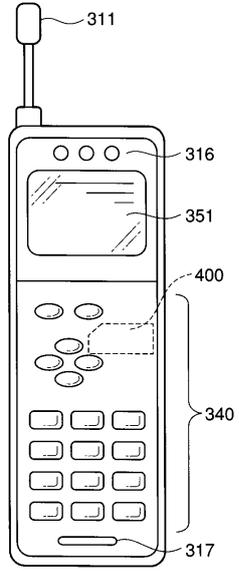
カウン	OFC<0>	NF<0>	COMP<0>	OFC<1>	NF<1>	COMP<1>	OFC<2>	NF<2>	COMP<2>	OFC<3>	NF<3>	COMP<3>	SET	RST	PFLG
0	0	1	1	0	1	1	0	1	1	0	1	1	0	0	0
1	0	1	1	0	1	1	0	1	1	1	1	0	0	0	0
2	0	1	1	0	1	1	1	0	0	0	1	1	0	0	0
3	0	1	1	0	1	1	1	1	0	1	1	0	0	0	0
4	0	1	1	1	1	0	0	1	1	0	1	1	0	0	0
5	0	1	1	1	1	0	0	1	1	1	1	0	0	0	0
6	0	1	1	1	1	0	1	1	0	1	1	0	0	0	0
7	0	1	1	1	1	0	1	1	0	1	1	0	0	0	0
8	1	1	0	0	1	1	0	1	1	0	1	1	0	0	0
9	1	1	0	1	1	0	1	1	0	1	1	0	1	0	1
10	*	*	*	*	*	*	*	*	*	*	*	*	0	1	0

\*:任意

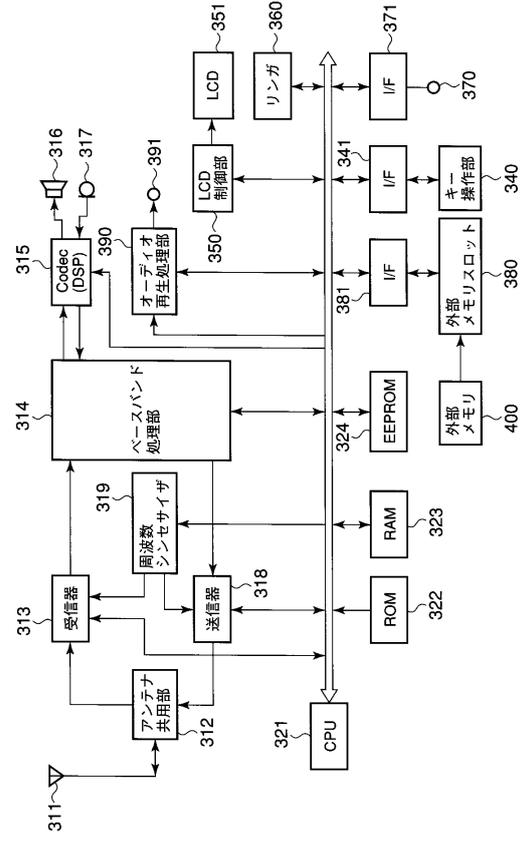
【図12】



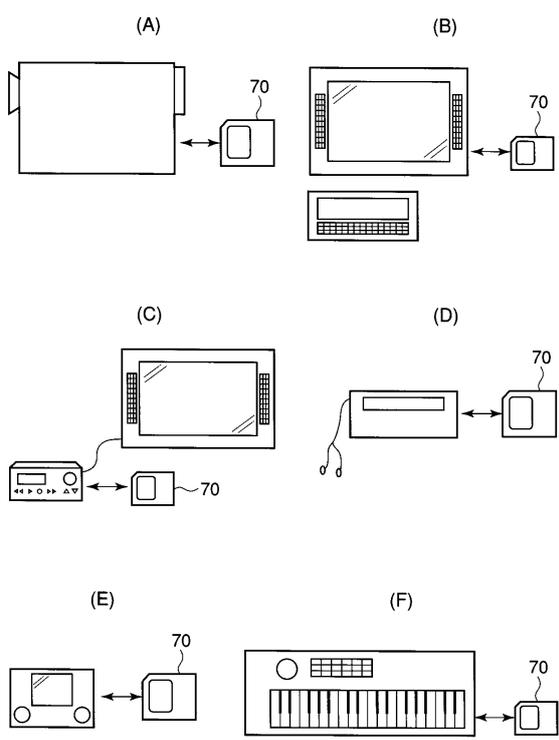
【図13】



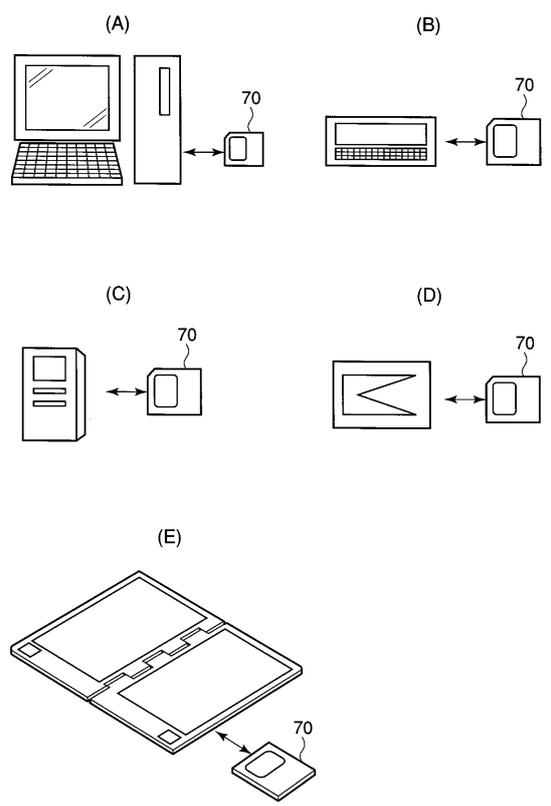
【図14】



【図15】



【図16】



---

フロントページの続き

(74)代理人 100084618

弁理士 村松 貞男

(74)代理人 100092196

弁理士 橋本 良郎

(72)発明者 井上 敦史

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(72)発明者 杉浦 義久

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(72)発明者 田中 達也

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

審査官 滝谷 亮一

(56)参考文献 特開平06-076586(JP,A)

特開平10-222995(JP,A)

特開平06-028899(JP,A)

特開平03-125399(JP,A)

特開2000-173289(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C16/02-16/06