



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I632617 B

(45) 公告日：中華民國 107 (2018) 年 08 月 11 日

(21) 申請案號：103138083

(22) 申請日：中華民國 103 (2014) 年 11 月 03 日

(51) Int. Cl. : *H01L21/336 (2006.01)**H01L21/28 (2006.01)*

(71) 申請人：聯華電子股份有限公司 (中華民國) UNITED MICROELECTRONICS CORP. (TW)  
 新竹市新竹科學工業園區力行二路 3 號

(72) 發明人：楊玉如 YANG, YU RU (TW)；曾嘉勳 TSENG, CHIA HSUN (TW)

(74) 代理人：吳豐任；戴俊彥

(56) 參考文獻：

US 2013/0285158A1

審查人員：湯欽全

申請專利範圍項數：16 項 圖式數：2 共 18 頁

(54) 名稱

半導體元件及其製作方法

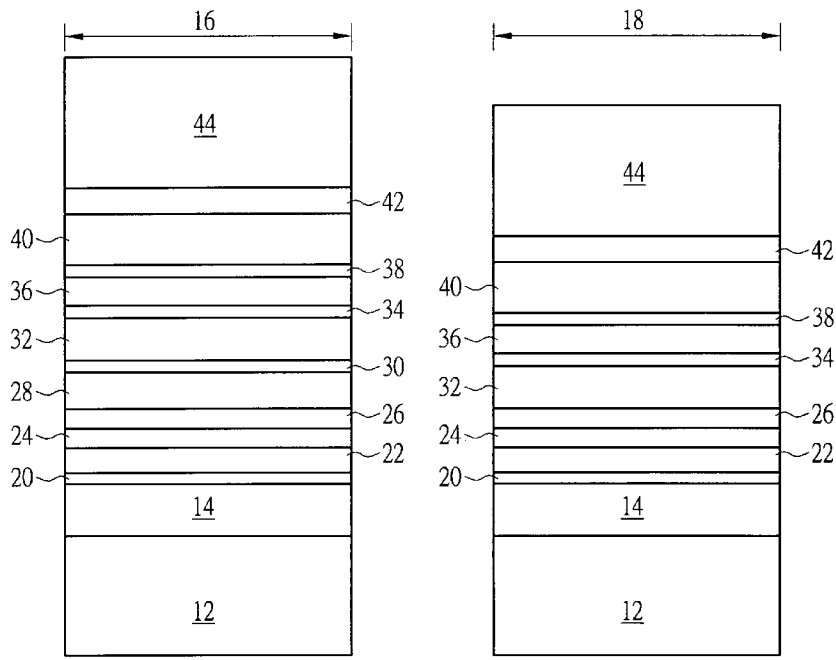
SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME

(57) 摘要

本發明較佳實施例揭露一種製作半導體元件的方法。首先提供一基底，該基底上設有一高介電常數介電層，然後形成一第一功函數層於高介電常數介電層上，之後再形成一第一含氧層於該第一功函數層上。

A method for fabricating semiconductor device is disclosed. The method includes the steps of: providing a substrate having a high-k dielectric layer thereon; forming a first work function layer on the high-k dielectric layer; and forming an oxygen-containing layer on the first work function layer.

指定代表圖：



第1圖

符號簡單說明：

- 12 . . . 基底
- 14 . . . 鰭狀結構
- 16 . . . 電晶體區
- 18 . . . 電晶體區
- 20 . . . 介質層
- 22 . . . 高介電常數介電層
- 24 . . . 底部金屬阻隔層
- 26 . . . 底部金屬阻隔層
- 28 . . . 功函數層
- 30 . . . 含氧層
- 32 . . . 功函數層
- 34 . . . 含氧層
- 36 . . . 功函數層
- 38 . . . 含氧層
- 40 . . . 功函數層
- 42 . . . 頂部金屬阻隔層
- 44 . . . 低阻抗金屬層

# 發明專利說明書

**【發明名稱】** 半導體元件及其製作方法

SEMICONDUCTOR DEVICE AND METHOD FOR  
FABRICATING THE SAME

**【技術領域】**

**【0001】** 本發明是關於一種製作半導體元件的方法，尤指一種於功函數層上形成含氧層的方法。

**【先前技術】**

**【0002】** 在習知半導體產業中，多晶矽係廣泛地應用於半導體元件如金氧半導體(metal-oxide-semiconductor, MOS)電晶體中，作為標準的閘極填充材料選擇。然而，隨著 MOS 電晶體尺寸持續地微縮，傳統多晶矽閘極因硼穿透(boron penetration)效應導致元件效能降低，及其難以避免的空乏效應(depletion effect)等問題，使得等效的閘極介電層厚度增加、閘極電容值下降，進而導致元件驅動能力的衰退等困境。因此，半導體業界更嘗試以新的閘極填充材料，例如利用功函數(work function)金屬來取代傳統的多晶矽閘極，用以作為匹配高介電常數(High-K)閘極介電層的控制電極。

**【0003】** 一般而言，傳統平面型金屬閘極電晶體通常採用離子佈植的方式來同時調整電晶體的臨界電壓。然而隨著場效電晶體(field effect transistors, FETs)元件尺寸持續地縮小，習知平面式(planar)場效電晶體元件之發展已面臨製程上之極限。為了克服製程限制，以非平面(non-planar)之場效電晶體元件，例如鰭狀場效電晶體(fin field effect transistor, Fin FET)元件來取代平面電晶體元件已成為目

前之主流發展趨勢。然而現今鰭狀場效電晶體的製程已無法單純藉由離子佈植來調整電晶體的臨界電壓，因此如何在鰭狀電晶體的架構下改良此缺點即為現今一重要課題。

### 【發明內容】

**【0004】** 本發明較佳實施例揭露一種製作半導體元件的方法。首先提供一基底，該基底上設有一高介電常數介電層，然後形成一第一功函數層於高介電常數介電層上，之後再形成一第一含氧層於該第一功函數層上。

**【0005】** 本發明另一實施例揭露一種半導體元件，其包含一基底；一高介電常數介電層設於基底上；一第一功函數層設於高介電常數介電層上以及一第一含氧層設於第一功函數層上。

**【0006】** 本發明又一實施例揭露一種半導體元件，包含一基底；一第一閘極結構設於基底上，第一閘極結構包含一第一高介電常數介電層以及一第一功函數層設於該第一高介電常數介電層上；以及一第二閘極結構設於基底上，該第二閘極結構包含一第二高介電常數介電層以及一第二功函數層設於第二高介電常數介電層上，其中第一功函數層及第二功函數層具有不同氮對鈦之比例。

### 【圖式簡單說明】

#### 【0007】

第 1 圖為本發明較佳實施例製作一半導體元件之方法示意圖。

第 2 圖為本發明另一實施例製作一半導體元件之方法示意圖。

### 【實施方式】

**【0008】** 請參照第 1 圖，第 1 圖為本發明較佳實施例製作一半導體元件之方法示意圖。如第 1 圖所示，首先提供一基底 12，例如一矽基底或矽覆絕緣(SOI)基板，其上定義有兩個電晶體區 16、18。在本實施例中，兩個電晶體區 16、18 較佳為相同導電型式之電晶體區，例如同為 PMOS 電晶體區或 NMOS 電晶體區，本實施例較佳以電晶體區 16、18 均為 PMOS 電晶體區進行說明，且電晶體區 16、18 分別預定為後續製作不同臨界電壓之閘極結構。基底 12 上具有至少一鰭狀結構 14 及一絕緣層(圖未示)，其中鰭狀結構 14 之底部係被絕緣層，例如氧化矽所包覆而形成淺溝隔離。

**【0009】** 上述鰭狀結構 14 之形成方式可以包含先形成一圖案化遮罩(圖未示)於基底 12 上，再經過一蝕刻製程，將圖案化遮罩之圖案轉移至基底 12 中。接著，對應三閘極電晶體元件及雙閘極鰭狀電晶體元件結構特性的不同，而可選擇性去除或留下圖案化遮罩，並利用沈積、化學機械研磨(chemical mechanical polishing, CMP)及回蝕刻製程而形成一環繞鰭狀結構 14 底部之絕緣層，例如為淺溝隔離(STI)。除此之外，鰭狀結構 14 之形成方式另也可以是先製作一圖案化硬遮罩層(圖未示)於基底 12 上，並利用磊晶製程於暴露出於圖案化硬遮罩層之基底 12 上成長出半導體層，此半導體層即可作為相對應的鰭狀結構 14。同樣的，另可以選擇性去除或留下圖案化硬遮罩層，並透過沈積、CMP 及回蝕刻製程形成一絕緣層以包覆住鰭狀結構 14 之底部。另外，當基底 12 為矽覆絕緣(SOI)基板時，則可利用圖案化遮罩來蝕刻基底上之一半導體層，並停止於此半導體層下方的一底氧化層以形成鰭狀結構，故可省略前述製作絕緣層的步驟。

**【0010】** 隨後全面性覆蓋一介質層 20 於電晶體區 16、18 的基底 12 上，並再依序於介質層 20 上形成一高介電常數介電層 22 以及兩層底部金屬阻隔(bottom barrier metal, BBM)層 24、26。需注意的是，本實施例雖以兩層底部金屬阻隔層為例，但底部金屬阻隔層的數量並不以此為限，而可視製程或產品需求調整為一層或兩層以上，此變化型也屬本發明所涵蓋的範圍。

**【0011】** 在本實施例中，介質層 20 較佳包含矽化物層，例如二氧化矽( $\text{SiO}_2$ )、氮化矽( $\text{SiN}$ )或氮氧化矽( $\text{SiON}$ )，但不排除可選自高介電常數的介電材料。底部金屬阻隔層 24 較佳包含氮化鈦( $\text{TiN}$ )，底部金屬阻隔層 26 則較佳包含氮化鉭( $\text{TaN}$ )，但不侷限於此。

**【0012】** 高介電常數介電層 22 包含介電常數大於 4 的介電材料，例如係選自氧化鈦(hafnium oxide,  $\text{HfO}_2$ )、矽酸鈦氧化合物(hafnium silicon oxide,  $\text{HfSiO}_4$ )、矽酸鈦氮氧化合物(hafnium silicon oxynitride,  $\text{HfSiON}$ )、氧化鋁(aluminum oxide,  $\text{Al}_2\text{O}_3$ )、氧化鏷(lanthanum oxide,  $\text{La}_2\text{O}_3$ )、氧化鉭(tantalum oxide,  $\text{Ta}_2\text{O}_5$ )、氧化釷(yttrium oxide,  $\text{Y}_2\text{O}_3$ )、氧化鋯(zirconium oxide,  $\text{ZrO}_2$ )、鈦酸鋇(strontium titanate oxide,  $\text{SrTiO}_3$ )、矽酸鋯氧化合物(zirconium silicon oxide,  $\text{ZrSiO}_4$ )、鋯酸鈦(hafnium zirconium oxide,  $\text{HfZrO}_4$ )、鋇鉍鉭氧化物(strontium bismuth tantalate,  $\text{SrBi}_2\text{Ta}_2\text{O}_9$ , SBT)、鋯鈦酸鉛(lead zirconate titanate,  $\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$ , PZT)、鈦酸鋇鋇(barium strontium titanate,  $\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$ , BST)、或其組合所組成之群組。

**【0013】** 在本實施例中，形成高介電常數介電層 22 的方法包括原子層沉積(atomic layer deposition, ALD)製程或有機金屬化學氣相沉

積法(metal-organic chemical vapor deposition, MOCVD)，但不以此為限。

**【0014】** 接著形成一功函數層 28 於電晶體區 16、18 的底部金屬阻隔層 26 上，然後覆蓋一圖案化遮罩(圖未示)，例如一圖案化光阻於電晶體區 16 的功函數層 28 上並進行一蝕刻製程去除電晶體區 18 的功函數層 28。隨後進行一濕式清洗步驟，利用稀釋氫氟酸(diluted hydrofluoric acid, dHF)等清洗溶液來去除圖案化光阻，並同時於電晶體區 16 的功函數層 28 上形成一含氧層 30。

**【0015】** 在本實施例中，功函數層 28 較佳用以調整形成金屬閘極之功函數，使其適用於 N 型電晶體(NMOS)或 P 型電晶體(PMOS)。若電晶體為 N 型電晶體，功函數層 28 可選用功函數為 3.9 電子伏特(eV)~4.3 eV 的金屬材料，如鋁化鈦(TiAl)、鋁化鋯(ZrAl)、鋁化鎢(WAl)、鋁化鉭(TaAl)、鋁化鈦(HfAl)或 TiAlC (碳化鈦鋁)等，但不以此為限；若電晶體為 P 型電晶體，功函數層 28 可選用功函數為 4.8 eV~5.2 eV 的金屬材料，如氮化鈦(TiN)、氮化鉭(TaN)或碳化鉭(TaC)等，但不以此為限。

**【0016】** 本實施例以於電晶體區製作 P 型電晶體為例，因此所沉積之功函數層 28 為 P 型功函數層，且經由前述去除圖案化光阻的動作所形成的含氧層 30 較佳包含氮氧化鈦(TiON)以及/或二氧化鈦(TiO<sub>2</sub>)。

**【0017】** 另外需注意的是，本實施例雖於去除圖案化光阻時利用濕式清洗製程來同時形成含氧層 30，但不侷限於此方式。本實施例亦

可於去除圖案化光阻時利用乾式灰化製程來同時形成含氧層 30，或者是於去除圖案化光阻之後，才再形成含氧層 30。此外，本發明又可於功函數層 28 沉積後，便直接對功函數層 28 進行一熱氧化、氧電漿、氧植入等之氧表面處理步驟，以於整個功函數層 28 表面先形成上述含氧層 30，此變化型也屬本發明所涵蓋的範圍。

**【0018】** 接著可重複進行形成功函數層 28 以及形成含氧層 30 的步驟，以於電晶體區 16、18 分別形成功函數層與含氧層交錯的堆疊結構。舉例來說，可先形成另一功函數層 32 於電晶體區 16 的氧化層 30 以及電晶體區 18 的底部金屬阻隔層 26 上，其中功函數層 32 之組成材料可與功函數層 28 相同或不同，但較佳與功函數層 28 為相同導電型式，例如同為 P 型。

**【0019】** 然後同時對電晶體區 16 的功函數層 32 及電晶體區 18 的功函數層 32 進行一熱氧化製程，以於兩個電晶體區 16、18 的功函數層 32 上各形成一含氧層 34。接著再重複一次形成功函數層 32 以及形成含氧層 34 的步驟，以於電晶體區 16、18 的含氧層 34 上分別形成一功函數層 36 與含氧層 38。

**【0020】** 隨後可搭配其他 NMOS 電晶體區(圖未示)的金屬閘極製程形成另一功函數層 40，例如 N 型功函數層於電晶體區 16、18 的含氧層 38 上，形成一由氮化鈦所構成的頂部金屬阻隔層(top barrier metal, TBM)42 於功函數層 40 上，以及一由銅(Cu)、鋁(Al)、鎢(W)、鈦鋁合金(TiAl)或鈷鎢磷化物(cobalt tungsten phosphide, CoWP)等低電阻材料所構成的低阻抗金屬層 44 於頂部金屬阻隔層 42 上，以於電晶體區 16、18 各形成一金屬閘極，至此即完成本發明較佳實施



例之一半導體元件的製作。

**【0021】** 值得注意的是，本實施例相同導電型式之電晶體區 16、18 的金屬閘極至少包含一組功函數層與含氧層的交錯堆疊結構，而且電晶體區 16、18 的金屬閘極所具有的功函數層的數量與厚度以及/或含氧層的數量與厚度不相等，其中含氧層包含氮氧化鈦(TiON)或二氧化鈦(TiO<sub>2</sub>)。

**【0022】** 一般而言，臨界電壓的高低可取決於功函數層的數量與厚度以及/或含氧層的數量與厚度等參數，例如層數較多或較厚的功函數層通常具有較高的功函數值，而層數較多的含氧層或較厚的含氧層則可降低功函數層的功函數值。在本實施例中，電晶體區 16 的金屬閘極較佳包含三組由含氧層 30、34、38 及功函數層 28、32、36 所構成的堆疊結構，而電晶體區 18 的金屬閘極則包含兩組由含氧層 34、38 及功函數層 32、36 所構成的堆疊結構。由於電晶體區 16 整體的功函數層較厚，電晶體區 16 的金屬閘極較佳具有較高的功函數值而構成一低臨界電壓(low threshold voltage, LVT)閘極，電晶體區 18 的金屬閘極則具有較低的功函數值而成為一標準臨界電壓(standard threshold voltage, SVT)閘極。

**【0023】** 另外需注意的是，本實施例雖直接堆疊由含氧層及功函數層所構成的堆疊結構，但不侷限於此，又可依據產品需求調整含氧層與功函數層的層數與位置，例如可形成一含氧層於功函數層表面後便僅連續形成複數個堆疊之功函數層於此含氧層上，此變化型也屬本發明所涵蓋的範圍。

**【0024】** 請接著參照第 2 圖，第 2 圖為本發明另一實施例製作一半導體元件之方法示意圖。如第 2 圖所示，首先提供一基底 52，例如一矽基底或矽覆絕緣(SOI)基板，其上定義有三個電晶體區 56、58、60。在本實施例中，三個電晶體區 56、58、60 較佳為相同導電型式之電晶體區，例如同為 PMOS 電晶體區或 NMOS 電晶體區。另外本實施例較佳以電晶體區 56、58、60 均為 PMOS 電晶體區進行說明，且電晶體區 56、58、60 分別預定為後續製作不同臨界電壓之閘極結構。基底 52 上具有至少一鰭狀結構 54 及一絕緣層(圖未示)，其中鰭狀結構 54 之底部係被絕緣層，例如氧化矽所包覆而形成淺溝隔離。

**【0025】** 隨後全面性覆蓋一介質層 62 於電晶體區 56、58、60 的基底 12 上，並再依序於介質層上 62 形成一高介電常數介電層 64 以及兩層底部金屬阻隔(bottom barrier metal, BBM)層 66、68。其中介質層 62、高介電常數介電層 64 以及底部金屬層 66、68 的材料均可比照前述實施例，在此不另加贅述。

**【0026】** 接著形成一功函數層 70 於電晶體區 56、58、60 的底部金屬阻隔層 68 上，然後去除電晶體區 58、60 的功函數層 70，形成另一功函數層 72 於電晶體區 56 的功函數層 70 以上及電晶體區 58、60 的底部金屬阻隔層 68 上，去除電晶體區 60 的功函數層 72，再形成一功函數層 74 於電晶體區 56、58 的功函數層 72 及電晶體區 60 的底部金屬阻隔層 68 上，以於電晶體區 56、58、60 分別形成高度不同的功函數層堆疊結構。之後可依照第 1 圖之實施例於功函數層 74 上依序形成另一導電型式之功函數層 76、頂部金屬阻隔層 78 以及低阻抗金屬層 80 以於各電晶體區 56、58、60 形成金屬閘極，至

此即完成本發明較佳實施例之一半導體元件的製作。

**【0027】** 值得注意的是，本實施例較佳於形成各功函數層 70、72、74 時，例如以物理氣相沉積(physical vapor deposition, PVD)沉積功函數層 70、72、74 時調整所通入氮氣的量，或以原子層沉積(atomic layer deposition, ALD)製程形成功函數層 70、72、74 時調整脈衝時間(pulse time)，使所沉積的功函數層 70、72、74 中分別具有不同的氮對鈦之比例，進而使後續完成相同導電型式的金屬閘極，不但可具有不同數量的功函數層，而且每一功函數層中又分別具有不同的氮對鈦之比例，故能更有彈性地製作具有不同臨界電壓之相同導電型式的金屬閘極。此外，本實施例更可如同第一實施例一般，於電晶體區 56、58、60 的各功函數層 70、72、74 表面再選擇性形成含氧層(圖未示)，並使各電晶體區 56、58、60 中含氧層的數量小於或等於各電晶體區 56、58、60 中功函數層的數量，且電晶體區 56、58、60 中含氧層的數量與厚度亦可以不相等。

**【0028】** 以本實施例所製作的 PMOS 電晶體為例，功函數層 70、72、74 中氮的比例越高較佳提升整體的功函數值，且代表臨界電壓越低，而功函數層 70、72、74 中鈦的比例越高則降低整體功函數值，並代表臨界電壓越高。

**【0029】** 以第 2 圖所揭露的結構為例，本實施例電晶體區 56 的金屬閘極較佳具有三層功函數層 70、72、74，電晶體區 58 的金屬閘極具有兩層功函數層 72、74，電晶體區 60 的金屬閘極則僅具有單層功函數層 74，其中三層功函數層 70、72、74 除了分別具有不同的氮對鈦之比例外還具有較高的氮氣比例，因此電晶體區 56 的金屬

閘極由於具有較高的功函數值而構成一低臨界電壓(low threshold voltage, LVT)閘極，電晶體區 58 的金屬閘極具有一般的功函數值而成為一標準臨界電壓(standard threshold voltage, SVT)閘極，而電晶體區 60 的金屬閘極則具有較低的功函數值而構成一高臨界電壓(high threshold voltage, HVT)閘極。

**【0030】** 綜上所述，本發明較佳於製作複數個閘極結構時利用不同手段來調整功函數層中功函數值，並藉此使各閘極結構分別具有不同臨界電壓。依據上述之實施例，本發明可如第 1 圖所揭露的實施例利用濕式清洗或熱氧化步驟等處理方式於功函數層表面形成一含氧層，藉此降低功函數層的功函數值，或如第 2 圖所揭露的實施例於沉積階段直接調整功函數層中的氮對鈦之比例，進而使後續完成的金屬閘極可具有不同臨界電壓。

**【0031】** 另外需注意的是，前述第 1 圖至第 2 圖所揭露製作金屬閘極的實施例均可應用至任何階段的金屬閘極製程，包括先閘極(gate first)製程、後閘極(gate last)製程之先閘極介電層(high-k first)製程以及後閘極製程之後閘極介電層(high-k last)製程等。舉例來說，若依據先閘極介電層製程來製作本案之金屬閘極，則高介電常數介電層較佳為一具有 I 型剖面之高介電常數介電層，若依據後閘極介電層製程來製作本案之金屬閘極，則高介電常數介電層較佳為一具有 U 型剖面之高介電常數介電層。由於金屬閘極製程的各種變化型均屬本領域所熟知技藝，在此不另加贅述。

**【0032】** 以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

I632617

## 發明摘要

※ 申請案號：103138083

※ 申請日：103/11/03

※IPC 分類：H01L 21/336 (2006.01)  
H01L 21/28 (2006.01)

【發明名稱】 半導體元件及其製作方法

SEMICONDUCTOR DEVICE AND METHOD FOR  
FABRICATING THE SAME

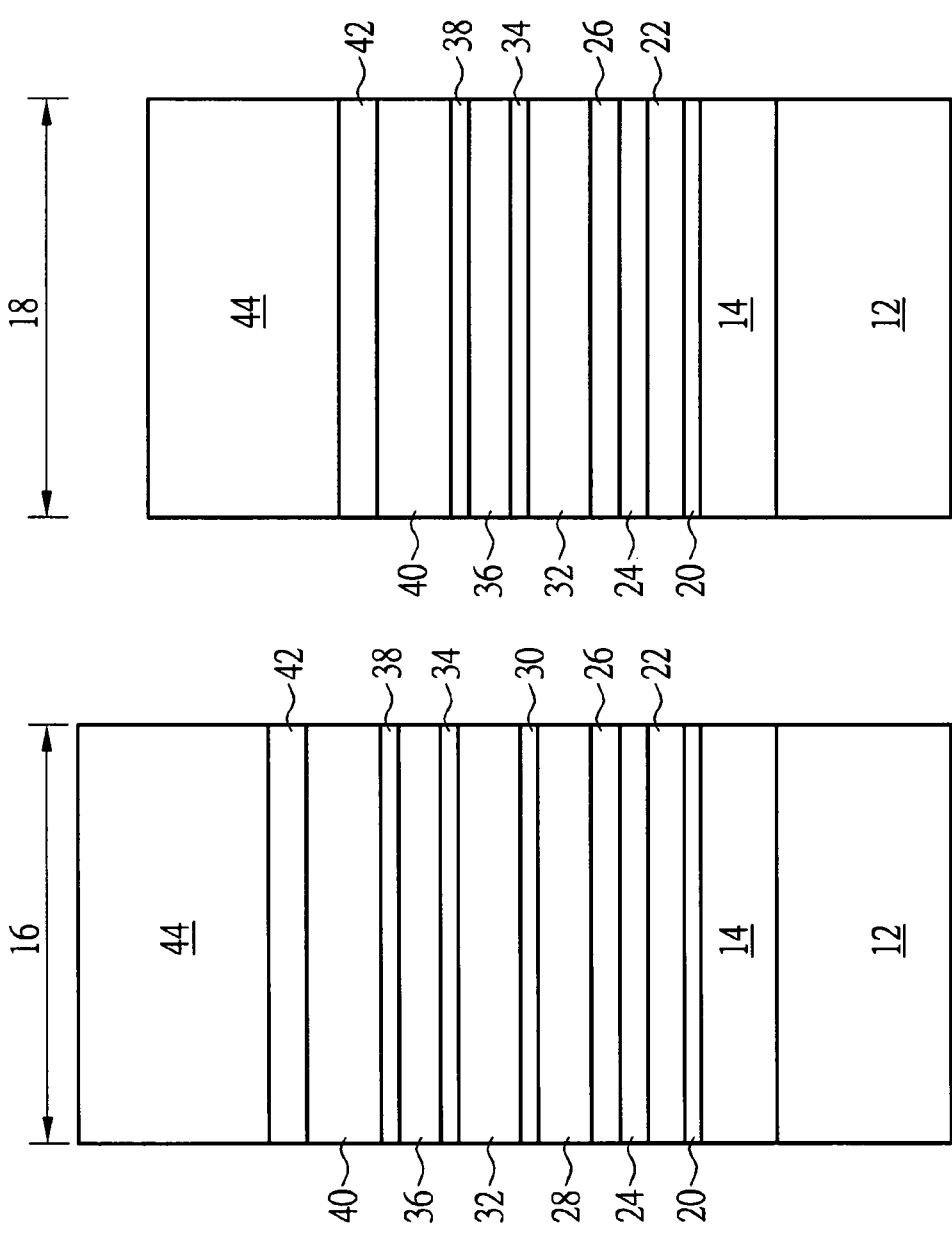
【中文】

本發明較佳實施例揭露一種製作半導體元件的方法。首先提供一基底，該基底上設有一高介電常數介電層，然後形成一第一功函數層於高介電常數介電層上，之後再形成一第一含氧層於該第一功函數層上。

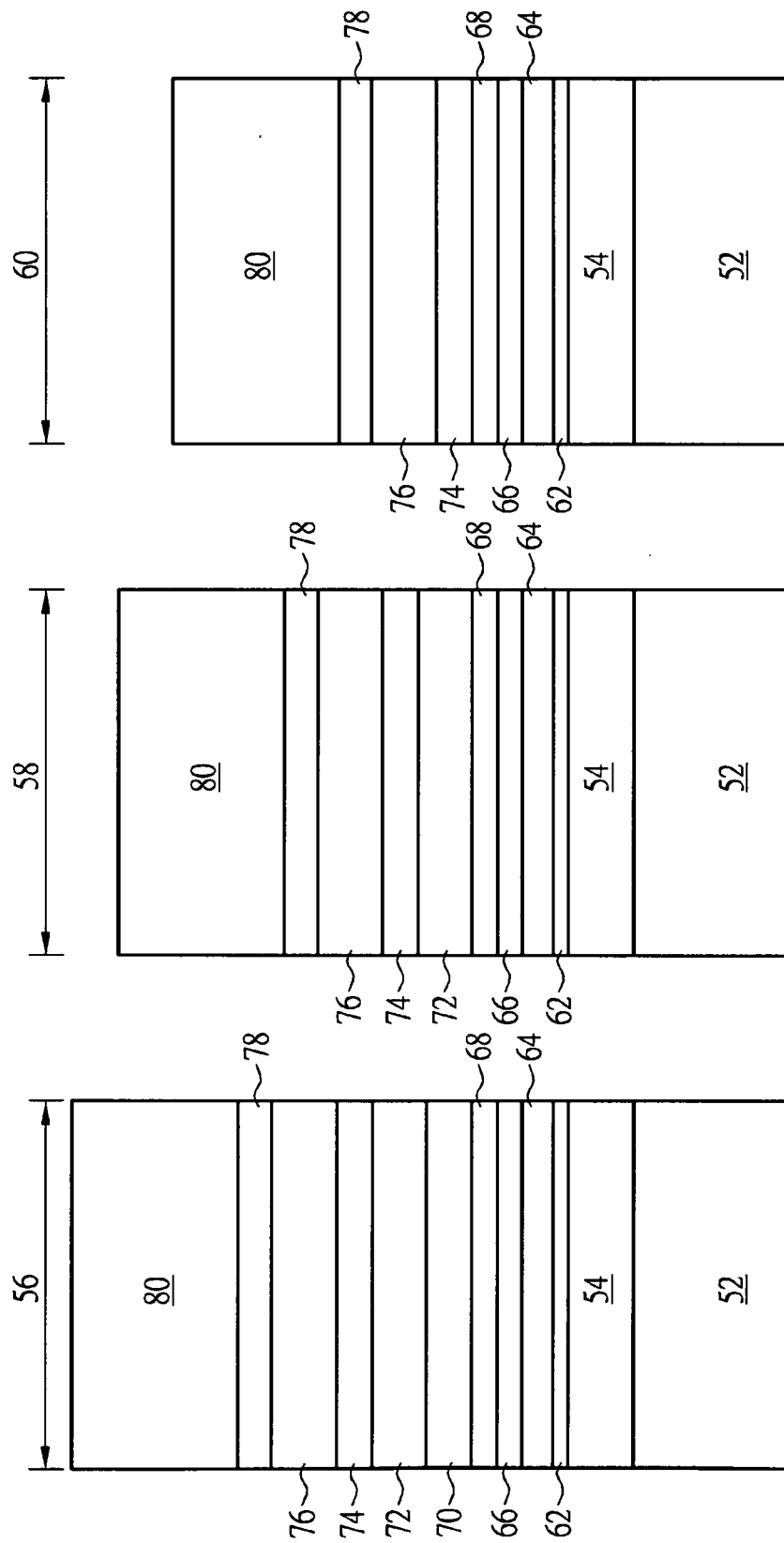
【英文】

A method for fabricating semiconductor device is disclosed. The method includes the steps of: providing a substrate having a high-k dielectric layer thereon; forming a first work function layer on the high-k dielectric layer; and forming an oxygen-containing layer on the first work function layer.

圖式



第1圖



第2圖

**【代表圖】**

**【本案指定代表圖】：**第（ 1 ）圖。

**【本代表圖之符號簡單說明】：**

12	基底	14	鰭狀結構
16	電晶體區	18	電晶體區
20	介質層	22	高介電常數介電層
24	底部金屬阻隔層	26	底部金屬阻隔層
28	功函數層	30	含氧層
32	功函數層	34	含氧層
36	功函數層	38	含氧層
40	功函數層	42	頂部金屬阻隔層
44	低阻抗金屬層		

**【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：**

無



## 【符號說明】

## 【0033】

12	基底	14	鰭狀結構
16	電晶體區	18	電晶體區
20	介質層	22	高介電常數介電層
24	底部金屬阻隔層	26	底部金屬阻隔層
28	功函數層	30	含氧層
32	功函數層	34	含氧層
36	功函數層	38	含氧層
40	功函數層	42	頂部金屬阻隔層
44	低阻抗金屬層		
52	基底	54	鰭狀結構
56	電晶體區	58	電晶體區
60	電晶體區	62	介質層
64	高介電常數介電層	66	底部金屬阻隔層
68	底部金屬阻隔層	70	功函數層
72	功函數層	74	功函數層
76	功函數層	78	頂部金屬阻隔層
80	低阻抗金屬層		

## 申請專利範圍

1. 一種製作半導體元件的方法，包含：  
提供一基底，該基底上設有一高介電常數介電層；  
形成一第一功函數層於該高介電常數介電層上；  
形成一第一含氧層於該第一功函數層上；以及  
重複進行形成該第一功函數層以及形成該第一含氧層於該第一功函數層上之步驟。
2. 如申請專利範圍第 1 項所述之方法，其中該第一功函數層包含氮化鈦。
3. 如申請專利範圍第 1 項所述之方法，另包含進行一濕式清洗步驟或一熱氧化步驟以形成該第一含氧層。
4. 如申請專利範圍第 3 項所述之方法，另包含利用稀釋氫氟酸來進行該濕式清洗步驟。
5. 如申請專利範圍第 1 項所述之方法，其中該第一含氧層包含氮氧化鈦( $\text{TiON}$ )或二氧化鈦( $\text{TiO}_2$ )。
6. 如申請專利範圍第 1 項所述之方法，另包含：  
形成一第二功函數層於該第一含氧層上；以及  
形成一第二含氧層於該第二功函數層上。
7. 如申請專利範圍第 6 項所述之方法，其中各該第一功函數層及該第二功函數層包含一 P 型功函數層。

8. 如申請專利範圍第 6 項所述之方法，其中該第一功函數層及該第二功函數層包含相同導電型式。

9. 一種半導體元件，包含：

一基底；

一高介電常數介電層設於該基底上；

一第一功函數層設於該高介電常數介電層上；

一第一含氧層設於該第一功函數層上；

一第二功函數層設於該第一含氧層上；以及

一第二含氧層設於該第二功函數層上。

10. 如申請專利範圍第 9 項所述之半導體元件，其中該第一含氧層包含氮氧化鈦(TiON)或二氧化鈦(TiO<sub>2</sub>)。

11. 如申請專利範圍第 9 項所述之半導體元件，其中各該第一功函數層及該第二功函數層包含一 P 型功函數層。

12. 如申請專利範圍第 9 項所述之半導體元件，其中該第一功函數層及該第二功函數層包含相同導電型式。

13. 一種半導體元件，包含：

一基底；

一第一閘極結構設於該基底上，該第一閘極結構包含一第一高介電常數介電層以及一第一功函數層設於該第一高介電常數介電層

上；以及

一第二閘極結構設於該基底上，該第二閘極結構包含一第二高介電常數介電層以及一第二功函數層設於該第二高介電常數介電層上，其中該第一功函數層及該第二功函數層具有不同氮對鈦之比例。

14. 如申請專利範圍第 13 項所述之半導體元件，另包含一第三閘極結構設於該基底上，該第三閘極結構包含一第三高介電常數介電層以及一第三功函數層設於該第三高介電常數介電層上，其中該第一功函數層、該第二功函數層及該第三功函數層均具有不同氮對鈦之比例。

15. 如申請專利範圍第 14 項所述之半導體元件，其中各該第一功函數層、該第二功函數層及該第三功函數層包含一 P 型功函數層。

16. 如申請專利範圍第 14 項所述之半導體元件，其中該第一功函數層、該第二功函數層及該第三功函數層包含相同導電型式。