



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I696167 B

(45)公告日：中華民國 109 (2020) 年 06 月 11 日

(21)申請案號：108116094

(22)申請日：中華民國 108 (2019) 年 05 月 09 日

(51)Int. Cl. : G09G3/36 (2006.01)

G02F1/136 (2006.01)

(71)申請人：友達光電股份有限公司(中華民國) AU OPTRONICS CORPORATION (TW)

新竹市新竹科學工業園區力行二路 1 號

(72)發明人：詹孟熙 CHAN, MENG HSI (TW)

(74)代理人：李世章；秦建譜

(56)參考文獻：

TW I355735

TW I418910

TW I567451

US 2016/0322401A1

審查人員：林俊傑

申請專利範圍項數：13 項 圖式數：6 共 29 頁

(54)名稱

畫素結構

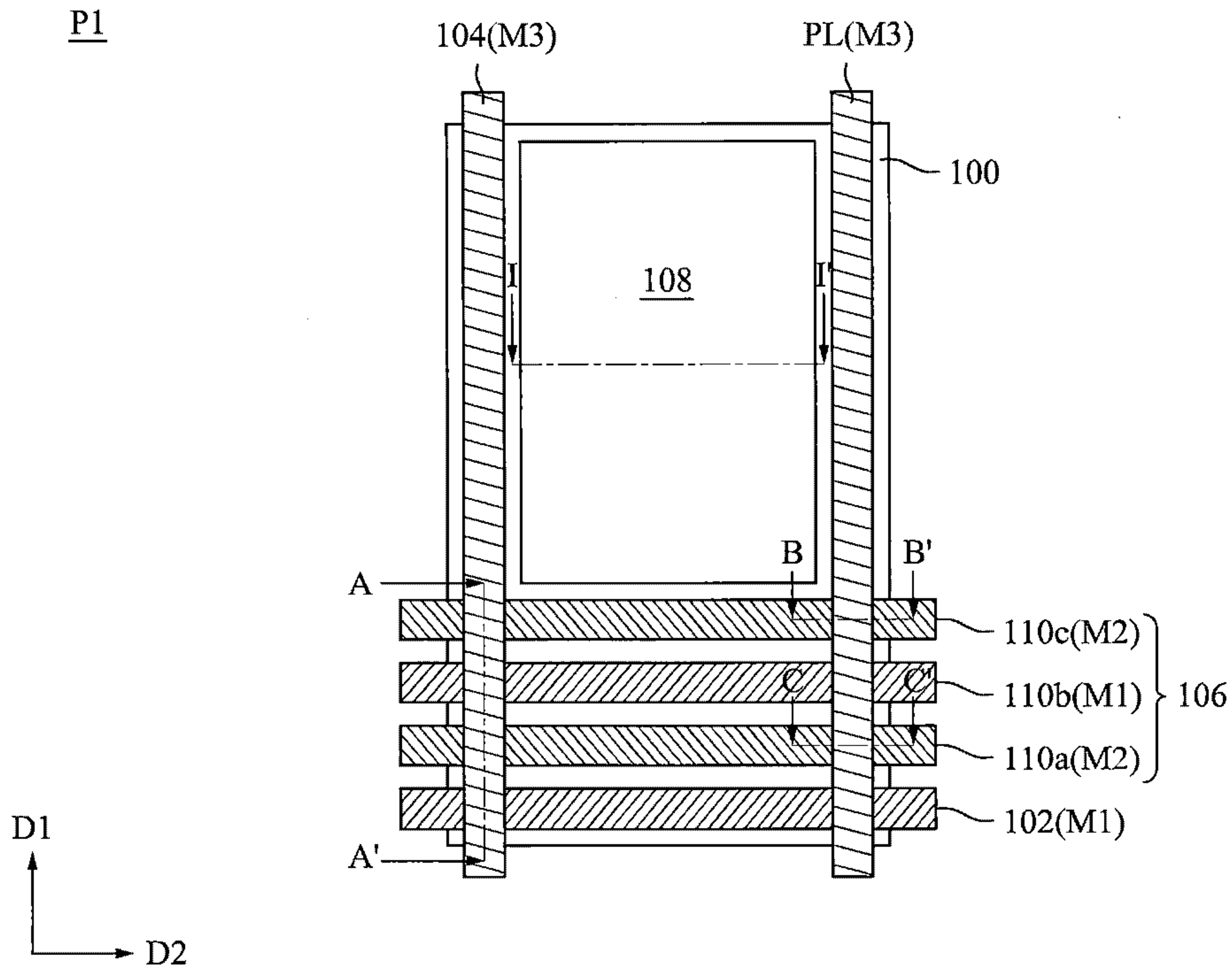
(57)摘要

一種畫素結構包括基板、掃描線、資料線及閘極驅動電路。掃描線、資料線及閘極驅動電路位於基板上。閘極驅動電路包括耦接掃描線的第一及第二閘極驅動信號線。第二閘極驅動信號線與掃描線由位於基板上的第一圖案化導電層形成，第一閘極驅動信號線由位於基板上的第二圖案化導電層形成，資料線由位於基板上的第三圖案化導電層形成，第二圖案化導電層位於第一圖案化導電層上方，第三圖案化導電層位於第二圖案化導電層上方，第一閘極驅動信號線在基板的垂直投影與第二閘極驅動信號線在基板的垂直投影間隔一距離。

A pixel structure includes a substrate, a scan line, a data line, and a GOA(Gate Driver on Array) circuit. The scan line, the data line, and the GOA circuit are on the substrate. The GOA circuit includes first and second GOA signal lines electrically connected to the scan line. The second GOA signal line and the scan line are made of a first patterned conductive layer on the substrate. The first GOA signal line is made of a second patterned conductive layer on the substrate. The data line is made of a third patterned conductive layer on the substrate. The second patterned conductive layer is on the first patterned conductive layer. The third patterned conductive layer is on the second patterned conductive layer. A vertical projection of the first GOA signal line on the substrate is separated from a vertical projection of the second GOA signal line on the substrate.

指定代表圖：

P1



第 1A 圖

符號簡單說明：

- 100 . . . 基板
- 102 . . . 掃描線
- 104 . . . 資料線
- 106 . . . 閘極驅動電路
- 108 . . . 子畫素電路
- 110a . . . 第一閘極驅動信號線
- 110b . . . 第二閘極驅動信號線
- 110c . . . 第三閘極驅動信號線
- A-A' . . . 剖線
- B-B' . . . 剖線
- C-C' . . . 剖線
- D1 . . . 第一方向
- D2 . . . 第二方向
- I-I' . . . 剖線
- M1 . . . 第一圖案化導電層
- M2 . . . 第二圖案化導電層
- M3 . . . 第三圖案化導電層
- P1 . . . 畫素結構
- PL . . . 電源線

【發明摘要】

【中文發明名稱】畫素結構

【英文發明名稱】PIXEL STRUCTURE

【中文】

一種畫素結構包括基板、掃描線、資料線及閘極驅動電路。掃描線、資料線及閘極驅動電路位於基板上。閘極驅動電路包括耦接掃描線的第一及第二閘極驅動信號線。第二閘極驅動信號線與掃描線由位於基板上的第一圖案化導電層形成，第一閘極驅動信號線由位於基板上的第二圖案化導電層形成，資料線由位於基板上的第三圖案化導電層形成，第二圖案化導電層位於第一圖案化導電層上方，第三圖案化導電層位於第二圖案化導電層上方，第一閘極驅動信號線在基板的垂直投影與第二閘極驅動信號線在基板的垂直投影間隔一距離。

【英文】

A pixel structure includes a substrate, a scan line, a data line, and a GOA (Gate Driver on Array) circuit. The scan line, the data line, and the GOA circuit are on the substrate. The GOA circuit includes first and second GOA signal lines electrically connected to the scan line. The second GOA signal line and the scan line are made of

a first patterned conductive layer on the substrate. The first GOA signal line is made of a second patterned conductive layer on the substrate. The data line is made of a third patterned conductive layer on the substrate. The second patterned conductive layer is on the first patterned conductive layer. The third patterned conductive layer is on the second patterned conductive layer. A vertical projection of the first GOA signal line on the substrate is separated from a vertical projection of the second GOA signal line on the substrate.

**【指定代表圖】 第1A圖**

**【代表圖之符號簡單說明】**

100：基板

102：掃描線

104：資料線

106：閘極驅動電路

108：子畫素電路

110a：第一閘極驅動信號線

110b：第二閘極驅動信號線

110c：第三閘極驅動信號線

A-A'：剖線

B-B'：剖線

C-C'：剖線

D1：第一方向

D2：第二方向

I-I'：剖線

M1：第一圖案化導電層

M2：第二圖案化導電層

M3：第三圖案化導電層

P1：畫素結構

PL：電源線

**【特徵化學式】**

無

## 【發明說明書】

【中文發明名稱】畫素結構

【英文發明名稱】PIXEL STRUCTURE

### 【技術領域】

【0001】 本揭露是關於一種畫素結構。

### 【先前技術】

【0002】 隨著光電與半導體技術的演進，帶動了顯示器之蓬勃發展。在諸多顯示器中，電激發光顯示面板(例如有機發光二極體顯示面板)由於具有主動發光與低耗能等優點，可望成為新一代平面顯示器之主流產品。電激發光顯示面板包括主動元件陣列基板，主動元件陣列基板具有複數個陣列排列之畫素及與畫素電性連接之資料線、掃描線及電源線。

【0003】 為了使顯示器實現窄邊框的設計，一般採用將閘極驅動電路整合於陣列基板上(Gate Driver On Array, GOA)的技術來驅動畫素。閘極驅動電路的訊號線、掃描線一般是採用同層金屬走線，資料線和電源線一般是採用另一同層金屬走線，然而，顯示器應用於高解析度面板時，這樣的走線設計使得畫素空間受到限制。

### 【發明內容】

【0004】 本揭露之目的之一在於提供一種畫素結構，以減少信號線之間互相短路或是訊號干擾的風險。

**【0005】** 於一實施例中，本揭露之一實施例提供之一種畫素結構包括基板、掃描線、資料線及閘極驅動電路。掃描線、資料線及閘極驅動電路位於基板上。閘極驅動電路包括耦接掃描線的第一及第二閘極驅動信號線。第二閘極驅動信號線與掃描線由位於基板上的第一圖案化導電層形成，第一閘極驅動信號線由位於基板上的第二圖案化導電層形成，資料線由位於基板上的第三圖案化導電層形成，第二圖案化導電層位於第一圖案化導電層上方，第三圖案化導電層位於第二圖案化導電層上方，第一閘極驅動信號線在基板的垂直投影與第二閘極驅動信號線在基板的垂直投影間隔一距離。

**【0006】** 於一實施例中，本揭露之一實施例提供之一種一種畫素結構包括基板、掃描線、資料線及閘極驅動電路。掃描線、資料線及閘極驅動電路位於基板上。閘極驅動電路包括耦接掃描線的第一及第二閘極驅動信號線。第二閘極驅動信號線與掃描線由位於基板上的第一圖案化導電層形成，第一閘極驅動信號線由位於基板上的第二圖案化導電層形成，資料線由位於基板上的第三圖案化導電層形成，第二圖案化導電層位於第一圖案化導電層上方，第三圖案化導電層位於第二圖案化導電層上方，第一閘極驅動信號線在基板的垂直投影部分重疊於掃描線在基板的垂直投影。

**【0007】** 於一實施例中，本揭露之一實施例提供之一種畫素結構包括基板、掃描線、電源線及閘極驅動電路。掃描線、資料線及閘極驅動電路位於基板上。電源線耦接電壓源。閘極驅動電路包括耦接掃描線之第一閘極驅動信號線。第一閘極驅

動信號線與掃描線由位於基板上的第一圖案化導電層形成，電源線由位於基板上的第二圖案化導電層形成，資料線由位於基板上的第三圖案化導電層形成，第二圖案化導電層位於第一圖案化導電層上方，第三圖案化導電層位於第二圖案化導電層上方。

**【0008】** 本揭露透過配置第一及第二閘極驅動信號線於不同圖案化導電層，可以經由彈性調整掃描線及第二驅動信號線之間沿第一方向間距，來同時減少同層的圖案化導電層(例如：第二閘極驅動信號線與掃描線)沿第一方向間距，並減少第二閘極驅動信號線與掃描線互相短路或是訊號干擾(例如串音問題)的風險，並且，可增加其他畫素電路的配置面積。

#### **【圖式簡單說明】**

**【0009】** 閱讀以下詳細敘述並搭配對應之圖式，可了解本揭露之多個樣態。需留意的是，圖式中的多個特徵並未依照該業界領域之標準作法繪製實際比例。事實上，所述之特徵的尺寸可以任意的增加或減少以利於討論的清晰性。

第1A圖為根據一實施例之畫素結構的俯視示意圖；

第1B圖繪示根據一實施例之畫素結構的等效電路圖；

第1C圖繪示沿第1A圖之剖線I-I'的剖面示意圖；

第2A圖繪示沿第1A圖之剖線A-A'的剖面示意圖；

第2B圖繪示沿第1A圖之剖線B-B'的剖面示意圖；

第2C圖繪示沿第1A圖之剖線C-C'的剖面示意圖；

第3圖為根據另一實施例之畫素結構的俯視示意圖；



第4A圖繪示沿第3圖之剖線A-A'的剖面示意圖；

第4B圖繪示沿第3圖之剖線B-B'的剖面示意圖；

第4C圖繪示沿第3圖之剖線C-C'的剖面示意圖；

第5圖為根據另一實施例之畫素結構的俯視示意圖；

第6A圖繪示沿第5圖之剖線A-A'的剖面示意圖；以及

第6B圖繪示沿第5圖之剖線B-B'的剖面示意圖。

### 【實施方式】

【0010】 以下將以圖式及詳細說明清楚說明本揭露之精神，任何所屬技術領域中具有通常知識者在瞭解本揭露之實施例後，當可由本揭露所教示之技術，加以改變及修飾，其並不脫離本揭露之精神與範圍。舉例而言，敘述「第一特徵形成於第二特徵上方或上」，於實施例中將包含第一特徵及第二特徵具有直接接觸；且也將包含第一特徵和第二特徵為非直接接觸，具有額外的特徵形成於第一特徵和第二特徵之間。此外，本揭露在多個範例中將重複使用元件標號以和/或文字。重複的目的在於簡化與釐清，而其本身並不會決定多個實施例以和/或所討論的配置之間的關係。

【0011】 此外，方位相對詞彙，如「在...之下」、「下面」、「下」、「上方」或「上」或類似詞彙，在本文中為用來便於描述繪示於圖式中的一個元件或特徵至另外的元件或特徵之關係。方位相對詞彙除了用來描述裝置在圖式中的方位外，其包含裝置於使用或操作下之不同的方位。當裝置被另外設置(旋轉90度或者其他面向的方位)，本文所用的方位相對詞彙同

樣可以相應地進行解釋。

【0012】第1A圖為根據一實施例之畫素結構P1的俯視示意圖。畫素結構P1包括基板100與位於基板100上的掃描線102、資料線104、閘極驅動電路106以及子畫素電路108。第1B圖繪示根據一實施例之畫素結構P1的等效電路圖。第1C圖繪示沿第1A圖之剖線I-I'的剖面示意圖。請一併參照第1A圖至第1C圖。閘極驅動電路106至少包括第一閘極驅動信號線110a、第二閘極驅動信號線110b與第三閘極驅動信號線110c，第一、第二及第三閘極驅動信號線110a、110b及110c耦接掃描線102。為了方便說明，第1A圖中繪示了第一方向D1與第二方向D2，且第一方向D1與第二方向D2相異，例如第一方向D1與第二方向D2分別為第1A圖的橫向方向與縱向方向，且其彼此呈正交關係。掃描線102、第一閘極驅動信號線110a、第二閘極驅動信號線110b與第三閘極驅動信號線110c沿第二方向D2延伸，換言之，掃描線102、第一閘極驅動信號線110a、第二閘極驅動信號線110b與第三閘極驅動信號線110c實質上平行於第二方向D2。資料線104及電源線PL沿第一方向D1延伸，換言之，資料線104及電源線PL實質上平行於第一方向D1。資料線104相交於掃描線102、第一閘極驅動信號線110a、第二閘極驅動信號線110b與第三閘極驅動信號線110c。電源線PL相交於掃描線102、第一閘極驅動信號線110a、第二閘極驅動信號線110b與第三閘極驅動信號線110c。

【0013】子畫素電路108位於掃描線102與資料線104之間，資料線104與掃描線102分別耦接子畫素電路108，子畫素

電路108包括至少一主動元件(例如：切換元件T1及驅動元件T2)與顯示介質層112。詳細而言，子畫素電路108以2T1C架構為範例，例如包括兩個薄膜電晶體(包括切換元件T1及驅動元件T2)以及一儲存電容C<sub>st</sub>，但本揭露不以此為限。於其他實施例中，子畫素電路108亦可以視電路設計或是製程而調整薄膜電晶體和儲存電容的數量和結構，例如是但不限於3T1C架構、3T2C架構、4T1C架構、4T2C架構、5T1C架構、5T2C架構、6T1C架構、6T2C架構或其它適合的驅動架構。於一實施例中，顯示介質層112包括有機電激發光層，本實施例之畫素結構P1並不限定於應用在有機電激發光顯示面板上而可應用於其它各式自發光型或非自發光型顯示面板上，例如液晶顯示面板、電泳顯示面板、電溼潤顯示面板或其它各式適合的顯示面板上。若畫素結構P1欲應用在其它類型的顯示面板上，則可選擇其它對應的固態或液態膜層例如液晶層、電泳層或親水/疏水混合液體作為顯示介質層112。

**【0014】** 切換元件T1包括源極S1、閘極G1與汲極D1，驅動元件T2包括源極S2、閘極G2與汲極D2。舉例而言，切換元件T1的閘極G1與掃描線102電性連接，源極S1與資料線104電性連接，且切換元件T1的汲極D1與驅動元件T2的閘極G2以及儲存電容C<sub>st</sub>一端電性連接，而儲存電容C<sub>st</sub>一端電性連接於切換元件T1的汲極D1與驅動元件T2的閘極G2之間。儲存電容C<sub>st</sub>另一端電性連接於電源線PL與驅動元件T2的源極S2。驅動元件T2的汲極D2透過第一連接電極E1與顯示介質層112電性連接，顯示介質層112可經由第二連接電極E2電性連接於共用

電極CL，共用電極CL可連接至共通電壓、接地電壓、或其它合適的電壓。此外，電源線PL耦接一電壓源(未繪示)，電源線PL可提供電壓OVDD給顯示介質層112的電極(例如陽極)，而顯示介質層112之另一電極(例如陰極)可接收電壓OVSS，其中電壓OVSS可為共通電壓、接地電壓、或其它合適的電壓。各子畫素電路108的顯示介質層112可以接收實質上相同的電壓OVSS，但不以此為限。

【0015】請參照第1C圖，切換元件T1與驅動元件T2是以頂閘極型薄膜電晶體(Top Gate-TFT)為例，即閘極G1、G2位於半導體層SE之上方。在其他實施例中，切換元件T1與驅動元件T2也可以是底閘極型薄膜電晶體(Bottom Gate-TFT)，即閘極G1、G2位於半導體層SE之下方。以頂閘極型薄膜電晶體為例，畫素結構P1更包括位於基板100上的閘極絕緣層GI、第一絕緣層IR1、第二絕緣層IR2及第四絕緣層IR4。閘極絕緣層GI覆蓋半導體層SE，第一絕緣層IR1覆蓋閘極G1、G2，源極S1、S2與汲極D1、D2分別貫穿第一絕緣層IR1而與對應之半導體層SE電性連接。第二絕緣層IR2覆蓋切換元件T1與驅動元件T2。第三絕緣層IR3設置於第二絕緣層IR2上，且第四絕緣層IR4設置於第三絕緣層IR3及顯示介質層112上。於顯示介質層112包括微型發光元件的實施例中(例如包括微發光二極體顯示器(Micro Light Emitting Diode))，顯示介質層112可例如是先於生長基板上形成，接著在利用巨量轉移(Mass transfer)技術轉置於第三絕緣層IR3上的黏合層(未繪示)上。基板100可為玻璃基板、石英基板、藍寶石基板或其他合適之

硬質基板或可撓式基板等，但本揭露並非僅限於此。閘極絕緣層GI、第一、第二、第三及第四絕緣層IR1、IR2、IR3及IR4的材料可包含無機材料(例如：氧化矽、氮化矽、氮氧化矽、其它合適的材料、或上述之組合)。

【0016】 第2A圖繪示沿第1A圖之剖線A-A'的剖面示意圖。第2B圖繪示沿第1A圖之剖線B-B'的剖面示意圖。第2C圖繪示沿第1A圖之剖線C-C'的剖面示意圖。請一併參照第1C圖及第2A-2C圖。切換元件T1及驅動元件T2的閘極G1、G2、第二閘極驅動信號線110b與掃描線102由位於基板100的第一圖案化導電層M1形成，第一閘極驅動信號線110a由位於基板100上的第二圖案化導電層M2形成，第二圖案化導電層M2位於第一圖案化導電層M1上方。第一絕緣層IR1位於第一圖案化導電層M1與第二圖案化導電層M2之間，資料線104及電源線PL由位於基板100上的第三圖案化導電層M3形成，並且，切換元件T1及驅動元件T2的源極S1、S2與汲極D1、D2由第三圖案化導電層M3形成，第三圖案化導電層M3位於第二圖案化導電層M2上方，第二絕緣層IR2位於第二圖案化導電層M2與第三圖案化導電層M3之間。於一實施例中，顯示介質層112位於第三圖案化導電層M3上方。相鄰訊號線以不同層配置於基板100上，舉例而言，相鄰訊號線是用第一圖案化導電層M1與第二圖案化導電層M2交錯配置於基板100上。詳細而言，掃描線102在基板100的垂直投影與第一閘極驅動信號線110a在基板100的垂直投影之間沿第一方向D1間隔有間距SP2，第一閘極驅動信號線110a在基板100的垂直投影與第二閘極驅動信號線110b在

基板100的垂直投影之間沿第一方向D1間隔有間距SP3，掃描線102在基板100的垂直投影與第二閘極驅動信號線110b在基板100的垂直投影之間沿第一方向D1的間距SP1實質上大於掃描線102在基板100的垂直投影與第一閘極驅動信號線110a在基板100的垂直投影之間沿第一方向D1的間距SP2，如此一來，可以避免相鄰訊號線之間互相短路或是訊號干擾(例如串音(crosstalk)問題)的風險，並且，可以增加其他畫素電路的配置面積。

**【0017】** 透過配置第一及第二閘極驅動信號線110a、110b於不同圖案化導電層，可以經由彈性調整掃描線102及第二閘極驅動信號線110b之間沿第一方向D1的間距SP1，來同時減少同層的圖案化導電層(例如：第二閘極驅動信號線110b與掃描線102)沿第一方向D1的間距SP1，並減少第二閘極驅動信號線110b與掃描線102互相短路或是訊號干擾(例如串音問題)的風險，並且，可增加其他畫素電路的配置面積。

**【0018】** 於一實施例中，第三閘極驅動信號線110c由第二圖案化導電層M2形成，換言之，第三閘極驅動信號線110c與第一閘極驅動信號線110a位於同層圖案化導電層，第三閘極驅動信號線110c在基板100的垂直投影與主動元件T2的閘極G2在基板100的垂直投影部分重疊，並且，第三閘極驅動信號線110c實質上平行於掃描線102與第一及第二閘極驅動信號線110a、110b。由於第二閘極驅動信號線110b分別與第一及第三閘極驅動信號線110a、110b、110c位於不同層，可以縮短第一及第三閘極驅動信號線110a、110c之間的沿第一方向D1

之間距SP4，從而減少第一及第三閘極驅動信號線110c互相短路或是訊號干擾的風險，並且，可增加其他畫素電路的配置面積。

【0019】 第一、第二及第三圖案化導電層M1、M2、M3之材料可為不透明導電材料例如金屬或合金及/或透明導電材料例如氧化銦錫，但不以此為限。此外，第一、第二及第三圖案化導電層M1、M2、M3可為單層結構或複合層結構。

【0020】 第3圖為根據另一實施例之畫素結構P2的俯視示意圖。第4A圖繪示沿第3圖之剖線A-A'的剖面示意圖。第4B圖繪示沿第3圖之剖線B-B'的剖面示意圖。第4C圖繪示沿第3圖之剖線C-C'的剖面示意圖。請一併參照第3圖及第4A-4C圖。本實施例之畫素結構P2與第1A圖及第2A-2C圖的實施例的畫素結構P1相似，兩者的差異在於：第一閘極驅動信號線110a在基板100的垂直投影部分重疊於掃描線102在基板100的垂直投影，第二閘極驅動信號線110b在基板100的垂直投影部分重疊於第三閘極驅動信號線110c在基板100的垂直投影，如此一來，可增加其他畫素電路的配置面積。

【0021】 第5圖為根據另一實施例之畫素結構P3的俯視示意圖。第6A圖繪示沿第5圖之剖線A-A'的剖面示意圖。第6B圖繪示沿第5圖之剖線B-B'的剖面示意圖。請一併參照第5圖及第6A-6B圖。本實施例之畫素結構P3與第1A圖及第2A-2C圖的實施例的畫素結構P1相似，兩者的差異在於：掃描線102、第一閘極驅動信號線110a、第二閘極驅動信號線110b及第三閘極驅動信號線110c由第一圖案化導電層M1形成，資料線104

由第二圖案化導電層M2形成，電源線PL由第三圖案化導電層M3形成。由於電源線PL與相鄰之資料線104為不同層圖案化導電層，可以經由適當配置電源線PL與相鄰之資料線104之間的沿第二方向D2之間距SP5，達到減少兩者之間距離過近所造成的訊號干擾(例如串音)的風險，並同時可縮短電源線PL與相鄰之資料線104a之間沿第二方向D2之間距SP5，增加其他畫素電路的配置面積。

**【0022】** 本揭露提供一種畫素結構，透過配置第一及第二閘極驅動信號線於不同圖案化導電層，可以經由彈性調整掃描線及第二驅動信號線之間沿第一方向之間距，來同時減少同層的圖案化導電層(例如：第二閘極驅動信號線與掃描線)沿第一方向之間距，並減少第二閘極驅動信號線與掃描線互相短路或是訊號干擾(例如串音問題)的風險，並且，可增加其他畫素電路的配置面積。

**【0023】** 以上概述數個實施方式或實施例的特徵，使所屬領域中具有通常知識者可以從各個方面更加瞭解本揭露。本技術領域中具有通常知識者應可理解，且可輕易地以本揭露為基礎來設計或修飾其他製程及結構，並以此達到相同的目的及/或達到在此介紹的實施方式或實施例相同之優點。本技術領域中具有通常知識者也應了解這些相等的結構並未背離本揭露的揭露精神與範圍。在不背離本揭露的精神與範圍之前提下，可對本揭露進行各種改變、置換或修改。

**【符號說明】**



## 【0024】

- 100：基板
- 102：掃描線
- 104：資料線
- 106：閘極驅動電路
- 108：子畫素電路
- 110a：第一閘極驅動信號線
- 110b：第二閘極驅動信號線
- 110c：第三閘極驅動信號線
- 112：顯示介質層
- A-A'：剖線
- B-B'：剖線
- C-C'：剖線
- CL：共用電極
- D1：第一方向
- D2：第二方向
- E1：第一連接電極
- E2：第二連接電極
- G1、G2：閘極
- GI：閘極絕緣層
- I-I'：剖線
- IR1：第一絕緣層
- IR2：第二絕緣層
- IR3：第三絕緣層

IR4：第四絕緣層

M1：第一圖案化導電層

M2：第二圖案化導電層

M3：第三圖案化導電層

P1、P2、P3：畫素結構

PL：電源線

S1、S2：源極

SP1、SP2、SP3、SP4、SP5：間距

SE：半導體層

T1：切換元件

T2：驅動元件

## 【發明申請專利範圍】

【第1項】 一種畫素結構，包含：

一基板；

一掃描線，位於該基板上；

一資料線，位於該基板上；以及

一閘極驅動電路，位於該基板上，其中該閘極驅動電路包含：

一第一閘極驅動信號線，耦接該掃描線；以及

一第二閘極驅動信號線，耦接該掃描線，其中該第二閘極驅動信號線與該掃描線由位於該基板上的一第一圖案化導電層形成，該第一閘極驅動信號線由位於該基板上的一第二圖案化導電層形成，該資料線由位於該基板上的一第三圖案化導電層形成，該第二圖案化導電層位於該第一圖案化導電層上方，該第三圖案化導電層位於該第二圖案化導電層上方，該第一閘極驅動信號線在該基板的垂直投影與該第二閘極驅動信號線在該基板的垂直投影間隔一距離。

【第2項】 如請求項1所述之畫素結構，更包含：

一子畫素電路，位於該掃描線與該資料線之間，其中該子畫素電路包含一主動元件與一顯示介質層，該主動元件包含一源極、一閘極與一汲極，該主動元件的該閘極由該第一圖案化導電層形成，該主動元件的該源極與該汲極由該第三圖案化導電層形成，該顯示介質層位於該第三圖案化導電層上方。

【第3項】 如請求項 2 所述之畫素結構，其中該閘極驅動電路更包含：

一第三閘極驅動信號線，由該第二圖案化導電層形成，該第三閘極驅動信號線在該基板的垂直投影與該主動元件的該閘極在該基板的垂直投影部分重疊，該第三閘極驅動信號線實質上平行於該掃描線與該第一及該第二閘極驅動信號線。

【第4項】 如請求項 1 所述之畫素結構，其中該資料線分別與該掃描線與該第一及該第二閘極驅動信號線相交。

【第5項】 如請求項 1 所述之畫素結構，其中該掃描線與該第一及該第二閘極驅動信號線實質上平行。

【第6項】 一種畫素結構，包含：

一基板；  
一掃描線，位於該基板上；  
一資料線，位於該基板上；以及  
一閘極驅動電路，位於該基板上，該閘極驅動電路包含：  
一第一閘極驅動信號線，耦接該掃描線；以及  
一第二閘極驅動信號線，耦接該掃描線，其中該第二閘極驅動信號線與該掃描線由位於該基板上的一第一圖案化導電層形成，該第一閘極驅動信號線由位於該基板上的一第二圖案化導電層形成，該資料線由位於該基板上的一第三圖案化導電層形成，該第二圖案化導電層位於該第一圖案化導電

層上方，該第三圖案化導電層位於該第二圖案化導電層上方，該第一閘極驅動信號線在該基板的垂直投影部分重疊於該掃描線在該基板的垂直投影。

【第7項】 如請求項 6 所述之畫素結構，更包含：

一子畫素電路，位於該掃描線與該資料線之間，其中該子畫素電路包含一主動元件與一顯示介質層，該主動元件包含一源極、一閘極與一汲極，該主動元件的該閘極由該第一圖案化導電層形成，該主動元件的該源極與該汲極由該第三圖案化導電層形成，該顯示介質層位於該第三圖案化導電層上方。

【第8項】 如請求項 6 所述之畫素結構，其中該閘極驅動電路更包含：

一第三閘極驅動信號線，由該第二圖案化導電層形成，該第三閘極驅動信號線在該基板的垂直投影部分重疊於該第二閘極驅動信號線在該基板的垂直投影，該第三閘極驅動信號線實質上平行於該掃描線與該第一及該第二閘極驅動信號線。

【第9項】 如請求項 6 所述之畫素結構，更包含：

一第一絕緣層，位於該第一圖案化導電層與該第二圖案化導電層之間；以及

一第二絕緣層，位於該第二圖案化導電層與該第三圖案化導電層之間。

【第10項】 一種畫素結構，包含：

一基板；

一掃描線，位於該基板上；

一資料線，位於該基板上；

一電源線，耦接一電壓源；以及

一閘極驅動電路，位於該基板上，其中該閘極驅動電路包含：

一第一閘極驅動信號線，耦接該掃描線，其中該第一閘極驅動信號線與該掃描線由位於該基板上的一第一圖案化導電層形成，該電源線由位於該基板上的一第二圖案化導電層形成，該資料線由位於該基板上的一第三圖案化導電層形成，該第二圖案化導電層位於該第一圖案化導電層上方，該第三圖案化導電層位於該第二圖案化導電層上方。

【第11項】 如請求項 10 所述之畫素結構，更包含：

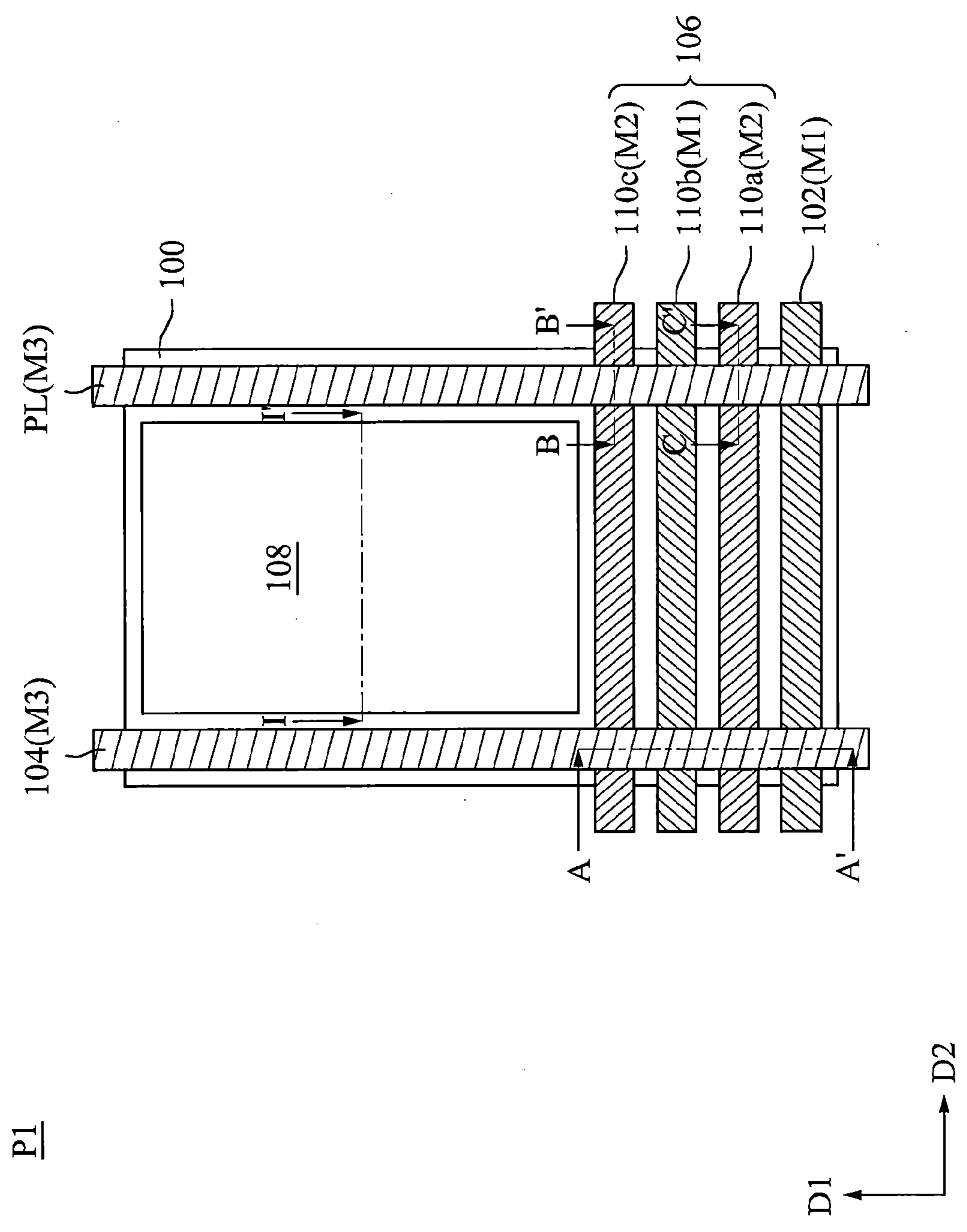
一子畫素電路，位於該掃描線與該資料線之間，其中該子畫素電路包含一主動元件與一顯示介質層，該電源線耦接該主動元件，該主動元件包含一源極、一閘極與一汲極，該主動元件的該閘極由該第一圖案化導電層形成，該主動元件的該源極與該汲極由該第三圖案化導電層形成，該顯示介質層位於該第三圖案化導電層上方。

【第12項】 如請求項 10 所述之畫素結構，其中該閘極驅動電路更包含：

一第二閘極驅動信號線，由該第一圖案化導電層形成，該第二閘極驅動信號線在該基板的垂直投影與該第一閘極驅動信號線在該基板的垂直投影間隔一距離，且該第一閘極驅動信號線實質上平行於該掃描線與該第二閘極驅動信號線。

【第13項】如請求項 10 所述之畫素結構，其中該電源線實質上平行於該資料線且相交於該掃描線與該第一及該第二閘極驅動信號線。

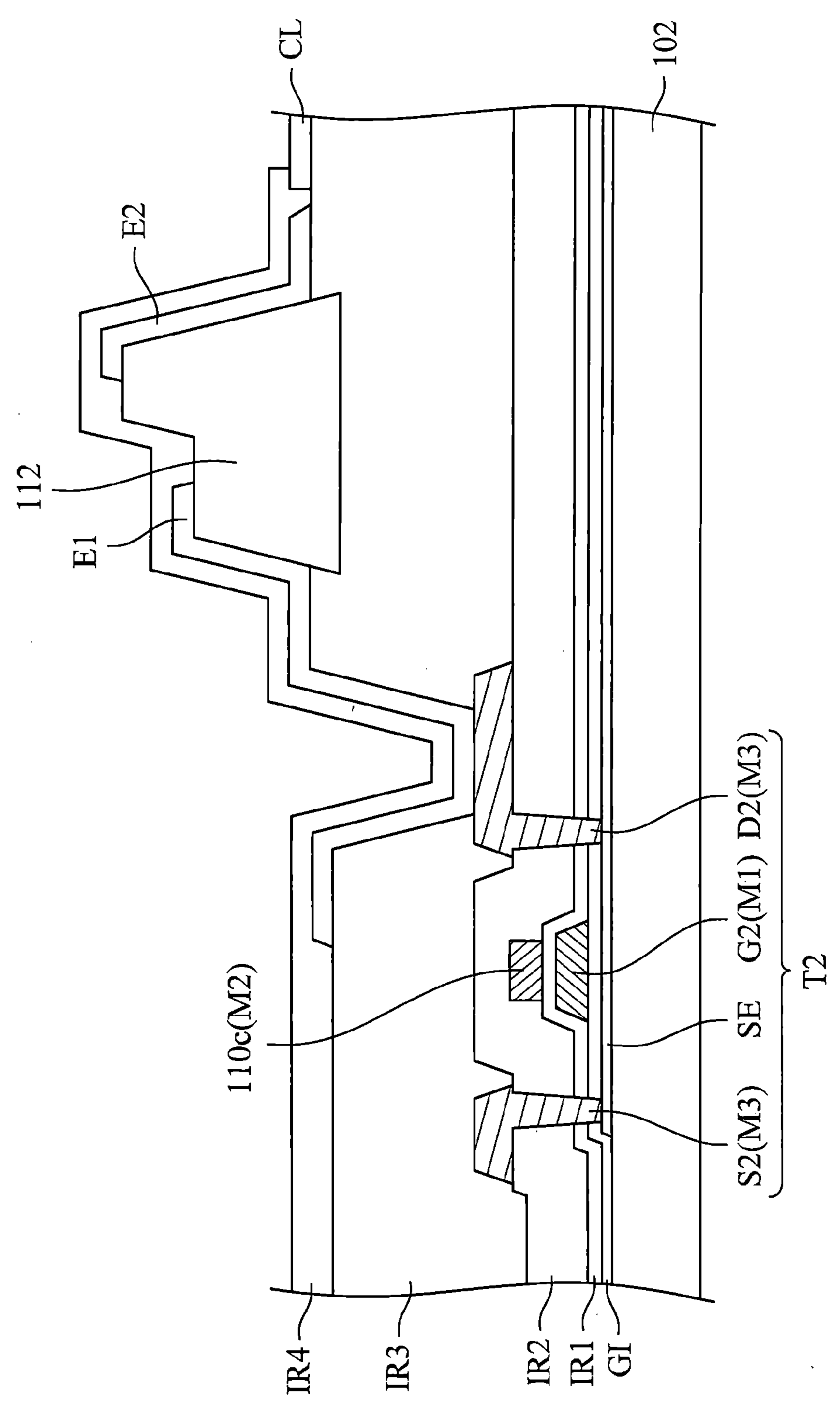
圖式



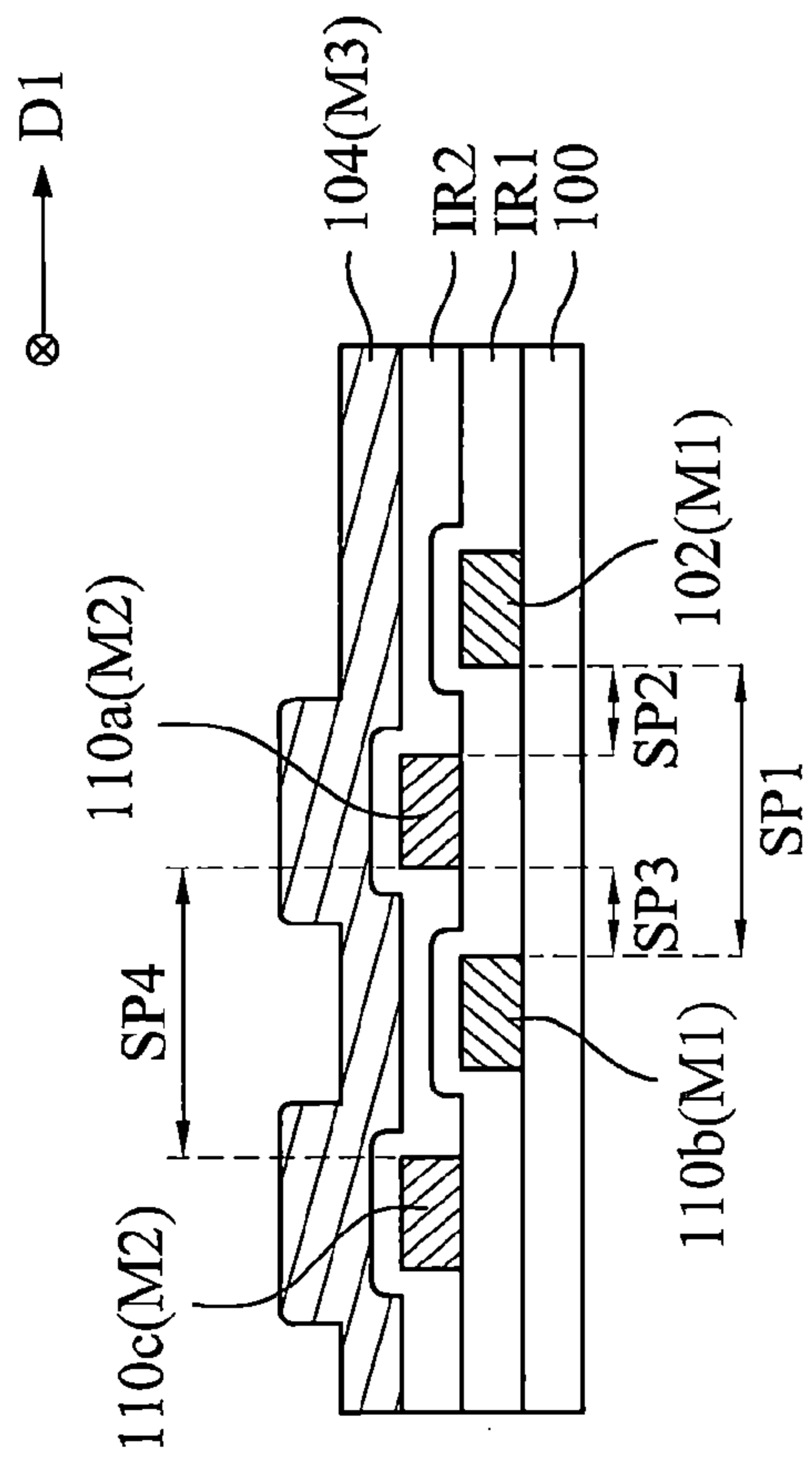
第1A圖



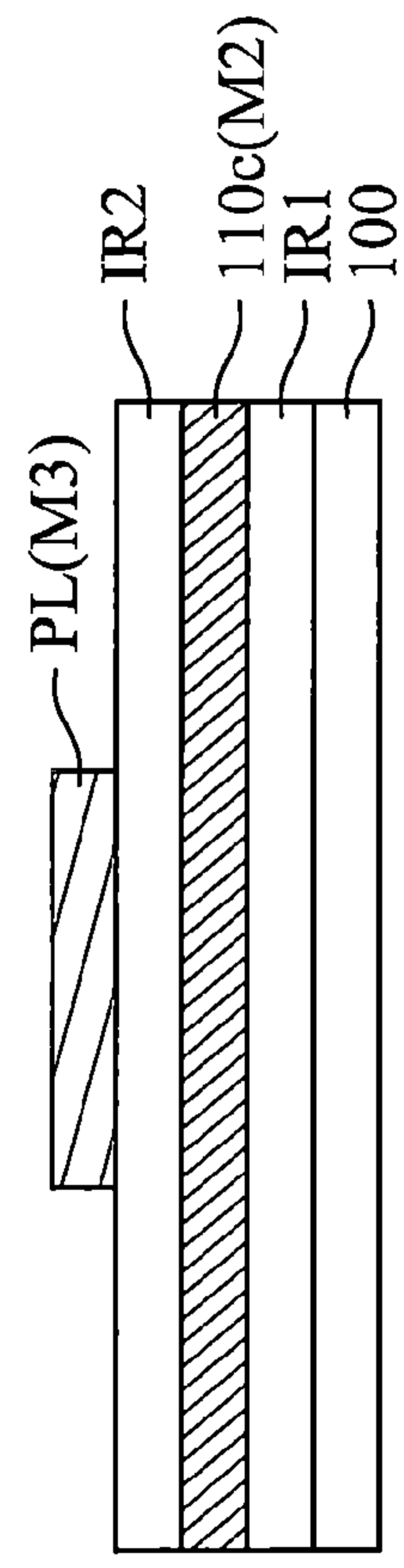




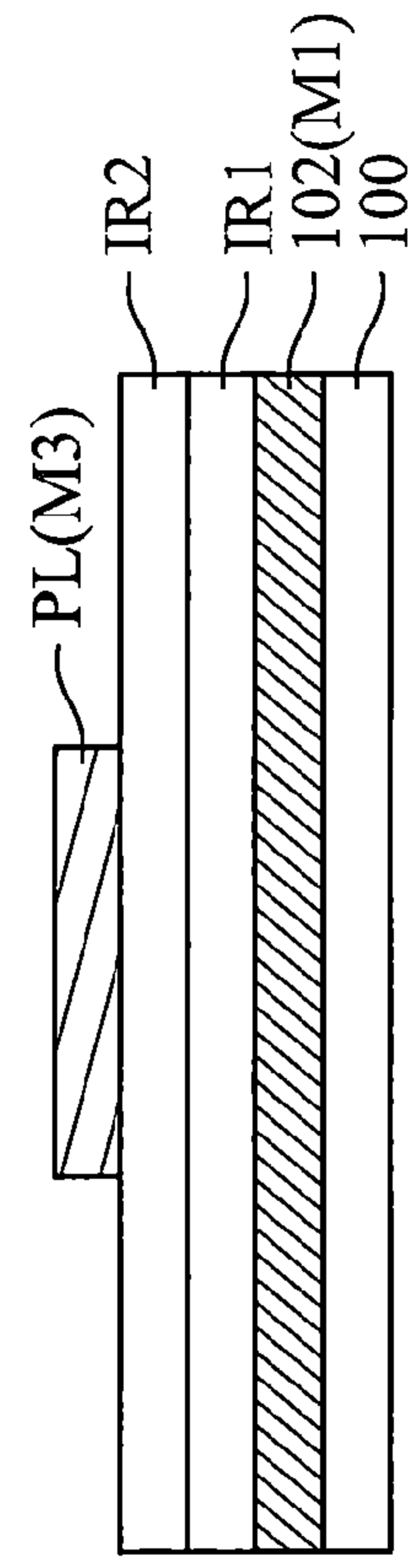
第1C圖



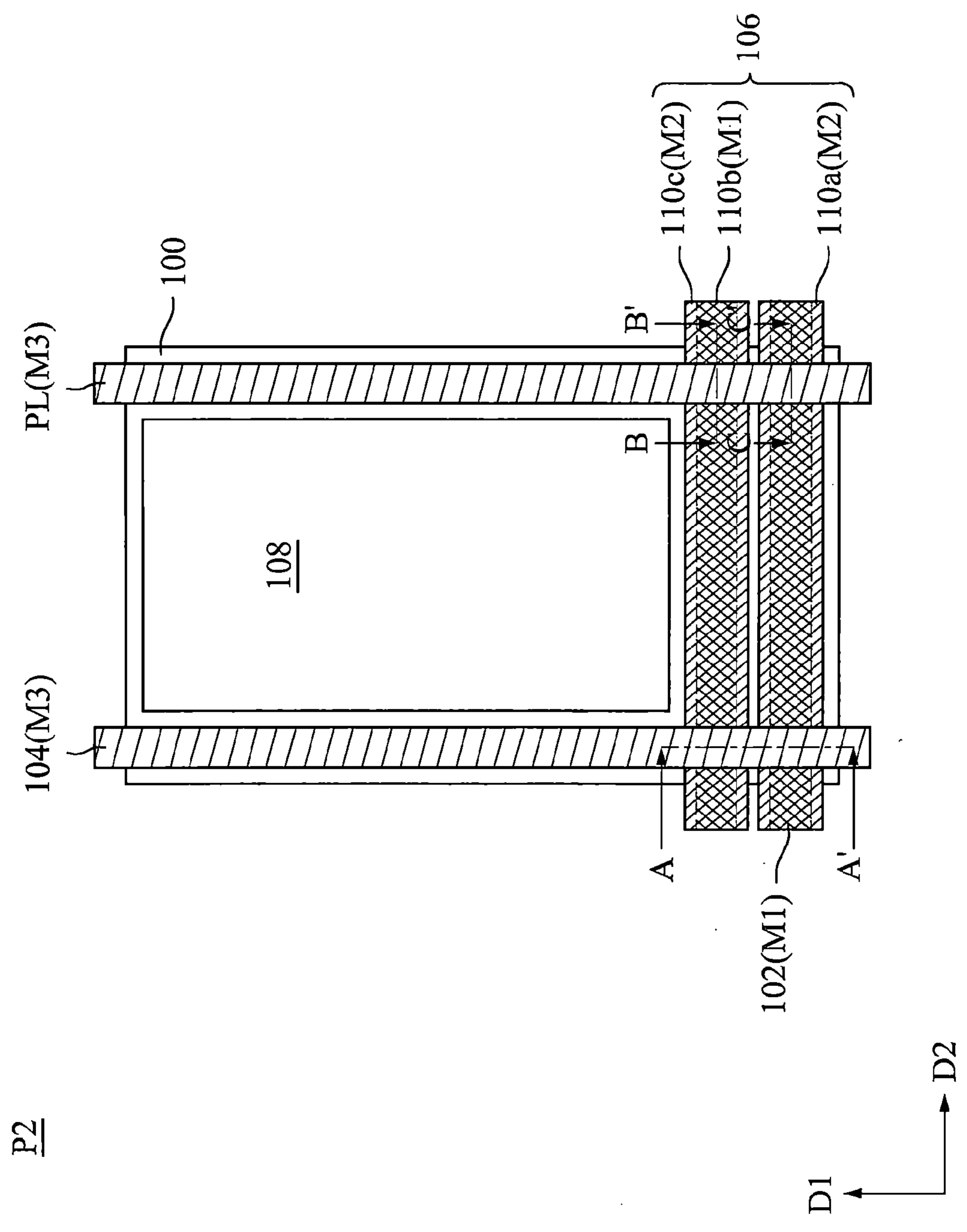
第 2A 圖



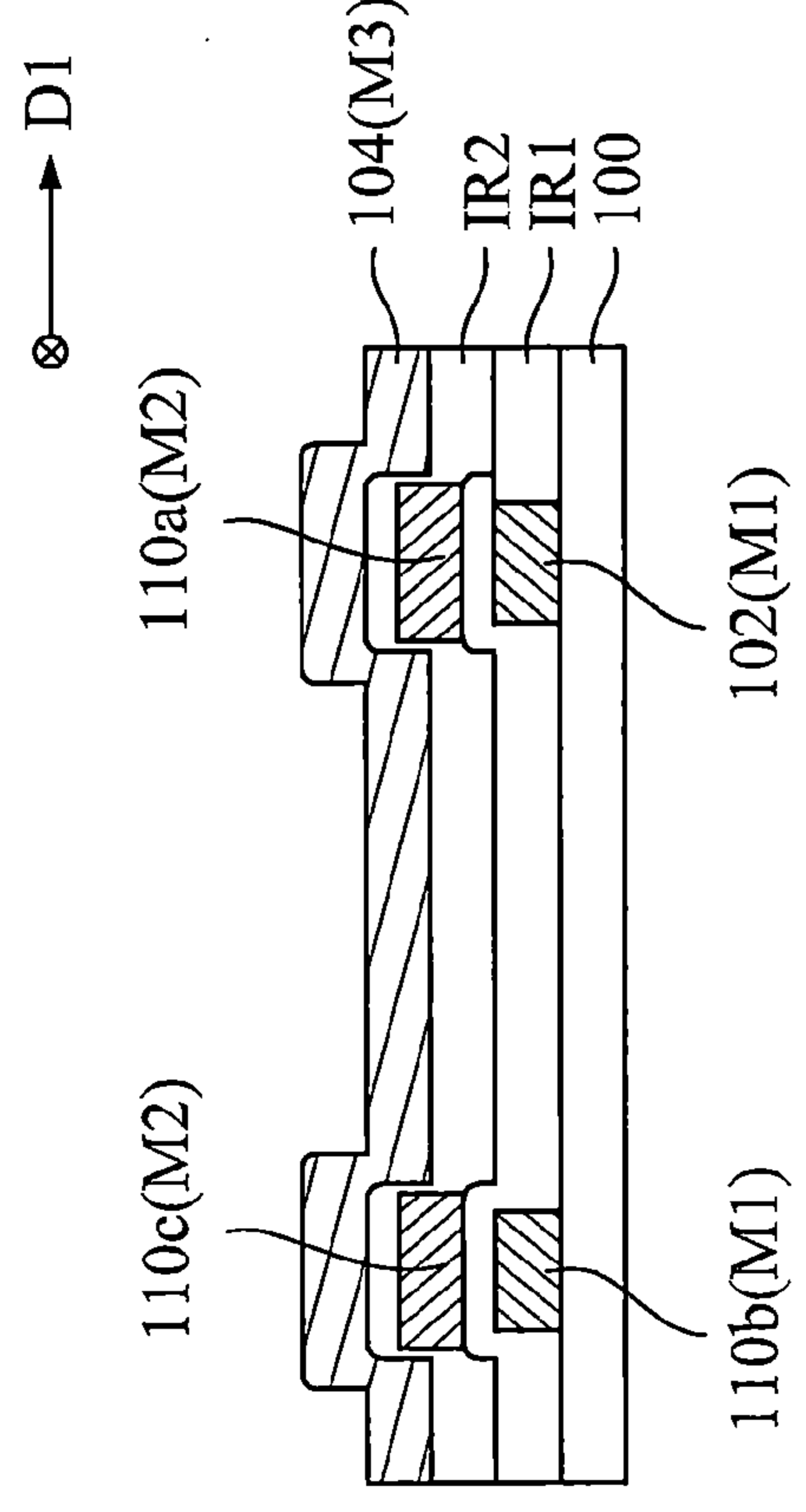
第 2B 圖



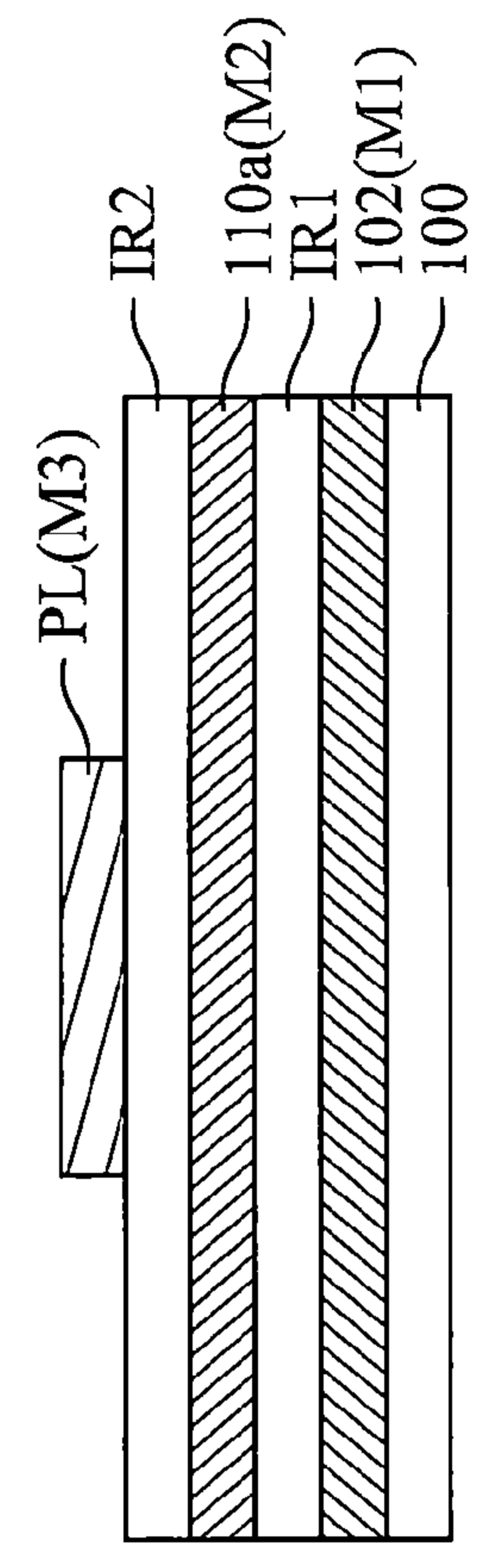
第 2C 圖



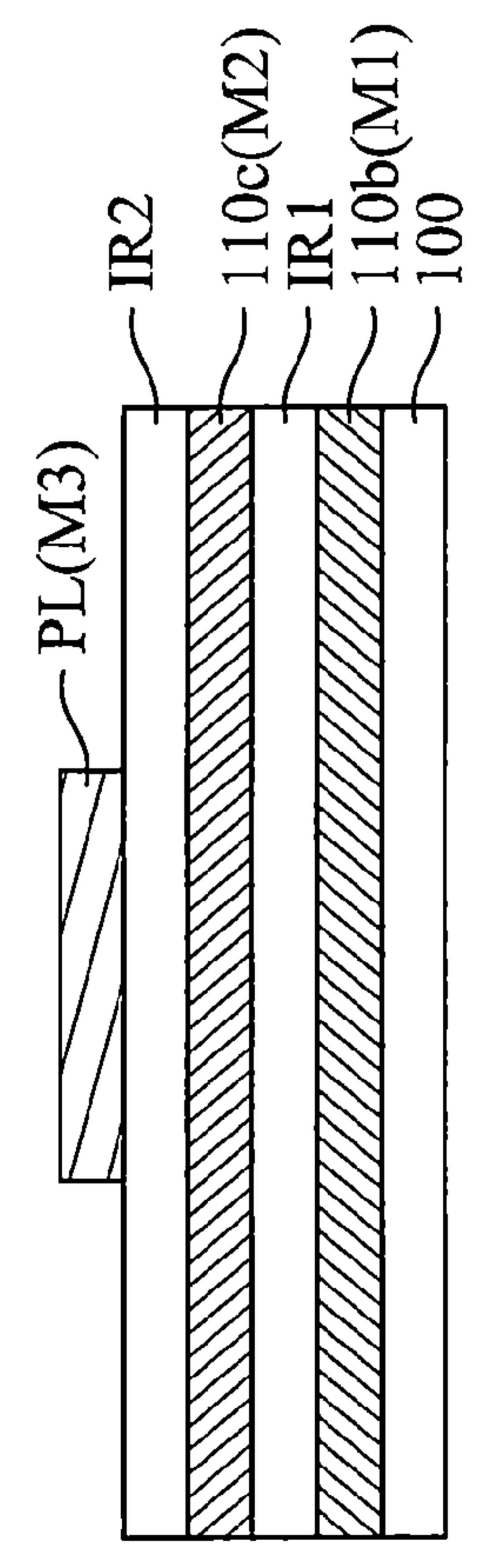
第3圖



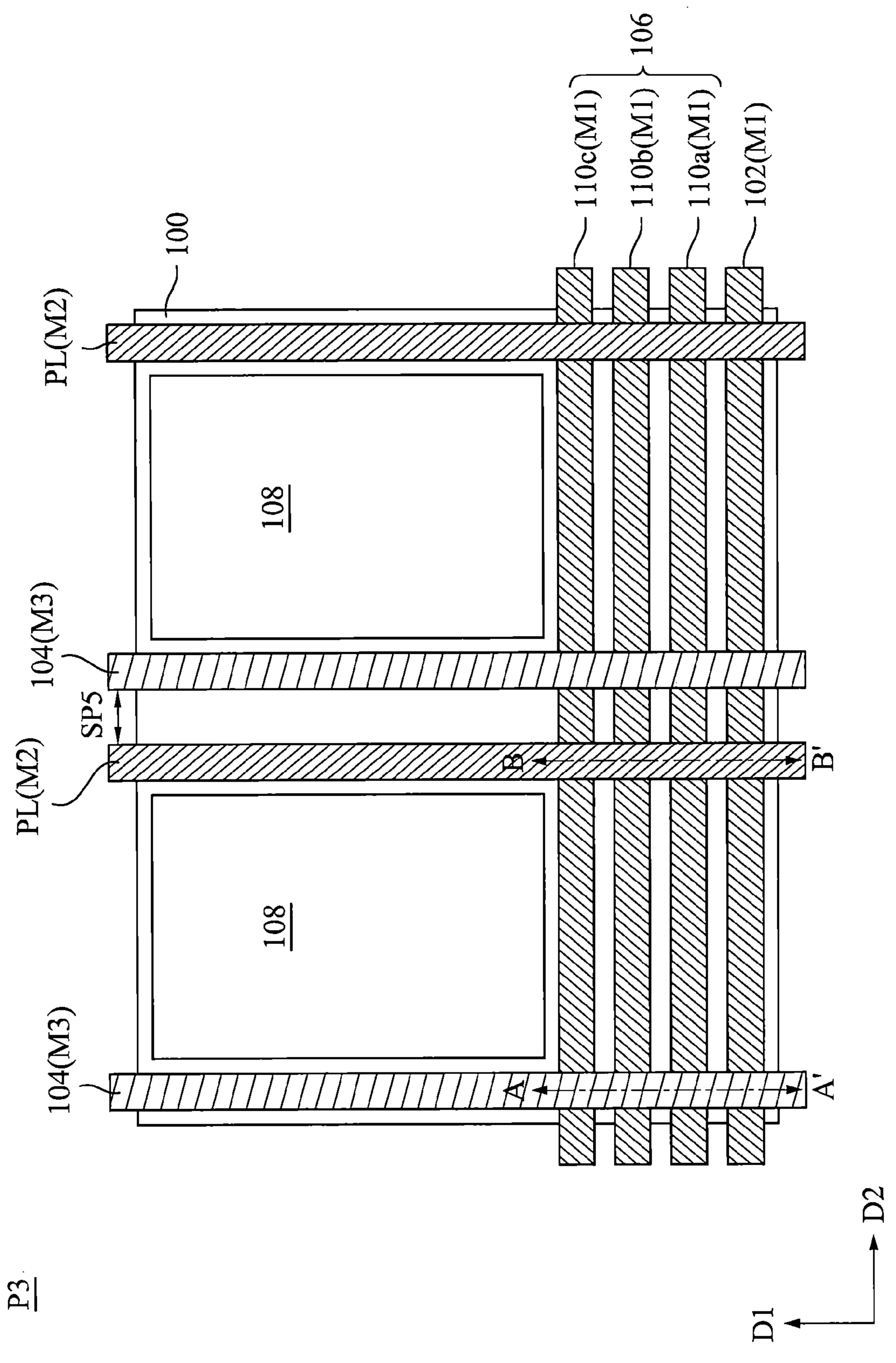
第 4A 圖



第 4C 圖



第 4B 圖



第5圖

