

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4339232号
(P4339232)

(45) 発行日 平成21年10月7日(2009.10.7)

(24) 登録日 平成21年7月10日(2009.7.10)

(51) Int.Cl.		F I	
GO3F 1/08 (2006.01)		GO3F	1/08 A
HO1L 21/027 (2006.01)		HO1L	21/30 5O2P
HO1L 21/336 (2006.01)		HO1L	29/78 6I2D
HO1L 29/786 (2006.01)		GO2F	1/1368
GO2F 1/1368 (2006.01)			

請求項の数 28 (全 27 頁)

(21) 出願番号 特願2004-342782 (P2004-342782)
 (22) 出願日 平成16年11月26日(2004.11.26)
 (65) 公開番号 特開2006-154122 (P2006-154122A)
 (43) 公開日 平成18年6月15日(2006.6.15)
 審査請求日 平成18年3月15日(2006.3.15)

(73) 特許権者 303018827
 NEC液晶テクノロジー株式会社
 神奈川県川崎市中原区下沼部1753番地
 (74) 代理人 100077838
 弁理士 池田 憲保
 (74) 代理人 100082924
 弁理士 福田 修一
 (74) 代理人 100129023
 弁理士 佐々木 敬
 (73) 特許権者 000002897
 大日本印刷株式会社
 東京都新宿区市谷加賀町一丁目1番1号
 (74) 代理人 100077838
 弁理士 池田 憲保

最終頁に続く

(54) 【発明の名称】 アクティブマトリクス型表示装置用フォトマスク及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

絶縁基板上に形成されたゲート電極及びゲート配線、ゲート絶縁膜、半導体膜及び金属膜の積層構造上に形成したレジストパターンをマスクとして前記金属膜をエッチングしてドレイン電極、ソース電極、信号配線、信号端子金属電極及び信号配線と信号端子金属電極との引出し線となる金属膜パターンを形成する工程と、前記レジストパターンをリフローして前記金属膜パターン上及び前記ゲート電極上方に位置し少なくとも前記ドレイン電極となる領域とソース電極となる領域との間の領域を埋めるようにリフローレジストを形成する工程と、前記リフローレジストをパターンとして前記半導体層をエッチングして半導体アイランドをドレイン電極、ソース電極、信号配線、信号端子金属電極、引出し線の下部に形成する工程とを含み、前記レジストパターンは、前記ドレイン電極及びソース電極となる領域の上部でこれら電極が互いに対抗する側の領域で厚い膜のレジスト層を、前記ドレイン電極及びソース電極となる領域の上部でこれら電極が互いに対向する側の領域のほかの領域、前記信号配線、信号端子金属電極、引出し線となる領域の上部で薄い膜のレジスト層を有し、前記リフロー工程において、前記薄い膜のレジスト層は前記ドレイン電極及びソース電極となる領域の上部でこれら電極が互いに対向する側のほかの領域、前記信号配線、信号端子金属電極、引き出し線となる領域でこれらの輪郭を超えた拡がりがある表面張力によって抑制された表示装置の製造方法における前記レジストパターンの形成に使用されるフォトマスクであって、前記ドレイン電極及びソース電極の一部に対応した形状の遮光部と、前記ドレイン電極及びソース電極のほかの部分、前記信号配線、信号端子

金属電極、引出し線に対応した形状の半透明部を有するフォトマスク。

【請求項 2】

前記金属パターンを形成する工程と前記リフロー工程との間に半導体層の一部をエッチングする工程を含む請求項 1 記載のフォトマスク。

【請求項 3】

前記フォトマスクは、前記半透明部と前記遮光部のほかに透明部を有する請求項 1 又は 2 記載のフォトマスク。

【請求項 4】

絶縁基板上に形成されたゲート電極及びゲート配線、ゲート絶縁膜、半導体膜、及び金属膜の積層構造上に形成したレジストパターンをマスクとして前記金属膜をエッチングしてドレイン電極、ソース電極、信号配線、信号端子金属電極、信号配線と信号端子金属電極との引出し線となる金属膜パターンを形成する工程と、前記レジストパターンをリフローして前記金属膜パターン上及び前記ゲート電極上方に位置し少なくとも前記ドレイン電極となる領域とソース電極となる領域との間の領域を埋めるようにリフローレジストを形成する工程と、前記リフローレジストをパターンとして前記半導体層をエッチングして半導体アイランドをドレイン電極、ソース電極、信号配線、信号端子金属電極、引出し線の下部に形成する工程とを含み、前記レジストパターンは、前記ドレイン電極及びソース電極となる領域の上部でこれら電極が互いに対抗する側の領域で厚い膜のレジスト層を、前記ドレイン電極及びソース電極となる領域の上部でこれら電極が互いに対向する側の領域のほかの領域、前記信号配線、信号端子金属電極、引出し線となる領域の上部で薄い膜のレジスト層を有し、前記リフロー工程において、前記薄い膜のレジスト層は前記ドレイン電極及びソース電極となる領域の上部でこれら電極が互いに対向する側のほかの領域、前記信号配線、信号端子金属電極、引き出し線となる領域でこれらの輪郭を超えた横方向の拡がりによって抑制されたパターン形成方法におけるレジストパターンの形成に使用されるフォトマスクであって、前記ドレイン電極及びソース電極の一部に対応した形状の遮光部と、前記ドレイン電極及びソース電極のほかの部分、前記信号配線、信号端子金属電極、引き出し線に対応した形状の半透明部を有するフォトマスク。

【請求項 5】

前記金属パターンを形成する工程と前記リフロー工程との間に半導体層の一部をエッチングする工程を含む請求項 4 記載のフォトマスク。

【請求項 6】

前記フォトマスクは、前記半透明部と前記遮光部のほかに透明部を有する請求項 4 又は 5 記載のフォトマスク。

【請求項 7】

請求項 1 乃至 6 の何れか 1 の請求項記載のフォトマスクにおいて、半透明部の面積が、遮光部の面積に対して、10%以上であることを特徴とするフォトマスク。

【請求項 8】

請求項 1 乃至 7 の何れか 1 の請求項記載のフォトマスクにおいて、半透明部の露光光に対する透過率が、10%以上、50%以下であることを特徴とするフォトマスク。

【請求項 9】

請求項 1 乃至 8 の何れか 1 の請求項記載のフォトマスクにおいて、半透明部が、透明基板上に形成されたタンタルを主成分とする半透明膜によって形成され、遮光部が、透明基板上に成膜されたタンタル半透明膜上にさらにクロムを主成分とする膜が積層された多層膜によって形成されていることを特徴とするフォトマスク。

【請求項 10】

請求項 1 乃至 8 の何れか 1 の請求項記載のフォトマスクにおいて、半透明部が、透明基板上に形成されたモリブデンシリサイドを主成分とする膜によって形成され、遮光部が、基板上に成膜されたモリブデンシリサイド半透明膜上にさらにクロムを主成分とする膜が積層された多層膜によって形成されていることを特徴とするフォトマスク。

【請求項 11】

10

20

30

40

50

請求項 1 乃至 8 の何れか 1 の請求項記載のフォトマスクにおいて、半透明部が、透明基板上に形成されたクロムを主成分とする膜によって形成され、遮光部が、基板上に成膜されたクロム半透明膜上に中間膜を挟み、さらにクロムを主成分とする膜が積層された多層膜によって形成されていることを特徴とするフォトマスク。

【請求項 1 2】

請求項 1 1 記載のフォトマスクにおいて、中間膜が、酸化ケイ素、窒化珪素、窒化酸化ケイ素、酸化アルミニウム、酸化ハフニウム、酸化ジルコニウム、酸化タンタル、酸化モリブデン、酸化タンタルシリサイド、酸化モリブデンシリサイド、フッ化クロム、フッ化酸化クロム、酸化錫、酸化インジウム、酸化インジウム錫、酸化亜鉛のうち 1 つからなる膜または複数の組み合わせた混合膜であることを特徴とするフォトマスク。

10

【請求項 1 3】

請求項 9 乃至 1 2 の何れか 1 の請求項記載のフォトマスクにおいて、半透明膜上に積層されたクロムを主成分とする膜が、窒化クロムを主成分とする第一の膜と、酸化クロムまたは酸化窒化クロムを主成分とする第二の膜とからなることを特徴とするフォトマスク。

【請求項 1 4】

請求項 1 乃至 8 の何れか 1 の請求項記載のフォトマスクを製造する方法であって、透明基板上に形成した遮光膜に第 1 のレジストパターンを形成する工程と、前記第 1 のレジストパターンをマスクとして遮光膜をエッチングして前記透明基板を露出させ遮光部パターンを形成する工程と、前記第 1 のレジストパターンを除去した後前記遮光部及び露出した基板上に半透明膜を形成する工程と、前記半透明膜上に第 2 のレジストパターンを形成する工程と、前記第 2 のレジストパターンをマスクとして前記半透明膜をエッチングして前記透明基板を露出させ半透明部を形成する工程とを含むフォトマスクの製造方法。

20

【請求項 1 5】

請求項 1 4 記載のフォトマスクの製造方法において、遮光膜が、クロム、窒化クロム、または、フッ化クロムを主成分とした薄膜より構成されることを特徴とするフォトマスクの製造方法。

【請求項 1 6】

請求項 1 4 記載のフォトマスクの製造方法において、遮光膜が、透明基板上に成膜される順番で、クロム、窒化クロム、または、フッ化クロムを主成分とする薄膜と、酸化クロム、酸化窒化クロム、または、フッ化酸化クロムを主成分とする薄膜との積層膜から構成されることを特徴とするフォトマスクの製造方法。

30

【請求項 1 7】

請求項 1 4 記載のフォトマスクの製造方法において、半透明膜が、酸化クロム、または、酸化窒化クロムを主成分とする薄膜から構成されることを特徴とするフォトマスクの製造方法。

【請求項 1 8】

請求項 1 4 記載のフォトマスクの製造方法において、半透過膜を形成する成膜工程において、第二のレジストパターンを形成する際の位置合わせ基準パターン上、及び、その周辺上にマスクングを行い、この位置合わせ基準パターンに半透過膜が形成されないようにすることを特徴とするフォトマスクの製造方法。

40

【請求項 1 9】

請求項 1 4 記載のフォトマスクの製造方法において、半透過膜の形成を基板上全面に行い、第二のレジストパターンを形成する前に、第二のレジストパターンを形成する際の位置合わせ基準パターン上、及び、その周辺上の半透過膜を除去する工程を設けることを特徴とするフォトマスクの製造方法。

【請求項 2 0】

請求項 1 乃至 8 の何れか 1 の請求項記載のフォトマスクを製造する方法であって、透明基板上に順次形成した半透明膜及び遮光膜の積層構造に厚い膜のレジスト層と薄い膜のレジスト層からなるレジストパターンを形成する工程と、前記レジストパターンをマスクに前記半透明膜および遮光膜をエッチングして前記透明基板を露出させる工程と、前記薄い膜

50

のレジストを除去し前記遮光膜をエッチングして前記半透明膜を露出して半透明部を形成する工程と、前記厚い膜のレジストを除去して遮光部を形成する工程とを含むフォトマスクの製造方法。

【請求項 2 1】

請求項 2 0 記載のフォトマスクを製造する方法であって、前記薄い膜のレジストの除去をプラズマアッシングにより行うフォトマスクの製造方法。

【請求項 2 2】

請求項 2 0 記載のフォトマスクを製造する方法であって、前記薄い膜のレジストの除去をレジストの再現像により行うフォトマスクの製造方法。

【請求項 2 3】

請求項 2 0 記載のフォトマスクを製造する方法であって、前記薄い膜のレジストの除去をレジストをベークした後レジストの再現像により行うフォトマスクの製造方法。

【請求項 2 4】

請求項 2 0 記載のフォトマスクを製造する方法であって、前記レジストパターンを形成する工程は、前記遮光膜上に形成したレジスト層を前記レジスト層の面方向に電子線又は光ビームで走査し、前記レジスト層の面方向で照射量を変化させる工程を含むフォトマスクの製造方法。

【請求項 2 5】

請求項 2 4 記載のフォトマスクを製造する方法であって、前記照射量の変化は、電子線又は光ビームの複数回の走査によって行うフォトマスクの製造方法。

【請求項 2 6】

請求項 2 5 記載のフォトマスクを製造する方法であって、前記複数回の走査は、所定領域で一定の照射量の第 1 の走査と、所定領域で照射量を変化させた第 2 の走査を含むフォトマスクの製造方法。

【請求項 2 7】

請求項 2 6 記載のフォトマスクを製造する方法であって、前記第 1 の走査と前記第 2 の走査の走査領域が重複する領域を含むフォトマスクの製造方法。

【請求項 2 8】

請求項 2 6 記載のフォトマスクを製造する方法であって、前記第 1 の走査と前記第 2 の走査の走査領域が重複していないように照射するフォトマスクの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、フォトマスクに関し、特に、液晶表示装置、EL表示装置などのアクティブマトリクス型表示装置の製造方法に使用するハーフトーンマスク及びハーフトーンマスクの製造方法に関する。

【背景技術】

【0002】

フォトレジストパターンをリフローさせ、リフローレジストパターンを使用してフォトリソグラフィ工程を低減する液晶表示装置(LCD)の製造方法が知られている。ハーフトーンマスクをリフローレジストパターンを形成する前の元のレジストマスクの作成に使用する技術が、特開2002-344830(特許文献1)に開示されている。レジストのリフローとして、加熱処理リフロー及び薬液溶解リフローがあり、後者はリフローによる拡がりの方が前者より優れ、しかも下地層との密着性がよく、互いに離れたレジストパターン領域をリフローによって合体させ、合体させたレジストパターンを形成することができる。このため、LCDの製造に用いるTFT(Thin Film Transistor)の製造において、前工程で用いたレジストパターンをリフローさせ形成したリフローレジストパターンを、新たなフォトリソグラフィ工程を経ることなく、ソース電極及びドレイン電極下部及びゲート電極上部のa-Si層のアイランド化に使用することができる。

10

20

30

40

50

【0003】

Si層のアイランド化は、TFT領域だけでなく、ドレイン電極から延びる信号配線（ドレイン配線）下部及び、信号配線と外部回路との接続に供する信号端子下部に亘って行われるが、従来のリフローを用いたレジストパターンの形成では、TFT領域及び信号配線下部のa Si層のアイランド化で、TFT領域及び信号配線下部のa Siの幅がドレイン電極及びソース電極の幅や信号配線の幅より大きくなる（特許文献1の図5から図7）。このためTFT領域では、ゲート電極との寄生容量が増加する。また、信号配線下部についてもa Si層の幅が広がるため、信号配線と画素電極の寄生容量が増加する。このような寄生容量の増加は、LCDにおける信号転送及びスイッチングの速度に悪影響を与えると共に、信号線の電位が画素電極に伝わりやすくなり、表示ムラが発生してしまう。

10

【0004】

信号配線下部のa Si層の幅の拡がりを抑える方法として、TFTのドレイン電極、ソース電極、ドレイン配線（信号配線）となる金属膜のパターン化に用いるレジストパターンの膜厚をドレイン電極及びソース電極となる領域で、ドレイン配線（信号配線）となるべき領域のレジストパターンより厚く形成する方法が知られている。このようにして、ドレイン電極及びソース電極となる領域のレジストパターンを厚くし、ドレイン配線となる領域のレジストパターンを薄くして形成したレジストパターンを用いて、エッチングして金属膜パターンを形成した後、レジストをリフローすると、レジスト膜の薄い領域のレジストのリフローによる拡がりは小さく、したがってその後に行うアイランド化で、a Si層の幅の拡がりを抑えることができる（特許文献1の図8から図11）。

20

【0005】

さらに、拡がりを抑える方法として、リフローする前に、レジスト表面をアッシングし、薄いレジスト部分を取り除き、アッシングにより膜厚は減るものの残った膜厚の厚いレジストをリフローさせ、TFTとなる領域だけリフローレジストパターンを形成し、a Si層のアイランド化を図る方法がある（特許文献1の図12から図15）。この場合、ドレイン配線下部のa Si層は、ドレイン配線パターンで、エッチングされてアイランド化されるため、ドレイン配線下部のa Si層の幅は拡がらず配線パターンの幅と同じにすることができる。

30

【0006】

しかしながら、上述の特許文献1は、TFT領域及び信号配線領域で寄生容量の低減は可能であるが、信号配線の引出し配線、信号端子部を含めた寄生容量の問題、特にa Si層をどのようにアイランド化するかについての言及はされていない。

【0007】

特許文献1は、TFTのドレイン電極、ソース電極、ドレイン配線（信号配線）となる金属膜のパターン化に用いるレジストパターンの膜厚をドレイン電極及びソース電極となる領域で、ドレイン配線（信号配線）となるべき領域のレジストパターンより厚く形成するために、即ち、レジストマスクの膜厚を部分的に制御するため、露光工程で使用するフォトリソマスクとして、遮光部と少なくとも2段階以上に透過光量を制御した半透明部のパターンからなるフォトリソマスクを開示している。

40

【0008】

しかし、信号配線の引出し配線、信号端子部を含めてどのようなパターンのフォトリソマスクが使用されるかについての言及はない。

【0009】

また、厚い膜厚のパターンと薄いパターンのレジストマスクを形成するための遮光部と半透明部からなるフォトリソマスクの製造方法についての開示はされていない。

【0010】

【特許文献1】特開2002-334830号公報

【発明の開示】

【発明が解決しようとする課題】

50

【0011】

したがって、本発明の他の目的は、フォトリソグラフィ工程の増加を抑えながら信号端子領域をも含めた a Si 層のアイランド化を行い全体としての寄生容量の増加を抑えることのできる LCD 装置の製造に使用するフォトマスク及びフォトマスクの製造方法を提供することにある。

【課題を解決するための手段】

【0012】

本発明によれば、絶縁基板上に形成されたゲート電極及びゲート配線、ゲート絶縁膜、半導体膜及び金属膜の積層構造上に形成したレジストパターンをマスクとして前記金属膜をエッチングしてドレイン電極、ソース電極、信号配線、信号端子金属電極及び信号配線と信号端子金属電極との引出し線となる金属膜パターンを形成する工程と、前記レジストパターンをリフローして前記金属膜パターン上及び前記ゲート電極上方に位置し少なくとも前記ドレイン電極とソース電極との間の領域を埋めるようにリフローレジストを形成する工程と、前記リフローレジストをパターンとして前記半導体層をエッチングして半導体アイランドをドレイン電極、ソース電極、信号配線、信号端子金属電極、引出し線の下部に形成する工程と、前記金属パターンを含む領域及び前記ゲート絶縁膜の露出領域に透明絶縁保護膜を形成する工程と、前記透明絶縁保護膜上に導電性膜を形成して画素電極を形成する工程とを含む表示装置の製造方法における前記レジストパターンの形成に使用されるフォトマスクであって、前記ドレイン電極及びソース電極の一部に対応した形状の遮光部パターンと、前記ドレイン電極及びソース電極のほかの部分、前記信号配線、信号端子金属電極、引出し線に対応した形状の半透明部パターンを有するフォトマスクが得られる。

10

20

【0013】

フォトマスクは、前記半透明部と前記遮光部のほかに透明部を有する。

【0014】

本発明によれば、また、絶縁基板上に形成されたゲート電極及びゲート配線、ゲート絶縁膜、半導体膜、及び金属膜の積層構造上に形成したレジストパターンをマスクとして前記金属膜をエッチングしてドレイン電極、ソース電極、信号配線、信号端子金属電極、信号配線と信号端子金属電極との引出し線となる金属膜パターンを形成する工程と、前記レジストパターンをリフローして前記金属膜パターン上及び前記ゲート電極上方に位置し少なくとも前記ドレイン電極とソース電極との間の領域を埋めるようにリフローレジストを形成する工程と、前記リフローレジストをパターンとして前記半導体層をエッチングして半導体アイランドをドレイン電極、ソース電極、信号配線、信号端子金属電極、引出し線の下部に形成する工程とを含むパターン形成方法におけるレジストパターンの形成に使用されるフォトマスクであって、前記ドレイン電極及びソース電極の一部に対応した形状の遮光部と、前記ドレイン電極及びソース電極のほかの部分、前記信号配線、信号端子金属電極、引出し線に対応した形状の半透明部を有するフォトマスクが得られる。

30

【0015】

本発明のフォトマスクにおいては、半透明部の面積が、遮光部の面積に対して、10%以上であることが望ましい。

40

【0016】

また、半透明部の露光光に対する透過率が、10%以上、50%以下であることが望ましい。

【0017】

本発明のフォトマスク具体的構成としては、半透明部が、透明基板上に形成されたタンタルを主成分とする半透明膜によって形成され、遮光部が、透明基板上に成膜されたタンタル半透明膜上にさらにクロムを主成分とする膜が積層された多層膜によって形成される。

【0018】

本発明のフォトマスク別の具体的構成として、半透明部が、透明基板上に形成されたモ

50

リブデンシリサイドを主成分とする膜によって形成され、遮光部が、基板上に成膜されたモリブデンシリサイド半透明膜上にさらにクロムを主成分とする膜が積層された多層膜によって形成される。

【0019】

本発明のフォトマスク他の具体的構成として、半透明部が、透明基板上に形成されたクロムを主成分とする膜によって形成され、遮光部が、基板上に成膜されたクロム半透明膜上に中間膜を挟み、さらにクロムを主成分とする膜が積層された多層膜によって形成される。

【0020】

中間膜としては、酸化ケイ素、窒化珪素、窒化酸化ケイ素、酸化アルミニウム、酸化ハフニウム、酸化ジルコニウム、酸化タンタル、酸化モリブデン、酸化タンタルシリサイド、酸化モリブデンシリサイド、フッ化クロム、フッ化酸化クロム、酸化錫、酸化インジウム、酸化インジウム錫、酸化亜鉛のうち1つからなる膜または複数の組み合わせた混合膜で形成される。

【0021】

また、半透明膜上に積層されたクロムを主成分とする膜が、窒化クロムを主成分とする第一の膜と、酸化クロムまたは酸化窒化クロムを主成分とする第二の膜とからなってもよい。

【0022】

本発明によれば、表示装置の製造方法又はレジストパターンの形成方法に使用されるフォトマスクを製造する方法であって、透明基板上に形成した遮光膜に第1のレジストパターンを形成する工程と、前記第1のレジストパターンをマスクとして遮光膜をエッチングして前記透明基板を露出させ遮光部を形成する工程と、前記第1のレジストパターンを除去した後前記遮光部及び露出した基板上に半透明膜を形成する工程と、前記半透明膜上に第2のレジストパターンを形成する工程と、前記第2のレジストパターンをマスクとして前記半透明膜をエッチングして前記透明基板を露出させ半透明部を形成する工程とを含むフォトマスクの製造方法が得られる。

【0023】

膜の具体的構成によれば、遮光膜が、クロム、窒化クロム、または、フッ化クロムを主成分とした薄膜より構成される。

【0024】

また、別の具体的構成によれば、遮光膜が、透明基板上に成膜される順番で、クロム、窒化クロム、または、フッ化クロムを主成分とする薄膜と、酸化クロム、酸化窒化クロム、または、フッ化酸化クロムを主成分とする薄膜との積層膜から構成される。

【0025】

他の、具体的構成によれば、半透明膜が、酸化クロム、または、酸化窒化クロムを主成分とする薄膜から構成される。

【0026】

また、半透過膜を形成する成膜工程において、第二のレジストパターンを形成する際的位置合わせ基準パターン上、及び、その周辺上にマスキングを行い、この位置合わせ基準パターンに半透過膜が形成されないようにする。

【0027】

別の、やり方として、半透過膜の形成を基板上全面に行い、第二のレジストパターンを形成する前に、第二のレジストパターンを形成する際的位置合わせ基準パターン上、及び、その周辺上の半透過膜を除去する工程を設け手もよい。

【0028】

本発明によれば、表示装置の製造方法又はレジストパターンの形成方法に使用されるフォトマスクを製造する方法であって、透明基板上に順次形成した半透明膜及び遮光膜の積層構造に厚い膜のレジスト層と薄い膜のレジスト層からなるレジストパターンを形成する工程と、前記レジストパターンをマスクに前記半透明膜および遮光膜をエッチングして前記

10

20

30

40

50

透明基板を露出させる工程と、前記薄い膜のレジストを除去し前記遮光膜をエッチングして前記半透明膜を露出して半透明部パターンを形成する工程と、前記厚い膜のレジストを除去して遮光部パターンを形成する工程とを含むフォトマスクの製造方法が得られる。

【0029】

薄い膜のレジストの除去をプラズマアッシングにより行う。

【0030】

また、他の実施形態によれば、前記薄い膜のレジストの除去をレジストの再現像により行う。

【0031】

さらに、別の実施形態によれば、前記薄い膜のレジストの除去をレジストをベークした後レジストの再現像により行う。

10

【0032】

前記レジストパターンを形成する工程は、前記遮光膜上に形成したレジスト層を前記レジスト層の面方向に電子線又は光ビームで走査し、前記レジスト層の面方向で照射量を変化させる工程を含む。

【0033】

前記照射量の変化は、電子線又は光ビームの複数回の走査によって行ってもよい。

【0034】

前記複数回の走査は、所定領域で一定の照射量の第1の走査と、所定領域で照射量を変化させた第2の走査を含む。

20

【0035】

前記第1の走査と前記台の走査の走査領域が重複する領域を含んでもよい。

【0036】

前記第1の走査と前記台の走査の走査領域が重複していないように照射してもよい。

【発明の効果】

【0037】

本発明では、ドレイン電極及びソース電極の一部に対応した形状の遮光部パターンと、ドレイン電極及びソース電極のほかの部分、信号配線、信号端子金属電極、引出し線に対応した形状の半透明部パターンを有するフォトマスクを使用して、絶縁基板上に形成されたゲート電極及びゲート配線、ゲート絶縁膜、半導体膜及び金属膜の積層構造上に形成したフォトレジストに、信号配線、信号引出線、信号端子、ドレイン電極の1部、ソース電極の1部となる領域を厚みの薄いレジストパターンで、ドレイン電極及びソース電極が互いに対向する位置からゲート電極幅を超えた短い距離の領域に厚みの比較的厚いレジストパターンを形成することができる。

30

【0038】

そして、金属層、コンタクト層をエッチングし、これらレジストパターンのリフローにより、半導体層をアイランド化できる。このため、薄いレジストパターンが形成された信号配線、信号引出線、信号端子、ドレイン電極の1部、ソース電極の1部となる領域では、リフロープロセスによっても、レジストの端部が半導体層へ流れ出しその表面を覆うのを防止でき、半導体層のアイランド化の際に信号配線、信号引出線、信号端子の各領域を含めてアイランドの半導体膜の面積の拡がりを抑制できる。

40

【0039】

したがって、本発明を適用して製造した表示装置では、信号配線と画素電極の寄生容量の増加を抑制することができ、信号配線の電位が画素電極に伝わり表示ムラが発生するのを抑制できる。

【発明を実施するための最良の形態】

【0040】

次に本発明の実施の形態について図面を参照して説明する。

【0041】

本発明の理解のために、本発明を使用するアクティブマトリクス型表示装置の典型で

50

あるLCD表示装置について説明する。

【0042】

図1は、本発明が適用されるLCD表示装置のTFT基板900の1部を示すもので、ガラス基板1上にマトリクス状に配列された画素2、横方向に平行に配列された走査線210、縦方向に平行に配列された信号配線610がそれぞれ多数配置されている。走査線は、基板の側面に形成されたゲート端子5とゲート引出配線6で電氣的に接続されている。信号配線610は、基板上方に形成された信号端子7と信号引出配線8で接続されている。走査線はTFTのゲート電極に連なっておりゲート配線ともいう。信号配線は、TFTのドレイン電極に接続されドレイン配線ともいう。

【0043】

図2は、1つの区画の画素2を模式的に示した平面図で、走査線210、信号配線610に囲まれてTFT部9、画素電極110が配置されている。走査線が選択されゲート電極20に選択信号が印加された状態で、信号配線に信号電圧が印加されるとTFTはオンし、画素電極110にドレイン電極61、ソース電極62を経由して信号電圧を供給する。

【0044】

図3は、本発明を適用してできるTFT基板の1画素のTFT部とその配線及び画素電極との関係の詳細を示し、同図(a)及び(b)は、それぞれ平面図及び(a)のAA断面を示す断面図である。

【0045】

図4は、図1に示した信号端子の詳細を示し、同図(a)は1つの信号端子の平面図、同図(b)はそのBB断面図である。

【0046】

図3を参照すると、TFT部9は、半導体アイランド410上にコンタクト層51とドレイン電極61及びコンタクト層52とソース電極62が配置され、半導体アイランド410の下部にゲート絶縁膜30を介してゲート電極20が配置されている。ソース電極62は、パッシベーション膜80のコンタクトホールに形成された透明導電膜100で画素電極110に接続されている。ゲート電極20は、走査線(ゲート配線)210と同一の金属層であり、ドレイン電極61は、信号配線(ドレイン配線)610と同一の金属層からなっている。

【0047】

図4を参照すると、信号端子部7は、絶縁膜30上に半導体アイランド410、コンタクト層53、金属層(信号端子金属電極)63、パッシベーション膜80が配置され、そのパッシベーション膜に設けたコンタクトホールの金属層63の上に透明導電膜100を形成して、外部端子との接続に供する信号端子を形成している。そして、半導体アイランド410の幅は、コンタクト層53及び金属電極63の幅と実質的に同じである。信号引出配線における積層構造は、信号端子部におけるパッシベーション膜までの積層構造と同じであり、金属層、コンタクト層、半導体アイランドの各幅は実質的に同じ幅である。信号引出配線では、コンタクトホールや透明導電膜が形成されていない点及び長さ方向に亘る配線幅が信号配線と信号端子の配置関係によって必ずしも一様でない点が、信号端子と異なる。

【0048】

図17は、本発明のフォトマスクで、図17(a)はTFT部近傍のパターン590-1を、(b)は、信号端子近傍のパターン590-2を示す。図17(a)で、フォトマスクのガラス基板500上には、矩形の遮光膜パターン520-1, 520-2が配置されている。また、遮光膜520-1に連なって半透明膜510-1が、遮光膜520-2に連なって半透明膜510-2が配置されている。遮光膜520-1, 520-2は、後に、図5(d)で説明する厚い層のレジストパターン71, 72に対応する部分(遮光部)で、これらレジストパターンは、遮光膜の光学像パターンがレジスト上に照射され、現像処理によって形成された領域である。半透明膜510-1, 510-2は、同様に、後に

10

20

30

40

50

図5(d)で説明する薄い層のレジストパターン73,74に対応する部分(半透明部)で、前者の半透明膜の縦方向に走る帯状の領域は、信号配線(ドレイン配線)610に対応する(図7(a))。したがって、半透明膜パターンの光学像がレジスト照射され、現像処理され、薄いレジストパターンが形成される。

【0049】

また、図17(b)の信号端子近傍では、フォトマスクのガラス基板500に、半透明膜パターン510-3、510-4が形成されている。半透明膜パターン510-3は、後に説明する図6(b)における薄い膜のレジストパターンを形成するためのもので、半透明膜パターン510-3の光学像が、図6(a)のフォトレジスト70に照射され現像処理されて薄い膜のレジストパターンができる。図17(b)の半透明膜パターン510-4は、信号端子に連なる信号引出配線上に薄いレジスト膜パターンを形成するためのものである。

【0050】

このフォトマスクで、半透明部の面積は、遮光部の面積に対して10%以上であることが表示装置の表示領域を有効に使う点から望ましい。

【0051】

半透明部の透過率は、露光光に対して10%以上、50%以下であることが望ましい。

【0052】

図17に示したハーフトーンマスクを使用し、LCD表示装置を製造する方法について次に説明する。この製造方法では、本発明のハーフトーンマスクを用いることにより、信号配線、信号引出線、信号端子、ドレイン電極の1部、ソース電極の1部となる領域に厚みの薄いレジストパターンで、ドレイン電極及びソース電極が互いに対向する位置からゲート電極幅を超えた短い距離の領域に厚みの比較的厚いレジストパターンを形成する。このレジストパターンをマスクとして、金属層、コンタクト層をエッチングし、これらレジストパターンのリフローにより、半導体層をアイランド化する。このため、薄いレジストパターンが形成された信号配線、信号引出線、信号端子、ドレイン電極の1部、ソース電極の1部となる領域では、リフロープロセスによっても、レジストの表面張力によってレジストの端部が半導体層へ流れ出してその表面を覆うのを防止でき、半導体層のアイランド化の際にアイランドの半導体膜の面積の拡がりを抑制できる。

【0053】

図5及び図6は、それぞれLCDのTFT部近傍及び信号端子におけるTFT基板の積層プロセスを示す断面図である。

【0054】

両図を参照すると、ガラス基板10上に形成した金属層に周知のフォトリソグラフィ技術を適用してゲート電極20を形成する(図5(a))。ゲート電極の形成と同時にゲート配線(図示せず)も形成される。この金属膜は、アルミニウム、モリブデン、クロム、あるいはこれらを主成分とする合金等からなり、スパッタリングにより100~500nmの厚さに堆積して形成する。図5(a)の構造にシリコン窒化膜などからなるゲート絶縁膜30、アモルファスSi(a-nSi)からなる半導体層40、高不純物濃度のn⁺アモルファスSi(a-n⁺Si)からなるオーミックコンタクト層50をプラズマCVDによってそれぞれ、400nm、300nm、50nm程度の厚みに積層し、さらに250nmのCr/Al合金等の金属膜60を形成する(図5(b))。

【0055】

次にポジ型のフォトレジストを塗布し、80~100℃で加熱してフォトレジスト中の溶媒成分を除去してフォトレジスト膜70を形成する(図5(c))。次いで、フォトレジストに、所定のパターンの形状のフォトマスクの光学像を照射し、フォトレジストに潜像を形成する。フォトマスクの所定パターンは、後に詳しく説明するように、マスク基板上の遮光部、半透明部、全透過部から形成されている。このようなフォトマスクの光学像によって、フォトレジスト膜70は、遮光部の光学像の領域では光の照射を受けず、半透明膜の光学像領域ではレジストの表面と浅い部分に潜像が形成され、全透過部の光学像の

10

20

30

40

50

領域ではレジストがその深さに亘って潜像が形成される。このように露光されたレジスト膜をアルカリ溶液などの現像液に浸して現像し、光が照射され感光した領域を溶解させ、光の照射を受けない領域を残す。このようにして、遮光部に対応して約2ミクロンの厚い層のレジスト膜71,72、半透明部に対応して約0.2~0.7ミクロンの薄い層のレジスト膜73,74が形成される(図5(d))。

【0056】

図6を参照すると、同図(a)は信号端子部となる部分の積層構造で、図5(a)から(c)のプロセスで形成された積層構造の信号端子部の断面である。以下の各プロセスの説明でも特に説明が無い限り、同一図番の断面図は、同一プロセスでのTF T部近傍と信号端子部との断面図である。図6(a)で、信号端子部にはゲート配線がないために、この断面にはゲート電極に対応する金属層は存在しない。図6(a)のレジスト膜70へのフォトリソマスクのパターンは、半透明部と全透過部で形成されており、露光し、現像すると半透明膜部に対応して薄い層のレジスト膜76が形成され、他の領域のレジストは残らない(図6(b))。信号引出配線についても、配線幅に応じた形状の半透明部パターンを有するフォトリソマスクからの露光を受け薄い層のレジスト膜が形成される。

【0057】

図7は、TF T部近傍の図5(d)に続くプロセスを示す。図5(d)のレジストパターンが形成された構造でレジストパターンをマスクとして金属膜60の露出している部分、次いで、その下の $a-n^+Si$ を $a-nSi$ 層40が現れるまでドライエッチングする(図7(a)、(b))。このようにして、レジストパターンの形状(輪郭)で規定される形状のドレイン電極61、ドレイン配線610及びコンタクト層51が形成される。同様にソース電極62及びコンタクト層52が形成される。また、このエッチングにより、コンタクト層が51と52に離間し $a-nSi$ 層40にチャネル31が形成される。信号端子部では、図7(c)に示すように、このエッチングプロセスにより金属電極63及びコンタクト層53が、レジストパターン76の形状に規定されて形成される信号引出配線についても、レジスト膜形状で規制された形状の金属膜及びコンタクト層の形状ができる。なお、図7(a)の平面図では、ガラス基板10、ゲート絶縁膜30は省略し、また、オーミックコンタクト層51,52、ドレイン電極61、ソース電極62はレジストマスクパターンで見えない状態になっている。

【0058】

図8は、引続くプロセスを示す。レジストマスクで覆われた図7の状態、基板とともに有機溶剤の溶液の蒸気に曝し、薬液溶解リフロー処理を行う。薬液として、アセトンかプロピレングリコールモノエチルエーテルを用いると0.1~3分程度の蒸気暴露処理でよい。レジストに薬液が浸透している状態でレジストが溶解してリフローが起きる。その結果、レジストがリフローして厚い層のレジスト膜の領域ではレジストが横方向に広がり、厚いレジスト部分の面積は大きくなる。薄い層のレジスト膜は、溶解するものの層が薄いためその表面張力により横方向の広がりが現れない。図8(a)及び(b)は、TF T部近傍におけるレジストマスクがリフローして形成されたリフローマスク75の状態を示している。また、図8(c)は信号端子部のリフローレジストマスクを示す。信号引出配線のリフローレジストマスクの状態は信号端子部と同様である。

【0059】

次に、図8の状態、リフローマスク75,77をパターンとしてリフローマスクが施されていない領域の半導体層を反応性イオンエッチングして絶縁膜30の表面を露出させるとともに半導体アイランド410を形成する(図9(b)及び(c))。半導体アイランドは、厚い膜のリフローレジストに対応した領域では、ドレイン電極幅、ソース電極幅を超えて横方向に広がった半導体アイランドとなり、薄いリフローレジストに対応した部分では、半導体アイランドの面積は薄いレジストのそれと実質的に同じになる。このようにして形成したTF T部近傍の平面図及び断面図が図9(a)及び(b)、信号端子部の断面図が図9(c)である。

【0060】

10

20

30

40

50

次に、図9のリフローレジストマスク75, 77を剥離させ、その表面にシリコン窒化膜又はシリコン酸化膜であるパッシベーション膜80を全面に形成する。パッシベーション膜が形成された状態は、TFT部近傍について図10(a)に、信号端子部については図10(b)にその構造を示した。

【0061】

図10の状態、パッシベーション膜80の上にレジスト90を塗布し、ソース電極62上部及び信号端子部の金属電極63上部のレジストを露光して現像し、それら領域のレジストを除去し、図11(a)及び(b)に示すパターンのレジストマスク90を形成する。このレジストマスクを用いてパッシベーション膜80をエッチングする(図12(a)と(b))。さらにレジストマスクを剥離させて除去し、それぞれコンタクトホール810および820とする(図13(a)と(b))。次に、全面にITOからなる透明導電膜100を形成する(図14(a)と(b))。

10

【0062】

次にレジスト膜を全面に塗布し、フォトリソグラフィ技術を適用して、図15(a)及び(b)に示すレジストマスク120を形成する。このレジストマスクを用いてレジストマスクの施されていない領域の透明導電膜をエッチングにより除去し、さらにレジストマスク120を剥離により除去し、画素電極110(図16(a)及び(b))、及び信号端子部透明電極130(図16(c))を形成する。したがって、レジストマスク120は、画素電極110とソース電極62上のコンタクトホール領域及び画素電極とコンタクト領域を繋ぐ領域及び信号端子部のコンタクトホール領域およびこれらの近傍に形成し、他の部分には形成しない。

20

【0063】

このようにして完成したTFT基板に配向膜を塗布して配向処理した基板と、カラーフィルタ、ブラックマトリクス、透明電極、配向膜などが形成された対向基板を用意し、対向基板とTFT基板とを所定の間隔を保って液晶材料を充填して縦電界型の液晶表示装置が出来上がる。

【0064】

図18、図19、図20及び図21は、本発明のフォトマスク具体的構成およびフォトマスクの製造方法を示す実施例である。

【0065】

図18及び図19は、図17(a)に示すTFT近傍のフォトマスク領域590-1に対応したフォトマスクの作成プロセスに対応し、図20及び図21は、図17(b)に示す信号端子近傍のフォトマスク領域590-2に対応したフォトマスクの作成プロセスに対応し、それぞれCC断面及びDD断面の作成プロセスである。図面表示の都合上別々に図示し、別々の説明をするが、同一のプロセスで作成される。

30

【0066】

図18(a)において、ガラス基板600上に、遮光膜620を成膜する。遮光膜は、クロム、窒化クロム、又はフッ化クロムを主成分とした薄膜により構成される。遮光膜は、また、積層膜であってもよい。例えば、透明基板上に成膜される順番で、クロム、窒化クロム、又はフッ化クロムを主成分とする薄膜と、酸化クロム、酸化窒化クロム、又はフッ化酸化クロムを主成分とする薄膜との積層膜を用いることができる。成膜した遮光膜620表面にフォトレジスト又は電子線レジスト630を塗布し、その上にマスク650を配置し、電子ビーム又はレーザービームを照射してレジストを感光させる。マスクは、遮光領域651、652、透過領域653, 654, 655を有する。一様の強度の電子ビーム又はレーザービームの照射により、フォトレジストに潜像を形成する。

40

【0067】

マスク650を除去し、現像処理してレジスト633, 634を有する第1のレジストパターンを形成する(図18(b))。次に、レジストパターンをマスクとしてマスクのない部分の遮光膜をエッチングしてガラス表面を露出させ遮光膜パターン621, 622を形成し(図18(c))、レジストを除去する。

50

【 0 0 6 8 】

レジストが除去され、遮光膜パターン 6 2 1、6 2 2 を有する基板に半透明膜 6 1 6 を成膜する（図 1 9（a））。半透明膜として、酸化クロム又は酸化窒化クロムを主成分とする薄膜を用いる。半透明膜の形成は、基板全面に行い、第 2 のレジストパターンを形成する際の位置合わせ基準パターン（図示せず）上、及びその周辺上の半透過膜を除去する。他の方法として、半透明膜を形成する成膜工程において、第 2 のレジストパターンを形成する際の位置合わせ基準パターン（図示せず）上、及びその周辺にマスキングを行い、この位置合わせ基準パターンに半透明膜が形成されないようにする。

【 0 0 6 9 】

次に、第 2 のリゾグラフィ工程を適用する。半透明膜 6 1 6 上にレジスト 6 6 0 を塗布し（図 1 9（b））、マスクをかけて露光して現像し、第 2 のレジストパターン 6 6 0 を形成する（図 1 9（c））。このレジストマスクは、半透明膜 6 1 0 に所望のパターンを形成するためのもので、その半透明膜パターンの形状を有し、半透明膜パターンの上部に位置する。このレジストマスクの遮光膜パターン 6 2 1、6 2 2 に対する位置合わせは、アライメント光に対して透明なレジスト 6 6 0 を通して遮光膜を観察して行うことができる。また、アライメントマークを形成すパターンの凹凸が、レジスト 6 6 0 の表面でならされずに、浮かび出ている場合、この凹凸形状に対してアライメントをとってもよい。

【 0 0 7 0 】

図 1 9（c）のレジストパターンをマスクとして、半透明膜をガラス基板表面が露出するまでエッチングする（図 1 9（d））。その後、レジストマスクを剥離させ、図 1 9（e）に示す半透明膜 6 1 1、6 1 2、及び遮光膜 6 2 1、6 2 2、ガラス基板の露出した透明部からなるフォトマスクが得られる。

【 0 0 7 1 】

このフォトマスクでは、遮光膜と半透明膜が重なっている部分は、遮光部として働き、半透明膜だけが存する部分が半透明部として機能する。

【 0 0 7 2 】

図 2 0 及び図 2 1 は、図 1 8 及び図 1 9 と同一のプロセスで形成される信号端子近傍のフォトマスク領域のプロセスを示す。図 2 0 の（a）、（b）、（c）及び図 2 1 の（a）、（b）、（c）、（d）、（e）は、それぞれ、図 1 8 の（a）、（b）、（c）及び図 1 9 の（a）、（b）、（c）、（d）、（e）の各図に示すプロセスと対応するもので、その説明の詳細は省略し、簡単に述べる。

【 0 0 7 3 】

図 2 0 の（a）において、信号端子近傍のフォトマスク領域の作成では、マスク 6 5 0 は、一様な強度の電子ビームまたはレーザービーム光を通過し、レジスト 6 3 0 に電子ビームが照射される。現像処理するとレジストが除去され遮光膜 6 2 0 が残る（図 2 0（b））。次に、遮光膜がエッチングされ、ガラス基板の表面が露出する（図 2 0（c））。その後、半透明膜 6 1 0 を成膜し（図 2 1（a））、レジスト 6 6 0 を塗布し（図 2 1（b））、第 2 のリゾグラフィ工程を行いレジストマスク 6 6 5 を形成する（図 2 1（c））。このレジストマスクを使用して半透明膜をレジストマスクと同じ形状にエッチングする（図 2 1（d））。次に、レジストマスク 6 6 5 を剥離させ半透明膜パターン 6 1 5 を有する信号端子近傍のフォトマスク領域が出来上がる（図 2 1（e））。この半透明膜パターン 6 1 5 が半透明部として機能する。

【 0 0 7 4 】

次に、図 2 2、図 2 3、図 2 4 及び図 2 5 を用いて本発明の別の実施例であるフォトマスクおよびその製造方法について説明する。

【 0 0 7 5 】

図 2 2 及び図 2 3 は、図 1 7（a）に示す T F T 近傍のフォトマスク領域 5 9 0 - 1 に対応した作成プロセスを、図 2 4 及び図 2 5 は、図 1 7（b）に示す信号端子近傍のフォトマスク領域 5 9 0 - 2 に対応した作成プロセスを示し、それぞれ C C 断面及び D D 断面の作成プロセスである。図面表示の都合上別々の図での説明になっているが、同一のプロセ

10

20

30

40

50

スで作成される。

【0076】

この実施例では、先の実施例（図18～図21）と層構造が類似しているため、同一の参照符号を用いている。

【0077】

図22(a)、図24(a)を参照すると、光学研磨された合成石英基板600上にクロム遮光膜620が約100nm成膜されている常用のフォトマスクブランク上に、市販のフォトレジスト630（東京応化工業社製ip-3500）を約380nm塗布し、120度に加熱されたホットプレートで15分ベークした後、フォトマスク用レーザ描画装置マイクロニック社製LRS11000-TFT3で、所望の遮光膜パターンを描画した。ここで描画したパターンは、遮光領域を形成するためのパターンである。

10

【0078】

次に、専用のデベロッパー（東京応化工業社製NMD3）で現像し、第一のレジストパターン633、634を得た（図22(b)、図24(b)）。

【0079】

次にレジストパターン633、634をエッチング用マスクとし、クロム膜620をエッチングし（図22(c)、図24(c)）、さらに残ったレジストパターンを剥膜することで、所望の遮光膜パターンを得た。なお、クロム膜のエッチングには、市販の硝酸セリウム系ウェットエッチャント（ザ・インクテック社製MR-ES）を用いた。クロム膜のエッチング時間は、約60秒であった。

20

【0080】

次いで、こうして得られた遮光膜パターン付き基板について、遮光膜パターン寸法検査、パターン欠陥検査、必要に応じてパターン修正を行ない、よく洗浄した後、半透明膜である酸化クロム膜616をスパッタ法にて成膜した（図23(a)、図25(a)）。酸化クロム膜の膜厚はおよそ30nmとし、透過率は約40%（波長：436nm）とした。

【0081】

次に、この上に市販のフォトレジスト660（東京応化製ip-3500）を再度、約380nm塗布し（図23(b)、図25(b)）、120度に加熱されたホットプレート上で15分ベークした。

30

【0082】

続いて半透明領域部を形成するパターンを再度レーザ描画装置マイクロニック社製LRS11000-TFT3で描画し、専用デベロッパー（東京応化社製NMD3）で現像し、第二のレジストパターンを得た（図23(c)、図25(c)）。なお、描画装置LRS11000は、アライメント描画機能を有しており、形成済みの遮光膜パターンに位置を合わせて、半透明膜パターンを形成した。

【0083】

次に、この第二のレジストパターンをマスクとして、市販の硝酸セリウム系ウェットエッチャント（ザ・インクテック社製MR-ES）で半透明膜をエッチングし、半透明膜パターンを得た（図23(d)、図25(d)）。ここで、エッチングは半透明膜のみに対して行い、遮光膜パターンは極力エッチングしないようにエッチング時間をコントロールした。酸化クロム膜のエッチング時間は、約15秒であった。

40

【0084】

最後に残ったレジストを剥膜し（図23(e)、図25(e)）、パターン寸法検査、欠陥検査などの検査工程を経て、必要に応じて、パターン修正を行い、所望の遮光部と半透過部とからなるフォトマスクを得た。

【0085】

次に、図26、図27、図28及び図29を用いて本発明のさらに別の実施例であるフォトマスクおよびその製造方法について説明する。

【0086】

50

図26及び図27は、図17(a)に示すTFT近傍のフォトマスク領域590-1に対応した作成プロセスを、図28及び図29は、図17(b)に示す信号端子近傍のフォトマスク領域590-2に対応した作成プロセスを示し、それぞれCC断面及びDD断面の作成プロセスである。図面表示の都合上別々の図での説明になっているが、同一のプロセスで作成される。

【0087】

図26(a)において、ガラス基板500上に半透明膜510(膜厚:約5~50nm)、遮光膜520(膜厚:約50~150nm)を成膜したブランクマスクの表面に約1ミクロンの膜厚のフォトレジスト又は電子線レジスト530を塗布する。

【0088】

ブランクマスクにおける半透明膜は、タンタルを主成分とする膜とし、遮光膜はクロムを主成分とする。したがって、出来上がったフォトマスクは、半透明部がタンタルを主成分とする半透明膜、遮光部がタンタルの半透明膜上にクロムを主成分とする膜が形成された多層膜となる。

【0089】

他の構成として、半透明膜にモリブデンシリサイドを主成分とする半透明膜を使用し、遮光膜にクロムを主成分とする膜を用いることもできる。この場合、出来上がったフォトマスクは、半透明部がモリブデンシリサイドを主成分とする膜、遮光部がモリブデンシリサイドの半透明膜上にクロムを主成分とする膜が形成された多層膜となる。

【0090】

また、半透明膜にクロムを主成分とする半透明膜を使用し、遮光膜に中間層となる膜とその上に積層したクロムを主成分とする膜を用いることもできる。この場合、出来上がったフォトマスクは、半透明部がクロムを主成分とする膜、又はクロムを主成分とする膜と中間層膜との積層、遮光部がクロムの半透明膜、中間層膜、及びクロムを主成分とする膜が形成された多層膜となる。

【0091】

中間膜は、ケイ素、窒化珪素、窒化酸化珪素、酸化アルミニウム、酸化ハフニウム、酸化ジルコニウム、酸化タンタル、酸化モリブデン、酸化タンタルシリサイド、酸化モリブデンシリサイド、フッ化クロム、フッ化酸化クロム、酸化錫、酸化インジウム、酸化インジウム錫、酸化亜鉛のうちの1つからなる膜、又は複数組み合わせ合わせた混合膜を用いることができる。

【0092】

また、半透明膜上に積層されるクロムを主成分とする膜は、窒化クロムを主成分とする第1の膜と、酸化クロム又は酸化窒化クロムを主成分とする第2の膜からなってもよい。

【0093】

レジストの表面に電子線を照射する。電子線の強度は、レジスト膜面方向で変化させる。厚いレジストマスクとなる部分には、電子線の強度をゼロに、即ち、照射はしない。薄いレジストマスクとなる部分には、レジストの表面から遮光膜表面に達しない領域でレジストを感光させ、リゾグラフィ処理後、約100~300nmの薄いレジストマスクが残るような強度の電子ビームを照射する。レジストマスクの透明部となる領域では、レジストが、その厚さに亘って感光するような強度で電子ビーム照射を行う。

【0094】

なお、電子ビームの照射に代えて、レーザービームを用い、やはり空間的に強度を変調して、フォトレジストを感光させてもよい。

【0095】

レジストに電子ビーム又は、レーザービームを露光した後、現像処理して、感光領域を除去する。その結果、図26(b)に示すような厚い膜厚保の厚膜レジスト533、534、薄い膜厚のレジスト531、532、レジストのない領域からなるレジストマスクが形成される。

10

20

30

40

50

【 0 0 9 6 】

このレジストマスクを用いて表面から、反応性ドライエッチング（R I E）を行い、レジストマスクのない領域の遮光膜、半透明膜部分を除去しガラス基板表面を露出させる（図 2 6（c））。

【 0 0 9 7 】

次に、図 2 6（c）で、レジストマスクをアッシングして、遮光膜 5 2 1，5 2 2 の表面が現れるよう膜厚の薄いレジストを除去する。その結果、厚みの減ったレジスト 5 3 3，5 3 4 が残る（図 2 7（a））。残ったレジストをマスクにして、エッチングを行い、表面が露出した遮光膜を除去し、半透明膜を露出させる（図 2 7（b））。その後の残ったレジストを剥離させ、TFT近傍のフォトマスクパターンが得られる。

10

【 0 0 9 8 】

このフォトマスクでは、遮光膜と半透明膜が重なっている部分は、遮光部として働き、半透明膜だけが存する部分が半透明部として機能する。

【 0 0 9 9 】

図 2 8 及び図 2 9 は、図 2 6 及び図 2 7 と同一のプロセスで形成される信号端子近傍のフォトマスク領域のプロセスを示す。図 2 8 の（a）、（b）、（c）及び図 2 9 の（a）、（b）は、それぞれ、図 2 6 の（a）、（b）、（c）及び図 2 7 の（a）、（b）の各図に示すプロセスと対応するもので、その説明の詳細は省略し、簡単に述べる。

【 0 1 0 0 】

図 2 8 の（a）において、信号端子近傍のフォトマスク領域では、遮光部は不要であるのでフォトレジスト 5 3 0 に電子ビームが照射されない領域は無い。電子ビームは中央部が弱く、その両側部では強い。このような強度の照射の後、現像処理すると膜厚の薄いレジストパターン 5 3 5 が形成される（図 2 8（b））。レジストパターン 5 3 5 をマスクとしてエッチングによりその下部にのみ遮光膜 5 2 5、半透明膜 5 1 5 を残す（図 2 8（c））。次に、レジスト 4 3 5 を剥離させる（図 2 9（a））。しかる後に、遮光膜 5 2 5 をエッチングして半透明膜を残す（図 2 9（b））。半透明膜パターン 5 1 5 が半透明部として機能する。

20

【 0 1 0 1 】

上述の実施形態の説明から明らかなように、本発明は、ドレイン電極及びソース電極の一部に対応した形状の遮光部と、ドレイン電極及びソース電極のほかの部分、信号配線、信号端子金属電極、引出し線に対応した形状の半透明部を有するフォトマスクであるから、これを用いて、信号配線、信号引出線、信号端子、ドレイン電極の 1 部、ソース電極の 1 部となる領域を厚みの薄いレジストパターン（7 3，7 4，7 6）で、ドレイン電極及びソース電極が互いに対向する位置からゲート電極幅を超えた短い距離の領域に厚みの比較的厚いレジストパターン（7 1，7 2）を形成することができる。これらレジストパターンをマスクにして金属層、コンタクト層をエッチングし、これらレジストパターンをリフローさせたりリフローレジストパターン（7 5，7 7）をマスクにして、半導体層をアイランド化（4 1 0）することができる。即ち、フォトレジストに塗布、露光、現像などのフォトリソグラフィ工程で形成したマスクを用いて金属層、コンタクト層をエッチングして金属層、コンタクト層のパターンを形成し、そのマスクをリフローさせリフローマスクで金属層、コンタクト層の下部の半導体層さらにエッチングし、1つのフォトリソグラフィ工程を利用して 2 種のマスクパターンを形成でき、しかもリフローマスクパターンには格別な位置合わせが不要である。薄いレジストパターンが形成された信号配線、信号引出線、信号端子、ドレイン電極の 1 部、ソース電極の 1 部となる領域では、リフロープロセスによっても、レジストの表面張力によってレジストの半導体層へ流れ出しその表面を覆うのを防止でき、半導体層のアイランド化の際に信号配線、信号引出線、信号端子の各領域を含めてアイランドの半導体膜の面積の拡がりを抑制できる。

30

40

【 0 1 0 2 】

上記 LCD の製造方法の説明では、リフローによってリフローマスクを形成し、そのリフローマスクで金属層、コンタクト層の下部の半導体層をエッチングし、リフローさせる

50

前のレジストマスクパターンで金属層、コンタクト層をエッチングする場合について説明したが、レジストマスクパターンで金属膜をエッチングして金属層のパターンを形成後、そのマスクをリフローさせ、リフローマスクで金属層の下のコンタクト層、半導体層をエッチングした後レジストを除去し、チャンネル部のコンタクト層をエッチングにより除去してもよい。

【0103】

上記実施の形態では本発明のフォトマスクを縦電界透過型LCD表示装置への適用について詳しく説明したが、本発明は、これに限らず、横電界型にも適用できるし、反射型LCD表示装置、あるいはEL表示装置の製造方法にも使用できる。

【図面の簡単な説明】

10

【0104】

【図1】本発明が適用されるLCD表示装置のTF T搭載基板の模式図である。

【図2】図1における1つの区画の画素2を模式的に示した平面図である。

【図3】図3は、1画素のTF T部近傍とその配線、画素電極との関係の詳細を示し、同図(a)及び(b)は、それぞれ平面図及び(a)のA-A線断面図である。

【図4】図1に示した信号端子の詳細を示し、同図(a)は1つの信号端子の平面図、同図(b)はそのB-B線断面図である。

【図5】LCDのTF T部近傍におけるLCD基板上的積層プロセスを示す断面図である。

【図6】信号端子におけるLCD基板上的積層プロセスを示す断面図である。

20

【図7】TF T部近傍の図5(d)及び図6(b)に続くプロセスを示す平面図及び断面図である。

【図8】図7引続くプロセスを示す平面図及び断面図である。

【図9】図8に引続くプロセスを示す平面図及び断面図である。

【図10】図9に引続くプロセスを示す断面図である。

【図11】図10に引続くプロセスを示す断面図である。

【図12】図11に引続くプロセスを示す断面図である。

【図13】図12に引続くプロセスを示す断面図である。

【図14】図13に引続くプロセスを示す断面図である。

【図15】図14に引続くプロセスを示す断面図である。

30

【図16】図15に引続くプロセスを示す平面図及び断面図である。

【図17】本発明の実施の形態のフォトマスクの平面図である。

【図18】本発明の第1の実施例のフォトマスクの製造方法のプロセスを説明するための断面図で、TF T近傍で使用されるマスク領域に関する。

【図19】図18に引続くプロセスを示す断面図である。

【図20】図18のフォトマスクの製造方法のプロセスの信号端子近傍に関するフォトマスク領域の断面図である。

【図21】図20に引続くプロセスを示す断面図である。

【図22】本発明の第2の実施例のフォトマスクの製造方法のプロセスを説明するための断面図で、TF T近傍で使用されるマスク領域に関する。

40

【図23】図22に引続くプロセスを示す断面図である。

【図24】図22のフォトマスクの製造方法のプロセスの信号端子近傍に関するフォトマスク領域の断面図である。

【図25】図24に引続くプロセスを示す断面図である。

【図26】本発明の第3の実施例のフォトマスクの製造方法のプロセスを説明するための断面図で、TF T近傍で使用されるフォトマスク領域に関する。

【図27】図26に引続くプロセスを示す断面図である。

【図28】図26のハーフトーンマスクの製造方法のプロセスの信号端子近傍で使用されるフォトマスク領域の断面図である。

【図29】図28に引続くプロセスを示す断面図である。

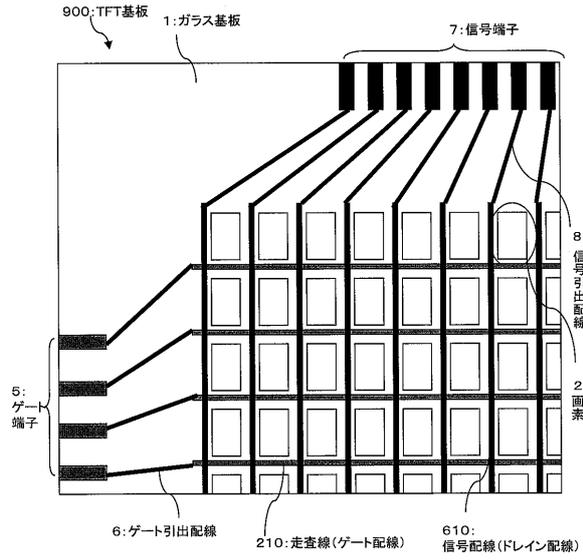
50

【符号の説明】

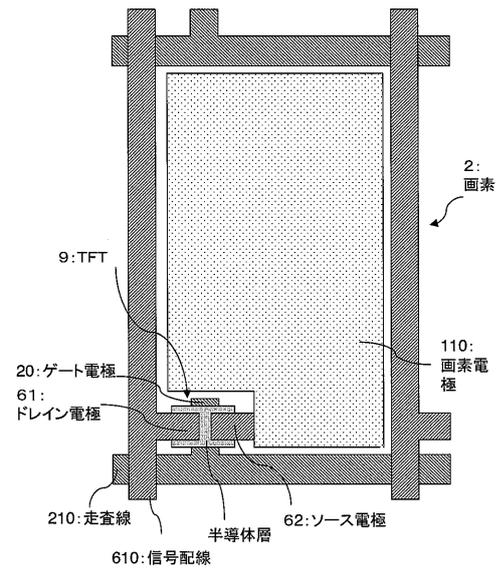
【0105】

1	ガラス基板	
2	画素	
5	ゲート端子	
7	信号端子	
8	信号引出配線	
9	TFT	
20	ゲート電極	
51, 52, 53	コンタクト層	10
61	ドレイン電極	
62	ソース電極	
63	信号端子金属電極	
70	フォトレジスト	
71, 72	厚いレジスト膜	
73, 74, 76	薄いレジスト膜	
75, 77	リフローレジストパターン	
80	パッシベーション膜	
100	透明導電膜	
130	信号端子透明電極	
110	画素電極	
210	ゲート配線(走査線)	20
410	半導体島(アイランド)	
500, 600	ガラス基板	
510-1, 510-2, 510-3, 510-4, 515, 521, 522, 611, 612, 615	半透明部	
520-1, 520-2, 621, 622	遮光部	
590-1	ハーフトーンマスクのTFT近傍に対応した領域	
590-2	ハーフトーンマスクの信号端子近傍に対応した領域	
610	信号配線(ドレイン配線)	

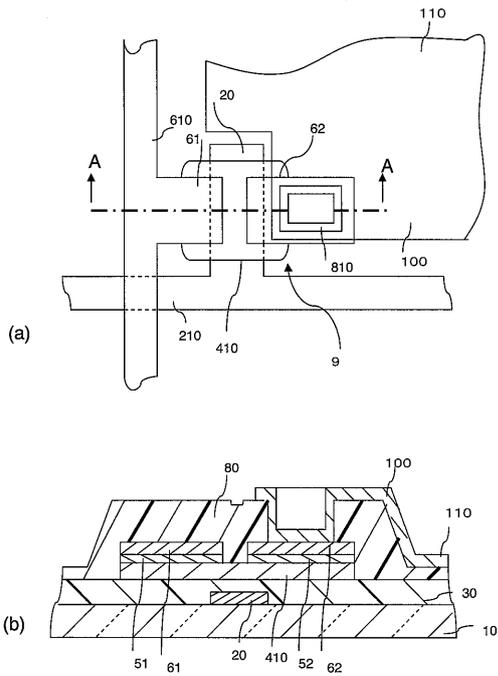
【図1】



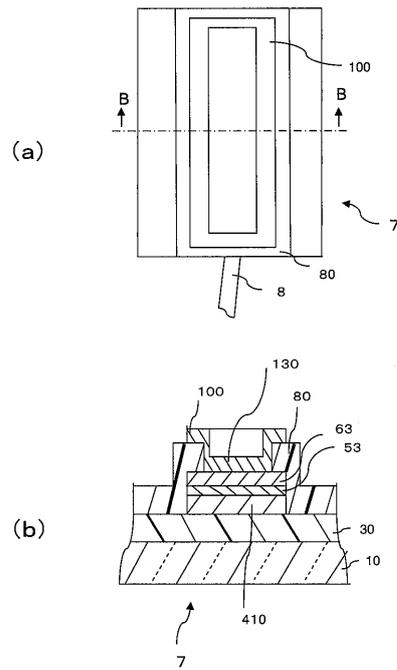
【図2】



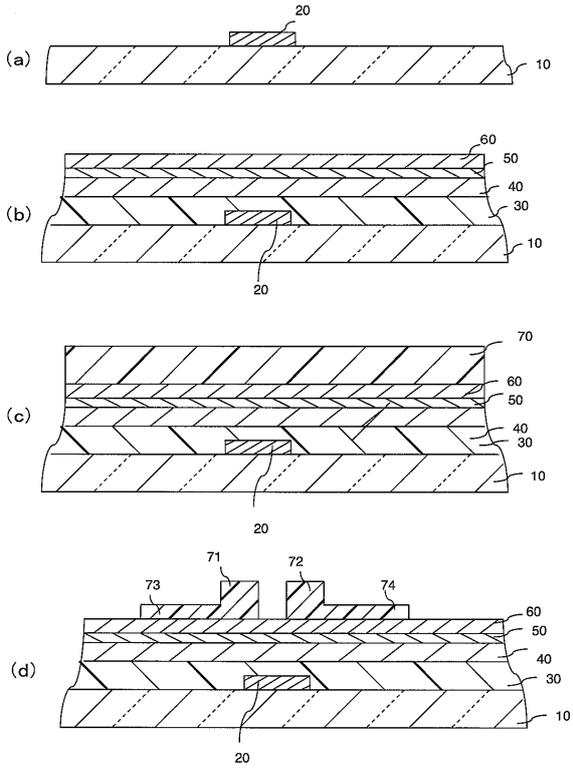
【図3】



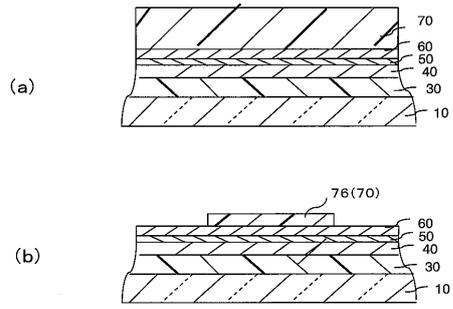
【図4】



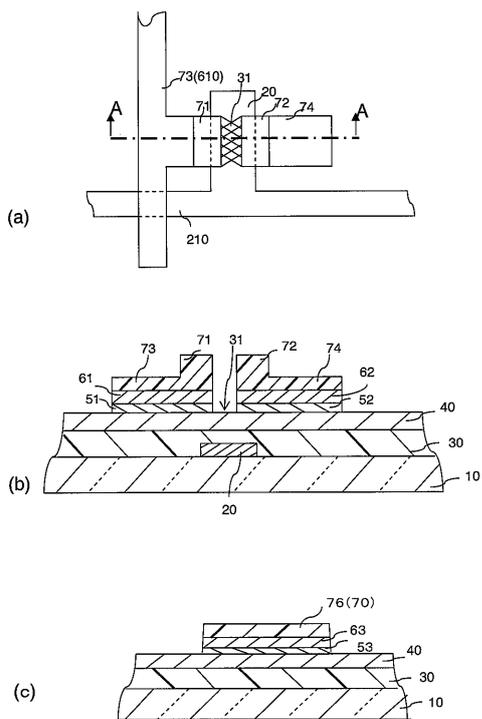
【 図 5 】



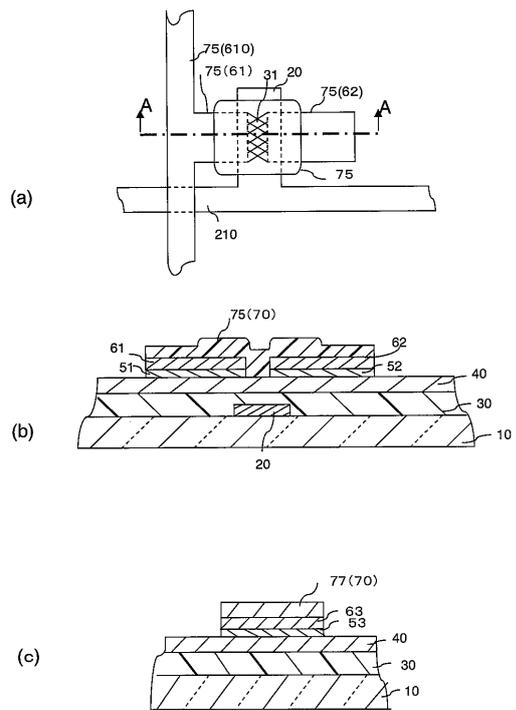
【 図 6 】



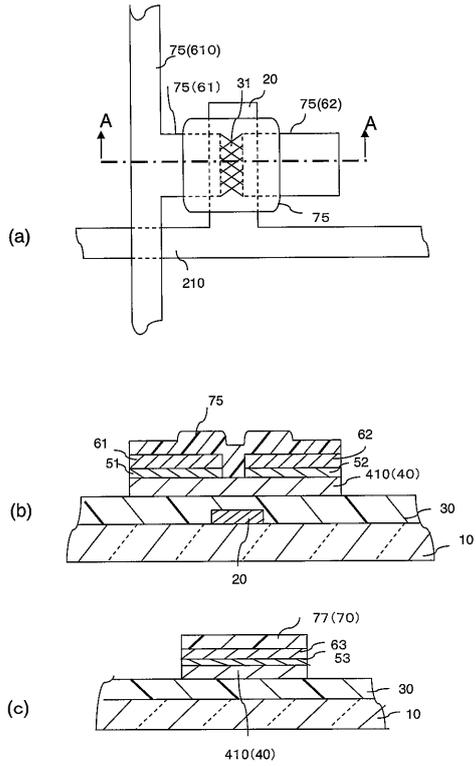
【 図 7 】



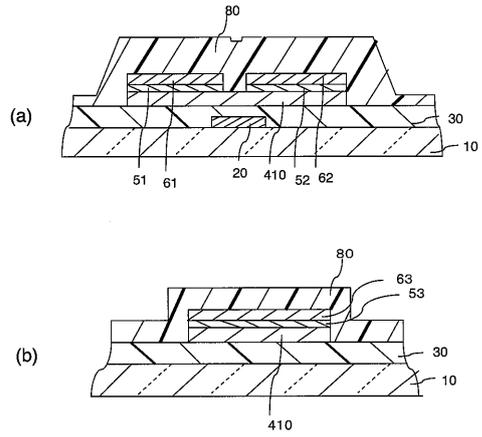
【 図 8 】



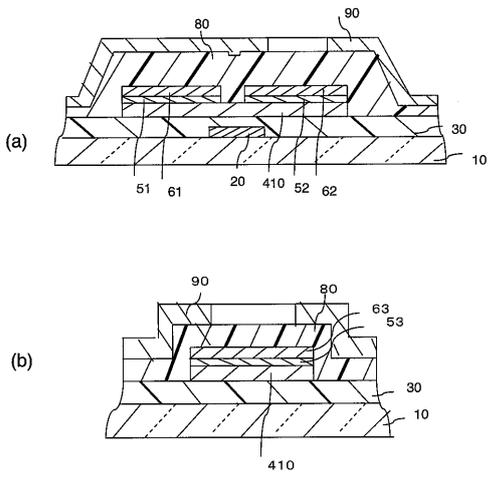
【 図 9 】



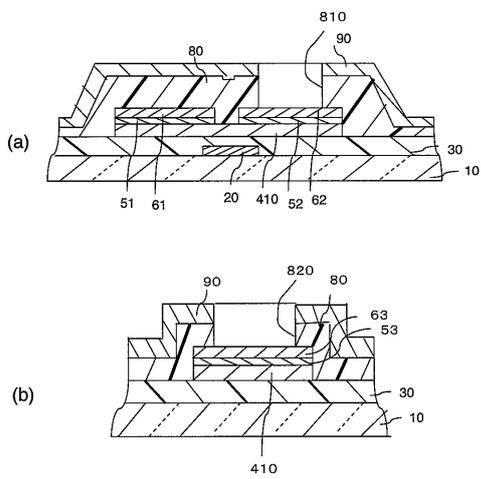
【 図 10 】



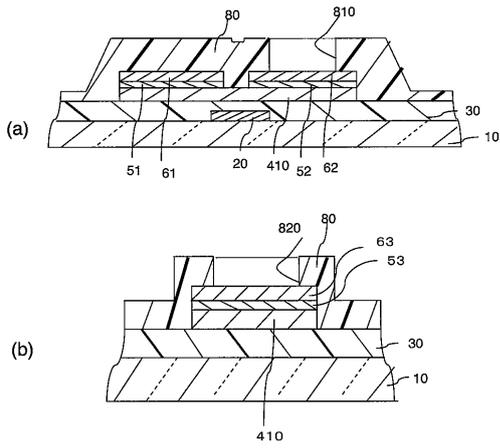
【 図 11 】



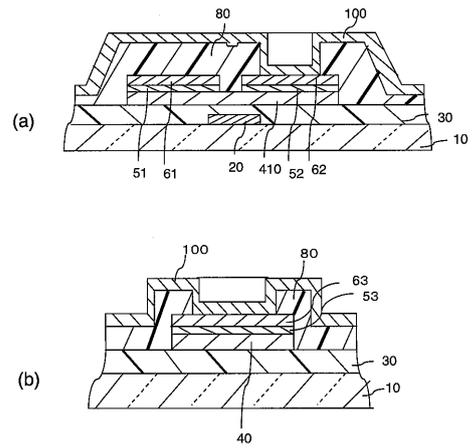
【 図 12 】



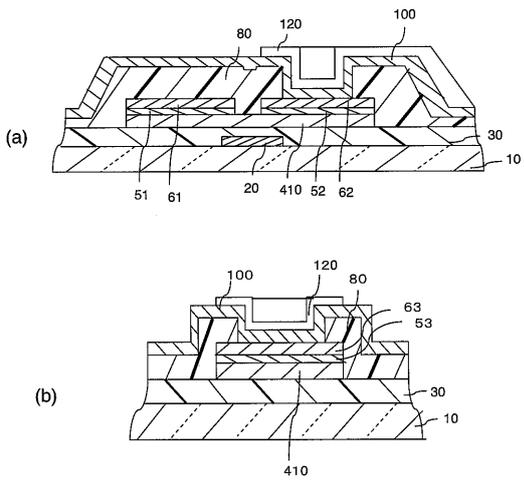
【 図 1 3 】



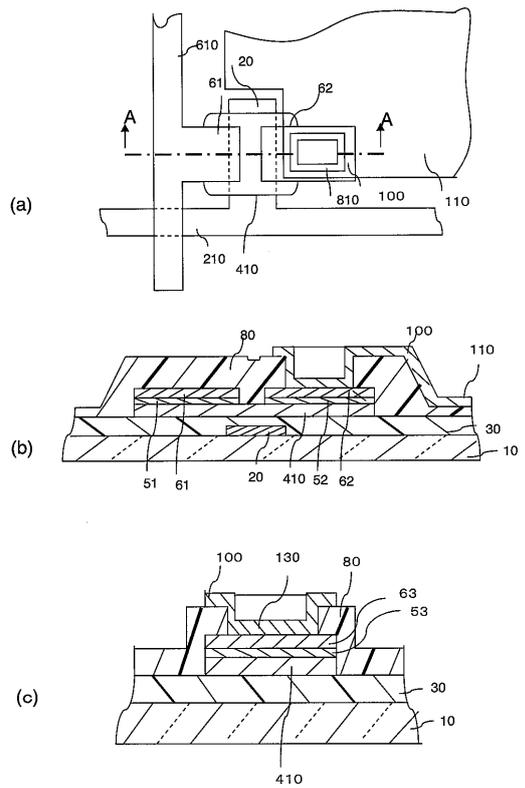
【 図 1 4 】



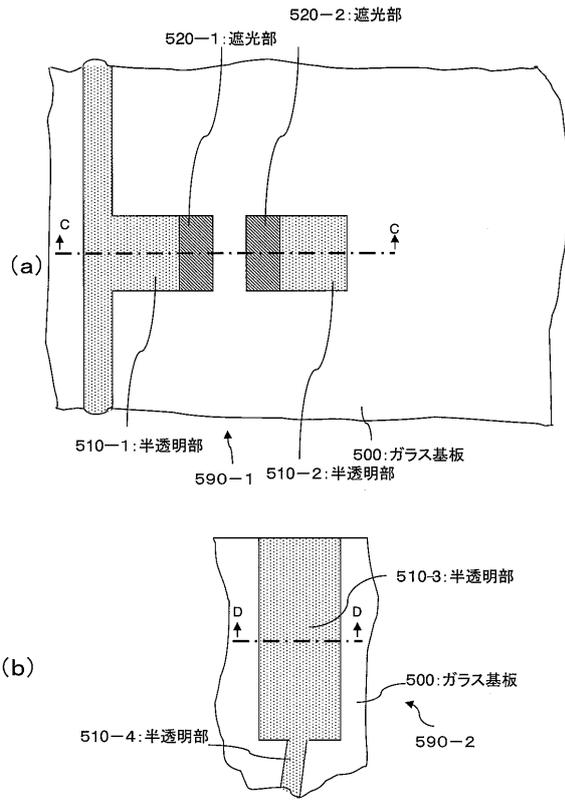
【 図 1 5 】



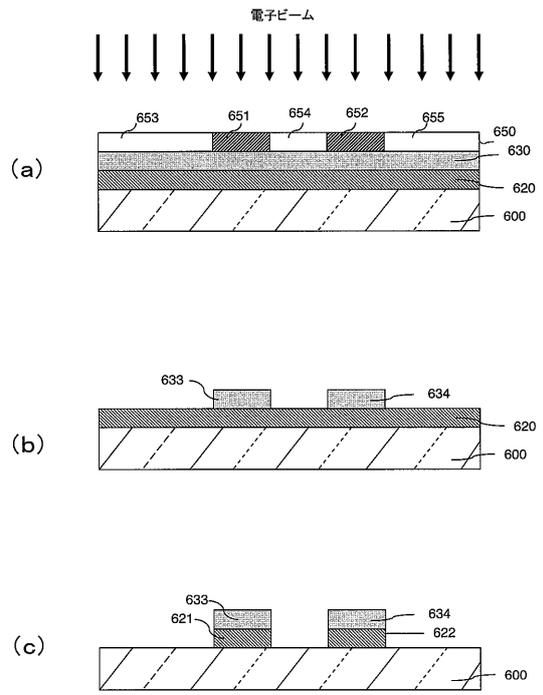
【 図 1 6 】



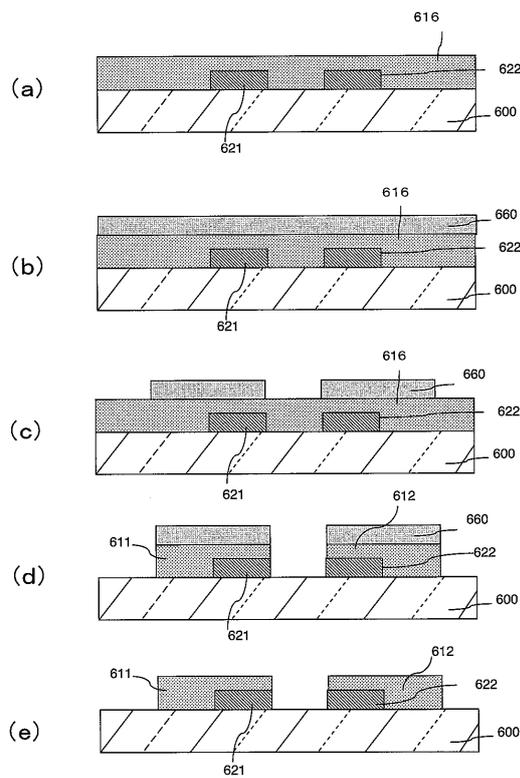
【図17】



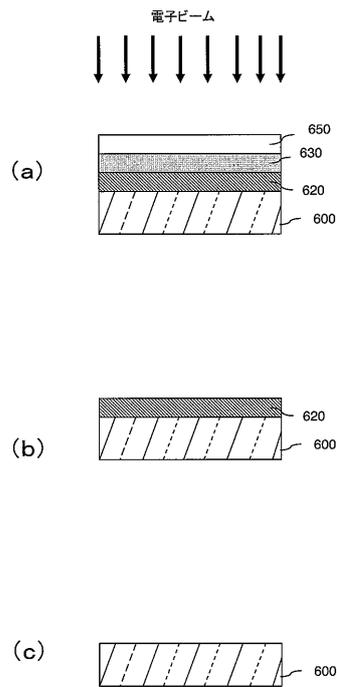
【図18】



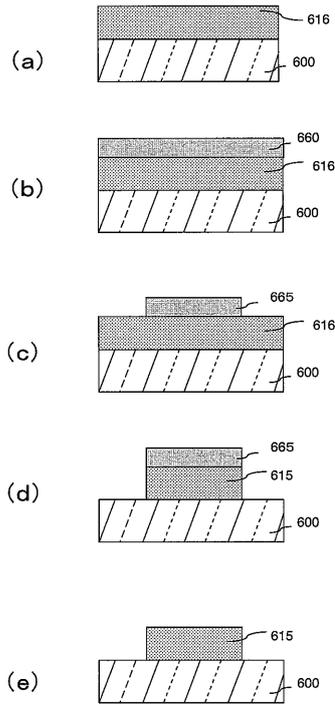
【図19】



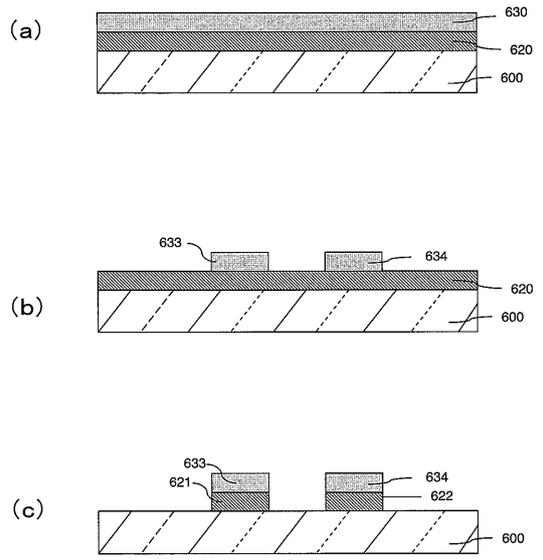
【図20】



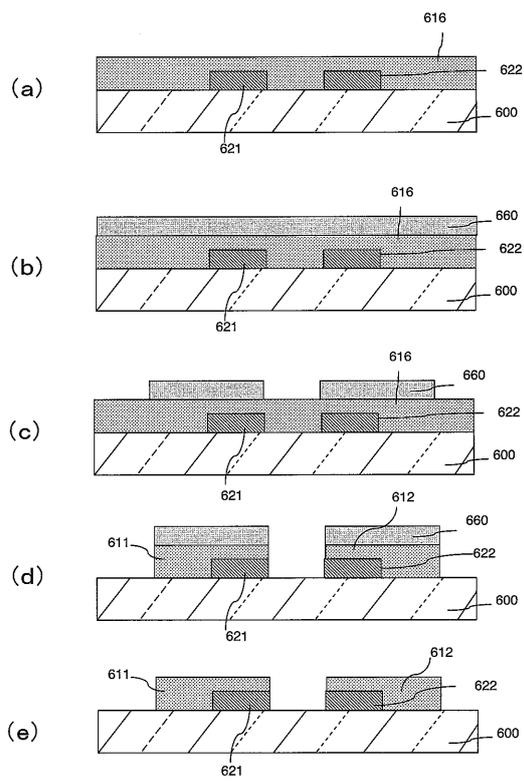
【 図 2 1 】



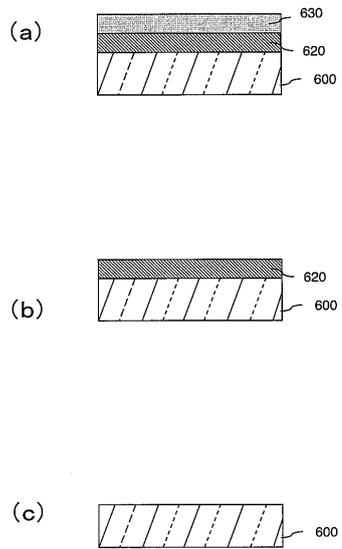
【 図 2 2 】



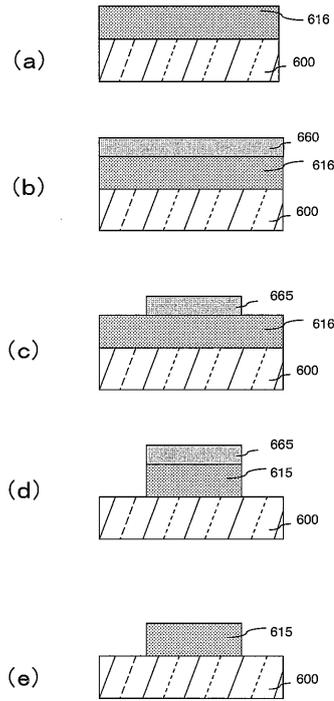
【 図 2 3 】



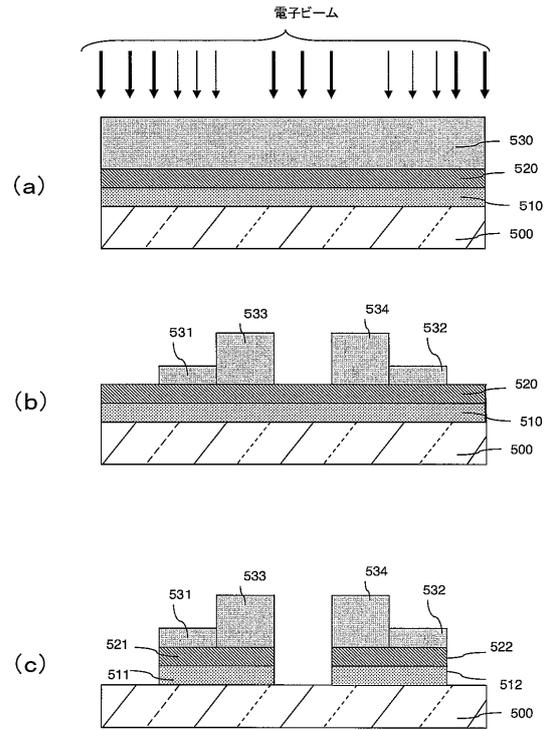
【 図 2 4 】



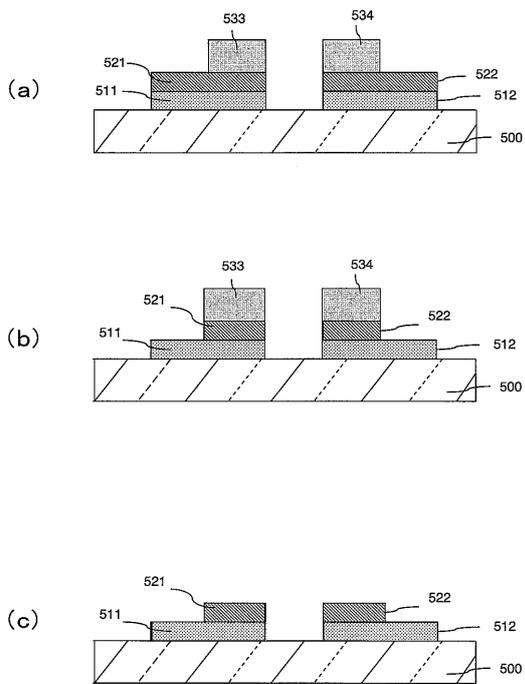
【図 25】



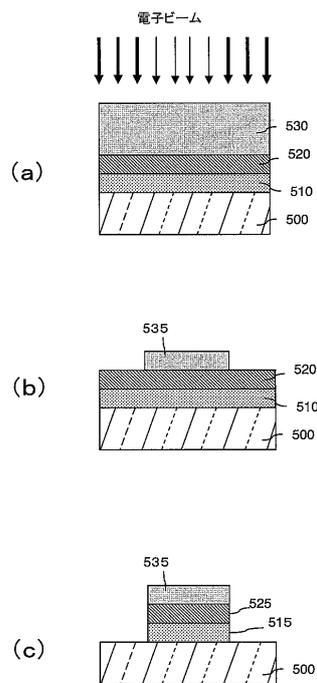
【図 26】



【図 27】

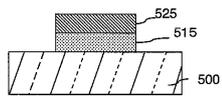


【図 28】

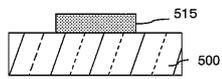


【 図 29 】

(a)



(b)



フロントページの続き

- (72)発明者 高橋 美朝
神奈川県川崎市中原区下沼部 1 7 5 3 番地 NEC液晶テクノロジー株式会社内
- (72)発明者 村山 容一
神奈川県川崎市中原区下沼部 1 7 5 3 番地 NEC液晶テクノロジー株式会社内
- (72)発明者 毛利 弘
東京都新宿区市谷加賀町一丁目 1 番 1 号 大日本印刷株式会社内
- (72)発明者 飛田 敦
東京都新宿区市谷加賀町一丁目 1 番 1 号 大日本印刷株式会社内
- (72)発明者 國吉 正視
東京都新宿区市谷加賀町一丁目 1 番 1 号 大日本印刷株式会社内
- (72)発明者 伴 清人
東京都新宿区市谷加賀町一丁目 1 番 1 号 大日本印刷株式会社内
- (72)発明者 城戸 秀作
鹿児島県出水市大野原町 2 0 8 0 鹿児島日本電気株式会社内

審査官 佐野 浩樹

- (56)参考文献 特開 2 0 0 2 - 3 3 4 8 3 0 (J P , A)
特開 2 0 0 2 - 1 8 9 2 8 1 (J P , A)
特開 2 0 0 4 - 1 7 7 9 4 6 (J P , A)
特開 2 0 0 0 - 1 8 1 0 4 8 (J P , A)
特開平 0 7 - 1 3 4 3 9 6 (J P , A)
特開平 0 6 - 0 5 1 4 9 2 (J P , A)
特開平 0 7 - 0 4 9 4 1 0 (J P , A)
特開 2 0 0 0 - 0 7 5 4 6 6 (J P , A)
特開平 0 8 - 1 2 3 0 1 0 (J P , A)
特開 2 0 0 4 - 1 4 0 2 3 9 (J P , A)
特開 2 0 0 6 - 0 7 8 7 2 7 (J P , A)

(58)調査した分野(Int.Cl., DB名)

G 0 3 F 1 / 0 0 - 1 / 1 6 、
H 0 1 L 2 1 / 0 2 7、2 1 / 3 0