

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-40081

(P2004-40081A)

(43) 公開日 平成16年2月5日(2004.2.5)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 21/82	HO 1 L 21/82	5 F O 6 4
HO 1 L 27/118	HO 1 L 21/82	M

審査請求 未請求 請求項の数 26 O L 外国語出願 (全 38 頁)

(21) 出願番号	特願2003-92972 (P2003-92972)	(71) 出願人	594110103 アルテラ・コーポレーション アメリカ合衆国・95134・カリフォル ニア州・サン ホセ・イノベーション ド ライブ・101
(22) 出願日	平成15年3月28日(2003.3.28)	(74) 代理人	100064012 弁理士 浜田 治雄
(31) 優先権主張番号	10/113324	(72) 発明者	ジョナサン パーク アメリカ合衆国、カリフォルニア 951 34、サン ホセ、イノベーション ドラ イブ 101、ケア/オブ アルテラ コ ーポレーション
(32) 優先日	平成14年3月29日(2002.3.29)	F ターム(参考)	5F064 AA03 AA07 BB03 BB04 BB05 BB06 BB07 BB09 BB12 BB19 BB26 DD07 DD13 DD19 DD20 DD25
(33) 優先権主張国	米国 (US)		

(54) 【発明の名称】 プログラマブル・ゲートアレイ部を備えたマスクプログラマブル論理装置

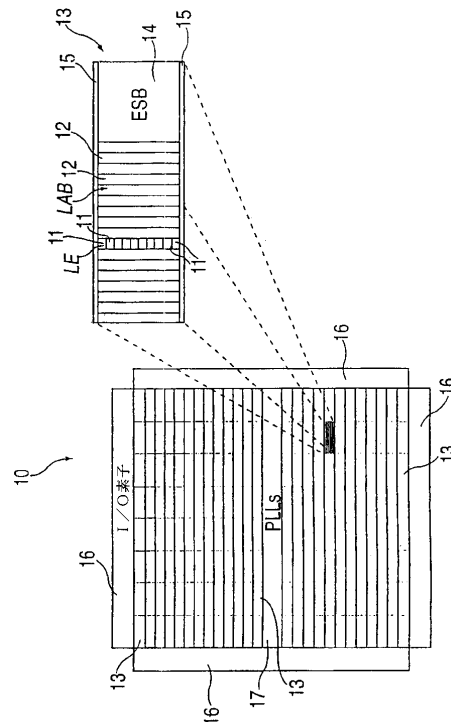
(57) 【要約】 (修正有)

【課題】マスクプログラマブル論理素子の論理再構成には時間が掛かりすぎる。

【解決手段】プログラマブルゲートアレイ部を備えるマスクプログラマブル論理装置を提供する。前記ゲートアレイ部は、マスク・プログラマブル装置内の既存の回路設計の実行に関連する問題を補正する一定の論理機能を実行するためにプログラムされる回路素子を含む。

【効果】複雑な回路構成にE C O (エンジニアリングチェンジ オーダー)が発生しても長期間を要せずに実効できる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

集積回路の基板の上に配置される複数のマスク - プログラマブル領域と、前記マスク - プログラマブル領域に結合されると共に前記マスク - プログラマブル領域を相互接続するために基板の上に配置される複数の相互接続導体と、基板の上に配置される複数のゲートレイ部とからなり、ゲートレイ部はマスクプログラマブル論理装置上の回路設計の実行を促進する少なくとも一つの機能を達成するようにプログラム可能である集積回路上に配置されるマスク - プログラマブル論理装置。

【請求項 2】

複数のゲートレイ部の少なくとも幾つかは、少なくとも幾つかの相互接続導体と結合される請求項 1 記載のマスク - プログラマブル論理装置。

【請求項 3】

複数のゲートレイ部の少なくとも幾つかは、バッファとしての機能がプログラムされる請求項 1 記載のマスク - プログラマブル論理装置。

【請求項 4】

複数のゲートレイ部の少なくとも幾つかは、遅延素子としての機能がプログラムされる請求項 1 記載のマスク - プログラマブル論理装置。

【請求項 5】

複数のゲートレイ部の少なくとも幾つかは、NAND機能と、NOR機能と、AND機能と、OR機能と、インバータ機能と、XOR機能と、排他的NOR機能と、またはそれら幾つかの結合したものから構成されるグループから選択される論理機能が提供されてプログラムされる請求項 1 記載のマスク - プログラマブル論理装置。

【請求項 6】

複数のゲートレイ部の少なくとも2つは、互いに結合するとともに複合した論理回路を形成するためにプログラムされる請求項 1 記載のマスク - プログラマブル論理装置。

【請求項 7】

複合した論理回路は、フリップ - フロップまたはラッチ回路である請求項 6 記載のマスク - プログラマブル論理装置。

【請求項 8】

ゲートレイ部はマスク - プログラマブル領域を通して均一に分配される請求項 1 記載のマスク - プログラマブル論理装置。

【請求項 9】

複数のゲートレイ部の少なくとも幾つかは、近接する論理領域との間の境界に位置される請求項 1 記載のマスク - プログラマブル論理装置。

【請求項 10】

複数のゲートレイ部の少なくとも幾つかは、論理領域とI/Oブロックとの間にある境界に位置される請求項 1 記載のマスク - プログラマブル論理装置。

【請求項 11】

ゲートレイ部は、プログラムされる際に少なくとも一つのトランジスタを含む請求項 1 記載のマスク - プログラマブル論理装置。

【請求項 12】

ゲートレイ部は、フェーズプログラム可能である請求項 1 記載のマスク - プログラマブル論理装置。

【請求項 13】

ゲートレイ部の少なくとも1つは、下地から第1のマスク層へ拡張する固定された接触点を含む請求項 1 記載のマスク - プログラマブル論理装置。

【請求項 14】

固定された接触点と結合されるとともに、論理機能を実行するためのゲートレイ部を実行するためのマスク層上に配置される少なくとも一つの相互接続区分をさらに含む請求項

10

20

30

40

50

12記載のマスク・プログラマブル論理装置。

【請求項15】

既存の回路設計からマスク・プログラマブル論理装置の設計を創作し、実行エラーのためにマスク・プログラマブル論理装置の設計をテストし、さらに、マスク・プログラマブル論理装置の設計に追加回路素子を加えて、検出された実行エラーを補正し、少なくとも1つのゲートアレイ部をプログラミングすることにより追加回路素子をマスク・プログラマブル論理装置の設計へ追加して、検出されたエラーの補正を促進する機能を達成するマスク・プログラマブル論理装置内の実行エラー補正方法。

【請求項16】

追加工程は、さらに少なくとも1つのゲートアレイ部にバッファとしての機能をプログラミングする工程を含む請求項15記載の方法。 10

【請求項17】

追加工程は、さらに少なくとも1つのゲートアレイ部に遅延素子としての機能をプログラミングする工程を含む請求項16記載の方法。

【請求項18】

プログラミング工程は、さらに相互接続区分のゲートアレイ部の少なくとも1つの内部に相互接続論理手段を含む請求項16記載の方法。

【請求項19】

相互接続区分は、金属1層上に位置することを特徴とする請求項18記載の方法。

【請求項20】

プログラミング工程は、さらにセットアップ時間違反を補正するゲートアレイ部の少なくとも1つをプログラミングする工程を含む請求項15記載の方法。 20

【請求項21】

プログラミング工程は、さらにホールド時間違反を補正するゲートアレイ部の少なくとも1つをプログラミングする工程を含む請求項15記載の方法。

【請求項22】

プログラミング工程は、さらにテスト容易性違反を補正するゲートアレイ部の少なくとも1つをプログラミングする工程を含む請求項15記載の方法。

【請求項23】

処理回路と、 30
前記処理回路に接続されるメモリと、
処理回路とメモリに接続されて請求項1に定義されるマスクプログラム論理装置と、を含むデジタルプロセスシステム。

【請求項24】

請求項1に定義されるマスクプログラム論理装置が装着されたプリント回路基板。

【請求項25】

プリント回路基板上に装着されてマスクプログラム論理装置に結合されるメモリと、を更に含む請求項23記載のプリント回路基板。

【請求項26】

プリント回路基板上に装着されてメモリ回路に接続される処理回路、を更に含む請求項2 40
5記載のプリント回路基板。

【発明の詳細な説明】

【0001】

【発明の背景】

本発明は、マスクプログラマブル論理装置に関し、とりわけゲートアレイ部を含むマスクプログラマブル論理装置に関する。

【0002】

プログラマブル論理装置は、既によく知られている。初期のプログラマブル論理装置は、一回のみの書込が可能であった。具体的には、書込は「フューズを飛ばす」すなわち可溶性の結合を開放することによって達成されている。あるいは、書込はプログラム可能なR 50

OMメモリに蓄積されている。これらの装置は一般にユーザに「積和」(またはPターム)の論理操作の装置を書込する能力が備えられる。後に、修正のために消去可能でプログラム可能なROMメモリ(EPROM)を統合するプログラム可能な論理装置は書込のための装置として入手可能となっている。

【0003】

さらに後に、書込のために統合するスタティックRAM(SRAM)素子を組込んだプログラマブル論理装置が入手可能となっている。これらの装置は、変更され得るのだが、EPROMのような不揮発性記憶装置の配置情報を蓄積し、この装置に電源を入れた際にこのEPROMからSRAM素子へ配置情報がロードされる。これらの装置は、一般にユーザに対して、ルックアップテーブル型の論理演算用の装置を配置する能力を提供する。ある時点でそのような装置は、ランダムアクセスメモリ、リードオンリーメモリ又は論理(例えばPターム論理のような)として動作するようユーザによって書込されうるランダムアクセスメモリの拡張ブロックが提供され始めていた。

10

【0004】

すべての前記プログラマブル論理装置において、前記装置において特別な論理装置の論理機能と、論理素子間の信号のルーチンを相互接続することとがプログラム可能である。他の改良は、マスクプログラマブル論理装置である。マスクプログラマブル論理装置において、全てのユーザに同一の装置を販売する代わりに、製造者は論理手段の標準配置を伴う部分の装置を製造し、前記論理手段の機能はユーザによってプログラム可能ではなく、ルーチン手段または相互接続が欠如している。

20

【0005】

ユーザは製造者に要求された装置に仕様書を伴うマスクプログラマブル論理装置を提供し、ここでこの仕様書は比較可能で従来のプログラマブル論理装置をプログラムするための配列表である。製造者は、前記の部分装置へ金属層を追加するのに前記情報を利用する。これらの追加層が論理素子をこれらの素子内のある接続することによってプログラムし、また論理素子間の相互接続ルーチンを加える。マスクプログラマブル論理装置は、上述のように従来のプログラマブル論理装置と接続されて、拡張されたランダムアクセスメモリブロックが提供されることができる。このようなマスクプログラマブル論理装置において、拡張されたメモリがリードオンリーメモリ、またはPターム論理として書込される場合は、書込は追加の金属層を使用して完成される。

30

【0006】

従来のプログラマブル論理装置は、ユーザが要求される機能を実行する装置を容易に設計できるようにする一方で、従来のプログラマブル論理装置は、特定の設計で使用されない手段を常に含んでいる。さらに、通常目的のルーチン及び相互接続手段を備え、そして切換手段が信号を総ての論理要素から所定のルーチンおよび相互接続手段に到達させる目的のため、従来のプログラマブル論理装置が一層大型となって一層の機能を組み込み、このような装置はサイズと電力消費量を増大させる。一つのルーチン配置および手段の相互接続から他までの移動に従って、様々なスイッチング素子を通して信号のルーチン配置は遅延していく。

【0007】

マスクプログラマブル論理装置の出現により、ユーザが従来のプログラマブル論理装置の設計の検証を可能になるが、しかし、マスクプログラマブル論理装置の翻案の創作も行なって、このマスクプログラマブル論理装置を、同じ機能で著しく小型化可能とし、さらに著しく低消費電力で使用可能とする。その理由は、相互接続とルーチン手段だけを、実際に特定の設計に必要なだからである。加えて、空間または電力を消費しあるいは信号を遅延する素子を切換える一般的な目的はない。

40

【0008】

しかしながら、マスクプログラマブル論理装置は、所定のルーチン手段を含まない。それゆえ、各設計用に特注された相互接続を生成する業務は、製作者がユーザのプログラマブル論理装置の設計をマスクプログラマブル論理装置へ移行させることとなる。この業務は

50

時間を消費し、設計の移行の工程をかなり遅延させる。この移行工程は、初期のマスクプログラムブル論理装置が組み立てられテストされる後までタイミングまたはテスト容易性違反または信号減衰のようなある実行に依存する問題が明確とならない事実によりかなり複雑となっている。そのような問題を改善することは、特注の相互接続の再設計および/または基本装置上の論理手段の再配置が必要となる。この解決方法は、しかしながら、与えられた設計の検証のための複合装置の製造を必要とし、それ故に値段が高く、時間も消費する。

【0009】

従って、論理手段の再配置または特注相互接続の再設計というコストが掛かりまたは時間を消費する業務を伴わずに本来のマスク設計を改良によって可能とする手段の提供により、実行問題を高速かつ効果的に方法の提供する必要性がある。

10

【0010】

【発明の概要】

それゆえ、論理手段の再配置または特注相互接続の再設計というコストが掛かりまたは時間を消費する業務を伴わずに本来のマスク設計を改良によって可能とする手段の提供により、実行問題を高速かつ効果的に方法の提供が、本発明の目的である。

【0011】

本発明の他の目的は、実行問題を修正するための集積回路上に配置される書込可能なゲートアレイ部を提供することで本発明の原理に従い達成されうる。

【0012】

本発明の第一の実施例で書込可能なゲートアレイ部は、装置の相互接続並びに論理手段の合理化に帰着する緩衝およびタイミング違反を補正する装置を通じて様々な位置に配置される。そのようなゲートアレイ部は、装置基板上に組立てられ、各部は基本論理ゲートを形成するための複数の回路素子（例えばトランジスタ）を含む。特定の問題を解決するために、要求された機能を提供するゲートアレイセルは違反が明示される装置上の点に近接するゲートアレイ部に形成される。このセルは、要求される論理機能を得るためにゲートアレイ部に存在する相互接続のある回路素子によって形成される。

20

【0013】

本発明の別の点では、各ゲートアレイ部は幾つかまたは総ての相互接続を有し、追加のコンタクト層の追加によるコストを削減するために基板と結合する点と接触する。

30

【0014】

本発明とその性質と様々な優位性のさらなる特徴は、添付の図面と以下の詳細な説明によって明らかになるであろう。

【0015】

【好適な実施例の詳細な説明】

本発明は、装置内の様々な配置において書込可能なゲートアレイ部を提供することによってマスクプログラムブル論理装置を製造するのに必要な時間と、コストと、労力を削減する。ゲートアレイ部は様々な実行問題を補正するのに使用され、この問題は他の集積回路上で先に実行される回路設計の移動中に発生し、この集積回路は異なる相互接続と論理手段を有する。

40

【0016】

図1に示されるように、マスクプログラムブル論理装置10の実施例は、本件の譲受人である、カルフォルニア州、サンノゼ市のアルテラコーポレーションによって販売されるプログラムブル論理装置のAPEX（登録商標）ファミリーに見出されるものに類似する論理領域の配列を本願発明が備えることで構築される。APEX（登録商標）型の構成は示されているが、PLD、CPLD（複合プログラムブル論理装置）または類似の装置の型が、必要な場合は、マスクプログラムブル論理装置の基礎部分の型として提供されることが理解される。

図1に示されるように、論理領域は最も基本的なレベルにおいて、いずれにしる、例えば、4入力と記憶し、または記憶を消去して出力する能力を有するルックアップテーブルに

50

基いた「論理要素」(LES)11を含む。論理要素11は、「論理アレイブロック」(LABS)12に配列されてもよい。表示される実施例において、各LAB12は10個のLES11を備える、一方他の多数のLES11は、各LAB12内に配列されうる。LABSは、さらに「LABS群」(GOLS)13に配列されてもよい。表示される実施例において、各GOL13は、17個のLABS12を含み、一方、他の多数のLAB12は、各GOLS13内に配列されうる。各GOL13は、好適には拡大された記憶ブロック14(「拡張されたシステムブロック」またはESBとして示され実施例で参照されるが)を含む。各GOL13は、複数のゲートアレイ部15を含み、この複数のゲートアレイ部15は、例えば特に信号の緩衝又はルーチン設定に使用されてもよい(以下により詳細に記述される)。

10

【0017】

図示のように、GOLS13は、好適には、行と列とが直交する配列に配置される。入力/出力(「I/O」)素子は、好適にはアレイの周辺の領域16に位置する。他の補助的回路、例えばタイミング用の位相ロックループ(「PLL」)は、好適には、アレイの略中心に示される領域17のようなアレイ内の近い位置に提供される。

【0018】

図2は、プログラミング後のマスクプログラマブル、または「基本」装置10の断面図を示し、すなわち、この装置が「マスクプログラム化された」装置20となった後であり、ここで、プログラムされていない基礎装置10から構成される下地と他の層は、(一つのトランジスタ25が代表として示されるが)21に総体的に示される。金属層22と誘電層23との追加層は、プログラム装置20として使用され、基礎装置10に含まれる。一般に、保護層24は金属および誘電体層22および23を保護するよう提供される。

20

【0019】

ゲートアレイ部15は、要求される論理機能を実行するため書込可能であるが、装置の大きさを最小化する一方で実行問題を補正するためにマスクプログラマブル論理装置の始めから終わりまで様々な方法で配置されてもよい。図3は、装置10のGOL13の始めから終わりまで、如何にして複数のゲートアレイ部15が物理的に配置されうるかを示すブロックダイヤグラムである。示されるように、ゲートアレイ部15は、GOL13の低い側の端部に沿って水平方向に沿って2列に配置される。この配置は単なる例に過ぎず、他の多くの配置も可能であると認められよう。例えば、一又は複数のゲートアレイ部15の列が必要であれば、GOL13の周囲に沿って配置されても良い。図4に示されるようにこの列はGOL13の最左列LABに沿って配置されても良い。

30

【0020】

まだ、他の可能な実施例において、図5は行と列の両方に渡りGOL13に配置されるゲートアレイ部を例示する。ゲートアレイ部は、またLABS12の境界とESB14及び/またはI/Oブロック16(図示せず)の間に配置されうる。ゲートアレイ部15は、要求があれば、例えば、チェック模様(図示せず)のように行と列が異なるパターンでGOL13が任意または同一に配置されうる。

【0021】

使用されるゲートアレイ部の特定のパターンは、特定された回路設計を実行するのに必要な相互接続の基礎とされうる。例えば、回路の実行に、近接するGOLS同士はかなり多くの相互接続を必要とするならば、ゲートアレイ部15の多数はGOLS同士の境界に沿って配置されうる。ある実施例では、ゲートアレイ部15がある相互接続の方向を好む(例えば、垂直方向のゲートアレイ部15の2列または水平方向1列のみ等である)。一方で、特定化された回路設計がGOLS内でかなりの量の相互接続を必要とする場合は、ゲートアレイ部の大多数は、周辺の数の削減されたGOLにおけるLABS同士の間配置されうる。他の実施例は、装置10上のGOLS同士およびGOLS内の相互接続を提供するための接近方法の結合を使用しうる。

40

【0022】

図6に、レイアウト可能なゲートアレイ部15を例示するダイヤグラムが示される。この

50

部位はトランジスタを構成するのに適した複数の回路素子（例えばNウェル及びPウェル部）を含む。ゲートレイ部15は電源ピンを備える。この実施例は単に例示に過ぎず、大小の回路素子の他の多くの配置が可能であることは理解されうる。他のゲートレイ部の配置は、多い場合、少ない場合、電源供給ピンが全く無い場合があり、部位が外部供給源によって電源供給される回路を有することが認められる。ゲートレイ部15は、相互接続導体がゲートレイ部内の回路素子に接続されるコンタクトピンと結合されうる範囲で「プログラマブル」と見なされ得る。プログラミング能力によって、一般的なゲートレイ部15の特定の機能についてゲートレイセルを形成することが可能となる。個々のゲートレイ部の実際の内容は、補正を意図する実行問題の型に依存して変化しうる。さらに、幾つかの異なる型のゲートレイ部15（例えば異なる内容に伴う部）は最適条件における誤り補正を提供する基礎となる装置10を通して配置されうると理解されよう。

10

【0023】

図6のゲートレイ部の一般的なレイアウトに相応する等価回路が図7に示される。示されるように2つのPチャンネル型電解効果トランジスタ30および40と、2つのNチャンネル型電解効果トランジスタ50および60がゲートレイ部15内に含まれうる。トランジスタ30および40は、それぞれドレイン端子32、42と、ソース端子34、44と、ゲート端子36、46とをそれぞれ有する。トランジスタ50および60は、それぞれドレイン端子52、62と、ソース端子54、64と、ゲート端子56、66とをそれぞれ有する。これらの要素は、各ゲートレイ部15が如何に構成されているかを明らかに例示するために印付けられている。

20

【0024】

図7において、2つの電力源である、 V_{ds} および V_{ss} は、それぞれコンタクトピン70および80を有するように示される。これらの電力源は、ゲートレイ部内の回路へバイアス電圧を供給するのに使用されうる。ゲートレイ部15に関してこれらのピンおよび他のピンの方向は単なる例示に過ぎず、他の多くの配置が可能であることは十分認識される。例えば、図示される箱様の形状であるのに対して、トランジスタ20-60は一直線の方向付けがなされうる。さらに、電力供給ピン70および80は、ゲートレイ部の部分は考慮される必要がない。電力源は、外部供給源からゲートレイ部15へ提供される。

30

【0025】

ゲートレイ部15の接触点は、要求された機能をゲートレイセルが得るために相互接続されうる。一般にゲートレイセルは、プログラムされた（書込された）ゲートレイ部である。図8は、ゲートレイ部15から2入力NANDゲートを形成するのに適した相互接続の特定の配置を示す（ゲートレイセル100として示される）。表示されるように、ゲートレイセル100は、ゲートレイ部15として同一のピンを全て有している。本実施例では、2つの入力ピン180および182（「I」ピンとして示される）及び出力ピン184（「O」ピンとして示される）が含まれる。入力/出力（「I/O」）ピン180、182、および184は、従って信号を提供および受信し、それぞれゲートレイ部15の前述の多数の相互接続に結合されうる。これらのI/Oピンは図6または図7に示されず、しかしながら、それらは部（すなわちセル）から通常外部にある。このI/Oピンは、I/Oピンによって供給される信号を使用する特定の機能を実行するゲートレイセル100を形成する際に、常にゲートレイ部15と結合される。

40

【0026】

図8に示されるように相互接続区分190は、ドレイン端子32および42へ V_{ds} ピン70を接続することによってセルへバイアス電圧を供給する。相互接続区分191は、 V_{ss} ピン80を電源端子64に接続し、それによってトランジスタ50のドレインを電源面に接続する（ V_{ss} はある実施例のグランド面でもある）。相互接続区分192は、電源端子34および44とトランジスタ50のドレイン端子（端子52）と接続する。電源端子54は、回路を完成するため相互接続区分193によってドレイン端子62と接続する。最終的に、相互接続区分194はゲート端子36及び56と接続し、相互接続区分1

50

95はゲート端子46及び66と接続する。この配列は、入力ピン180と相互接続区分194とを、また入力ピン182と相互接続区分195とを、さらに出力ピン184と相互接続区分192とをそれぞれ結合することにより、ゲートアレイ部15が2入力NANDゲートに要求される機能を伴うゲートアレイセル100に形成することを可能にする。

【0027】

図9は、図8に示されるゲートアレイセル100の回路表示である。相互接続190-195はゲートアレイセル100内の回路素子の相互接続を明らかに例示する回路に含まれる。

【0028】

図10は、図9に示される2入力NANDゲート論理ブロック表示である。I/Oピン180、182、及び184と相互接続192、194および195が含まれる。

【0029】

図8および図9に示される相互接続配置は、単なる例示であって、他の配置は、多くの他の論理ゲートを作り得るが、他の配置が可能であることは認められよう。例えば、ゲートアレイ部15は、これだけに限定されないが、ANDゲート、ORゲート、インバータ、バッファ、NORゲート、XORゲート、排他的NORゲート等を含む幅広い範囲の論理ゲートを形成するために書込することができる。さらに、多重論理配列部15（またはセル部100）は、フリップ・フロップ、レジスタ、カウンタ、遅延素子等のようにより進んだ論理回路を製造するのに互いに結合されうる。

【0030】

ゲートアレイ部15で書込される他の基礎論理ゲートの例が図11に示される。示される相互接続配置は、2入力NORゲートアレイセル（セル200）を作るのに適している。異なるセルは（例えばセル100および200）は、使用された相互接続およびこれらの相互接続に結合されるI/Oピンについて互いに变化しうる。

【0031】

図11に示されるように、相互接続区分290はV_{ds}ピンをドレイン端子70に接続することによってバイアス電圧をセルへ提供する。相互接続区分291は、V_{ss}ピン80へ電源端子54および64へ接続し、それによってトランジスタ50および60のドレインを電源面に接続する（V_{ss}は又ある実施例ではグランド面である）。相互接続区分292は、ドレイン端子52および62とトランジスタ40の電源端子（端子44）とを接続する。電源端子34は、回路を完成する相互接続区分293によってドレイン端子42に接続される。最終的に相互接続区分294は、端子36及び56と接続され、相互接続区分295は、ゲート端子46および66と接続する。この配置は、ゲートアレイ部15が、入力ピン180と相互接続区分294とを、入力ピン282と相互接続区分295とを、出力ピン284と相互接続区分292とを結合することによって、2入力NORゲートを要求される機能を備えるゲートアレイセル200を形成することを可能にする。

【0032】

図12は、図11に示されるゲートアレイセル200の回路図表示である。相互接続区分290-295はゲートアレイセル200内の回路素子の相互接続に明らかに例示される回路内に含まれる。

【0033】

図13は、図12に示される2入力NORゲートの論理ブロック表示である。I/Oピン280、282、および284と相互接続292、294、および295が含まれている。

【0034】

本発明の他の態様は、ゲートアレイ部15内の回路素子の物理的な相互接続を含む。図8を参照して、トランジスタ30-60のドレイン、ソースおよびゲートの接触点（すなわちピン）は、ゲートアレイ部上に直接に金属1層内に固定され拡張される（一般的にはトランジスタ25として図2に示される）。この実行を伴って、ゲートアレイ部15は、要求されたゲートアレイセルを形成するために金属1層へ相互接続を単に加えることによ

10

20

30

40

50

てプログラムされうる。この方法は好ましいものであり、なぜならば、ゲートアレイ部の相互接続の多数のマスク層を再製作する必要性を排除するからである。

【0035】

上述のように、ゲートアレイ部15は、信号減衰、ルーチン誤り、セットアップ又はホールド時間違反、テスト容易化違反、アンテナ違反等を含む様々な問題を補正するのに使用されうる。例えば、ゲートアレイ部15は、それ相当な長距離の接続または過大なファンアウトにより減衰されることとなる信号を増幅するバッファとしての機能がプログラムされうる。この場合、あるゲートアレイ部15は、バッファとして書込まれ、これはマスクプログラムされた相互接続内の特定の相互接続区分に接続されて、装置10の所定の部分の間にバッファを挿入する。図14は、種々の論理素子11の間に挿入されるバッファ90として書込まれるゲートアレイ部15を示す。

10

【0036】

ゲートアレイ部15は、また、信号速度を増大する(セットアップ時間違反)あるいはホールド時間違反の場合に遅延素子として動作するために相互接続のルーチンを最適化するのに使用される。信号速度を増大するために、ゲートアレイ部15はルーチンを最適化する、それゆえ信号速度を増加させるマスクプログラムされた相互接続内の種々の相互接続区分に接続される(バッファはまた信号速度、スルーレイト等、必要に応じて)。ホールド時間違反の場合には、遅延素子として配列されるゲートアレイ部15は、装置10の要求された部分間に要求された信号遅延を挿入するマスクプログラムされた相互接続内の特定の相互接続区分に接続されうる。

20

【0037】

ゲートアレイ部15は、またテスト目的の回路設計内に可視性を提供するために使用されうる。例えば、ゲートアレイ部15が書き込まれてテスト工程中にフィードバックループは不要となり、同期したりセットは割り込みが抑制されることにより、装置10内のノードはI/O部16を通して制御可能であり、探知可能である。これは、例えばマルチプレクサとして幾つかのゲートアレイ部15を書込し、ある特定のI/Oピン(図示せず)とそれらを結合することで達成されうる。

【0038】

マスクプログラムされた装置10を基礎とするマスクプログラマブル論理装置20は、図15に示されるデータ処理システム300の部分として使用される。データ処理システム300は、一又は複数の以下の部品: プロセッサ301、メモリ302、I/O回路303、及び周辺装置304を含みうる。これらの部品はシステムバス305によって互いに結合され、エンドユーザシステム307に含まれる回路ボード306上を占有する。

30

【0039】

システム300は、幅広い種類の応用製品に使用可能であり、例えば、コンピュータネットワークワーキング、データネットワークワーキング、計測機器、画像処理、デジタル信号処理、または他の応用製品であり、マスクプログラマブル論理を使用することの利点が必要とされるものである。マスク-プログラマブル論理装置10は、種々の異なる論理機能を実行するために書込まれる。例えば、マスクプログラマブル論理装置10はプロセッサ301と協働して動作するプロセッサまたはコントローラとして書込まれる。マスクプログラムされる論理装置20は、システム300の分配された手段へのアクセスを仲裁する仲裁器として使用されうる。また、他の例では、マスクプログラムされた論理装置20はプロセッサ301とシステム300内の他の部品の一つとのインターフェースとして書込まれることもできる。システム300は単に例示的なものであり、本発明の真の視点および精神は請求の範囲によって定義されることが理解されよう。

40

【0040】

本発明に従い記述されるマスク-プログラマブル論理装置10を実施するために、種々の技術を使用することができる。例えば、ゲートアレイ部はマスクプログラマブルと記述されているが、他の1回のみプログラム可能な技術もまた、ゲートアレイ部をプログラムするのに使用されうる(例えば、ヒューズプログラマブル技術)。

50

【 0 0 4 1 】

前述の説明は本発明の原理を単に例示するものであり、当業者においては本発明の精神を逸脱することなく、種々の設計変更をなし得、本発明は特許請求の範囲によって限定されることが理解されよう、

【 図面の簡単な説明 】

【 図 1 】 本願発明によるマスクプログラマブル論理装置の好適な実施例であるレイアウトを表示するブロックダイアグラムである。

【 図 2 】 図 1 の装置を内蔵するマスクプログラムされた装置の基板とマスク金属層の断面図である。

【 図 3 】 本願発明による一つの可能なゲートアレイ配置を図示するブロックダイアグラムである。 10

【 図 4 】 本願発明による他の可能なゲートアレイ配置を図示するブロックダイアグラムである。

【 図 5 】 本願発明による他の可能なゲートアレイ配置を図示するブロックダイアグラムである。

【 図 6 】 本願発明により構成されるゲートアレイ部の 1 つの物理的レイアウトを図示するブロックダイアグラムである。

【 図 7 】 図 6 に示される論理手段の回路図である。

【 図 8 】 本願発明による 2 入力 N A N D ゲートを得るために図 6 のゲートアレイ部の相互接続の一つの方法を示す相互接続ダイアグラムである。 20

【 図 9 】 本願発明による図 8 に示されるゲートアレイ部の回路図である。

【 図 1 0 】 本願発明による図 8 、 9 に示されるゲートアレイ部の論理シンボル表現である。

【 図 1 1 】 本願発明による 2 入力 N O R ゲートを得るための図 6 のゲートアレイ部の相互接続方法の一つを示す相互接続ダイアグラムである。

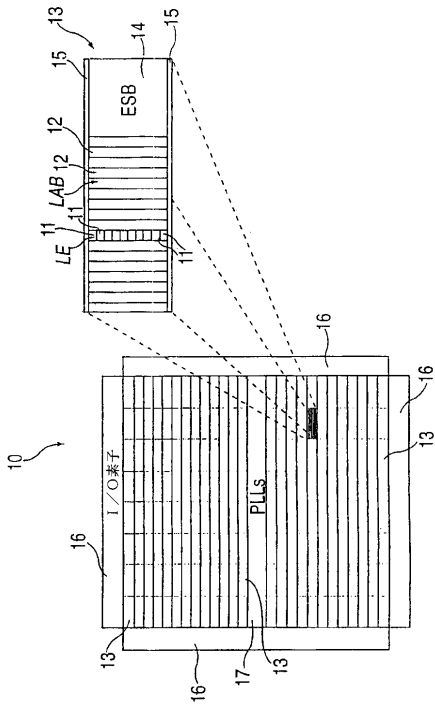
【 図 1 2 】 本願発明による図 1 1 に示されるゲートアレイ部の回路図である。

【 図 1 3 】 本願発明による図 1 1 、 1 2 に示されるゲートアレイ部の論理シンボル表現である。

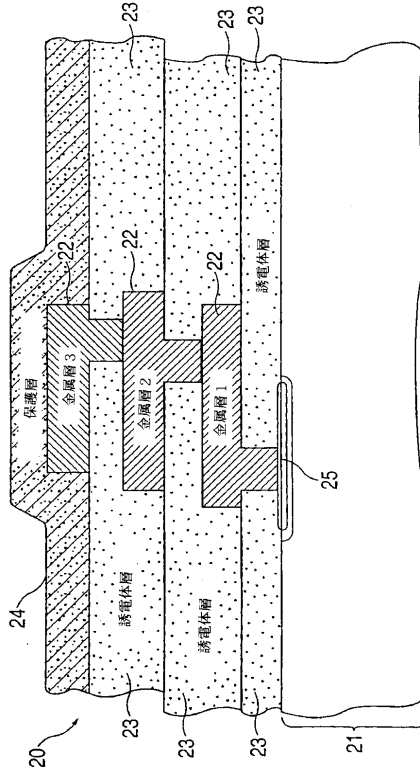
【 図 1 4 】 本願発明によるマスクプログラマブル論理装置上のある論理手段間の挿入されるプログラムされるゲートアレイ部を示す本発明に従うマスクプログラマブル論理装置の単純化ブロックダイアグラムである。 30

【 図 1 5 】 本願発明によるプログラマブル装置を使用する実用となるシステムの単純化ブロックダイアグラムである。

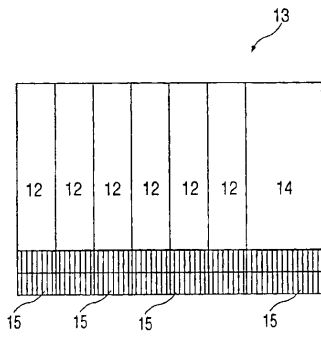
【 図 1 】



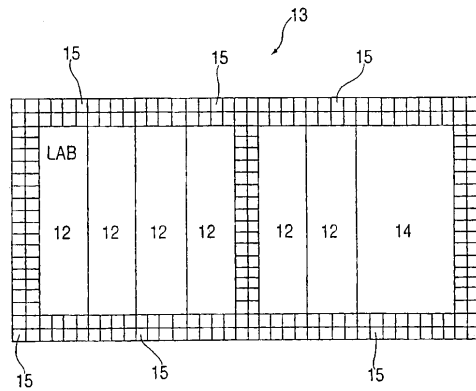
【 図 2 】



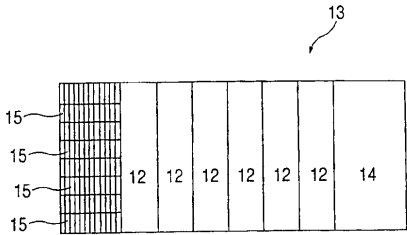
【 図 3 】



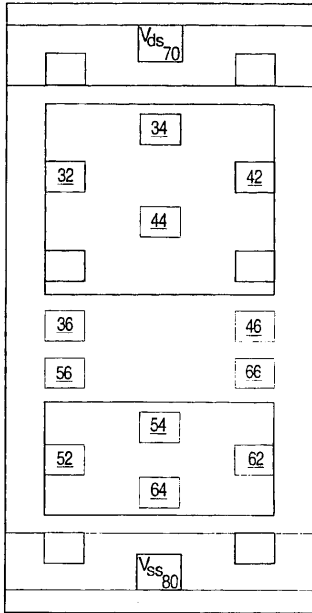
【 図 5 】



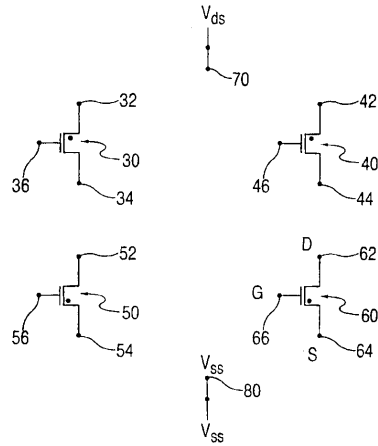
【 図 4 】



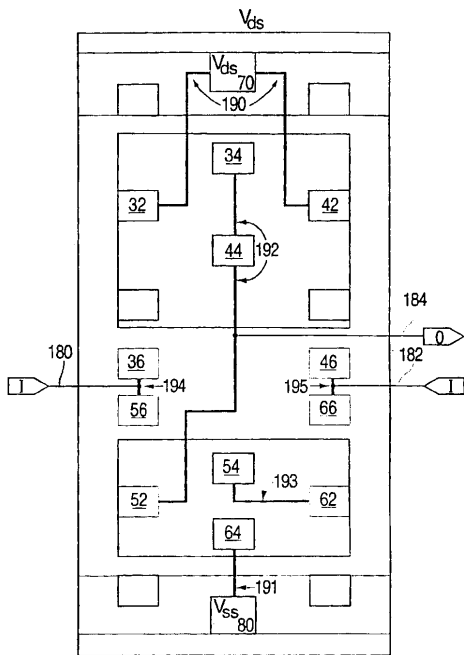
【 図 6 】



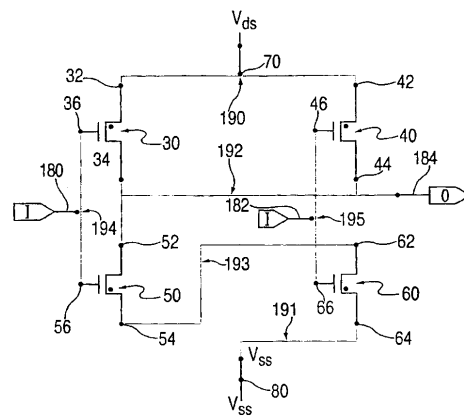
【 図 7 】



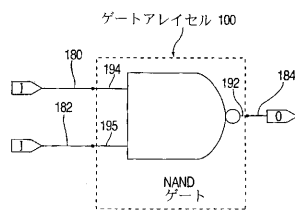
【 図 8 】



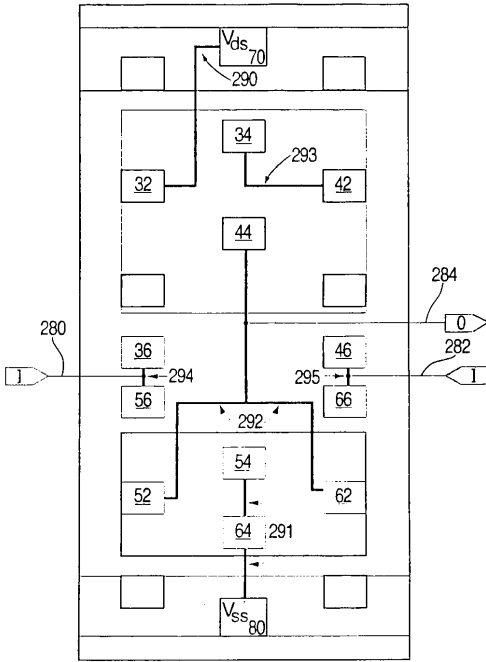
【 図 9 】



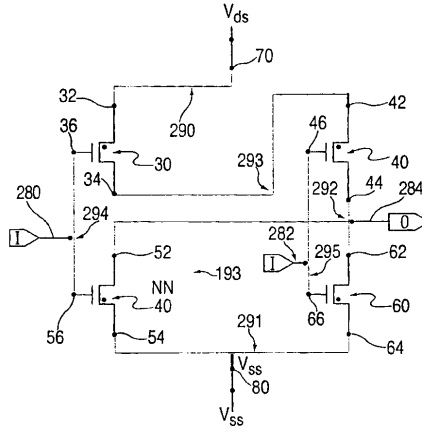
【 図 10 】



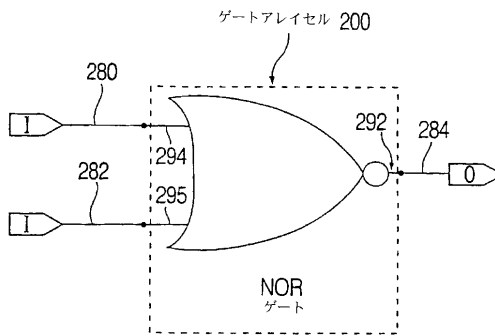
【図 1 1】



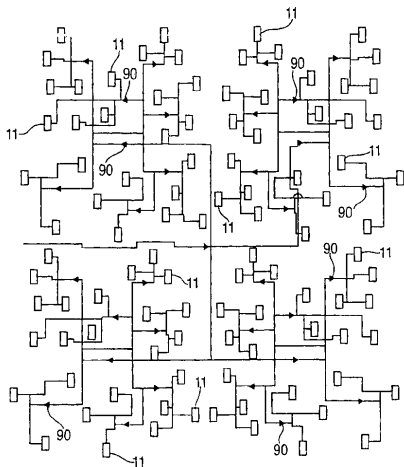
【図 1 2】



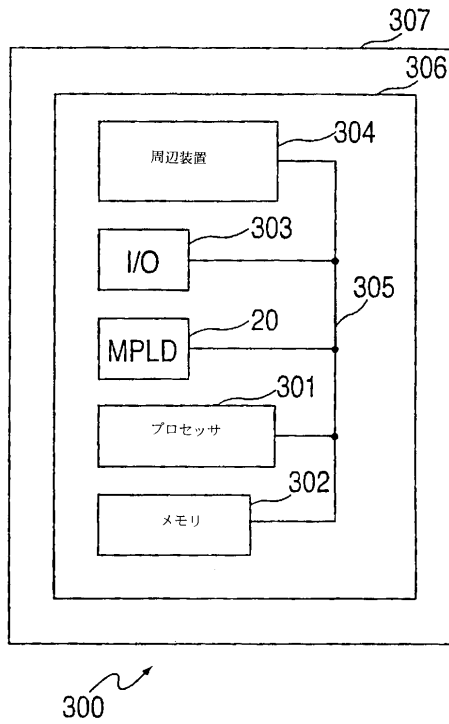
【図 1 3】



【図 1 4】



【図 1 5】



【 外国語明細書 】

1. Title of Invention

MASK-PROGRAMMABLE LOGIC DEVICES
WITH PROGRAMMABLE GATE ARRAY SITES

2. Claims

1. A mask-programmable logic device disposed on an integrated circuit comprising:

a plurality of mask-programmable logic regions disposed on a substrate of the integrated circuit;

a plurality of interconnection conductors coupled to the mask-programmable logic regions and disposed above the substrate for interconnecting the mask-programmable logic regions; and

a plurality of gate array sites disposed on the substrate, the gate array sites being programmable to perform at least one function that facilitates implementation of a circuit design on the mask programmable logic device.

2. The mask-programmable logic device of claim 1 wherein at least some of the plurality of gate array sites are coupled to at least some of the interconnection conductors.

3. The mask-programmable logic device of claim 1 wherein at least one of the gate array sites is programmed to function as a buffer.

4. The mask-programmable logic device of claim 1 wherein at least one of the gate array sites is programmed to function as a delay element.

5. The mask-programmable logic device of claim 1 wherein at least one of the gate array sites is programmed provide a logic function selected from the group consisting of a NAND function, a NOR function, an AND function, an OR function, an inverter function, an

XOR function, an exclusive NOR function, or any combination thereof.

6. The mask-programmable logic device of claim 1 at least two of the gate array sites are coupled together and programmed to form a complex logic circuit.

7. The mask-programmable logic device of claim 6 wherein the complex logic circuit is a flip-flop or a latch.

8. The mask-programmable logic device of claim 1 wherein the gate array sites are distributed uniformly throughout the mask-programmable logic regions.

9. The mask-programmable logic device of claim 1 wherein at least some of the gate array sites located at a boundary between adjacent logic regions.

10. The mask-programmable logic device of claim 1 wherein at least some of the gate array sites are located at a boundary between a logic region and an I/O block.

11. The mask-programmable logic device of claim 1 wherein the gate array sites, when programmed, include at least one transistor.

12. The mask-programmable logic device of claim 1 wherein the gate array sites are fuse programmable.

13. The mask-programmable logic device of claim 1 wherein at least one of the gate array sites includes a fixed contact point that extends from the substrate to a first mask layer.

14. The mask-programmable logic device of claim 12 further comprising at least one interconnection segment coupled to the fixed contact point and located on a mask layer for programming the gate array site to perform a logic function.

15. A method for correcting implementation errors in a mask-programmable logic device comprising:
 creating a mask programmable logic device design from a preexisting circuit design;
 testing the mask programmable logic device design for implementation errors; and
 adding additional circuit elements to the mask programmable logic device design to correct any implementation errors detected, wherein the additional circuit elements are added to the the mask programmable logic device design by programming at least one gate array site to perform a function that facilitates correction of a detected error.

16. The method of claim 15 wherein the adding further comprises programming at least one gate array site to function as a buffer.

17. The method of claim 16 wherein the programming further comprises programming at least one gate array site to function as a delay element.

18. The method of claim 16 wherein the programming further comprises interconnecting logic resources within at least one of the gate array sites with interconnection segments.

19. The method of claim 18 characterized by placing the interconnection segments on a metal 1 layer.

20. The method of claim 15 wherein the programming further comprises programming at least one of the gate array sites to correct a Set-up time violation.

21. The method of claim 15 wherein the programming further comprises programming at least one of the gate array sites to correct a Hold-time violation.

22. The method of claim 15 wherein the programming further comprises programming at least one of the gate array sites to correct a testability violation.

23. A digital processing system comprising:
processing circuitry;
a memory coupled to said processing circuitry; and
a mask-programmed logic device as defined in claim 1 coupled to the processing circuitry and the memory.

24. A printed circuit board on which is mounted a mask-programmed logic device as defined in claim 1.

25. The printed circuit board defined in claim 23 further comprising:
memory circuitry mounted on the printed circuit board and coupled to the mask-programmed logic device.

26. The printed circuit board defined in claim 25 further comprising:

processing circuitry mounted on the printed circuit board and coupled to the memory circuitry.

3. Detailed Description of Invention

Background of the Invention

[0001] The present invention relates to mask programmable logic devices, and more particularly, to mask programmable logic devices that include gate array sites.

[0002] Programmable logic devices are well known. Early programmable logic devices were one-time configurable. For example, configuration may have been achieved by "blowing" -- i.e., opening -- fusible links. Alternatively, the configuration may have been stored in a programmable read-only memory. These devices generally provided the user with the ability to configure the devices for "sum-of-products" (or "P-TERM") logic operations. Later, such programmable logic devices incorporating erasable programmable read-only memory (EPROM) for configuration became available, allowing the devices to be reconfigured.

[0003] Still later, programmable logic devices incorporating static random access memory (SRAM) elements for configuration became available. These devices, which

also can be reconfigured, store their configuration information in a nonvolatile memory such as an EPROM, from which the configuration is loaded into the SRAM elements when the device is powered up. These devices generally provide the user with the ability to configure the devices for look-up table-type logic operations. At some point, such devices began to be provided with embedded blocks of random access memory that could be configured by the user to act as random access memory, read-only memory, or logic (such as P-TERM logic).

[0004] In all of the foregoing programmable logic devices, both the logic functions of particular logic elements in the device, and the interconnect for routing of signals between the logic elements, were programmable. Another variant is a mask-programmable logic device. With mask-programmable logic devices, instead of selling all users the same device, the manufacturer produces a partial device with a standardized arrangement of logic resources whose functions are not programmable by the user, and which lacks any routing or interconnect resources.

[0005] The user provides the manufacturer of the mask-programmable logic device with the specifications of a desired device, which may be the configuration file for programming a comparable conventional programmable logic device. The manufacturer uses that information to add metallization layers to the partial device described above. Those additional layers program the logic elements by making certain connections within those elements, and also add interconnect routing between the logic elements. Mask-programmable logic devices can also be provided with embedded random access memory blocks, as described above in connection with conventional

programmable logic devices. In such mask-programmable logic devices, if the embedded memory is configured as read-only memory or P-TERM logic, that configuration also is accomplished using the additional metallization layers.

[0006] While conventional programmable logic devices allow a user to easily design a device to perform a desired function, a conventional programmable logic device invariably includes resources that may not be used for a particular design. Moreover, in order to accommodate general purpose routing and interconnect resources, and the switching resources that allow signals from any logic element to reach any desired routing and interconnect resource, conventional programmable logic devices grow ever larger as more functionality is built into them, increasing the size and power consumption of such devices. The routing of signals through the various switching elements as they travel from one routing and interconnect resource to another also slows down signals.

[0007] The advent of mask-programmable logic devices has allowed users to prove a design in a conventional programmable logic device, but to commit the production version to a mask-programmable logic device which, for the same functionality, can be significantly smaller and use significantly less power, because the only interconnect and routing resources are those actually needed for the particular design. In addition, there are no general purpose switching elements consuming space or power, or slowing down signals.

[0008] However, mask-programmable logic devices do not contain predefined routing resources. Therefore, the task of creating the customized interconnect for each design falls to the manufacturer in migrating the user's

programmable device design to a mask-programmable device. This task is time consuming, and significantly slows down the process of migrating the design. The migration process is further complicated by the fact that certain implementation-related problems such as timing and testability violations and signal attenuation are not apparent until after an initial mask-programmable device is fabricated and tested. Fixing such problems often requires redesign of the custom interconnect and/or reallocation of logic resources on the base device. This solution, however, often requires the fabrication of multiple devices to prove a given design and is therefore costly and time consuming.

[0009] Accordingly, it would be desirable to provide a way to quickly and effectively solve implementation problems by providing resources that allow some modifications to be made to the original mask design that do not involve the costly or time consuming tasks of reallocating logic resources or redesigning the customized interconnect.

Summary of the Invention

[0010] It is therefore an object of the present invention to provide a way to quickly and effectively solve implementation problems by providing resources that allow modifications to be made to the original mask design that do not involve the costly or time consuming tasks of reallocating logic resources or redesigning the customized interconnect.

[0011] This and other objects of the invention are accomplished in accordance with the principles of the present invention by providing configurable gate array

sites disposed on an integrated circuit for correcting implementation problems.

[0012] In one embodiment of the present invention, configurable gate array sites are disposed in various locations throughout the device to correct buffering and timing violations that may result from the streamlining of a device's interconnection and logic resources. Such gate array sites may be fabricated on a device substrate and each site may include a plurality of circuit elements (e.g., transistors) for forming fundamental logic gates. To correct a particular problem, a gate array cell that provides the desired function may be formed on a gate array site proximal to the point in the device where the violation manifests itself. This cell may be formed by interconnecting certain circuit elements found in the gate array site to obtain the desired logic function.

[0013] In another aspect of the invention, each gate array site may have some or all of its interconnections and contact points coupled to the substrate in order to reduce the cost of adding an additional contact layer mask.

[0014] Further features of the invention, its nature and various advantages will be more apparent from the accompanying drawings and the following detailed description.

Detailed Description of the Preferred Embodiments

[0015] The present invention reduces the amount of time, cost, and effort required to produce a mask-programmable logic device by providing configurable gate array sites at various locations within the device. The gate array sites may be used to correct various implementation problems that may arise during the migration of a circuit design previously implemented on another integrated circuit which may have contained different interconnection and logic resources.

[0016] As seen in FIG. 1, one embodiment of a mask-programmable logic device 10 constructed in accordance with the present invention includes an array of logic regions similar to those found in the APEX[®] family of programmable logic devices sold by Altera Corporation, of San Jose, California, the assignee hereof. Although an APEX[®] type architecture is shown, it will be understood that any type of PLD, CPLD (complex programmable logic device) or similar device may serve as a model for the base portion of the mask-programmable device, if desired.

As shown in FIG. 1, the logic regions include, at the most basic level, "logic elements" (LEs) 11, which may be, for example, look-up table-based logic regions having four inputs and the ability to have registered or unregistered output. Logic elements 11 may be grouped into "logic array blocks" (LABs) 12. In the embodiment

shown, each LAB 12 includes ten LEs 11, although other numbers of LEs 11 could be grouped into each LAB 12. The LABs may further be grouped into "groups of LABs" (GOLs) 13. In the embodiment shown, each GOL 13 includes seventeen LABs 12, although other numbers of LABs 12 could be grouped into each GOL 13. Each GOL 13 preferably also includes an embedded memory block (referred to in the embodiment shown as an "embedded system block" or ESB) 14. Each GOL 13 also includes a plurality of gate array sites 15, which may be used, e.g., for buffering or routing particular signals (described in more detail below).

[0017] As shown, GOLs 13 preferably are arranged in an orthogonal array, in rows and columns. Input/output ("I/O") elements preferably are located in regions 16 around the periphery of the array. Other auxiliary circuits, such as phase-locked loops ("PLLs") for timing, etc., preferably are provided at convenient locations within the array, such as in region 17, shown in about the center of the array.

[0018] FIG. 2 shows a cross section of mask-programmable or "base" device 10 after programming i.e., after it has become a "mask-programmed" device 20, in which the substrate and other layers that make up the unprogrammed base device 10 are shown collectively at 21 (one transistor 25 is shown as representative). Additional layers of metallization 22 and dielectric 23 are used to program device 20 and create the custom interconnection networks that connect the components included in base device 10. Commonly, an encapsulation layer 24 is provided to protect metallization and dielectric layers 22 and 23.

[0019] Gate array sites 15, which are configurable to perform desired logic functions, may be disposed in a variety of ways throughout a mask programmable logic device to correct implementation problems while minimizing device size. FIG. 3 is a block diagram illustrating how a plurality of gate array sites 15 may be physically disposed throughout GOL 13 of device 10. As shown, gate array sites 15 are disposed in two rows running horizontally along the lower edge of GOL 13. It will be appreciated that this arrangement is merely illustrative, and that many other arrangements are possible. For example, one or more columns of gate array sites 15 may be placed along the periphery of GOL 13 if desired. As shown in FIG. 4, these columns may be disposed along the leftmost LAB of GOL 13.

[0020] In yet another possible embodiment, FIG. 5 illustrates gate array sites 15 being placed throughout GOL 13 in both rows and columns. Gate array sites may also be placed between the boundary of LABs 12 and ESB 14 and/or I/O blocks 16 (not shown). Gate array sites 15 may also be randomly or uniformly placed throughout GOL 13 in patterns other than rows and columns if desired, e.g., in a checkerboard pattern (not shown).

[0021] The particular pattern of gate array sites used may be based on the type of interconnections needed to implement a specified circuit design. For example, if the circuit implementation requires a considerable number of interconnections between adjacent GOLs, then the majority of gate array sites 15 may be placed along the boundaries between the GOLs. In some embodiments, this may be done so that sites 15 favor a certain interconnection direction (e.g., two rows of sites 15 in the vertical direction and only one in the horizontal

direction, etc.). On the other hand, if the specified circuit design requires significant amount of interconnections within the GOLs, then the majority of gate array sites may be placed between the LABs of that GOL with a reduced number around the periphery. Other embodiments may use a combination of these approaches to provide interconnection both between and within the GOLs on device 10.

[0022] In FIG. 6, a diagram illustrating one possible layout of gate array site 15 is shown. This site may contain a plurality of circuit elements (e.g., N-well and P-well sites) suitable for constructing transistors. Gate array site 15 may also include power supply pins. It will be understood that this embodiment is merely illustrative, and that many other arrangements with more or less circuit elements are possible. It will also be appreciated that other gate array site arrangements may have more, less, or no power supply pins at all, and that circuitry within the site may be powered by external sources. Gate array site 15 may be considered to be "programmable" to the extent that interconnection conductors may be coupled to contact pins connected to the circuit elements within the site. Such programmability allows a generic gate array site 15 to form a gate array cell with a specific function. The actual contents of each individual gate array site may vary depending on the type of implementation problems it is intended to correct. Furthermore, it will be understood that several different types of gate array sites 15 (i.e., those with different contents) may be disposed throughout base device 10 to provide optimal error correction.

[0023] The equivalent circuitry that corresponds to the general layout of gate array site 15 in FIG. 6 is shown in FIG. 7. As shown, two P-channel type field effect transistors 30 and 40, and two N-channel type field effect transistors 50 and 60 may be included in gate array site 15. Transistors 30 and 40 each have drain terminals 32 and 42, source terminals 34 and 44, and gate terminals 36 and 46, respectively. Transistors 50 and 60 each have drain terminals 32 and 42, source terminals 34 and 44, and gate terminals 36 and 46, respectively. These elements are marked in FIG. 6 to clearly illustrate how each gate array site 15 may be constructed.

[0024] In FIG. 7, two power supplies, V_{ds} and V_{ss} are shown to have contact pins 70 and 80, respectively. These power supplies may be used to provide bias voltages to the circuitry within the gate array site. It will be appreciated that the orientation of each of these pins with respect to gate array site 15 and the other pins is merely illustrative, and that many other arrangements are possible. For example, transistors 20-60 may be oriented linearly, as opposed to the box-like shape shown. Furthermore, power supply pins 70 and 80 need not necessarily be considered part of the gate array site. Power may be provided to gate array site 15 by external sources.

[0025] The contact points of gate array site 15 may be interconnected to obtain a gate array cell with a desired function. Generally speaking, a gate array cell is a programmed (configured) gate array site. FIG. 8 shows a particular arrangement of interconnections suitable for forming a two-input NAND gate from a gate array site 15 (illustrated as gate array cell 100). As depicted, gate

array cell 100 has all of the same pins as gate array site 15. In this embodiment, two input pins 180 and 182 (designated as "I" pins) and an output pin 184 (designated as an "O" pin) are included. Input/Output ("I/O") pins 180, 182, and 184 may provide and receive signals accordingly and may be individually coupled to any number of the aforementioned interconnections of gate array site 15. These I/O pins are not shown in FIGS. 6 or 7, however, because they are usually external from the site (i.e., the cell). The I/O pins are usually coupled to gate array site 15 when forming a gate array cell 100 to perform a specific function using the signals supplied by the I/O pins.

[0026] As shown in FIG. 8, interconnection segment 190 provides bias voltage to the cell by connecting V_{ds} pin 70 to drain terminals 32 and 42. Interconnection segment 191 connects V_{ss} pin 80 to source terminal 64 thereby connecting the drain of transistor 50 to the power plane (V_{ss} may also be a ground plane in certain embodiments). Interconnection segment 192 connects source terminals 34 and 44 to the drain terminal of transistor 50 (terminal 52). Source terminal 54 is connected to drain terminal 62 by interconnection segment 193 to complete the circuit. Finally, interconnection segment 194 connects gate terminals 36 and 56, and interconnection segment 195 connects gate terminals 46 and 66. This arrangement allows gate array site 15 to form gate array cell 100 with the desired function of a two-input NAND gate by coupling input pin 180 to interconnection segment 194, input pin 182 to interconnection segment 195, and output pin 184 to interconnection segment 192.

[0027] FIG. 9 is a schematic representation of gate array cell 100 shown in FIG. 8. Interconnection segments 190-195 are included in the schematic to clearly illustrate the interconnection of circuit elements within gate array cell 100.

[0028] FIG. 10 is a logic block representation of the two-input NAND gate shown in FIG. 9. Included are I/O pins 180, 182, and 184, and interconnections 192, 194, and 195.

[0029] It will be appreciated that the interconnection arrangement shown in FIGS. 8 and 9 are merely illustrative, and that other arrangements, which may produce many other fundamental logic gates, are possible. For example, gate array site 15 may be configured to form a wide range of logic gates including, but not limited to, AND gates, OR gates, inverters, buffers, NOR gates, XOR gates, exclusive NOR gates, etc. Moreover it will be understood that multiple logic array sites 15 (or cell sites 100) may be combined together to produce more advanced logic circuits such as flip-flops, registers, counters, delay elements, adders, and the like.

[0030] An example of another basic logic gate that may be constructed with gate array site 15 is shown in FIG. 11. The interconnection arrangement shown is suitable for making a two-input NOR gate array cell (cell 200). Different cells (*i.e.*, cells 100 and 200) may vary from one another only with respect to the interconnections used and the I/O pins that are coupled to these interconnections.

[0031] As shown in FIG. 11, interconnection segment 290 provides bias voltage to the cell by connecting V_{ds} pin 70 to drain terminals 32.

Interconnection segment 291 connects Vss pin 80 to source terminals 54 and 64 thereby connecting the drain of transistors 50 and 60 to the power plane (Vss may also be a ground plane in certain embodiments). Interconnection segment 292 connects drain terminals 52 and 62 to the source terminal of transistor 40 (terminal 44). Source terminal 34 is connected to drain terminal 42 by interconnection segment 293 to complete the circuit. Finally, interconnection segment 294 connects gate terminals 36 and 56, and interconnection segment 295 connects gate terminals 46 and 66. This arrangement allows gate array site 15 to form gate array cell 200 with the desired function of a two-input NOR gate by coupling input pin 180 to interconnection segment 294, input pin 282 to interconnection segment 295, and output pin 284 to interconnection segment 292.

[0032] FIG. 12 is a schematic representation of gate array cell 200 shown in FIG. 11. Interconnection segments 290-295 are included in the schematic to clearly illustrate the interconnection of circuit elements within gate array cell 200.

[0033] FIG. 13 is a logic block representation of the two-input NOR gate shown in FIG. 12. Included are I/O pins 280, 282, and 284, and interconnections 292, 294, and 295.

[0034] Another aspect of the present invention involves the physical interconnection of circuit elements within gate array sites 15. Referring to FIG. 8, the drain, source, and gate contact points (*i.e.*, pins) of transistors 30-60 are preferably fixed and extend into the metal 1 layer directly above the gate array site (shown in generally in FIG. 2 as

transistor 25). With this implementation, gate array sites 15 may be programmed by merely adding interconnect segments to the metal 1 layer to form a desired gate array cell. This approach is desirable because it eliminates the need to recreate multiple mask layers to interconnect the gate array sites. However, in certain embodiments having complicated circuit designs, it may be desirable to use multiple mask layers for to interconnect the gate array sites.

[0035] As mentioned above, gate array sites 15 may be used to correct a variety of problems including signal attenuation, routing errors, set up or hold time violations, testability violations, antenna violations etc. For example, gate array sites 15 may be programmed to function as buffers to amplify signals that have become attenuated due long distance connections or excessive fanout. In this case, some gate array sites 15 are configured as buffers that are connected to specific interconnection segments in the mask-programmed interconnect to interpose buffers between the desired portions of device 10. FIG. 14 shows gate array sites 15 configured as buffers 90 interposed between various logic elements 11.

[0036] Gate array sites 15 may also be used to optimize interconnection paths to increase signal speed (a set-up time violation) or to act as delay elements in the case of a hold-time violation. To increase signal speed, gate array site 15 may be connected to various interconnection segments in the mask-programmed interconnect to optimize routing thereby increasing signal speed (buffers may also be used to increase signal speed, slew rate, etc., if desired). In the case of hold time violations, gate array sites 15 configured as delay

elements may be connected to specific interconnection segments in the mask-programmed interconnect to interpose the desired signal delay between the desired portions of device 10.

[0037] Gate array sites 15 may also be used to provide visibility into the circuit design for testing purposes. For example, gate array sites 15 may be configured so that during testing feedback loops are eliminated and synchronous resets are disabled so that substantially all the nodes within device 10 are both controllable and visible through I/O portions 16. This may be done for example, by configuring some gate array sites 15 to function as multiplexers and coupling them to certain dedicated I/O pins (not shown).

[0038] Mask-programmable logic device 20 based on mask-programmed device 10 described above may be used as part of a data processing system 300 shown in FIG. 15. Data processing system 300 may include one or more of the following components: a processor 301; memory 302; I/O circuitry 303; and peripheral devices 304. These components are coupled together by a system bus 305 and are populated on a circuit board 306 which is contained in an end-user system 307.

[0039] System 300 can be used in a wide variety of applications, such as computer networking, data networking, instrumentation, video processing, digital signal processing, or any other application where the advantage of using mask-programmable logic is desirable. Mask-programmable logic device 10 can be configured to perform a variety of different logic functions. For example, mask-programmable logic device 10 can be configured as a processor or controller that works in cooperation with processor 301. Mask-programmed logic

device 20 may also be used as an arbiter for arbitrating access to a shared resources in system 300. In yet another example, mask-programmed logic device 20 can be configured as an interface between processor 301 and one of the other components in system 300. It should be noted that system 300 is only exemplary, and that the true scope and spirit of the invention should be indicated by the following claims.

[0040] Various technologies can be used to implement mask-programmable logic devices 10 as described above according to this invention. For example, although gate array sites have been described herein as mask-programmable, other one-time programmable technologies may also be used to program gate array sites 15 (e.g., fuse-programmable technologies).

[0041] It will be understood that the foregoing is only illustrative of the principles of the invention, and that various modifications can be made by those skilled in the art without departing from the scope and spirit of the invention, and the present invention is limited only by the claims that follow.

4. Brief Description of Drawings

FIG. 1 is a block diagram representation of the layout of a preferred embodiment of a mask-programmable logic device in accordance with the present invention;

FIG. 2 is a cross-sectional view of the substrate and mask metallization layers of a mask-programmed device according to the present invention, incorporating the device of FIG. 1;

FIG. 3 is a block diagram illustrating one possible gate array arrangement in accordance with the present invention;

FIG. 4 is a block diagram illustrating another possible gate array arrangement in accordance with the present invention;

FIG. 5 is a block diagram illustrating another possible gate array arrangement in accordance with the present invention.

FIG. 6 is a block diagram illustrating one possible physical layout of a gate array site constructed in accordance with the principles of the present invention;

FIG. 7 is a schematic diagram of the logic resources shown in FIG. 6;

FIG. 8 is an interconnection diagram illustrating one way of interconnecting the gate array site of FIG. 6 to obtain a two input NAND gate;

FIG. 9 is a schematic diagram of the gate array site shown in FIG. 8;

FIG. 10 is a logic symbol representation of the gate array site shown in FIGS. 8 and 9;

FIG. 11 is an interconnection diagram illustrating one way of interconnecting the gate array site of FIG. 6 to obtain a two input NOR gate;

FIG. 12 is a schematic diagram of the gate array site shown in FIG. 11;

FIG. 13 is a logic symbol representation of the gate array site shown in FIGS. 11 and 12;

FIG. 14 is a simplified block diagram of a mask-programmable logic device in accordance with the present invention illustrating programmed gate array sites interposed between certain logic resources on the mask-programmable logic device.

FIG. 15 is a simplified block diagram of an illustrative system employing a programmable device in accordance with the invention.

1. Abstract

A mask-programmable logic device that includes programmable gate array sites is provided. The gate array sites contain circuit elements that may be programmed to perform certain logic functions that correct problems associated with implementing a preexisting circuit design in mask-programmable device.

2. Representative Drawing

Fig. 1

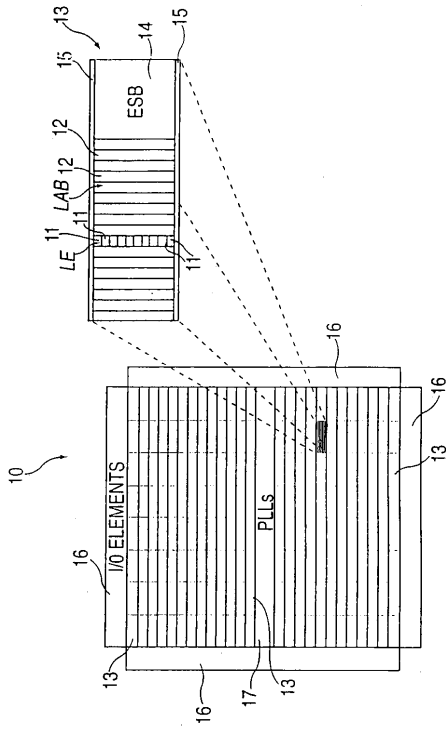


FIG. 1

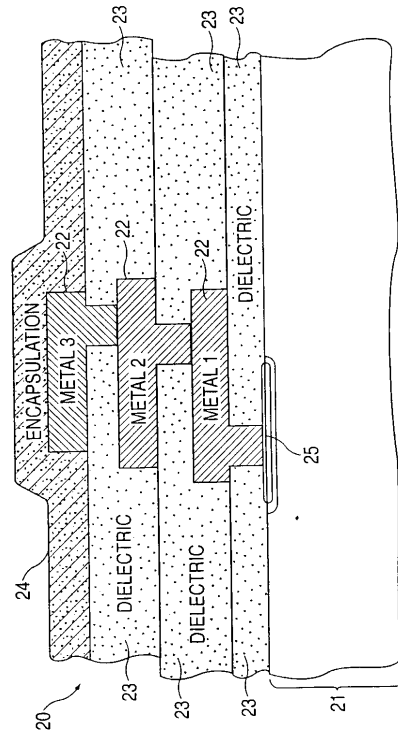


FIG. 2

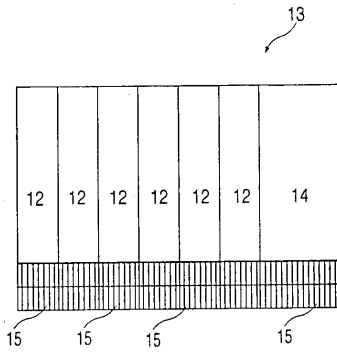


FIG. 3

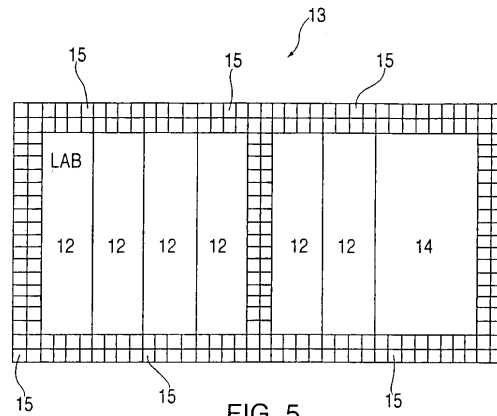


FIG. 5

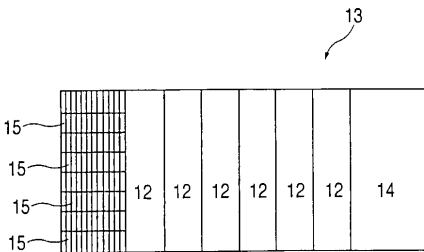


FIG. 4

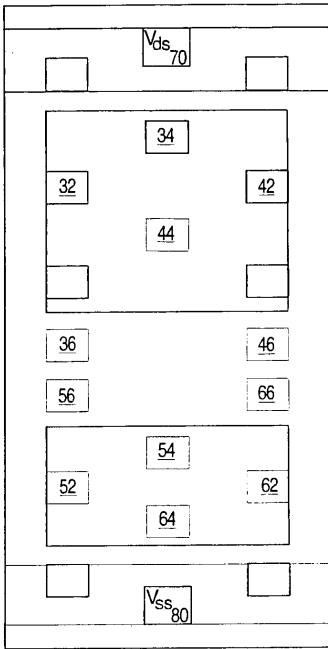


FIG. 6

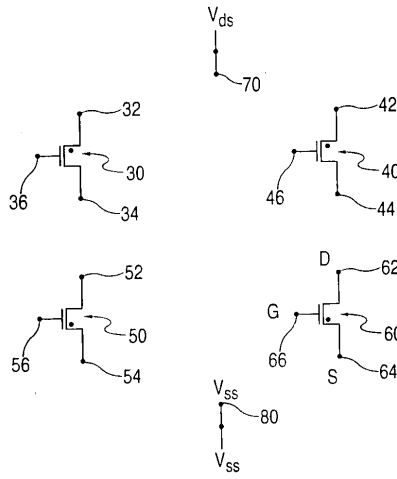


FIG. 7

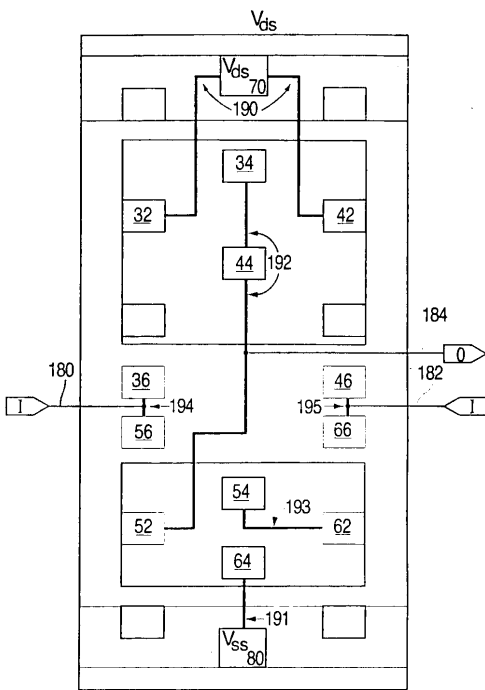


FIG. 8

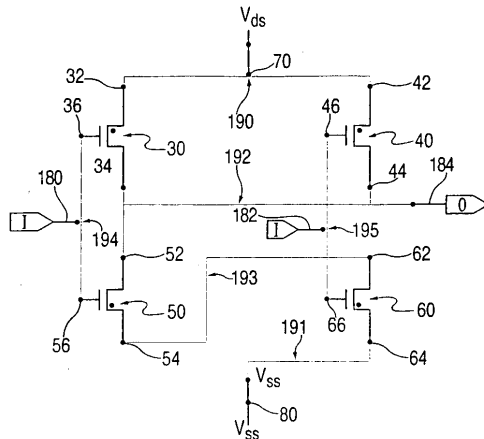


FIG. 9

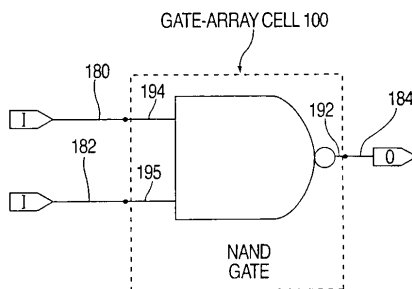


FIG. 10

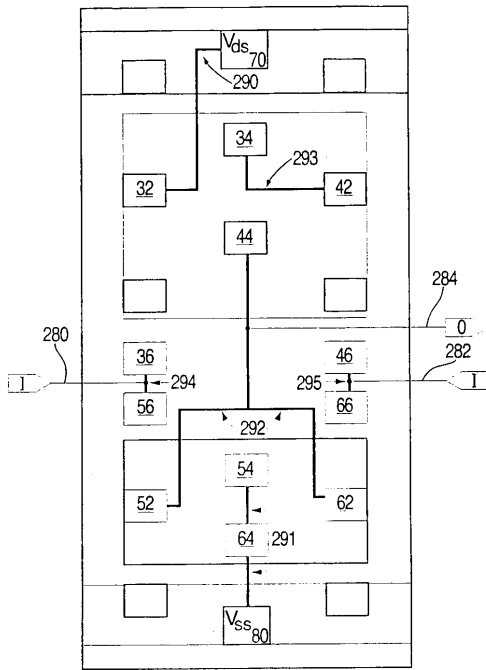


FIG. 11

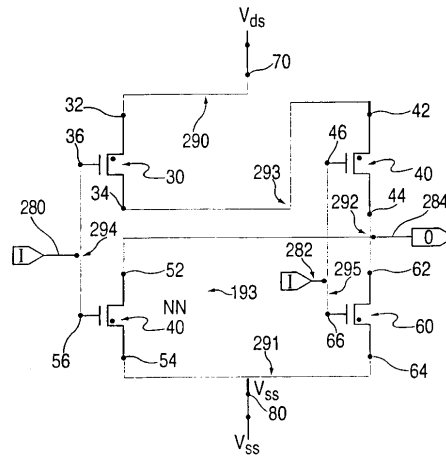


FIG. 12

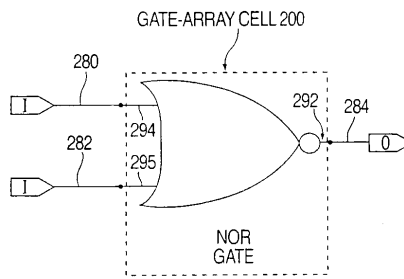


FIG. 13

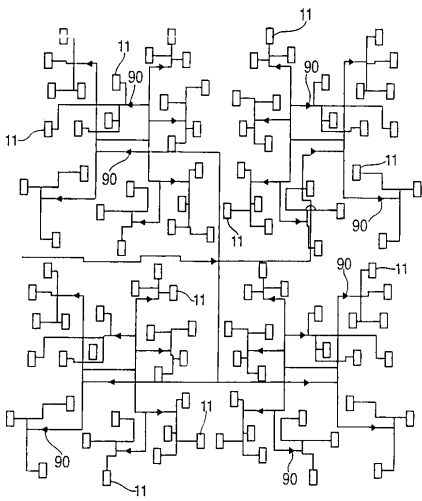


FIG. 14

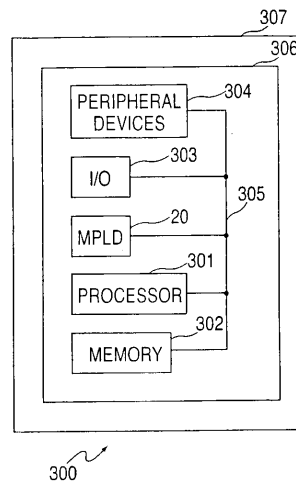


FIG. 15