

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-45121
(P2011-45121A)

(43) 公開日 平成23年3月3日(2011.3.3)

(51) Int.Cl.	F I	テーマコード (参考)
HO4N 5/341 (2011.01)	HO4N 5/335 410	4M118
HO4N 5/374 (2011.01)	HO4N 5/335 740	5C024
HO4N 5/355 (2011.01)	HO4N 5/335 550	
HO4N 5/353 (2011.01)	HO4N 5/335 530	
HO1L 27/146 (2006.01)	HO1L 27/14 A	

審査請求 有 請求項の数 5 O L (全 17 頁)

(21) 出願番号 特願2010-229882 (P2010-229882)
 (22) 出願日 平成22年10月12日 (2010.10.12)
 (62) 分割の表示 特願2005-153336 (P2005-153336)
 の分割
 原出願日 平成17年5月26日 (2005.5.26)

(71) 出願人 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100094053
 弁理士 佐藤 隆久
 (72) 発明者 馬淵 圭司
 東京都港区港南1丁目7番1号 ソニー株
 式会社内
 Fターム(参考) 4M118 AA02 AB01 BA14 CA02 DB09
 DD04 DD12 FA06 FA33 GA10
 5C024 CX43 CX47 CX51 CX54 GY31
 HX02 JX35 JX36 JX41

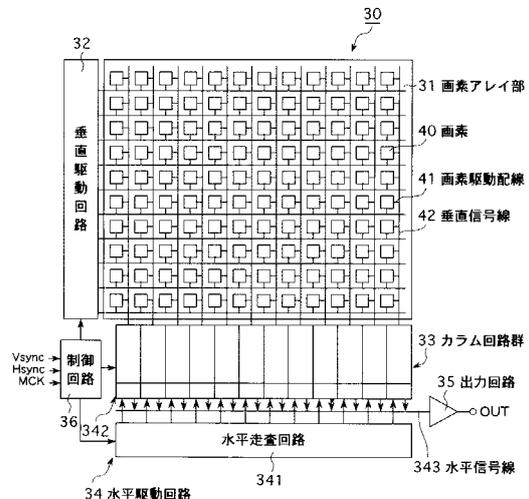
(54) 【発明の名称】 固体撮像装置、固体撮像装置の駆動方法および撮像装置

(57) 【要約】 (修正有)

【課題】 高感度の信号と低感度の信号を1走査期間の時間ずれを起こさず、正確に合成して高画質の画像信号を得る。

【解決手段】 固体撮像装置30は、画素アレイ部31の走査の単位期間をHとするとき、画素アレイ部31の各画素40から信号を読み出す読み出し行を戻す動作や進める動作を1Hごとに行い、かつs×H(sは2以上の整数)期間内にその両方を行って、結果的にs×H期間に1行進める垂直走査手段32と、画素アレイ部31の1画素列に対して1個のカラム回路が配置されたカラム回路群33とを具備する。

【選択図】 図8



【特許請求の範囲】

【請求項 1】

外部の物理量を表す信号を出力する画素が行列状に 2 次元配置されてなる画素アレイ部と、

前記画素アレイ部の走査の単位期間を H とするとき、前記画素アレイ部の各画素から信号を読み出す読み出し行を戻す動作や進める動作を 1 H ごとに行い、かつ $s \times H$ (s は 2 以上の整数) 期間内にその両方を行って、結果的に $s \times H$ 期間に 1 行進める垂直走査手段と、

前記画素アレイ部の 1 画素列に対して 1 個のカラム回路が配置されたカラム回路群とを具備する固体撮像装置。

10

【請求項 2】

前記垂直走査手段は、前記読み出し行の走査の前に、前記画素アレイ部の各画素に蓄積されている電荷を捨てるシャッタ走査を $s \times H$ 期間に 1 行進めつつ行う

請求項 1 記載の固体撮像装置。

【請求項 3】

外部の物理量を表す信号を出力する画素が行列状に 2 次元配置されてなる画素アレイ部を具備する固体撮像装置の駆動方法であって、

前記画素アレイ部の走査の単位期間を H とするとき、前記画素アレイ部の各画素から信号を読み出す読み出し行を戻す動作や進める動作を 1 H ごとに行い、かつ $s \times H$ (s は 2 以上の整数) 期間内にその両方を行って、結果的に $s \times H$ 期間に 1 行進め、

20

前記画素アレイ部の 1 画素列に対して 1 個のカラム回路が配置されてなるカラム回路群の各カラム回路によって前記読み出し行の各画素から読み出された信号を処理する

固体撮像装置の駆動方法。

【請求項 4】

光電変換素子を含む画素が行列状に 2 次元配置されてなる画素アレイ部と、

前記画素アレイ部の走査の単位期間を H とするとき、前記画素アレイ部の各画素から信号を読み出す読み出し行を戻す動作や進める動作を 1 H ごとに行い、かつ $s \times H$ (s は 2 以上の整数) 期間内にその両方を行って、結果的に $s \times H$ 期間に 1 行進める垂直走査手段と、

前記画素アレイ部の 1 画素列に対して 1 個のカラム回路が配置されたカラム回路群とを具備する撮像装置。

30

【請求項 5】

前記垂直走査手段は、前記読み出し行の走査の前に、前記画素アレイ部の各画素に蓄積されている電荷を捨てるシャッタ走査を $s \times H$ 期間に 1 行進めつつ行う

請求項 4 記載の撮像装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、固体撮像装置、固体撮像装置の駆動方法および撮像装置に関し、特に 1 つの画素について感度が異なる信号を得てこれらを合成することによって広ダイナミックレンジ化が可能な固体撮像装置およびその駆動方法、並びに撮像装置に関する。

40

【背景技術】

【0002】

固体撮像装置、例えば MOS (Metal Oxide Semiconductor) 型固体撮像装置において、光電変換素子を含む画素が行列状に 2 次元配置され、この行列状の画素配列に対して画素列ごとに垂直信号線が配線されてなる画素アレイ部の各画素について、蓄積時間 (露光時間) を異ならせることでその長短によって高感度の信号と低感度の信号を得て、この高感度の信号と低感度の信号を合成することによってダイナミックレンジの拡大を図る技術が広く知られている。

50

【 0 0 0 3 】

(第1従来技術)

その従来技術の一つ(以下、「第1従来技術」と記述する)として、画素アレイ部の画素列ごとに信号線を通して出力される画素の信号に対して所定の信号処理を施すカラム回路(信号処理回路)を1列につき2つ配置し、1つの画素から1本の信号線を通して出力される高感度の信号と低感度の信号を2つのカラム回路によって並列に処理する構成のものが知られている(例えば、非特許文献1参照)。

【 0 0 0 4 】

この第1従来技術の概念について図11を用いて説明する。図11において、(A)は画素アレイ部101と2つのカラム回路群102, 103の物理配置を、(B)は画素アレイ部101の走査の概念をそれぞれ示している。ここでは、図面の簡略化のために、画素アレイ部101を18行×22列の画素配列としている。カラム回路群102, 103の各カラム回路は、画素列ごとに配置されている。

10

【 0 0 0 5 】

画素アレイ部101の走査は、画素行の単位で行われる。また、走査としては、画素の光電変換素子に蓄積されている電荷を捨てるための電子シャッタ走査と、光電変換素子に蓄積されている電荷を読み出すための読み出し走査がある。さらに、読み出し走査については2回走査が行われる。

【 0 0 0 6 】

そして、電子シャッタ走査が行われる画素行(以下、「シャッタ行」という)から1回目の読み出し走査が行われる画素行(以下、「読み出し行1」という)まで走査する時間が蓄積時間1であり、読み出し行1から2回目の読み出し走査が行われる画素行(以下、「読み出し行2」という)まで走査する時間が蓄積時間2である。これら蓄積時間1, 2を異ならせることによって、感度が異なる2つの信号、即ち低感度の信号と高感度の信号を得る。

20

【 0 0 0 7 】

図11では、蓄積時間1が4行走査する時間であり、蓄積時間2が8行走査する時間であるため、読み出し行2の各画素からは読み出し行1の各画素に対して2倍の感度の信号が得られる。そして、同一行の各画素について、感度が異なる2つの信号を後段の信号処理回路(図示せず)で合成することで、ダイナミックレンジの広い画像信号を得ることができる。

30

【 0 0 0 8 】

(第2従来技術)

ダイナミックレンジの拡大を図る他の従来技術(以下、「第2従来技術」と記述する)として、電子シャッタ走査と読み出し走査を2回行って両走査の間隔を1回目と2回目で異ならせることで感度の異なる2つの信号を得る一方、カラム回路を1列につき1つ配置し、2回の走査によって得られる2つの信号を同一のカラム回路によって処理する構成のものが知られている(例えば、非特許文献2参照)。

【 0 0 0 9 】

この第2従来技術の概念について図12を用いて説明する。図12において、(A)は画素アレイ部201と1つのカラム回路群202の物理配置を、(B)は画素アレイ部201の走査の概念をそれぞれ示している。ここでは、図面の簡略化のために、画素アレイ部201を18行×22列の画素配列としている。カラム回路群202の各カラム回路は、画素列ごとに配置されている。

40

【 0 0 1 0 】

画素アレイ部201の走査は2回行われる。1回目の走査において、シャッタ行から読み出し行まで走査する時間が蓄積時間1であり、2回目の走査において、シャッタ行から読み出し行まで走査する時間が蓄積時間2である。これら蓄積時間1, 2を異ならせることによって、感度が異なる2つの信号、即ち低感度の信号と高感度の信号を得る。図12では、蓄積時間1が4行走査する時間であり、蓄積時間2が8行走査する時間である。

50

【先行技術文献】

【非特許文献】

【0011】

【非特許文献1】Orly Yadid-Pecht and Eric R.Fossum, "Wide Intrascene Dynamic Range CMOS APS Using Dual Sampling," IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL.44, NO.10, pp1721-1723, OCTOBER 1997

【非特許文献2】M.Mase, S.Kawahito, M.Sasaki and Yasuo Wakamori, "A 19.5b Dynamic Range CMOS Image Sensor with 12b Column-Parallel Cyclic A/D Converters," ISSCC Dig. Tech. Papers, pp.350-351, Feb., 2005

【発明の概要】

10

【発明が解決しようとする課題】

【0012】

上述した第1従来技術では、同じ画素からの信号が、読み出し行1で読み出されたときはカラム回路群102で処理され、読み出し行2で読み出されたときはカラム回路群103で処理される、即ち同じ画素からの信号が異なるカラム回路で処理されることになるため、カラム回路群102, 103の特性差によって信号レベルに誤差が生じる。この誤差は、後の合成処理の際に問題となる。具体的には、合成されたダイナミックレンジの広い画像信号において、特に高感度の信号と低感度の信号の接続部付近で輝度変化が滑らかでなかったり、色が変わったり、ノイズが発生したりする原因となる。

【0013】

20

一方、第2従来技術では、同じ画素から出力される感度が異なる信号が同じカラム回路で処理されることになるために、第1従来技術の問題である、カラム回路の特性差に起因する不具合は生じない。しかし、走査が2回行われることから、低感度の信号と高感度の信号の間が、少なくとも読み出し行が画面全体を1回走査する時間(1走査期間)だけずれてしまうために、次のような不具合が発生する。

【0014】

例えば、1回の走査に1/60秒の時間を要する場合は、低感度の信号と高感度の信号の間が、少なくとも1/60秒だけずれてしまう。これは、例えば蓄積時間(露光時間)が4000分の1秒と500分の1秒の場合でも、低感度の信号と高感度の信号の間に蓄積時間よりもはるかに長い1/60秒のずれが生じることを意味し、そのずれが手ぶれや動く被写体のぶれとなって画像を破綻させてしまう。

30

【0015】

因みに、非特許文献2の図19.3.4には、画素アレイ部の上下にカラム回路(noise cancellerとcyclic ADC)が記載されているが、これは、カラム回路が画素配列に対して2列幅であるためにカラム回路を上下に配置しているのであって、カラム回路を1列につき1個配置したものである。また、この文献では、6走査期間を1フレーム期間としている。

【0016】

そこで、本発明は、同じ画素から出力される感度が異なる複数の信号を同じカラム回路で処理するとともに、これら複数の信号間に1走査期間の時間ずれを起こさせないようにすることで、感度が異なる信号を正確に合成して高画質な画像信号を得ることを可能にした固体撮像装置、固体撮像装置の駆動方法および撮像装置を提供することを目的とする。

40

【課題を解決するための手段】

【0017】

上記目的を達成するために、本発明では、外部の物理量を表す信号を出力する画素が行列状に2次元配置されてなる画素アレイ部を具備する固体撮像装置において、前記画素アレイ部の走査の単位期間をHとするとき、前記画素アレイ部の各画素に蓄積されている電荷を捨てるシャッタ走査をs×H(sは2以上の整数)期間に1行進めつつ、1Hごとに読み出し行を戻す動作や進める動作を行い、かつs×H期間にその両方を行って、結果的にs×H期間に1行進めることで、1画素列に対して1個のカラム回路が配置されてなる

50

カラム回路群の各カラム回路によって、前記画素アレイ部の各行から s 回ずつ読み出された信号を処理する構成を採っている。この固体撮像装置は、ビデオカメラやデジタルスチルカメラ、さらには携帯電話等のモバイル機器向けカメラモジュール等の撮像装置において、その撮像デバイスとして用いられる。

【0018】

上記構成の固体撮像装置または当該固体撮像装置を撮像デバイスとして用いた撮像装置において、シャッタ走査を $s \times H$ 期間に 1 行進めつつ読み出し走査を 1 H ごとに戻す走査や進める走査を行い、結果的に $s \times H$ 期間に 1 行進めることで、1 画素列に対して 1 個のカラム回路でも、同一画素からの蓄積時間が異なる s 個の信号を 1 走査期間以下の間隔で出力することができる。しかも、1 画素列に対してカラム回路が 1 個であり、同じ画素からの s 個の信号が同じカラム回路にて処理される。

10

【0019】

また、以下の参考例のようにしてもよい。すなわち、外部の物理量を表す信号を出力する画素が行列状に 2 次元配置されてなる画素アレイ部を具備する固体撮像装置において、前記画素アレイ部の n 行を n 系統の読み出し行として順に走査しつつ、当該 n 行の読み出し行から各画素の信号を読み出し、前記画素アレイ部の 1 画素列に対して n 個のカラム回路が配置されてなる n 系統のカラム回路群の各カラム回路によって前記 n 行の読み出し行から読み出された各画素の信号を処理するとともに、 n 系統の読み出し行の間隔を調整し、かつ、読み出し行の系統とカラム回路の系統の接続を切り替えながら走査することで、画素アレイ部の同一行からの出力が同じ系統のカラム回路に入力されるようにした構成を採ってもよい。この固体撮像装置は、ビデオカメラやデジタルスチルカメラ、さらには携帯電話等のモバイル機器向けカメラモジュール等の撮像装置において、その撮像デバイスとして用いられる。

20

【0020】

上記参考例の構成の固体撮像装置または当該固体撮像装置を撮像デバイスとして用いた撮像装置においては、同一行の各画素から連続して読み出される蓄積時間が異なる n 個の信号は共に同じカラム回路群の各カラム回路にて処理される。また、 n 個の信号に対応する n 個の蓄積時間が連続していることで、感度が異なる n 個の信号を得るのに n 走査期間待つ必要がなく、同一行からの感度が異なる信号間に最小でも 1 走査期間の時間ずれを許さなければならないということもない。

30

【発明の効果】

【0021】

本発明によれば、同じ画素から出力される感度が異なる複数の信号を、これら複数の信号間に 1 走査期間の時間ずれを起こさずに同じカラム回路で処理できるために、感度が異なる複数の信号を正確に合成して高画質な画像信号を得ることが可能になる。

【図面の簡単な説明】

【0022】

【図 1】第 1 実施形態に係る固体撮像装置の構成の概略を示すシステム構成図である。

【図 2】画素の回路構成の一例を示す回路図である。

【図 3】第 1 実施形態に係る信号の割り振り方の概念を示す図である。

40

【図 4】第 1 実施形態に係る走査の概念を示す図である。

【図 5】ある画素列のカラム回路における入力段の構成を示す回路図である。

【図 6】1 H の動作を説明するためのタイミングチャートである。

【図 7】第 1 実施形態に係る走査の変形例の概念を示す図である。

【図 8】本発明の実施形態である第 2 実施形態に係る固体撮像装置の構成の概略を示すシステム構成図である。

【図 9】第 2 実施形態に係る固体撮像装置の動作説明のための図である。

【図 10】本発明に係る撮像装置の構成の一例を示すブロック図である。

【図 11】第 1 従来技術の概念を説明する図である。

【図 12】第 2 従来技術の概念を説明する図である。

50

【発明を実施するための形態】

【0023】

以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0024】

[第1実施形態]

図1は、第1実施形態に係る固体撮像装置の構成の概略を示すシステム構成図である。本実施形態は、上述した参考例に係るものであり、固体撮像装置として、例えばCMOS (Complementary Metal Oxide Semiconductor) イメージセンサを例に挙げて説明するものとする。

【0025】

10

図1に示すように、本実施形態に係る固体撮像装置10は、外部の物理量を表す信号を出力する画素、例えば入射光をその光量に応じた電荷量に光電変換する光電変換素子を含む画素20が行列状(マトリクス状)に多数2次元配置されてなる画素アレイ部11に加えて、垂直駆動回路12、n系統(nは2以上の整数、本例では $n=2$)のカラム回路(列並列信号処理回路)群13, 14、水平駆動回路15, 16、出力回路17, 18および制御回路19を有するシステム構成となっている。

【0026】

このシステム構成において、制御回路19は、図示せぬインターフェースを介して本固体撮像装置10の動作モードなどを指令するデータを外部から受け取り、また本固体撮像装置10の情報を含むデータを外部に出力するとともに、垂直同期信号Vsync、水平同期信号HsyncおよびマスタークロックMCKに基づいて、垂直駆動回路12、カラム回路群13, 14および水平駆動回路15, 16などの動作の基準となるクロック信号や制御信号などを生成し、これら各回路に対して与える。

20

【0027】

画素アレイ部11には、画素20が行列状に配置されるとともに、この行列状の画素配置に対して画素行ごとに画素駆動配線21が図の横方向(左右方向)に配線され、画素列ごとに垂直信号線22が図の縦方向(上下方向)に配線されている。

【0028】

(画素回路)

図2は、画素20の回路構成の一例を示す回路図である。

30

【0029】

図2に示すように、本回路例に係る画素20は、光電変換素子、例えばフォトダイオード23に加えて、例えば転送トランジスタ24、リセットトランジスタ25、増幅トランジスタ26および選択トランジスタ27の4つのトランジスタを有する画素回路となっている。ここでは、これらトランジスタ24~27として、例えばNチャネルのMOSトランジスタを用いている。この画素20に対して、画素駆動配線21として、転送配線211、リセット配線212および選択配線213が同一行の画素に対して共通に配線されている。

【0030】

図2において、フォトダイオード23は、受光した光をその光量に応じた電荷量の光電荷(ここでは、電子)に光電変換する。フォトダイオード23のカソードは、転送トランジスタ24を介して増幅トランジスタ26のゲートと電気的に接続されている。この増幅トランジスタ26のゲートと電気的に繋がったノードをFD(フローティングディフュージョン)部28と呼ぶ。このFD部28は、電荷を電圧に変換する作用をなす。

40

【0031】

転送トランジスタ24は、フォトダイオード23のカソードとFD部28との間に接続され、ゲートに転送配線211を介して転送パルスTRFが与えられることによってオン状態となり、フォトダイオード23で光電変換され、ここに蓄積された光電荷をFD部28に転送する。

【0032】

50

リセットトランジスタ 25 は、ドレインが電源配線 V d d に、ソースが F D 部 28 にそれぞれ接続され、ゲートにリセット配線 212 を介してリセットパルス R S T が与えられることによってオン状態となり、フォトダイオード 23 から F D 部 28 への信号電荷の転送に先立って、F D 部 28 の電荷を電源配線 V d d に捨てることによって当該 F D 部 28 をリセットする。

【0033】

増幅トランジスタ 26 は、ゲートが F D 部 28 に、ドレインが電源配線 V d d にそれぞれ接続され、リセットトランジスタ 25 によってリセットした後の F D 部 28 の電位をリセットレベルとして出力し、さらに転送トランジスタ 24 によってフォトダイオード 23 から信号電荷を転送した後の F D 部 28 の電位を信号レベルとして出力する。

10

【0034】

選択トランジスタ 27 は、例えば、ドレインが増幅トランジスタ 26 のソースに、ソースが垂直信号線 22 にそれぞれ接続され、ゲートに選択配線 213 を介して選択パルス S E L が与えられることによってオン状態となり、画素 20 を選択状態として増幅トランジスタ 26 から出力される信号を垂直信号線 22 に中継する。

【0035】

なお、この選択トランジスタ 27 については、電源配線 V d d と増幅トランジスタ 26 のドレインとの間に接続した回路構成を採ることも可能である。

【0036】

また、画素 20 としては、上記構成の 4 トランジスタ構成のものに限られるものではなく、増幅トランジスタ 26 と選択トランジスタ 27 を兼用した 3 トランジスタ構成のものなどであっても良い。

20

【0037】

図 1 に説明を戻す。垂直駆動回路 12 は、シフトレジスタあるいはデコーダなどによって構成され、画素アレイ部 11 の各画素 20 を行単位で順次選択走査し、その選択行の各画素に対して画素駆動配線 21 を通して必要な駆動パルス（制御パルス）を供給する。

【0038】

ここでは、図示を省略するが、垂直駆動回路 12 は、画素 20 を行単位で順に選択して当該選択行の各画素 20 の信号を読み出す読み出し動作を行うための読み出し走査系と、当該読み出し走査系による読み出し走査よりもシャッタ速度に対応した時間分だけ前に同じ行の画素 20 のフォトダイオード 23 にそれまでに蓄積された電荷を捨てる（リセットする）電子シャッタ動作を行うための電子シャッタ走査系を有する構成となっている。

30

【0039】

そして、電子シャッタ走査系によるシャッタ走査によってフォトダイオード 23 の不要な電荷がリセットされたタイミングから、読み出し走査系による読み出し走査によって画素 20 の信号が読み出されるタイミングまでの期間が、画素 20 における信号電荷の蓄積時間（露光時間）となる。すなわち、電子シャッタ動作とは、フォトダイオード 23 に蓄積された信号電荷をリセットし、新たに信号電荷の蓄積を開始する動作である。

【0040】

選択行の各画素 20 から出力される信号は、垂直信号線 22 の各々を通してカラム回路群 13 またはカラム回路群 14 に供給される。カラム回路群 13, 14 は、画素アレイ部 11 の例えば画素列ごとに、即ち画素列に対して 1 対 1 の対応関係をもって各カラム回路が画素アレイ部 11 の上下にそれぞれ配置され、1 行分の各画素 20 から出力される信号を画素列ごとに受けて、その信号に対して画素固有の固定パターンノイズを除去するための C D S (Correlated Double Sampling; 相関二重サンプリング) や信号増幅などの信号処理を行う。カラム回路群 13, 14 の各カラム回路に、A / D (アナログ / デジタル) 変換機能を持たせた構成を採ることも可能である。

40

【0041】

水平駆動回路 15, 16 は、カラム回路群 13, 14 に対応して設けられている。水平駆動回路 15 は、水平走査回路 151、水平選択スイッチ群 152 および水平信号線 15

50

3によって構成されている。水平走査回路151は、シフトレジスタなどによって構成され、水平選択スイッチ群152の各スイッチを順に選択することにより、カラム回路群13の各カラム回路で信号処理後の1行分の信号を水平信号線153に順番に出力させる。

【0042】

水平駆動回路16も、水平駆動回路15と同様に、水平走査回路161、水平選択スイッチ群162および水平信号線163によって構成され、水平走査回路161による水平走査によって水平選択スイッチ群162の各スイッチを順に選択することにより、カラム回路群14の各カラム回路で信号処理後の1行分の信号を水平信号線163に順番に出力させる。

【0043】

出力回路17, 18は、カラム回路群13, 14の各カラム回路から水平選択スイッチ群152, 162および水平信号線153, 163を通して順に供給される信号に対して種々の信号処理を施して出力信号OUT1, OUT2として出力する。これら出力回路17, 18での具体的な信号処理としては、例えば、バッファリングだけを行う場合もあるし、あるいはバッファリングの前に黒レベル調整、列ごとのばらつきの補正、信号増幅、色関係処理などを行うこともある。

【0044】

上記構成の本実施形態に係る固体撮像装置10において、垂直駆動回路12は、画素アレイ部11の各画素に対して先述したシャッタ走査と2系統の読み出し走査を行う。読み出し走査では、 $(2p+1)$ 行($p=0, 1, 2, \dots$)の m 倍(m は1以上の整数)、即ち奇数行数の m 倍の行数だけ互いに離れた2行を2系統の読み出し行1, 2としてそれぞれ走査を行い、これら2行の読み出し行1, 2から各画素の信号を垂直信号線22の各々に読み出す。2系統のカラム回路群13, 14は、この2行の読み出し行1, 2に対応して設けられている。

【0045】

この垂直走査により、シャッタ行から1回目の読み出し走査が行われる読み出し行1まで走査する時間が蓄積時間1となり、読み出し行1から2回目の読み出し走査が行われる読み出し行2まで走査する時間が蓄積時間2となるため、これら連続する2つの蓄積時間(露光時間)1, 2を異ならせることにより、同じ画素から感度が異なる2つの信号、即ち低感度の信号と高感度の信号が連続して得られる。蓄積時間1, 2の設定は、制御回路19によって行われる。この感度が異なる2つの信号を後段の信号処理回路(図示せず)で合成することにより、ダイナミックレンジの広い画像信号を得ることができる。

【0046】

そして、本実施形態に係る固体撮像装置10では、制御回路19による制御の下に、垂直駆動回路12による走査が m 行進むごとに、2系統の読み出し行1, 2と2系統のカラム回路群13, 14の組み合わせを切り替える切り替え方、即ち読み出し行1の各画素から出力される信号と読み出し行2の各画素から出力される信号、即ち感度が異なる2つの信号を、2系統のカラム回路群13, 14に対してどのように割り振るか、その割り振りの仕方の特徴としている。このとき、読み出し行1, 2間の行数を $(2p+1)$ 行の m 倍、即ち奇数行数の m 倍に設定することが重要となる。その理由については後述する。

【0047】

ここで、 $m=1$ の場合、即ち走査が1行進むごとに読み出し行1, 2と2系統のカラム回路群13, 14の組み合わせを切り替える場合の信号の割り振り方の概念について図3を用いて説明する。ここでは、図面の簡略化のために、画素アレイ部11を18行 \times 22列の画素配列としている。また、走査の単位期間を H としたとき、蓄積時間1を $4H$ とし、蓄積時間2を $9H$ ($p=4$)としている。

【0048】

図3では、ある時点でのシャッタ行、読み出し行1および読み出し行2の相対的な関係を示しているが、実際には、同一行について、シャッタ行の走査タイミングから $4H$ 後の

10

20

30

40

50

走査タイミングで読み出し行 1 となり、さらに 9 H 後の走査タイミングで読み出し行 1 となる。その結果、同一行の各画素（同じ画素）から、感度が異なる 2 つの信号、即ち低感度の信号と高感度の信号が連続して得られることになる。

【 0 0 4 9 】

ある時点では、図 3 (A) に示すように、読み出し行 1 の信号はカラム回路群 1 3 に、読み出し行 2 の信号はカラム回路群 1 4 に割り振られる。すなわち、読み出し行 1 の各画素から読み出される信号は、垂直信号線 2 2 の各々を通してカラム回路群 1 3 の各カラム回路に入力され、読み出し行 2 の各画素から読み出される信号は、垂直信号線 2 2 の各々を通してカラム回路群 1 4 の各カラム回路に入力される。

【 0 0 5 0 】

走査が 1 行進むと、電子シャッタ走査が行われるシャッタ行も 2 つの読み出し行 1 , 2 も共に 1 行進む。このとき、図 3 (B) に示すように、読み出し行 1 の信号はカラム回路群 1 4 に、2 回目の読み出し走査が行われる読み出し行 2 の信号はカラム回路群 1 3 に割り振られる。すなわち、読み出し行 1 の各画素から読み出される信号は、垂直信号線 2 2 の各々を通してカラム回路群 1 4 の各カラム回路に入力され、読み出し行 2 の各画素から読み出される信号は、垂直信号線 2 2 の各々を通してカラム回路群 1 3 の各カラム回路に入力される。

【 0 0 5 1 】

さらに走査が 1 行進むと、再び図 3 (A) と同様に、読み出し行 1 の各画素から読み出される信号は、垂直信号線 2 2 の各々を通してカラム回路群 1 3 の各カラム回路に入力され、読み出し行 2 の各画素から読み出される信号は、垂直信号線 2 2 の各々を通してカラム回路群 1 4 の各カラム回路に入力される。このようにして、行が進むごとに読み出し行 1 , 2 の各信号のカラム回路群 1 3 , 1 4 への割り振りが交互に切り替えられる。このときの走査の概念を図 4 に示す。

【 0 0 5 2 】

上述したように、読み出し行 1 と読み出し行 2 の間の行数を奇数行数に設定して蓄積時間 2 を走査の単位期間 H の奇数倍（本例では、9 H）にするとともに、読み出し行 1 , 2 と 2 系統のカラム回路群 1 3 , 1 4 の組み合わせを、走査が 1 行進むごとに切り替えるようにすることで、図 4 から明らかなように、奇数行の各画素から連続して読み出される蓄積時間が異なる 2 つの信号は共にカラム回路群 1 3 へ、偶数行の各画素から連続して読み出される蓄積時間が異なる 2 つの信号は共にカラム回路群 1 4 へそれぞれ供給される。

【 0 0 5 3 】

すなわち、同じ画素から読み出される連続する蓄積時間 1 , 2 の 2 つの信号は共に同じカラム回路群 1 3 / 1 4 の各カラム回路にて処理される。これにより、蓄積時間が異なる 2 つの信号はカラム回路群 1 3 , 1 4 の特性差の影響を受けないために、ダイナミックレンジの拡大を目的として合成処理を行う後段の信号処理回路（図示せず）において、感度が異なる 2 つの信号を正確に合成できる。

【 0 0 5 4 】

また、2 つの蓄積時間 1 , 2 が連続していることで、感度が異なる 2 つの信号を得るのに 1 走査期間待つ必要がなく、感度が異なる 2 つの信号間に 1 走査期間の時間ずれが起こることもないために、シャッタ時間が短い（シャッタ速度が速い）場合でも対応できる。例えば、蓄積時間 1 が 4 0 0 0 分の 1 秒、蓄積時間 2 が 5 0 0 分の 1 秒のときは、たとえ 1 走査期間が 6 0 分の 1 秒のときでも、画素ごとに約 5 0 0 分の 1 秒のシャッタを切ることが可能となる。

【 0 0 5 5 】

ちなみに、蓄積時間 2 を走査の単位期間 H の偶数倍に設定すると、読み出し行 1 , 2 と 2 系統のカラム回路群 1 3 , 1 4 の組み合わせを走査が 1 行進むごとに切り替えても、同じ画素から連続して読み出される蓄積時間が異なる 2 つの信号は異なるカラム回路群 1 3 , 1 4 の各カラム回路にて処理されることになる。したがって、蓄積時間 2 を走査の単位期間 H の奇数倍に設定することが重要となる。このような制限は、蓄積時間 2 を蓄積時

10

20

30

40

50

間が長い方とすることで、實際上問題とならない。

【 0 0 5 6 】

上述した読み出し行 1 , 2 と 2 系統のカラム回路群 1 3 , 1 4 の組み合わせの切り替えは、制御回路 1 9 による制御の下に行われる。この制御の具体例について説明する。

【 0 0 5 7 】

図 5 は、カラム回路群 1 3 , 1 4 のある画素列 i のカラム回路 1 3 i , 1 4 i における入力段の構成を示す回路図である。図 5 に示すように、カラム回路 1 3 i , 1 4 i の入力段には、垂直信号線 2 2 の両端との間にスイッチ $S W 1$, $S W 2$ が設けられている。これらスイッチ $S W 1$, $S W 2$ は、制御回路 1 9 から出力される制御信号 1 , 2 によってオン（閉）/ オフ（開）制御される。

10

【 0 0 5 8 】

図 6 は、1 H の動作を説明するためのタイミングチャートである。読み出し行 1 の信号をカラム回路 1 3 i に、読み出し行 2 の信号をカラム回路 1 4 i にそれぞれ供給する場合には、図 6 (A) のタイミング関係に基づく動作が行われる。

【 0 0 5 9 】

すなわち、読み出し行 1 からの読み出しが行われるときは、制御回路 1 9 から出力される制御信号 1 がアクティブ状態（高レベル）となり、これにตอบสนองしてスイッチ $S W 1$ がオンすることで、読み出し行 1 の各画素から垂直信号線 2 2 に連続して読み出される 2 つの信号は、当該スイッチ $S W 1$ を介してカラム回路 1 3 i に入力する。読み出し行 2 からの読み出しが行われるときは、制御回路 1 9 から出力される制御信号 2 がアクティブ状態となり、これにตอบสนองしてスイッチ $S W 2$ がオンすることで、読み出し行 2 の各画素から垂直信号線 2 2 に連続して読み出される 2 つの信号は、当該スイッチ $S W 2$ を介してカラム回路 1 4 i に入力する。

20

【 0 0 6 0 】

逆に、読み出し行 1 の信号をカラム回路 1 4 i に供給し、読み出し行 2 の信号をカラム回路 1 3 i に供給する場合には、図 6 (B) のタイミング関係に基づく動作が行われる。

【 0 0 6 1 】

このようにして、カラム回路 1 3 i , 1 4 i に供給され、これらカラム回路 1 3 i , 1 4 i で所定の信号処理が行われた 2 つの信号が、水平駆動回路 1 5 , 1 6 による駆動の下に水平転送（水平出力）が行われることによって 1 H の動作が完了する。その後、垂直駆動回路 1 2 による駆動の下に走査が 1 行進められ、電子シャッタ動作から上述した一連の動作が始められる。

30

【 0 0 6 2 】

カラム回路群 1 3 , 1 4 の各カラム回路が、垂直信号線 2 2 から信号を取り込みつつその取り込んだ信号を水平駆動回路 1 5 , 1 6 に順次出力するパイプライン型の構成の場合には、水平転送動作は電子シャッタ動作や読み出し動作と同じ時間に並行して行われる。図 6 (C) では、読み出し行 2 からの読み出し後に直ぐに走査が 1 行進み、電子シャッタ動作に入る。

【 0 0 6 3 】

（変形例）

上記の例では、 $m = 1$ の場合、即ち走査が 1 行進むごとに読み出し行 1 , 2 と 2 系統のカラム回路群 1 3 , 1 4 の組み合わせの切り替えを行う場合を例に挙げて説明したが、図 7 に示すように、その切り替えを走査が 2 行 ($m = 2$) 進むごとに行うようにすることも可能である。この場合は、読み出し行 1 , 2 間の行数は、 $(2p + 1)$ 行 $\times 2$ 、即ち $m = 1$ の場合の 2 倍に制限される。すなわち、蓄積時間 2 は、2 , 6 , 10 , ... という具合に 4 H ステップに制限される。この制限も、蓄積時間 2 を蓄積時間が長い方とすれば問題とならない。

40

【 0 0 6 4 】

同様に、読み出し行 1 , 2 間の行数を $(2p + 1)$ 行 $\times 3$ 、即ち $m = 1$ の場合の 3 倍に設定し、読み出し行 1 , 2 と 2 系統のカラム回路群 1 3 , 1 4 の組み合わせを走査が 3 行

50

($m = 3$)進むごとに切り替えて、蓄積時間 2 を 3, 9, 15, ... という具合に 6 H ステップにするなど、他の方法も可能である。

【0065】

なお、上記実施形態では、2 系統のカラム回路群 13, 14 を画素アレイ部 11 の上下に分けて配置するとしたが、2 系統のカラム回路群 13, 14 を画素アレイ部 11 の上側または下側にまとめて配置することも可能である。

【0066】

また、上記実施形態では、カラム回路群 13, 14 の各カラム回路を、画素アレイ部 11 の画素列に対して 1 対 1 の対応関係をもって配置するとしたが、複数の画素列に対して 1 つのカラム回路を共有し、時分割にて使用する構成を採ることも可能である。これにより、カラム回路群 13, 14 を構成する各回路の左右方向のサイズを拡大できるために、本固体撮像装置 10 の画素ピッチが小さい場合に対応することができる。

10

【0067】

また、上記実施形態では、ダイナミックレンジの拡大を図るのに、画素アレイ部 11 の各画素に対して 2 行の読み出し行 1, 2 を設定して 1 つの画素 20 について蓄積時間、即ち感度を 2 段階に異ならせるとともに、これに対応して 2 系統のカラム回路群 13, 14 を設けるとしたが、これに限られるものではない。

【0068】

例えば、一般的に感度を n 段階に異ならせる場合には、カラム回路群を n 系統、即ち 1 画素列に対して n 個のカラム回路を配置するとともに、 n 系統の読み出し行を走査しながら、同一行からの出力は同じカラム回路に入力するように、読み出し行の系統とカラム回路の系統の対応関係を切り替えながら、かつ、 n 行の読み出し行の間隔を調整して走査すればよい。

20

【0069】

例えば、走査が 1 行進むごとに組み合わせを循環的に切り替えることで、対応関係を $n \times H$ 周期でサイクリックに回していく場合は、先頭の読み出し行に対する後の $n - 1$ 個の読み出し行の遅延行数を、 n で割り切れず、かつ n で割った余りが全て異なる値になるように、調整すればよい。例えば、 $n = 4$ の場合は、先頭の読み出し行の 9 行、34 行、131 行後に他の読み出し行を設定すれば、4 で割った余りがそれぞれ 1, 2, 3 であり、条件を満たす。 $n = 2$ の場合は、これは図 4 に相当する実施形態である。

30

【0070】

あるいは、走査が m 行進むごとに組み合わせを循環的に切り替えることで、対応関係を $n \times m \times H$ 周期でサイクリックに回していく場合は、先頭の読み出し行に対する後の $n - 1$ 個の読み出し行の遅延行数を、 $m = 1$ とした場合の m 倍とすることができる。上記図 7 の実施形態は、 $n = 2$ 、 $m = 2$ とした場合のものである。

【0071】

ちなみに、循環的に切り替えるとは、例えば $n = 3$ では、(1, 2, 3) に (A, B, C) が対応している状態から、対応を (B, C, A) に切り替え、次には (C, A, B) に切り替え、次には (A, B, C) に切り替え、あとも同様に続けるという切り替え方である。 $n = 2$ の場合には、2 つの入れ替えである。

40

【0072】

上記実施形態では、読み出し走査の系統数とカラム回路の系統数が等しい場合を例に挙げているが、必ずしも等しくなくても、上述した参考例の概念を適用できれば構わない。

【0073】

[第 2 実施形態]

図 8 は、第 2 実施形態に係る固体撮像装置の構成の概略を示すシステム構成図である。本実施形態は、本発明に係る実施形態であり、本実施形態においても、固体撮像装置として、例えば CMOS イメージセンサを例に挙げて説明するものとする。

【0074】

図 8 に示すように、本実施形態に係る固体撮像装置 30 は、外部の物理量を表す信号を

50

出力する画素、例えば入射光をその光量に応じた電荷量に光電変換する光電変換素子を含む画素40が行列状に多数2次元配置されてなる画素アレイ部31に加えて、垂直駆動回路32、カラム回路群33、水平駆動回路34、出力回路35および制御回路36を有するシステム構成となっている。

【0075】

このシステム構成において、制御回路36は、図示せぬインターフェースを介して本固体撮像装置30の動作モードなどを指令するデータを外部から受け取り、また本固体撮像装置30の情報を含むデータを外部に出力するとともに、垂直同期信号Vsync、水平同期信号HsyncおよびマスタークロックMCKに基づいて、垂直駆動回路32、カラム回路33および水平駆動回路34などの動作の基準となるクロック信号や制御信号などを生成し、これら各回路に対して与える。

10

【0076】

画素アレイ部31には、画素40が行列状に配置されるとともに、この行列状の画素配置に対して画素行ごとに画素駆動配線41が図の横方向（左右方向）に配線され、画素列ごとに垂直信号線42が図の縦方向（上下方向）に配線されている。画素40としては、図2に示す4トランジスタ構成やその他の画素構成のものを用いることができる。

【0077】

垂直駆動回路32は、シフトレジスタあるいはデコーダなどによって構成され、画素アレイ部31の各画素40を行単位で順次選択走査し、その選択行の各画素に対して画素駆動配線41を通して必要な駆動パルス（制御パルス）を供給する。この垂直駆動回路32は、第1実施形態の垂直駆動回路12と同様に、読み出し走査系と電子シャッタ走査系を有する構成となっている。ただし、本実施形態では、垂直駆動回路32の走査の仕方の特徴としている。その詳細については後述する。

20

【0078】

選択行の各画素40から出力される信号は、垂直信号線42の各々を通してカラム回路群33に供給される。カラム回路群33は、画素アレイ部31の例えば画素列ごとに、即ち画素列に対して1対1の対応関係をもって各カラム回路が画素アレイ部11の例えば下側に配置され、1行分の各画素40から出力される信号を画素列ごとに受けて、その信号に対してCDSや信号増幅などの信号処理を行う。カラム回路群33の各カラム回路に、A/D変換機能を持たせた構成を採ることも可能である。

30

【0079】

水平駆動回路34は、水平走査回路341、水平選択スイッチ群342および水平信号線343によって構成されている。水平走査回路341は、シフトレジスタなどによって構成され、水平選択スイッチ群342の各スイッチを順に選択することにより、カラム回路群33の各カラム回路から画素信号を平信号線343に順番に出力させる。

【0080】

出力回路35は、カラム回路群33の各カラム回路から水平信号線343を通して順に供給される信号に対して種々の信号処理を施して出力する。出力回路35での具体的な信号処理としては、例えば、バッファリングだけを行う場合もあるし、あるいはバッファリングの前に黒レベル調整、列ごとのばらつきの補正、信号増幅、色関係処理などを行うこともある。

40

【0081】

上記構成の本実施形態に係る固体撮像装置30において、垂直駆動回路32は、走査の単位期間をHとするとき、シャッタ走査を $s \times H$ （ s は2以上の整数）期間に1行進めつつ、読み出し行は1Hごとに戻す走査または進める走査を行い、かつ $s \times H$ 期間にその両方を行うことで、結果的に $s \times H$ 期間に1行進めることを特徴とする。

【0082】

ここで、 $s = 2$ の場合の動作について図9を用いて説明する。図9において、(A)は画素アレイ部31とカラム回路群33の物理配置を、(B)は垂直駆動回路32による走査の概念をそれぞれ示している。

50

【 0 0 8 3 】

ここでは、図面の簡略化のために、画素アレイ部 3 1 を 1 8 行 × 2 2 列の画素配列としている。また、図 9 (B) では、見やすくするために、図 9 (A) の画素配列に対して横軸を 1 / 2 に圧縮して示している。

【 0 0 8 4 】

$s = 2$ の場合には、垂直駆動回路 3 2 による駆動の下に、シャッタ走査が 2 H に 1 行進むのに対して、読み出し走査については、例えば図 9 (B) に示すように、まず 3 行手前に戻り、次に 4 行進むことで、結果的にやはり 2 H に 1 行進むことになる。

【 0 0 8 5 】

この垂直走査により、シャッタ走査から 1 回目の読み出し走査までの時間が蓄積時間 1 となり、1 回目の読み出し走査から 2 回目の読み出し走査までの時間が蓄積時間 2 となるために、これら連続する 2 つの蓄積時間 (露光時間) 1 , 2 を異ならせることにより、同じ画素から感度が異なる 2 つの信号、即ち低感度の信号と高感度の信号が連続して得られる。

10

【 0 0 8 6 】

蓄積時間 1 , 2 の設定は、制御回路 3 6 によって行われる。この感度が異なる 2 つの信号を後段の信号処理回路 (図示せず) で合成することにより、ダイナミックレンジの広い画像信号を得ることができる。

【 0 0 8 7 】

上述した特徴的な垂直走査は、垂直駆動回路 3 2 の次のような構成によって容易に実現できる。

20

【 0 0 8 8 】

垂直駆動回路 3 2 の電子シャッタ走査系については、デコーダやシフトレジスタなどを用い、走査間隔を $s H$ (本例では、 $2 H$) にすることで容易に実現できる。一方、垂直駆動回路 3 2 の読み出し走査系については、デコーダを用いて制御回路 3 6 からのアドレス設定により、あるいは、例えばシフトレジスタを s 本 (本例では、 2 本) 用い、この 2 本のシフトレジスタの走査間隔をそれぞれ $2 H$ にするとともに、両シフトレジスタの走査開始タイミングを蓄積時間 2 ずらすことで容易に実現できる。

【 0 0 8 9 】

上述したように、画素アレイ部 3 1 の 1 画素列に対して 1 個のカラム回路を配置し、選択行の各画素から読み出された信号を 1 個のカラム回路によって処理するカラム回路群 3 3 を 1 系統有する固体撮像装置 3 0 において、シャッタ走査を $s \times H$ 期間に 1 行進めつつ、読み出し行については $1 H$ ごとに戻す走査または進める走査を行い、かつ $s \times H$ 期間にその両方を行いながら、結果的に $s \times H$ 期間に 1 行進めることで、1 画素列に対して 1 個のカラム回路でも、蓄積時間が異なる s 個の信号を 1 走査期間待つことなく出力することができる。

30

【 0 0 9 0 】

これにより、第 1 実施形態の場合と同様に、シャッタ時間が短い (シャッタ速度が速い) 場合でも対応できる。しかも、1 画素列に対してカラム回路が 1 個であり、同じ画素からの s 個の信号が同じカラム回路にて処理されるために、ダイナミックレンジの拡大を目的として合成処理を行う後段の信号処理回路 (図示せず) において、感度が異なる s 個の信号を正確に合成できる。

40

【 0 0 9 1 】

因みに、本実施形態に係る固体撮像装置 3 0 では、蓄積時間 1 に比べて蓄積時間 2 の方を短くする方が好ましい。何故ならば、走査の最初の方では $2 H$ に 1 行の信号しか読み出さない期間があるがこの期間を、蓄積時間 2 を短く設定することによって短縮できるからである。

【 0 0 9 2 】

本実施形態では、 $s = 2$ 、即ち 1 つの画素 2 0 について蓄積時間 (感度) を 2 段階に異ならせる場合を例に挙げて説明したが、これに限定されるものではなく、蓄積時間を 3 段

50

階以上に異ならせる場合にも同様に適用可能である。また、第1実施形態に係る技術と第2実施形態に係る技術を組み合わせて多くの信号を扱うなど、種々に変形可能である。

【0093】

なお、上記各実施形態では、カラム回路群13, 14, 33の各カラム回路を、画素アレイ部11, 31の画素列に対して1対1の関係で配置するとしたが、複数の画素列に対して1つのカラム回路を共有した構成を採ることも可能である。

【0094】

また、上記各実施形態では、画素アレイ部11, 31の画素配列を正方格子の場合を例に挙げて説明したが、画素配列が正方格子でない画素アレイ部に対しても、構成が複雑になるものの、第1実施形態に係る技術思想や、第2実施形態に係る技術思想を適用することが可能である。

10

【0095】

また、上記各実施形態では、全画素読み出しを例に挙げて説明したが、間引き読み出し等の他の動作と組み合わせるなど、種々に変形可能である。また、電子シャッタは必ずしも必要ではない。本発明の動作は、常時行うものでなくとも、動作可能に構成しておき、必要な場合のみ行ってもよい。

【0096】

また、上記各実施形態では、画素が光信号を電気信号に変換する固体撮像装置に適用した場合を例に挙げて説明したが、画素の蓄積時間で感度調整が可能な装置であれば、固体撮像装置以外にも適用可能である。

20

【0097】

[適用例]

以上説明した第1, 第2実施形態に係る固体撮像装置10, 30は、ビデオカメラやデジタルスチルカメラ、さらには携帯電話等のモバイル機器向けカメラモジュール等の撮像装置において、その撮像デバイスとして用いて好適なものである。

【0098】

図10は、本発明に係る撮像装置の構成の一例を示すブロック図である。図10に示すように、本例に係る撮像装置は、レンズ51を含む光学系、撮像デバイス52、カメラ信号処理回路53等によって構成されている。

【0099】

レンズ51は、被写体からの像光を撮像デバイス52の撮像面に結像する。撮像デバイス52は、レンズ51によって撮像面に結像された像光を画素単位で電気信号に変換して得られる画像信号を出力する。特に、ダイナミックレンジの拡大を図るために、画素信号として、各画素ごとに蓄積時間が異なる複数の信号を出力する。この撮像デバイス52として、先述した第1, 第2実施形態に係る固体撮像装置10, 30が用いられる。

30

【0100】

カメラ信号処理部53は、撮像デバイス52から出力される画像信号に対して種々の信号処理を行う。その信号処理の一つとして、ダイナミックレンジの拡大を図るために、撮像デバイス52から各画素ごとに連続して出力される蓄積時間が異なる複数の信号を合成する処理が行われる。

40

【0101】

上述したように、ビデオカメラや電子スチルカメラ、さらには携帯電話等のモバイル機器向けカメラモジュールなどの撮像装置において、その撮像デバイス52として先述した第1, 第2実施形態に係る固体撮像装置10, 30を用いることで、これら固体撮像装置10, 30では同じ画素から出力される感度が異なる複数の信号を、これら複数の信号間に1走査期間の時間ずれを起こさずに同じカラム回路で処理できることから、カメラ信号処理部53において、感度が異なる複数の信号を正確に合成して高画質な画像信号を得ることができるために、撮像画像の画質をより向上できる利点がある。

【0102】

なお、固体撮像装置の中に全ての機能が実現していなくても、撮像装置全体として実現

50

していても良い。例えば、カメラ信号処理回路53に撮像デバイス52の制御をも担わせ、カメラ信号処理回路53に制御回路19, 36を搭載しても良い。

【0103】

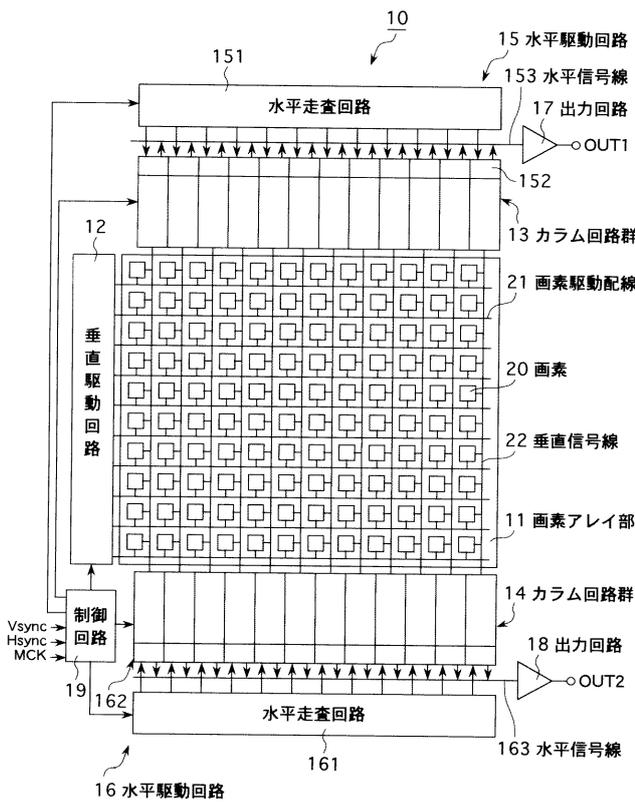
また、撮像装置としては、必ずしもレンズ51を含む光学系が必要でないものへの適用も可能である。例えば密着型のセンサや放射線検出装置などである。

【符号の説明】

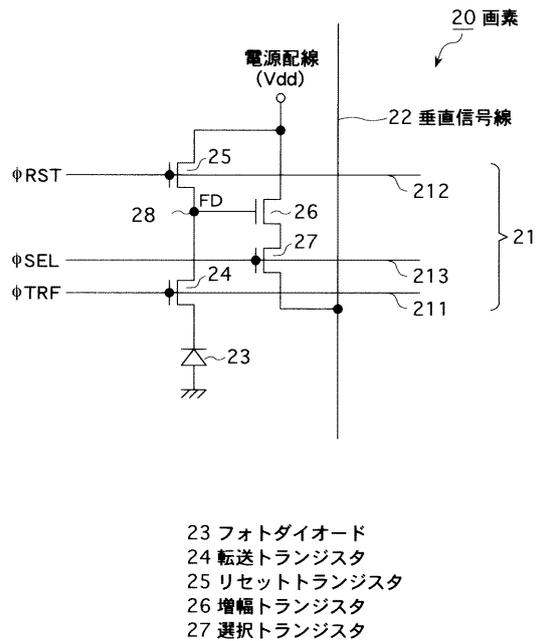
【0104】

10, 30... 固体撮像装置、11, 31... 画素アレイ部、12, 32... 垂直駆動回路、13, 14, 33... カラム回路群、15, 16, 34... 水平駆動回路、17, 18, 35... 出力回路、19, 36... 制御回路、20, 40... 画素、51... レンズ、52... 撮像デバイス、53... カメラ信号処理回路

【図1】

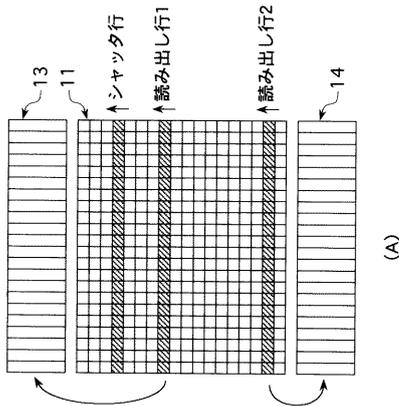
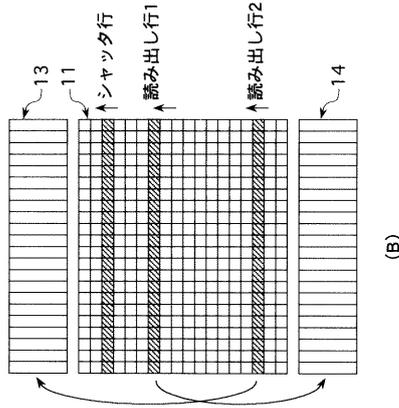


【図2】

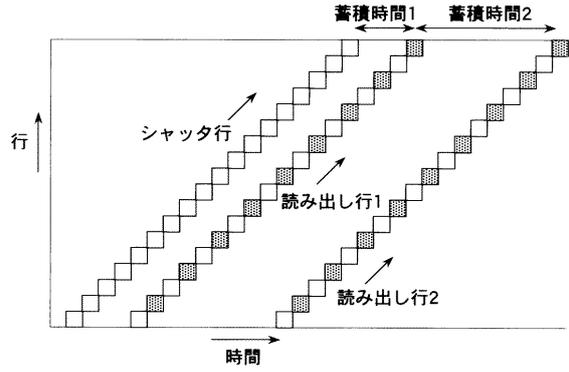


- 23 フォトダイオード
- 24 転送トランジスタ
- 25 リセットトランジスタ
- 26 増幅トランジスタ
- 27 選択トランジスタ

【図3】

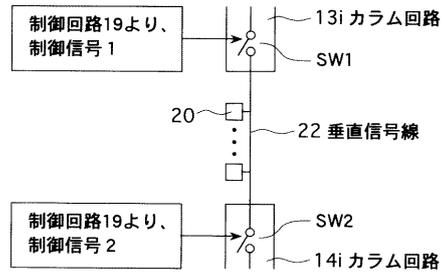


【図4】

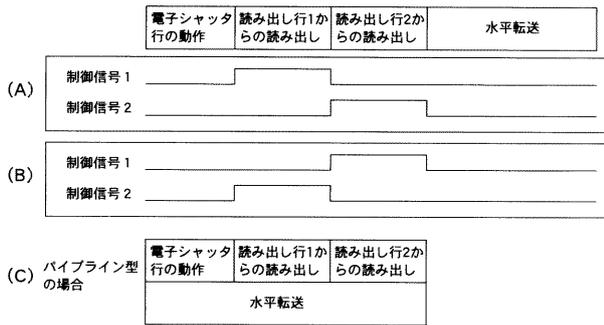


□ カラム回路13への読み出し
 ■ カラム回路14への読み出し

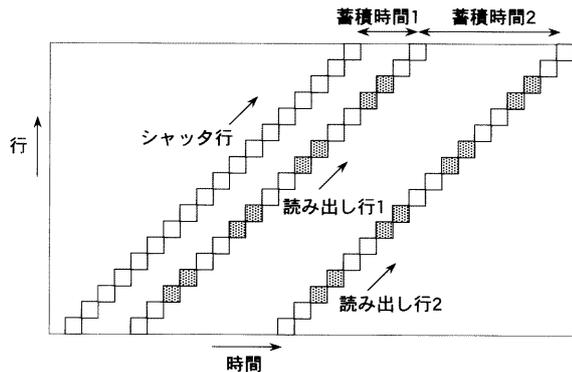
【図5】



【図6】

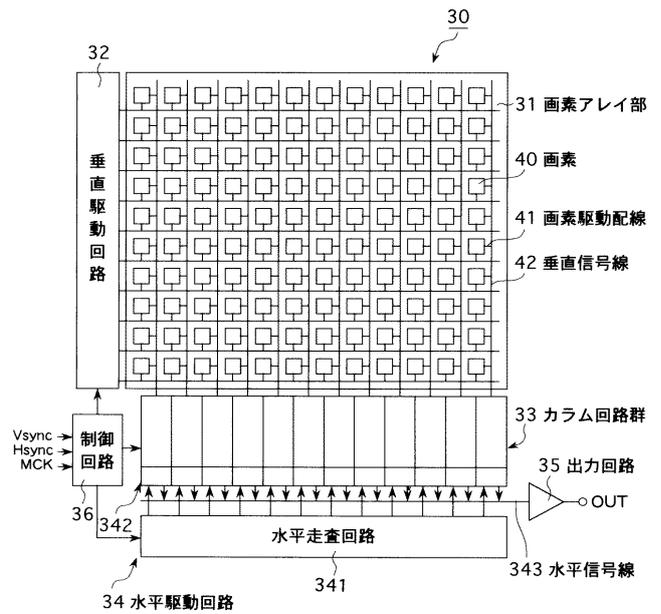


【図7】

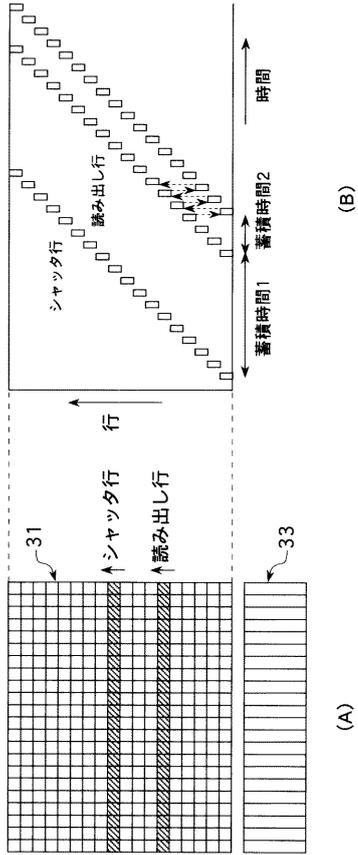


□ カラム回路13への読み出し
 ■ カラム回路14への読み出し

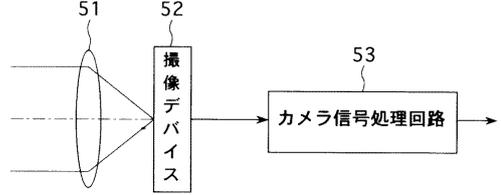
【図8】



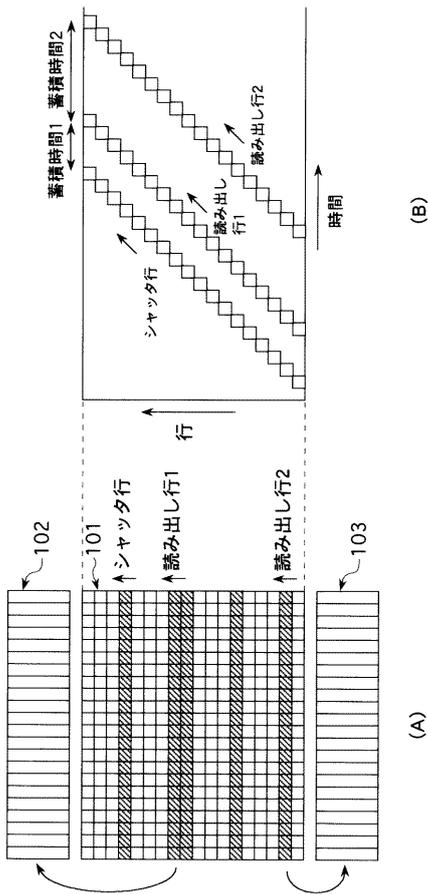
【図9】



【図10】



【図11】



【図12】

