

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6371725号
(P6371725)

(45) 発行日 平成30年8月8日(2018.8.8)

(24) 登録日 平成30年7月20日(2018.7.20)

(51) Int.Cl.		F I			
HO 1 L	25/04	(2014.01)	HO 1 L	25/04	Z
HO 1 L	25/18	(2006.01)	HO 1 L	31/12	C
HO 1 L	31/12	(2006.01)	HO 1 L	27/15	D
HO 1 L	27/15	(2006.01)	HO 1 L	27/15	T

請求項の数 6 (全 13 頁)

(21) 出願番号	特願2015-50852 (P2015-50852)	(73) 特許権者	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22) 出願日	平成27年3月13日(2015.3.13)	(73) 特許権者	317011920 東芝デバイス&ストレージ株式会社 東京都港区芝浦一丁目1番1号
(65) 公開番号	特開2016-171235 (P2016-171235A)	(74) 代理人	100107928 弁理士 井上 正則
(43) 公開日	平成28年9月23日(2016.9.23)	(72) 発明者	奥村 尚久 東京都港区芝浦一丁目1番1号 株式会社東芝内
審査請求日	平成29年3月8日(2017.3.8)	(72) 発明者	千田 大丞 東京都港区芝浦一丁目1番1号 株式会社東芝内

最終頁に続く

(54) 【発明の名称】 半導体モジュール

(57) 【特許請求の範囲】

【請求項1】

第1受光回路と第1出力回路とが設けられた第1半導体素子と、
第2受光回路と第2出力回路とが設けられた第2半導体素子と、
前記第2出力回路に電氣的に接続された第1発光素子であって、前記第1発光素子が放射する第1放射光が前記第1受光回路に受光されるように前記第1半導体素子に載置された第1発光素子と、
前記第1出力回路に電氣的に接続された第2発光素子であって、前記第2発光素子が放射する第2放射光が前記第2受光回路に受光されるように前記第2半導体素子に載置された第2発光素子と、
を具備することを特徴とする半導体モジュール。

【請求項2】

前記第1発光素子は、前記第1放射光に対して透光性を有する第1絶縁体を介して前記第1半導体素子に積層され、
前記第2発光素子は、前記第2放射光に対して透光性を有する第2絶縁体を介して前記第2半導体素子に積層され、
前記第1絶縁体および前記第2絶縁体は、サファイア、石英ガラス、セラミックスの少なくとも1つを含むことを特徴とする請求項1に記載の半導体モジュール。

【請求項3】

前記第1放射光に対して透光性を有し、前記第1発光素子と前記第1絶縁体との間およ

び前記第1絶縁体と前記第1半導体素子との間に設けられた第1接合樹脂と、
前記第2放射光に対して透光性を有し、前記第2発光素子と前記第2絶縁体との間および
前記第2絶縁体と前記第2半導体素子との間に設けられた第2接合樹脂と、
を有することを特徴とする請求項2に記載の半導体モジュール。

【請求項4】

前記第1および第2発光素子それぞれを覆う内部樹脂と、
前記内部樹脂より高い弾性率を有し、前記第1および第2半導体素子と、前記第1および
第2発光素子とを一体に覆う外部樹脂と、
を具備することを特徴とする請求項1に記載の半導体モジュール。

【請求項5】

前記第1半導体素子の動作電圧と前記第2半導体素子の動作電圧が異なることを特徴と
する請求項1に記載の半導体モジュール。

【請求項6】

前記第1半導体素子と前記第1発光素子との間の介在物に沿った内部沿面距離が1mm
以上である請求項3に記載の半導体モジュール。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、半導体モジュールに関する。

【背景技術】

【0002】

一般に、動作電圧の低い1次側回路と動作電圧の高い2次側回路との間の信号のやり取
りは、安全性確保等のために絶縁素子を介して行なわれている。

【0003】

例えば、直流を交流に変換するインバータに用いられるIGBTおよびMOSFETな
どのパワー半導体素子を駆動するゲートドライバでは、パワー半導体素子のゲートをオン
・オフするための信号を1次側回路から2次側回路にフォトカプラを介して伝送している
。また、パワー半導体素子の動作状況に関する信号などを2次側回路から1次側回路にフ
ォトカプラを介して伝送している。

【0004】

これらのフォトカプラはそれぞれ1次側回路および2次側回路に外付けされているので
、ゲートドライバの小型化が難しいという問題がある。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開平4-69059号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

絶縁素子を内蔵した小型の半導体モジュールを提供することを目的とする。

【課題を解決するための手段】

【0007】

一つの実施形態によれば、半導体モジュールは、第1受光回路と第1出力回路とが設け
られた第1半導体素子と、第2受光回路と第2出力回路とが設けられた第2半導体素子と
、前記第2出力回路に電氣的に接続された第1発光素子であって、前記第1発光素子が放
射する第1放射光が前記第1受光回路に受光されるように前記第1半導体素子に載置され
た第1発光素子と、前記第1出力回路に電氣的に接続された第2発光素子であって、前記
第2発光素子が放射する第2放射光が前記第2受光回路に受光されるように前記第2半導
体素子に載置された第2発光素子と、を具備している。

【図面の簡単な説明】

10

20

30

40

50

【0008】

【図1】第1の実施形態に係る半導体モジュールを示す断面図。

【図2】第1の実施形態に係る半導体モジュールの回路構成の概要を示すブロック図。

【図3】第1の実施形態に係る半導体モジュールが外囲器に収納された状態を示す図。

【図4】第1の実施形態に係る半導体モジュールの回路構成の詳細を示すブロック図。

【図5】第1の実施形態に係る半導体モジュールを用いたパワー半導体素子のドライブ回路を示すブロック図。

【図6】第1の実施形態に係る半導体モジュールに用いられる発光素子を示す断面図。

【図7】第1の実施形態に係る半導体モジュールの製造工程を示すフローチャート。

【図8】第1の実施形態に係る半導体モジュールに用いられる発光素子の製造工程を順に示す断面図。

【図9】第1の実施形態に係る半導体モジュールの別の製造工程を示すフローチャート。

【図10】第2の実施形態に係る半導体モジュールに用いられる発光素子を示す断面図。

【発明を実施するための形態】

【0009】

以下、実施形態について図面を参照しながら説明する。

【0010】

(第1の実施形態)

本実施形態に係る半導体モジュールについて図1乃至図3を用いて説明する。図1は本実施形態の半導体モジュールを示す断面図である。図2は半導体モジュールの回路構成の概要を示すブロック図である。図3は外囲器に収納された半導体モジュールを示す図で、図3(a)はその平面図、図3(b)はA-A線に沿って切断し矢印方向に眺めた断面図である。

【0011】

本実施形態の半導体モジュールは、直流を交流に変換するインバータに用いられるIGBT (Insulated Gate Bipolar Transistor) およびMOSFET (Metal Oxide Semiconductor Field Effect Transistor) などのパワー半導体素子を駆動するゲートドライバである。

【0012】

図1および図2に示すように、本実施形態の半導体モジュール10は、動作電圧の低い1次側回路が設けられた第1半導体素子11と、動作電圧の高い2次側回路が設けられた第2半導体素子21とを有している。

【0013】

第1半導体素子11は、電源電圧VCC1を有する電源と基準電位GND1との間に接続される。第2半導体素子21は、電源電圧VCC2を有する電源と基準電位GND2との間に接続される。電源電圧VCC2は電源電圧VCC1より高く、基準電位GND2は基準電位GND1とは電氣的に絶縁された別の基準電位である。

【0014】

第1半導体素子11は、1次側回路として第1受光回路11aと第1出力回路11bとを有している。第1受光回路11aは、フォトダイオード11cを有している。第2半導体素子21は、2次側回路として第2受光回路21aと第2出力回路21bとを有している。第2受光回路21aは、フォトダイオード21cを有している。

【0015】

更に、半導体モジュール10は、第1発光素子13と、第2発光素子23とを有している。第1発光素子13は第2出力回路21bに電氣的に接続されている。第2発光素子23は第1出力回路11bに電氣的に接続されている。

【0016】

第1発光素子13は、第1発光素子13が放射する光(第1放射光)12がフォトダイオード11cに受光されるように第1半導体素子11に載置されている。第2発光素子23は、第2発光素子23が放射する光(第2放射光)22がフォトダイオード21cに受

10

20

30

40

50

光されるように第2半導体素子21に載置されている。

【0017】

フォトダイオード11c、21cはそれぞれシリコンフォトダイオードである。第1および第2発光素子13、23は、シリコンフォトダイオードの受光感度に対応した赤外光を放射する発光ダイオード(LED:Light Emitting Diode)である。

【0018】

第1発光素子13は、第1放射光12に対して透光性を有する第1絶縁体14を介して第1半導体素子11に積層されている。第2発光素子23は、第2放射光22に対して透光性を有する第2絶縁体24を介して第2半導体素子21に積層されている。

【0019】

第1および第2絶縁体14、24は、高い絶縁性を有するサファイア、石英ガラスなどが適している。透光性を有していればセラミックスなども使用可能である。

【0020】

図1に示すよう、更に具体的には、第1発光素子13と第1絶縁体14との間および第1絶縁体14と第1半導体素子11との間のそれぞれに第1放射光12に対して透光性を有する接合樹脂(第1接合樹脂)15a、15bが設けられている。

【0021】

即ち、第1発光素子13と第1絶縁体14とは、接合樹脂15aによって接着され、第1絶縁体14と第1半導体素子11とは、接合樹脂15bによって接着されている。

【0022】

同様に、第2発光素子23と第2絶縁体24との間および第2絶縁体24と第2半導体素子21との間のそれぞれに第2放射光22に対して透光性を有する接合樹脂(第2接合樹脂)25a、25bが設けられている。

【0023】

即ち、第2発光素子23と第2絶縁体24は、接合樹脂25aによって接着され、第2絶縁体24と第2半導体素子21は、接合樹脂25bによって接着されている。

【0024】

接合樹脂15a、15b、25a、25bはそれぞれ、例えば絶縁性のシリコンペーストである。

【0025】

第1半導体素子11は、導電性接着剤16でダイパッド17aに接合されている。第1半導体素子11は、ワイヤ18aを介してリード17bに接続されている。導電性接着剤16は、例えば銀ペースト、はんだなどである。

【0026】

同様に、第2半導体素子21は、導電性接着剤26でダイパッド27aに接合されている。第2半導体素子21は、ワイヤ28aを介してリード27bに接続されている。導電性接着剤26は、例えば銀ペースト、はんだなどである。

【0027】

第1発光素子13は、ワイヤ18bを介して第2出力回路21bに電氣的に接続されている。第1発光素子13は、内部樹脂(第1内部樹脂)19で覆われている。

【0028】

同様に、第2発光素子23は、ワイヤ28bを介して第1出力回路11bに電氣的に接続されている。第2発光素子23は、内部樹脂(第2内部樹脂)29で覆われている。

【0029】

内部樹脂19、29は、外部樹脂31が第1および第2発光素子13、23に及ぼす応力を低減するための所謂エンキャップ材で、例えばシリコン樹脂などである。内部樹脂19、29は、外部樹脂31より低い弾性率を有しており、柔らかい樹脂である。

【0030】

図3に示すように、半導体モジュール10は、更に外囲器30を有している。外囲器30は、例えば、互いに反対の両側面からリードが延在するDIP(Dual Inline Package

10

20

30

40

50

)型の樹脂パッケージである。

【0031】

第1および第2半導体素子11、21と、第1および第2発光素子13、23と、ダイパッド17a、27aを含むリードフレームの一部は外部樹脂31で一体に覆われている。外部樹脂31の互いに反対の両側面からリード17b、27bが延在している。外部樹脂31は、例えばエポキシなどの熱硬化性樹脂である。

【0032】

なお、図3では、リード17b、27bにおいて、ワイヤが接続されている部分と外部樹脂31から延在している部分との間は省略されている。

【0033】

図2に示すように、第1出力回路11bは、外部からの入力信号を処理して処理結果を第2発光素子23に出力する。第2発光素子23は、処理結果に応じて第2放射光22を放射する。第2受光回路21aは、フォトダイオード21cで第2放射光22を検出し、検出結果(光電流)を処理して処理結果を外部に出力する。

【0034】

同様に、第2出力回路21bは、外部からの入力信号を処理して処理結果を第1発光素子13に出力する。第1発光素子13は、処理結果に応じて第1放射光12を放射する。第1受光回路11aは、フォトダイオード11cで第1放射光12を検出し、検出結果(光電流)を処理して外部に処理結果を出力する。

【0035】

これにより、1次側回路から2次側回路に信号が光結合により伝送され、2次側回路から1次側回路に信号が光結合により伝送される。1次側回路から2次側回路への信号の伝送と、2次側回路から1次側回路への信号の伝送とは、電氣的に絶縁されて独立に行なわれる。

【0036】

次に、第1および第2半導体素子11、21、第1および第2発光素子13、23の具体例について図4乃至図6を用いて説明する。

【0037】

図4は第1および第2半導体素子11、21の回路構成の詳細を示すブロック図である。図5は半導体モジュール10を用いたパワー半導体素子のドライブ回路を示すブロック図である。図6は第1および第2発光素子13、23を示す断面図である。

【0038】

図4に示すように、第1出力回路11bは、増幅器41を有している。増幅器41はゲートをオン・オフする信号を増幅して、第2発光素子23に出力する。

【0039】

第2受光回路21aは、増幅器42と、プリドライバ43とを有している。増幅器42は、光電流を増幅してプリドライバ43に出力する。プリドライバ43は、増幅器42の出力をパワー半導体素子のゲートドライブ信号に変換して後述するドライバに出力する。

【0040】

第2出力回路21bは、保護回路44と、論理回路45と、増幅器46と、定電圧回路47と、クロック発振回路48とを有している。

【0041】

保護回路44は、パワー半導体素子の動作状況を検出する各種センサからの信号を処理し、検出値が基準値を超えていればプリドライバ43の動作を制限する信号をプリドライバ43に出力する。また、保護回路44は、処理結果をデジタル値に変換して論理回路45に出力する。

【0042】

各種センサにより検出される項目は、例えばパワー半導体素子の過熱検出、温度検出、短絡電流検出、過電流検出、電源電圧VCC2の低下検出、第2半導体素子21のチップ過熱検出などがある。

10

20

30

40

50

【 0 0 4 3 】

論理回路 4 5 は、処理結果に応じてプリドライバ 4 3 の動作を制御する信号をプリドライバ 4 3 に出力するとともに、処理結果を増幅器 4 6 に出力する。増幅器 4 6 は、処理結果を示す信号を増幅して、第 1 発光素子 1 3 に出力する。

【 0 0 4 4 】

定電圧回路 4 7 は、保護回路 4 4 に基準値となる基準電圧を供給する。クロック発振回路 4 8 は、論理回路 4 5 にクロック信号を供給する。

【 0 0 4 5 】

第 1 受光回路 1 1 a は、増幅器 4 9 と、論理回路 5 0 と、保護回路 5 1 と、クロック発振回路 5 2 とを有している。増幅器 4 9 は、光電流を増幅して論理回路 5 0 に出力する。

10

【 0 0 4 6 】

保護回路 5 0 は、電源電圧 V C C 1 の低下を検出し、電源電圧 V C C 1 が基準値より低下すると、論理回路 5 1 に、保護動作、例えばデータを不揮発性メモリにセーブなどの指示を出力する。

【 0 0 4 7 】

論理回路 5 0 は、論理回路 4 5 の処理結果に応じてホストと制御系信号、フェール信号・温度情報などをやり取りする。クロック発振回路 5 2 は、論理回路 5 0 にクロック信号を供給する。

【 0 0 4 8 】

図 5 に示すように、半導体モジュール 1 0 は、三相モータ（図示せず）を駆動するパワー半導体素子のゲートドライバとして用いられる。なお、図 5 では、三相のうちの 1 相分を示している。

20

【 0 0 4 9 】

半導体モジュール 1 0 は、第 1 半導体素子 1 1 が三相モータの制御用マイクロコンピュータ 6 1 に接続され、第 2 半導体素子 2 1 が外付けのドライバ 6 2 を介して I G B T（パワー半導体素子）6 3 に接続されている。I G B T 6 3 はステータの coils 6 4 に接続されている。

【 0 0 5 0 】

ドライバ 6 2 を外付けしているのは、使用する I G B T 6 3 によってドライバ 6 2 に要求される仕様が異なるためである。これにより、半導体モジュール 1 0 に汎用性を持たせることができる。

30

【 0 0 5 1 】

なお、I G B T 6 3 は、電流容量に応じて並列接続される。ダイオード 6 5 は、I G B T 6 3 の過熱を検出するセンサとして機能する。抵抗 6 6 は、I G B T 6 3 の過電流、短絡電流を検出するセンサとして機能する。

【 0 0 5 2 】

電源電圧 V C C 1 は、例えば 5 V である。電源電圧 V C C 2 は、例えば 3 0 V である。三相モータの電圧（2 次側）は、例えば 6 0 0 V から 1 2 0 0 V である。

【 0 0 5 3 】

この場合、安全性の観点から日本工業規格（J I S）で定められた安全規格（IEC60950）に則った絶縁耐圧を確保するために、図 3 に示す外囲器 3 0 において、外部沿面距離 L 1 は 5 mm 以上が望ましい、空間距離 L 2 は 5 mm 以上が望ましい、また外部沿面距離 L 1 と空間距離 L 2 は等しいことが望ましい。

40

【 0 0 5 4 】

ここで、外部沿面距離とは、互いに反対側に延在するリード 1 7 b、2 7 b 間の外部樹脂 3 1 の底面および下側の側面に沿った距離のことである。空間距離とは、互いに反対側に延在するリード 1 7 b、2 7 b 間の直線距離のことである。

【 0 0 5 5 】

また、3 . 7 5 k V の絶縁耐圧を確保するために、第 1 発光素子 1 3 の内部沿面距離 L 3 は 1 . 2 mm 以上が望ましい。内部沿面距離とは、第 1 発光素子 1 3 から第 1 絶縁体 1

50

4の表面および側面、第1半導体素子11の表面を經由して第1半導体素子11のボンディングパッドに到る最短の距離である。

【0056】

図6に示すように、第1発光素子13では、p-InGaAlPクラッド層71と、InGaAlAs/GaAlAsMQW(Multiple Quantum Well)活性層72と、n-InGaAlPクラッド層73と、n-GaAsコンタクト層74がこの順に積層されている。

【0057】

p-クラッド層71側がp-InGaP接着層75によりp-GaP支持基板76の第1の面76aに接着されている。n-コンタクト層74にn電極77が設けられ、p支持基板76の第1の面76aにp電極78が設けられている。

10

【0058】

InGaAlAs/GaAlAsMQW活性層を有する発光ダイオードは、波長が略770nmの近赤外光を放射することが可能である。

【0059】

p支持基板76の第2の面76bは光が放射される主要な面である。第2の面76bに凹凸76cを設けることが望ましい。光放射面を粗面化することにより、光取り効率を向上させることができる。

【0060】

第1発光素子13は、光放射面である第2の面76bがフォトダイオード11cの受光面と対向するように第1半導体素子11に載置される。第2発光素子23についても同様であり、その説明は省略する。

20

【0061】

次に、半導体モジュール10の製造方法について図7および図8を用いて説明する。図7は半導体モジュール10の組み立て工程を示すフローチャートである。図8は第1、第2発光素子13、23の製造工程を順に示す断面図である。

【0062】

図7に示すように、第1、第2半導体素子11、21、第1、第2発光素子13、23、第1、第2絶縁体14、24、リードフレームなどの部品を準備する(S0)。

【0063】

第1半導体素子11を、銀ペーストを介してリードフレームのダイパッド17aにマウントし、第2半導体素子21を、銀ペーストを介してリードフレームのダイパッド27aにマウントする(S1)。第1半導体素子11とリードフレームのリード17bをワイヤボンディングで接続し、第2半導体素子21とリードフレームのリード27bをワイヤボンディングで接続する(S2)。

30

【0064】

第1絶縁体14を、接合樹脂15bを介して第1半導体素子11にマウントし、第2絶縁体24を、接合樹脂25bを介して第2半導体素子21にマウントする(S3)。

【0065】

第1発光素子13を、接合樹脂15aを介して第1絶縁体14にマウントし、第2発光素子23を、接合樹脂25aを介して第2絶縁体24にマウントする(S4)。プラズマ処理により、第1、第2発光素子13、23の表面をクリーニングする(S5)。

40

【0066】

第1発光素子13と第2半導体素子21のパッドとをワイヤボンディングして電氣的に接続し、第2発光素子23と第1半導体素子11のパッドとをワイヤボンディングして電氣的に接続する(S6)。第1、第2発光素子13、23のそれぞれを、シリコン樹脂などでエンキャップする(S7)。

【0067】

第1、第2半導体素子11、21、第1、第2発光素子13、23、リードフレームのダイパッド17a、27aを含む一部をエポキシ樹脂などでモールドする(S8)。最後

50

に、外観、特性などの検査を行う(S9)。これにより、半導体モジュール10が完成する。

【0068】

図8(a)に示すように、n-GaAs基板79にMOCVD(Metal Organic Chemical Vapor Deposition)法によりnコンタクト層74、nクラッド層73、活性層72、pクラッド層71、p接着層75を、この順にエピタキシャル成長させる。n-GaAs基板79はエピタキシャル成長用の基板である。GaAsはInGaAlP系の半導体と格子整合する。nコンタクト層74、nクラッド層73、活性層72、pクラッド層71、p接着層75をまとめてエピタキシャル層と称する。

【0069】

次に、図8(b)に示すように、エピタキシャル層が形成された基板79を反転して、p接着層75とp支持基板76とを重ね合わせ、熱処理を施す。p接着層75とp支持基板76とが直接接合される。その後、基板79をウエットエッチングにより除去する。

【0070】

なお、凹凸76cは、予めp支持基板76に形成しておくといよい。凹凸76cは、選択性エッチャントによるウエットエッチング、パターニングされたマスクを用いたウエットエッチングまたはドライエッチング、粗い砥粒による研削などにより形成することができる。

【0071】

次に、図8(c)に示すように、フォトリソグラフィ法によりエピタキシャル層の一部にレジスト膜(図示せず)を形成する。レジスト膜をマスクとして、RIE(Reactive Ion Etching)法によりエピタキシャル層を除去し、p支持基板76を露出させる。残ったnコンタクト層74にn側電極77を形成し、露出したp支持基板76にp側電極78を形成する。

【0072】

次に、p支持基板76をチップに分割する。これにより、第1、第2発光素子13、23が得られる。

【0073】

以上説明したように、本実施形態の半導体モジュール10では、第1受光回路11aと第1出力回路11bとが設けられた第1半導体素子11と、第2受光回路21aと第2出力回路21bとが設けられた第2半導体素子21と、第2出力回路21bに電氣的に接続され、第1放射光12が第1受光回路11aに受光されるように第1半導体素子11に載置された第1発光素子13と、第1出力回路11bに電氣的に接続され、第2放射光22が第2受光回路21aに受光されるように第2半導体素子21に載置された第2発光素子23と、を具備している。

【0074】

その結果、動作電圧の異なる第1半導体素子11と第2半導体素子21との間で絶縁耐圧を維持しながら、互いに信号を送受信することができる。従って、絶縁素子を内蔵した小型の半導体モジュールが得られる。

【0075】

なお、半導体モジュール10の組み立て工程は、図7に示すフローチャートに限定されず、別のフローチャートに従ってもよい。図9は別の組み立て工程を示すフローチャートである。

【0076】

図9に示すフローチャートは、マウント工程(S1、S3、S4)とワイヤボンディング工程(S2、S6)の順番を変更したものである。その他の工程の順番は変わらない。

【0077】

即ち、マウント工程(S1、S3、S4)を先に連続して行い、その後にワイヤボンディング工程(S2、S6)を連続して行うものである。

【0078】

10

20

30

40

50

(第2の実施形態)

本実施形態に係る半導体モジュールについて図10を用いて説明する。図10は本実施形態の半導体モジュールに用いられる発光素子を示す断面図である。

【0079】

本実施形態において、上記第1の実施形態と同一の構成部分には同一符号を付してその部分の説明は省略し、異なる部分について説明する。本実施形態が第1の実施形態と異なる点は、発光素子の支持基板を絶縁体としたことにある。第1発光素子13と第2発光素子23は同じなので、以後、第1発光素子13についてのみ説明する。

【0080】

即ち、図6に示した第1発光素子13では、支持基板76が導電性のp-GaP基板であるのに対して、図10に示すように、本実施形態の半導体モジュールにおける第1発光素子13では、支持基板81として絶縁性のサファイア基板が用いられている。

10

【0081】

第1発光素子13では、n-InGaPコンタクト層82と、n-InGaAlPクラッド層73と、InGaAlAs/GaAlAsMQW活性層72と、p-InGaAlPクラッド層71と、p-GaAsコンタクト層83がこの順に積層されている。

【0082】

n-InGaPコンタクト層82側がInAlPまたはInGaAlP接着層84により絶縁性支持基板81の第1の面81aに接着されている。p-コンタクト層83にp電極78が設けられ、nコンタクト層82の露出面にn電極77が設けられている。

20

【0083】

光取り効率を向上させるために、絶縁性支持基板81の第2の面81bに凹凸81cを設けることが望ましい。凹凸81cは、パターンングされたマスクを用いたドライエッチング、粗い砥粒による研削などにより形成することができる。

【0084】

本実施形態の半導体モジュールでは、第1発光素子13は絶縁性支持基板81を有している。内部沿面距離L3が同じ場合、導電性のp支持基板76を有する第1発光素子13を用いた半導体モジュールより絶縁耐圧を向上させることが可能である。絶縁耐圧のマージンを拡大することが可能になる。

【0085】

絶縁耐圧が同じ場合、内部沿面距離L3を小さくすることも可能である。半導体モジュールをより小型化することが可能になる。

30

【0086】

また、絶縁性支持基板81が第1絶縁体14を兼ねるようにすることも可能である。その際、絶縁性支持基板81を、第1絶縁体14より若干厚くする、および/または第1絶縁体14より若干大きくするとよい。絶縁耐圧に余裕がある場合に適した構成である。

【0087】

これにより、第1絶縁体14が不要になり、部品数が削減されるとともに、半導体モジュールをより小型化することが可能になる。

【0088】

以上説明したように、本実施形態の半導体モジュールでは、第1および第2発光素子13、23は絶縁性支持基板81を有している。その結果、絶縁耐圧を更に向上させることができる、半導体モジュールを更に小型化することができる。

40

【0089】

以上、いくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【0090】

50

なお、以下の付記に記載されているような構成が考えられる。

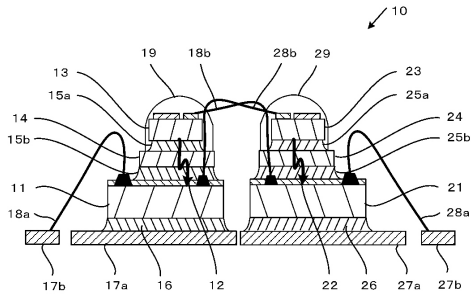
(付記1) 前記第1および第2絶縁体は、サファイア、石英ガラス、透光性セラミックのいずれかである請求項2に記載の半導体モジュール。

【符号の説明】

【0091】

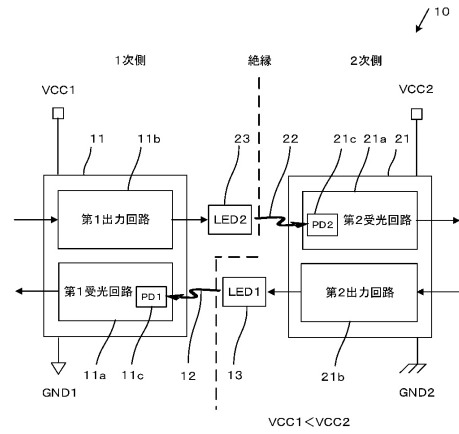
10	半導体モジュール	
11、21	第1、第2半導体素子	
11a、21a	第1、第2受光回路	
11b、21b	第1、第2出力回路	
11c、21c	フォトダイオード	10
12、22	第1、第2放射光	
13、23	第1、第2発光素子	
14、24	第1、第2絶縁体	
15a、15b、25a、25b	接合樹脂	
16、26	導電性接着剤	
17a、27a	ダイパッド	
17b、27b	リード	
18a、18b、28a、28b	ワイヤ	
19、29	内部樹脂	
30	外囲器	20
31	外部樹脂	
41、42、46、49	増幅器	
43	プリドライバ	
44、51	保護回路	
45、50	論理回路	
47	定電圧回路	
48、52	クロック発振回路	
61	制御用マイクロコンピュータ	
62	ドライバ	
63	I G B T	30
64	コイル	
65	ダイオード	
66	抵抗	
71	pクラッド層	
72	活性層	
73	nクラッド層	
74、82	nコンタクト層	
75	p接着層	
76	p支持基板	
76a、76b、81a、81b	第1、第2の面	40
76c、81c	凹凸	
77	n側電極	
78	p側電極	
79	基板	
81	絶縁性支持基板	
83	pコンタクト層	
84	接着層	
L1	外部沿面距離	
L2	空間距離	
L3	内部沿面距離	50

【図1】



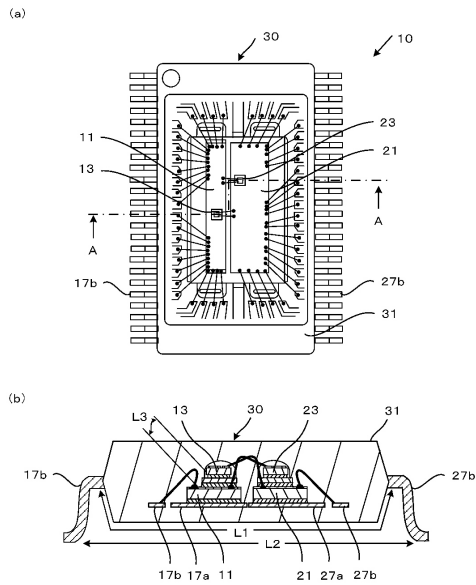
- 10...半導体モジュール
- 11, 21...第1, 第2半導体素子
- 12, 22...第1, 第2放射光
- 13, 23...第1, 第2発光素子
- 14, 24...第1, 第2絶縁体
- 15a, 15b, 25a, 25b...接合樹脂
- 16, 26...導電性接着剤
- 17a, 27a...ダイパッド
- 17b, 27b...リード
- 18a, 18b, 28a, 28b...ワイヤ
- 19, 29...内部樹脂

【図2】



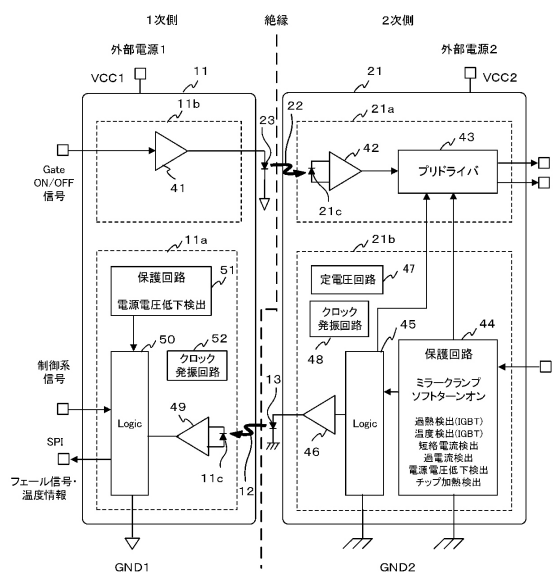
11c, 21c...フォトダイオード

【図3】



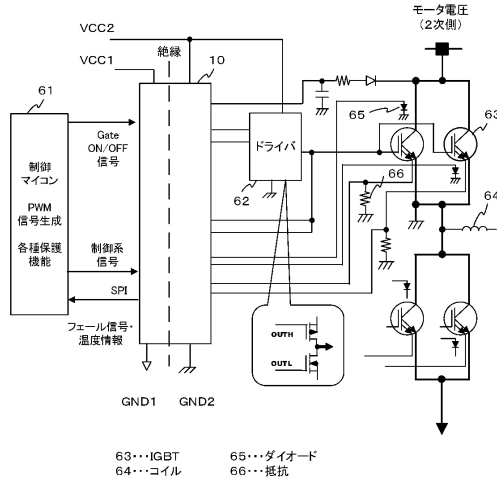
- 30...外圍器
- 31...外部樹脂
- L1...外部沿面距離
- L2...空間距離
- L3...内部沿面距離

【図4】

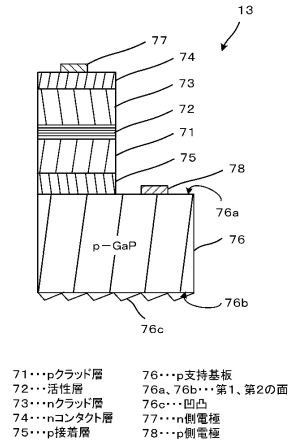


41, 42, 46, 49...増幅器

【図5】



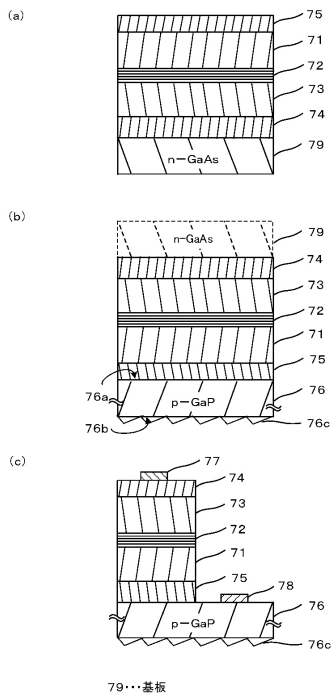
【図6】



【図7】

- 部品準備 (S0)
- 第1、第2半導体素子をマウント (S1)
- 第1、第2半導体素子をワイヤボンディング (S2)
- 第1、第2絶縁体をマウント (S3)
- 第1、第2発光素子をマウント (S4)
- プラズマ処理 (S5)
- 第1、第2発光素子をワイヤボンディング (S6)
- 第1、第2発光素子をエンキャップ (S7)
- 外部樹脂モールド (S8)
- 検査 (S9)

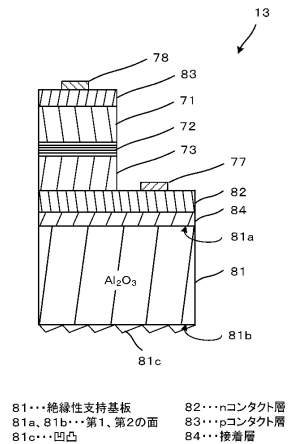
【図8】



【図9】

- 部品準備 (S0)
- 第1、第2半導体素子をマウント (S1)
- 第1、第2絶縁体をマウント (S3)
- 第1、第2発光素子をマウント (S4)
- プラズマ処理 (S5)
- 第1、第2半導体素子をワイヤボンディング (S2)
- 第1、第2発光素子をワイヤボンディング (S6)
- 第1、第2発光素子をエンキャップ (S7)
- 外部樹脂モールド (S8)
- 検査 (S9)

【図10】



フロントページの続き

- (72)発明者 岸 博明
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 小川 功
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 小関 勝
東京都港区芝浦一丁目1番1号 株式会社東芝内

審査官 安田 雅彦

- (56)参考文献 特開2014-063927(JP,A)
特開2014-187210(JP,A)
特開昭52-057789(JP,A)
実開平05-082059(JP,U)
特開平06-045636(JP,A)
実開昭52-074764(JP,U)
実開昭55-007386(JP,U)
特開2008-177218(JP,A)
特開2008-028033(JP,A)
実開昭57-044563(JP,U)
特開2008-135421(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 25/00-18
H01L 31/12-173
H01L 27/14-15