

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-158018

(P2009-158018A)

(43) 公開日 平成21年7月16日(2009.7.16)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 29/04 (2006.01)	G 1 1 C 29/00 6 0 3 H	5 B 1 2 5
G 1 1 C 16/06 (2006.01)	G 1 1 C 29/00 6 0 3 J	5 L 1 0 6
G 1 1 C 16/04 (2006.01)	G 1 1 C 17/00 6 3 9 B	
	G 1 1 C 17/00 6 2 2 E	

審査請求 未請求 請求項の数 5 O L (全 12 頁)

(21) 出願番号 特願2007-335552 (P2007-335552)
 (22) 出願日 平成19年12月27日 (2007.12.27)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100092820
 弁理士 伊丹 勝
 (74) 代理人 100106389
 弁理士 田村 和彦
 (71) 出願人 598010562
 東芝メモリシステムズ株式会社
 神奈川県横浜市栄区笠間2-5-1 ST
 Eビル
 (74) 代理人 100092820
 弁理士 伊丹 勝

最終頁に続く

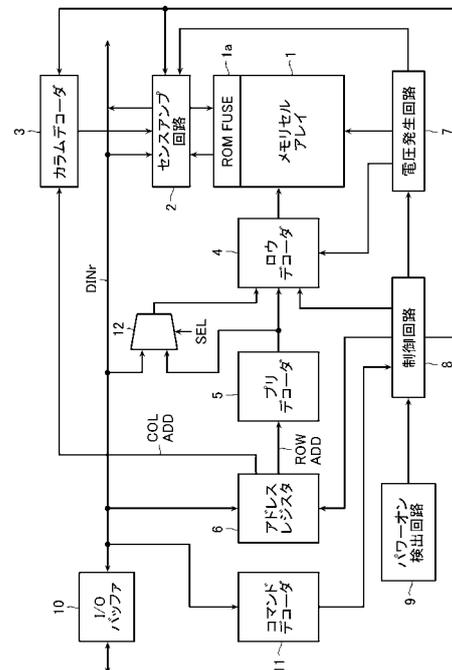
(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】

【課題】不良アドレス登録容量を削減した不揮発性半導体記憶装置を提供する。

【解決手段】不揮発性半導体記憶装置は、電気的書き換え可能な不揮発性メモリセルが配列された、複数ブロックからなるメモリセルアレイと、前記メモリセルアレイ内に設定されて不良ブロック位置情報を記憶する不良ブロック位置情報登録領域と、前記メモリセルアレイのブロック選択を行うためのアドレスデコード回路と、前記アドレスデコード回路内に設けられて、前記メモリセルアレイの不良ブロック位置情報登録領域から読み出された不良ブロック位置情報に基づいて不良ブロックフラグがセットされる不良ブロックフラグラッチとを備え、前記不良ブロック位置情報登録領域の不良ブロック位置情報は、前記複数ブロックの内のブロック位置と前記メモリセルアレイの同時アクセスされるセル範囲である1ページ内のカラム位置とを1:1に対応させて、1ブロックに対して1ビットが割り当てられている。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

電氣的書き換え可能な不揮発性メモリセルが配列された、複数ブロックからなるメモリセルアレイと、

前記メモリセルアレイ内に設定されて前記メモリセルアレイの不良ブロック位置情報を記憶する不良ブロック位置情報登録領域と、

前記メモリセルアレイのブロック選択を行うためのアドレスデコード回路と、

前記アドレスデコード回路内に設けられて、前記メモリセルアレイの不良ブロック位置情報登録領域から読み出された不良ブロック位置情報に基づいて不良ブロックフラグがセットされる不良ブロックフラグラッチとを備え、

前記不良ブロック位置情報登録領域の不良ブロック位置情報は、前記複数ブロックの内のブロック位置と前記メモリセルアレイの同時アクセスされるセル範囲である 1 ページ内のカラム位置とを 1 : 1 に対応させて、1 ブロックに対して 1 ビットが割り当てられている

ことを特徴とする不揮発性半導体記憶装置。

【請求項 2】

前記複数ブロックが 8 個ずつブロックセットとして定義され、前記 1 ページを 1 カラム = 8 ビットの複数カラムとして、前記不良ブロック位置情報登録領域の不良ブロック位置情報は、複数ブロック内の n 番目のブロックセットの m 番目のブロックと 1 ページ内の n 番目のカラムの m ビット目とを 1 : 1 に対応させて、1 ブロックに 1 ビットが割り当てられている

ことを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 3】

前記アドレスデコード回路は、アドレスデータを複数のワンホット信号にデコードするプリデコーダと、このプリデコーダのデコード信号を更にデコードしてブロック位置情報を出力する、それぞれに前記不良ブロックフラグラッチを備えたロウデコードとを有し、

前記プリデコーダは、前記アドレスデータから 1 ブロックセット内の選択ブロック位置情報を示す 8 ビットのワンホット信号をデコードする第 1 デコード部と、複数ブロック内の選択ブロックセット位置情報をワンホット信号にデコードする第 2 デコード部とを有する

ことを特徴とする請求項 2 記載の不揮発性半導体記憶装置。

【請求項 4】

前記メモリセルアレイの選択ブロックの 1 ページのデータ読み出しを行うセンスアンプ回路と、

前記センスアンプ回路の 1 ページデータを 1 バイトずつ転送するデータ線と、

パワーオンリセット時、前記不良ブロック位置情報登録領域から前記センスアンプ回路に読み出された 1 ページデータから前記データ線に順次転送される 1 バイトデータを前記第 1 デコード部のデコード信号に代わって選択して前記ロウデコードに転送するセクタとを更に備えた

ことを特徴とする請求項 3 記載の不揮発性半導体記憶装置。

【請求項 5】

前記パワーオンリセット時、前記プリデコーダの第 2 デコード部は、順次ブロックセットを選択する入力状態に設定され、前記セクタは、前記センスアンプ回路に読み出された 1 ページデータから前記データ線に順次転送される 1 バイトデータを選択して前記ロウデコードに転送する

ことを特徴とする請求項 4 記載の不揮発性半導体記憶装置。

【発明の詳細な説明】**【技術分野】****【0001】**

この発明は、電氣的書き換え可能な不揮発性半導体記憶装置 (E E P R O M) に係り、

10

20

30

40

50

特に不良アドレス登録法の改良に関する。

【背景技術】

【0002】

EEPROMの代表例として、NAND型フラッシュメモリがよく知られている。現状のNAND型フラッシュメモリでは、ダイソート工程において、チップ内で不良ブロックが検出された場合でも、その数が一定数以下の場合は、不良ブロックとして許容している。一定数以下の不良ブロックの存在を許容することにより、歩留まりを上げることが可能となるためである。

【0003】

ただし、不良ブロックは通常ブロックと異なる制御が不可欠であるため、不良ブロックのアドレスは、例えばメモリセルアレイ内のROMフューズ領域への登録が必要である。ROMフューズ領域に登録された不良ブロックアドレスは、電源投入時に実行されるパワーオンリセット動作中に読み出されて、対応するロウデコーダが選択され、そのロウデコーダ内の不良ブロックフラグラッチに不良ブロックフラグがセットされる。

【0004】

不良ブロックフラグがセットされると、以後そのブロックはメモリコントローラによって不良ブロックとして認識され、動作に悪影響を与えないよう制御することができる（例えば、特許文献1参照）。

【0005】

不良ブロックアドレスの登録方法について、例えば1024個のブロックを持ち、1ページの容量が1kByte、1プレーン構成のチップの場合を例に説明する。1024個のブロックを持つチップでは、ブロックアドレスを表すのに、10bitが必要となるが、通常データ扱いの単位は8ビット(=1Byte)であるため、1つのブロックアドレスの登録には、2Byteの領域が必要である。

【0006】

ROMフューズ領域のデータは、高い信頼性を必要とするため、相補データを用意し、データ読み出し時には、正データと相補データとを比較することにより、データの信頼性を確保している。これにより、1つのブロックアドレスを登録するのに4Byteの領域が必要になる。

【0007】

さらに、相補データとの比較でエラーとなった場合のために、正データと相補データのデータセットを複数持つことが望ましい。データセットを2セット用意するものとする、1つのブロックアドレスの登録に8Byteの領域が必要になる。このとき、1ページが1kByteのNAND型フラッシュメモリでは、128個のブロックしか登録できない。

【0008】

従って上述の例では、1024ブロック中129個以上の不良ブロックが発生した場合には、不良チップとして出荷することができないことになる。

【特許文献1】特開2001-273798号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

この発明は、不良アドレス登録容量を削減した不揮発性半導体記憶装置を提供することを目的とする。

【課題を解決するための手段】

【0010】

この発明の一態様による不揮発性半導体記憶装置は、電氣的書き換え可能な不揮発性メモリセルが配列された、複数ブロックからなるメモリセルアレイと、前記メモリセルアレイ内に設定されて前記メモリセルアレイの不良ブロック位置情報を

10

20

30

40

50

記憶する不良ブロック位置情報登録領域と、

前記メモリセルアレイのブロック選択を行うためのアドレスデコード回路と、

前記アドレスデコード回路内に設けられて、前記メモリセルアレイの不良ブロック位置情報登録領域から読み出された不良ブロック位置情報に基づいて不良ブロックフラグがセットされる不良ブロックフラグラッチとを備え、

前記不良ブロック位置情報登録領域の不良ブロック位置情報は、前記複数ブロックの内のブロック位置と前記メモリセルアレイの同時アクセスされるセル範囲である1ページ内のカラム位置とを1:1に対応させて、1ブロックに対して1ビットが割り当てられている。

【発明の効果】

10

【0011】

この発明によると、不良アドレス登録容量を削減した不揮発性半導体記憶装置を提供することができる。

【発明を実施するための最良の形態】

【0012】

以下、図面を参照して、この発明の実施の形態を説明する。

【0013】

図1は、一実施の形態によるNAND型フラッシュメモリの機能ブロック構成を示し、図2はそのメモリコア部のセルアレイ構成を示している。メモリセルアレイ1は、図2に示すように、複数の電氣的書き換え可能な複数の不揮発性メモリセル(図の例では32個のメモリセル)M0-M31が直列接続されたNANDセルユニット(NANDストリング)NUを配列して構成される。

20

【0014】

NANDセルユニットNUの一端は、選択ゲートトランジスタS1を介してビット線BL(BLe又はBLo)に、他端は選択ゲートトランジスタS2を介して共通ソース線CELSRCに接続される。メモリセルM0-M31の制御ゲートはそれぞれワード線WL0-WL31に接続され、選択ゲートトランジスタS1、S2のゲートは選択ゲート線SGD、SGSに接続される。

【0015】

ワード線方向に配列されるNANDセルユニットNUの集合が、データ消去の単位となるブロックを構成し、図示のようにビット線の方向に複数のブロックBLK0-BLKnが配置される。ビット線BLの一端側に、セルデータの読み出し及び書き込みに供させるセンスアンプ回路(データレジスタを含む)3が配置される。ワード線の一端側にはブロック選択およびブロック内ワード線及び選択ゲート線の選択を行うロウデコーダ4が配置される。

30

【0016】

図2では、互いに隣接する偶数番ビット線BLeと奇数番ビット線BLoが一つのセンスアンプSAを共有する例を示している。偶数番ビット線BLeと奇数番ビット線BLoは、ビット線セクタ2aにより一方が選択されてセンスアンプSAに接続される。この場合、一つのワード線と全偶数番ビット線(又は全奇数番ビット線)により選択されるメモリセル群が、同時に書き込み/読み出しされる物理的1ページを構成する。

40

【0017】

コマンド、アドレス及びデータは、入出力バッファ10を介して入力される。動作モードを指示するコマンドは、コマンドデコーダ11でデコードされて、内部制御回路8に送られる。アドレスはアドレスレジスタ6を介し、制御回路8の制御により所定のタイミングにおいて、ロウアドレスROWADDはプリデコーダ5へ、カラムアドレスCOLADDはカラムデコーダ3へと転送される。

【0018】

ロウアドレスは、プリデコーダ5で複数のワンホット信号にデコードされた後、メインロウデコーダ5でひとつのブロックが選択され、そのなかの一本のワード線選択が行われ

50

る。

【0019】

I/Oバッファ10を介して、通常1Byteずつ供給される書き込みデータは、センスアンプ回路2にロードされて、1ページ単位でメモリセルアレイに一括書き込みがなされる。センスアンプ回路2の読み出しデータは1Byteずつシリアル転送されてI/Oバッファ15を介して、外部に出力される。

【0020】

各動作モードに応じて必要とされる高電圧を発生するために、高電圧発生回路7が設けられている。高電圧発生回路7は、制御回路8から与えられる指令に基づいて所定の高電圧を発生する。

10

【0021】

メモリセルアレイ1には、ダイソートテストにおいて求められた不良ブロック位置情報登録領域としてのROMフューズ領域1aが設定されている。ROMフューズ領域には電圧調整データ等その他各種初期設定データが記憶される。パワーオン検出回路9が電源投入を検出すると、制御回路8はROMフューズ領域1aのデータを読み出して所定のレジスタ(図示せず)に電圧調整データ等を設定し、また不良ブロック位置情報を読み出して、ロウデコード4に不良ブロックフラグを設定するパワーオンリセット動作を行う。

【0022】

図3は、メモリセルアレイ1が1023個のブロックBLK0 - BLK1023からなり、ロウデコード4の各ブロック対応デコード部に不良ブロックフラグ用のラッチLATが設けられた状態を示している。ロウデコードは実際には、ブロック選択を行うデコード(ブロックデコード)と、全ブロックに共通に用いられるワード線及び選択ゲート線デコード兼ドライバとから構成されるが、図3に示すロウデコード4は、前者のブロックデコード(即ち狭義のロウデコード)を指している。

20

【0023】

この実施の形態では、ROMフューズ領域1aの不良ブロック情報登録エリアに対して、ブロックアドレスを直接登録する従来の方式(以下、“ブロックアドレス直接登録方式”という)に代わって、チップ内のすべてのブロックについて1ブロックに対しROMフューズ領域のデータ1ビットを割り当てる方式(以下、これを“ビット位置アサイン方式”という)を採用している。具体的に、不良ブロック位置の登録は、ブロック位置とコラムビット位置を1:1に対応させることにより行う。

30

【0024】

その詳細は後述するが、このような不良ブロック登録方式の変更により、ROMフューズ領域1aの不良ブロック位置情報登録エリアの容量を大きく削減することが可能になる。パワーオンリセット時にROMフューズ領域1aから読み出される不良ブロック位置情報は、セクタ12によってプリデコード5のデコード出力と一部置き換えられてロウデコード4に送られて、ロウアドレス選択が行われ、対応ロウデコード部に不良ブロックフラグがセットされることになる。

【0025】

この実施の形態のビット位置アサイン方式を具体的に説明する。セルアレイの1024個のブロックに対して、図4に示すように、ブロックBLK0からBLK7までをブロックセット0、ブロックBLK8からBLK15までをブロックセット1、以下同様に、ブロックBLK1016からBLK1023までをブロックセット127というルールで、8個ずつのブロックからなるブロックセットを定義する。

40

【0026】

そして、図5に示すように、ROMフューズ領域1aのカラムアドレスとブロックセットとを対応させる。即ちROMフューズ領域のカラムアドレスnを、ブロックセットnに対応させ、更に1Byteのカラムデータのmビット目を、1つのブロックセット中で小さいほうからm番目のブロックと対応させる。

【0027】

50

従って、ROMフューズ領域のデータの先頭から n バイト目の m ビット目を、データセット n の小さいほうから m 番目のブロック（ブロックアドレス $n^8 + m$ ）と対応させる。

【0028】

以上により、ROMフューズ領域のあるカラム位置のデータが“1”の場合は、そのカラム位置に相当するブロックアドレスのブロックが、不良ブロックであることを示すこととする。“0”データの場合は、不良ブロックでないことを示すことにする。例えば、ROMフューズのカラムアドレス127バイト目の7ビット目が“1”の時、ブロックアドレス1023のブロックが不良ブロックであることを示す。

【0029】

次に、実施の形態でのロウデコーダ周りの構成と、不良ブロックフラグ設定の動作を、従来例と比較しながら詳細に説明する。

10

【0030】

図6は、比較のために示す従来のロウデコーダ周りの構成であり、図7は実施の形態でのロウデコーダ周りの構成である。また、図9は従来方式でのブロックアドレスデコード法を示し、図10はこれとの対応で実施の形態のブロックアドレスデコード法を示している。

【0031】

まず比較のために、従来のブロックアドレス直接登録方式とその場合の不良ブロックフラグ設定の動作を説明する。

【0032】

このブロックアドレス直接登録方式では、パワーオンリセット時、センスアンプ回路2に読み出されるアドレスデータは、8ビットづつ2サイクルでデータ線 DIN_r を転送され、アドレスレジスタ6に2サイクルのデータが転送されたところで、10ビットのブロックアドレス $\langle 9:0 \rangle$ となる。

20

【0033】

一つ目の不良ブロックのロウデコーダに不良ブロックフラグのセットが終了すると、次の不良ブロックのアドレスデータが、センスアンプ回路より転送されてくることにより、同様の手順で不良ブロックフラグがセットされる。以下、同様の手順で、ROMフューズ領域に登録された不良ブロックアドレス対応のロウデコーダに不良ブロックフラグを立てられる。

30

【0034】

図9が具体的なデコード方法の例を示している。10ビットのブロックアドレスデータ $BlockADD \langle 9:0 \rangle$ は、プリデコーダ5において、 $AROWA$ 、 $AROWB$ 、 $AROWC$ 、 $AROWD$ 、 $AROWE$ という、それぞれ4ビットの5つの信号にデコードされる。これらのプリデコード信号はすべて、図9に示すように、一つだけが“1”であるワンホット信号である。

【0035】

このようなプリデコードを行うことにより、ロウデコーダ4として、図8に示す単純なNANDゲートを用いることが可能となる。ここで、図8のプリデコード信号 $AROWA \langle * \rangle$ は、4ビットの信号 $AROWA \langle 3:0 \rangle$ のうち、1ビット（*）が選択されて接続されることを示している。 $AROWB \langle * \rangle$ 、 $AROWC \langle * \rangle$ 、 $AROWD \langle * \rangle$ 、 $AROWE \langle * \rangle$ についても同様である。

40

【0036】

例えば、ブロックアドレス0のブロックのロウデコーダには、 $AROWA \langle 0 \rangle$ 、 $AROWB \langle 0 \rangle$ 、 $AROWC \langle 0 \rangle$ 、 $AROWD \langle 0 \rangle$ 、 $AROWE \langle 0 \rangle$ が接続される。ブロックアドレス1023のブロックのロウデコーダには、 $AROWA \langle 3 \rangle$ 、 $AROWB \langle 3 \rangle$ 、 $AROWC \langle 3 \rangle$ 、 $AROWD \langle 3 \rangle$ 、 $AROWE \langle 3 \rangle$ が接続される。

【0037】

このようなロウデコーダを用いたブロック選択方法について説明すると、前述のようにブロックアドレスを指定するため、10ビットのブロックアドレスを入力する。ただし、

50

データ転送バス $DINr$ のビット幅は 8 ビットであるため、2 回に分けて転送され、アドレスレジスタで 10 ビットのアドレス信号 $BlockADD < 9 : 0 >$ となる。

【0038】

このアドレスデータがプリデコードされてロウデコーダに入力される。ロウデコーダは、トランジスタ $Tr a A$ によって、ノード NA があらかじめ “H” にプリチャージされる。例えばブロックアドレス 0 を選択する、 $BlockADD < 9 : 0 > = 10'h000$ が入力された場合、プリデコーダ 5 において、 $AROWA < 3 : 0 > = 4'b0001$, $AROWB < 3 : 0 > = 4'b0001$, $AROWC < 3 : 0 > = 4'b0001$, $AROWD < 3 : 0 > = 4'b0001$, $AROWE < 3 : 0 > = 4'b0001$ のようにデコードされる。

【0039】

そうすると、ブロックアドレス 0 では、図 8 に示すロウデコーダの直列に接続されたトランジスタがすべてオンすることにより、プリチャージされていたノード NA が放電され、選択ブロック信号ノード NB が “H” になる。これがブロック 0 の選択状態となる。このようにして、1024 個のブロックのうち、一つのブロックを選択することが可能となる。

【0040】

次に、この実施の形態によるビット位置アサイン方式でのブロックアドレス登録方式と不良ブロックフラグ設定の動作を具体的に説明する。

【0041】

図 4 及び図 5 で説明したビット位置アサイン方式を実現するためには、ロウデコード周りの構成を図 7 のように変更し、図 10 のデコード法を適用することが必要になる。即ちこの実施の形態では、図 10 に示すように、プリデコード信号の一つ $AROWA$ をデータの扱い単位である 8 ビットのワンホット信号として、これに選択ブロックセット内のブロック位置情報を持たせる。

【0042】

従ってプリデコーダ 5 は、図 6 の場合と異なり、第 1 デコード部 ($AROWAdec$) が、選択ブロック内のブロック位置情報をデコードしてワンホット信号を生成するものとして構成される。以下の第 2 デコード部 ($ARORCdec \sim AROWEdec$) は、複数ブロックセット内のブロックセット位置情報対応のプリデコード信号 (4 ビットのワンホット信号 $AROWB$, $AROWC$, $AROWD$ と、2 ビットのワンホット信号 $AROWE$) を得るものとしている。

【0043】

パワーオンリセット時、ROM フューズ領域からセンスアンプ回路 2 に読み出されたデータは、8 ビットずつデータ線 $DINr$ に転送される。ビット位置アサイン方式ではこのデータは、従来のようなブロックアドレスデータではないため、アドレスレジスタ 6 に保持させる必要がない。

【0044】

データ線 $DINr$ に 1 バイトずつ転送されるデータは、パワーオンリセット時に “H” となる選択信号 SEL により制御されるセクタ 12 により順次選択されて、プリデコーダ 5 の第 1 デコード部 $AROWAdec$ のデコード出力 $AROWA [7 : 0]$ に代わって、ロウデコーダ 4 に入力される。一方このとき、第 2 デコード部 ($ARORCdec \sim AROWEdec$) には、順次複数ブロック内のブロックセット位置情報を出力するような入力データを与える。

【0045】

不良ブロックフラグのセット方法をより具体的に説明する。まず、ブロックセット 0 のデータに相当する、先頭カラムデータをデータ線 $DINr$ に読み出す。このとき初期状態として、 $AROWB < 3 : 0 > = 4'b0001$, $AROWB < 3 : 0 > = 4'b0001$, $AROWC < 3 : 0 > = 4'b0001$, $AROWD < 3 : 0 > = 4'b0001$, $AROWE < 1 : 0 > = 2'b01$ にしておく。

【0046】

10

20

30

40

50

そうすると、 $AROWA < 7 : 0 >$ に代わってデータ線 $DINr$ 上のデータが選択され、ブロックセット0の不良情報が“1”になっているブロックのみ選択状態となり、ここに不良ブロックフラグがセットされる。

【0047】

例えば、ブロックセット0のブロックがすべて不良の時、ROMフューズ領域の先頭コラムには、8ビット共に“1”がセットされているはずである。このとき、セクタ12で選択される信号は、 $AROWA < 7 : 0 > = 8'b1111_1111$ となる。ブロック0からブロック7までが同時に選択状態となり、同時に不良ブロックフラグをセットすることができる。

【0048】

次に、ブロックセット1のデータをデータ線 $DINr$ に読み出すタイミングでは、プリデコード信号を $AROWB < 3 : 0 > = 4'b0010$, $AROWC < 3 : 0 > = 4'b0001$, $AROWD < 3 : 0 > = 4'b0001$, $AROWE < 1 : 0 > = 2'b01$ に切り換える。これにより、ブロックセット1の不良ブロック対応のロウデコーダに一気に不良ブロックフラグをセットすることができる。

【0049】

このように、読み出しコラムアドレスを切り替えるタイミングで、図10のデコード方式に従って $AROWB < 3 : 0 >$, $AROWC < 3 : 0 >$, $AROWD < 3 : 0 >$, $AROWE < 1 : 0 >$ を切り替えることにより、8ブロック同時に、不良ブロックフラグのセット及び非セットを行うことができる。即ち、128バイトのデータ読み出しで、1024個のブロックについて不良ブロックフラグをセットすることが可能となる。

【0050】

以上のようにこの実施の形態によるビット位置アサイン方式を用いると、1024個のブロックに不良ブロックフラグをセットするのに、128バイトのデータで済む。正データと相補データを持たせ、更に2つのデータセットを持たせるとしても、512バイトで不良ブロック登録ができる。従ってこのような不良ブロック登録方式を採用すれば、より信頼性をあげるため、データセットを4つ持たせる、ということも容易にできる。

【0051】

以上この実施の形態の特徴をまとめると、(1)不良ブロック情報を小容量で記憶できるため、実質的にチップ内のすべての不良ブロックを登録することができる、(2)不良ブロック登録容量が小さいことから、空き容量にバックアップデータを持たせることができ、不良ブロックアドレスの信頼性が高くなる、(3)不良ブロックの多いチップ、例えば全体の3/4が不良であるようなチップも、容量が3/4のチップとして出荷することが可能であり、製品コスト削減が可能になる。

【0052】

今後、ワード線やビット線の微細化が更に進むと、シート抵抗や配線容量の増大によりパフォーマンスが制限される。十分なパフォーマンスを得るためには、ワード線やビット線を短くすることが必要になり、そのためにはメモリチップ内のメモリプレーン数を増やすことが簡単な解決法となる。例えば、2プレーンのメモリチップでその片方のワード線に致命的な不具合があった場合、従来方式では不良チップとなるが、この実施の形態の不良ブロック登録法によると、不良の片プレーンを不良ブロック登録して、容量が半分の製品として出荷することも可能になる。

【図面の簡単な説明】

【0053】

【図1】一実施の形態によるNAND型フラッシュメモリのブロック構成を示す図である。

【図2】同フラッシュメモリのメモリセルアレイ構成を示す図である。

【図3】同フラッシュメモリのロウデコーダ構成を示す図である。

【図4】実施の形態のビット位置アサイン方式を適用するための複数ブロックのブロックセット定義を示す図である。

10

20

30

40

50

【図5】同ビット位置アサイン方式のブロックアドレスとカラムアドレスの対応関係を示す図である。

【図6】従来のロウデコーダ周りの構成を示す図である。

【図7】実施の形態によるロウデコーダ周りの構成を示す図である。

【図8】実施の形態のロウデコーダ基本構成を示す図である。

【図9】従来のブロックアドレスデコード法を示す図である。

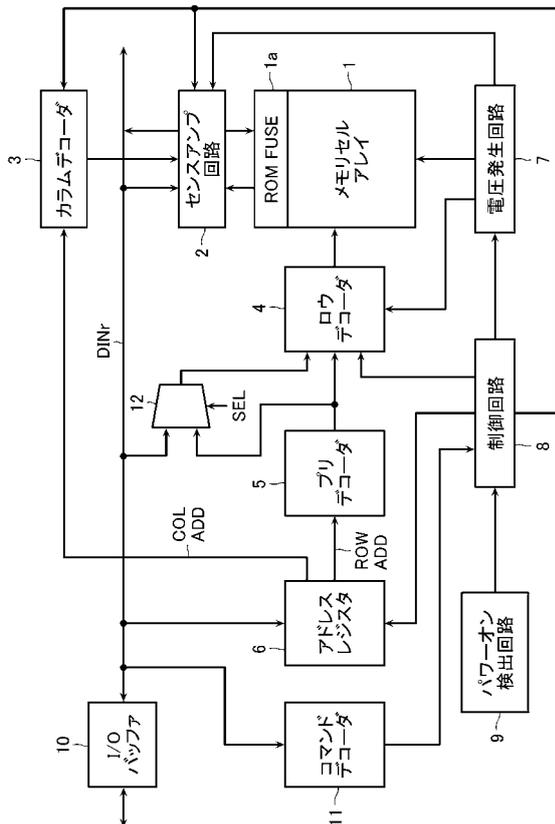
【図10】実施の形態によるブロックアドレスデコード法を示す図である。

【符号の説明】

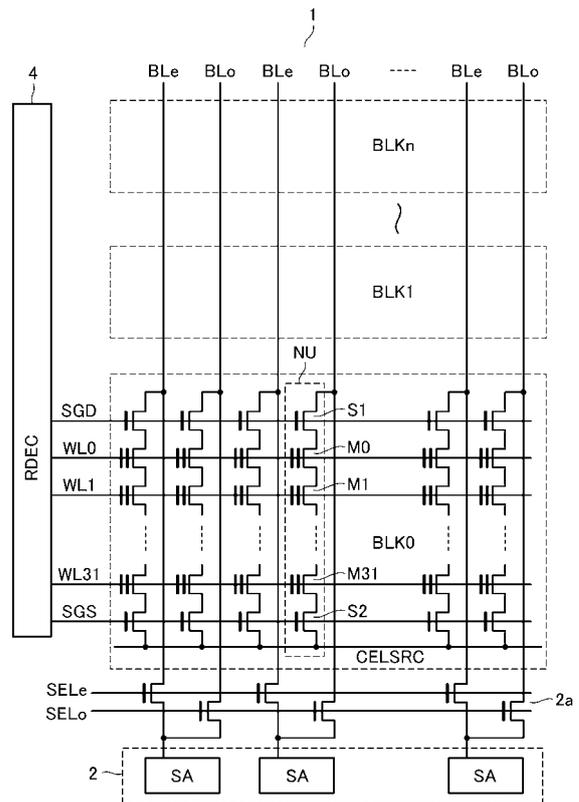
【0054】

1...メモリセルアレイ、1a...ROMフューズ領域(不良ブロック位置情報登録領域)、2...センスアンプ回路、3...カラムデコーダ、4...ロウデコーダ、5...プリデコーダ、6...アドレスレジスタ、7...電圧発生回路、8...制御回路、9...パワーオン検出回路、10...I/Oバッファ、11...コマンドデコーダ、12...セレクタ。

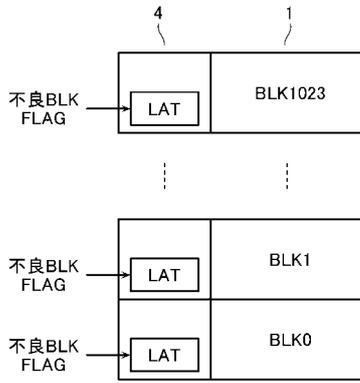
【図1】



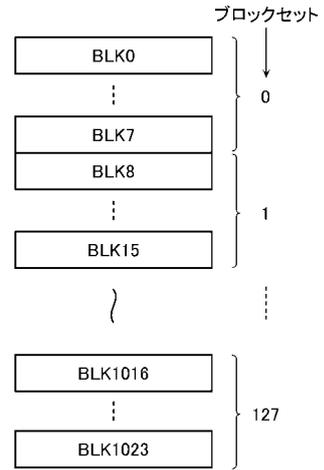
【図2】



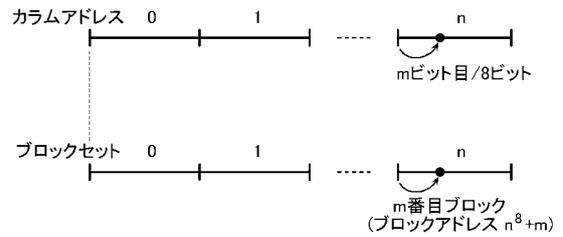
【 図 3 】



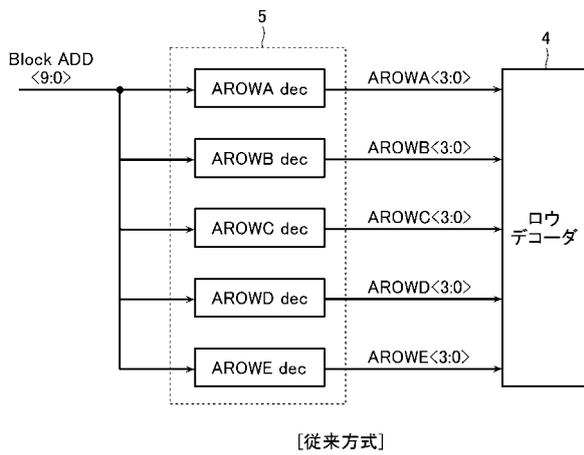
【 図 4 】



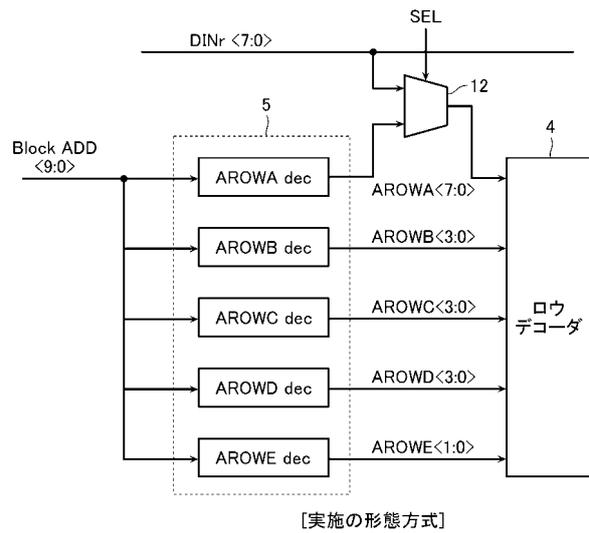
【 図 5 】



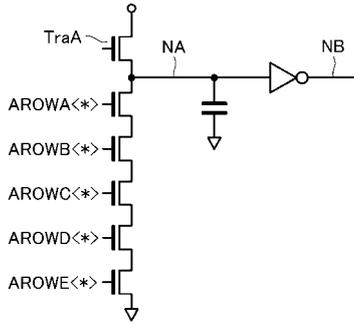
【 図 6 】



【 図 7 】



【 図 8 】



【 図 9 】

BLOCK ADDRESS	AROWA	AROWB	AROWC	AROWD	AROWE
0	00010000	1000010000	1000010000	1000010000	1
1	00100000	1000010000	1000010000	1000010000	1
2	01000000	1000010000	1000010000	1000010000	1
3	10000000	1000010000	1000010000	1000010000	1
4	00010000	10000010000	1000010000	1000010000	1
5	00100000	10000010000	1000010000	1000010000	1
6	01000000	10000010000	1000010000	1000010000	1
7	10000000	10000010000	1000010000	1000010000	1
8	00010010	1000000010000	1000010000	1000010000	1
9	00100010	1000000010000	1000010000	1000010000	1
10	01000010	1000000010000	1000010000	1000010000	1
11	10000010	1000000010000	1000010000	1000010000	1
12	00010100	10000000010000	1000010000	1000010000	1
13	00100100	10000000010000	1000010000	1000010000	1
14	01000100	10000000010000	1000010000	1000010000	1
15	10000100	10000000010000	1000010000	1000010000	1
16	00010000	10000010000	10000010000	1000010000	1
17	00100000	10000010000	10000010000	1000010000	1
18	01000000	10000010000	10000010000	1000010000	1
19	10000000	10000010000	10000010000	1000010000	1
20	00010001	100000010000	10000010000	1000010000	1
21	00100001	100000010000	10000010000	1000010000	1
22	01000001	100000010000	10000010000	1000010000	1
23	10000001	100000010000	10000010000	1000010000	1
24	00010100	1000000010000	10000010000	1000010000	1
25	00100100	1000000010000	10000010000	1000010000	1
26	01000100	1000000010000	10000010000	1000010000	1
27	10000100	1000000010000	10000010000	1000010000	1
28	00010100	10000000010000	10000010000	1000010000	1
29	00100100	10000000010000	10000010000	1000010000	1
30	01000100	10000000010000	10000010000	1000010000	1
31	10000100	10000000010000	10000010000	1000010000	1
32	00010000	1000100010000	10000010000	1000010000	1
...					
1023	10001000	10001000	10001000	10001000	0

【 図 10 】

BLOCK ADDRESS	AROWA	AROWB	AROWC	AROWD	AROWE
0	00000000	1000010000	1000010000	1000010000	101
1	00000000	10000010000	1000010000	1000010000	101
2	00000001	1000000010000	1000010000	1000010000	101
3	00000010	10000000010000	1000010000	1000010000	101
4	00001000	100000000010000	1000010000	1000010000	101
5	00010000	1000000000010000	1000010000	1000010000	101
6	01000000	10000000000010000	1000010000	1000010000	101
7	10000000	100000000000010000	1000010000	1000010000	101
8	00000000	1000100000000000000	1000010000	1000010000	101
9	00000000	1000010000000000000	1000010000	1000010000	101
10	00000000	1000001000000000000	1000010000	1000010000	101
11	00000001	1000000010000000000	1000010000	1000010000	101
12	00000010	1000000001000000000	1000010000	1000010000	101
13	00000010	1000000000100000000	1000010000	1000010000	101
14	01000000	1000000000010000000	1000010000	1000010000	101
15	10000000	1000000000001000000	1000010000	1000010000	101
16	00000000	1001000000000000000	1000010000	1000010000	101
17	00000000	1000100000000000000	1000010000	1000010000	101
18	00000000	1000010000000000000	1000010000	1000010000	101
19	00000001	1000000010000000000	1000010000	1000010000	101
20	00001000	1000000001000000000	1000010000	1000010000	101
21	00010000	1000000000100000000	1000010000	1000010000	101
22	01000000	1000000000010000000	1000010000	1000010000	101
23	10000000	1000000000001000000	1000010000	1000010000	101
24	00000000	1100000000000000000	1000010000	1000010000	101
25	00000000	1010000000000000000	1000010000	1000010000	101
26	00000000	1000100000000000000	1000010000	1000010000	101
27	00000001	1000010000000000000	1000010000	1000010000	101
28	00001000	1000000010000000000	1000010000	1000010000	101
29	00010000	1000000001000000000	1000010000	1000010000	101
30	01000000	1000000000100000000	1000010000	1000010000	101
31	10000000	1000000000010000000	1000010000	1000010000	101
32	00000000	1000010000100010000	1000010000	1000010000	101
...					
1023	10000000	10001000	10001000	10001000	10

フロントページの続き

(72)発明者 白川 政信

東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 常盤 直哉

神奈川県川崎市川崎区駅前本町2番地1 東芝マイクロエレクトロニクス株式会社内

Fターム(参考) 5B125 BA03 CA06 DE10 EA05 EA10 EF09 FA04

5L106 AA10 CC02 CC05 CC16 EE02