

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4828006号  
(P4828006)

(45) 発行日 平成23年11月30日 (2011.11.30)

(24) 登録日 平成23年9月22日 (2011.9.22)

(51) Int. Cl.		F I			
<b>G06T</b>	<b>1/20</b>	<b>(2006.01)</b>	G06T	1/20	A
<b>G06T</b>	<b>11/20</b>	<b>(2006.01)</b>	G06T	11/20	100
<b>G09G</b>	<b>5/00</b>	<b>(2006.01)</b>	G09G	5/00	550T

請求項の数 15 (全 44 頁)

(21) 出願番号	特願平10-318134	(73) 特許権者	000002185 ソニー株式会社 東京都港区港南1丁目7番1号
(22) 出願日	平成10年11月9日 (1998.11.9)	(74) 代理人	100094053 弁理士 佐藤 隆久
(65) 公開番号	特開2000-148975 (P2000-148975A)	(72) 発明者	志野 俊明 東京都品川区東五反田1丁目14番10号 株式会社ソニー木原研究所内
(43) 公開日	平成12年5月30日 (2000.5.30)		
審査請求日	平成17年8月2日 (2005.8.2)		
審判番号	不服2009-13170 (P2009-13170/J1)		
審判請求日	平成21年7月21日 (2009.7.21)		
		合議体	
		審判長	吉村 博之
		審判官	古川 哲也
		審判官	加藤 恵一

最終頁に続く

(54) 【発明の名称】 画像処理装置

(57) 【特許請求の範囲】

【請求項1】

単位図形の頂点について、3次元座標(x, y, z)、R(赤)、G(緑)、B(青)データ、テクスチャ同次座標(s, t)および同次項qを含むポリゴンレンダリングデータを用いてレンダリング処理を行って、複数の画素からなる画像データを生成する画像処理回路と、

所定の大きさのブロックを単位として前記レンダリング処理によって生成された、前記複数の画素からなる画像データの書き込みが行われる複数の記憶回路であって、前記書き込みは代表点を基準とする第1の矩形領域を単位として行われ、当該第1の矩形領域の直交する第1および第2方向について第1の数の倍数のアドレスしか指定できないという制約がある、複数の記憶回路と、

前記画像処理回路から入力した前記レンダリング処理によって生成された前記複数の画素からなる画像データを含む前記ブロックの前記代表点のアドレスを前記制限に基づいて指定したときに、前記前記画像処理回路から入力した前記画像データが前記制約に基づいて前記複数の記憶回路内の該当する記憶回路の該当する前記第1の矩形領域に書き込まれるように、前記画像データを、画素データ単位で並べ替える、データ並べ替え回路と、書き込み回路と

を具備し、

前記並べ替え回路は、前記画像処理回路から入力した前記レンダリング処理によって生成された前記複数の画素からなる画像データを前記複数の記憶回路に転送して記憶する第

1の転送モードにおいて、

前記画像処理回路から入力した前記レンダリング処理された第1のビット幅の第1の画像データを第2のビット幅の第2の画像データ内に配置し、

前記第2の画像データを含む前記ブロックの前記代表点のアドレスを前記制限に基づいて指定したときに、前記第1の画像データが前記複数の記憶回路の該当する記憶回路の該当する前記第1の矩形記憶領域に書き込まれるように、前記第2の画像データを、制御信号に基づいてシフト処理、選択処理、保持処理を反復して、並べ替え、

前記書き込み回路は、前記並べ替えられた前記第2の画像データを含む前記ブロックを、前記複数の記憶回路の該当する記憶回路に分散して書き込む、  
画像処理装置。

10

【請求項2】

前記各記憶回路は、前記2次元のアドレス空間内の直交する2方向のそれぞれについて、所定のアドレス間隔で前記代表点のアドレスが指定される、  
請求項1に記載の画像処理装置。

【請求項3】

前記ブロックは矩形であり、

前記第2の画像データの前記第2のビット幅は前記ブロックの一辺の長さと同じであり、

前記記憶回路の記憶領域における前記ブロックの前記一辺の方向のアドレスをX方向のアドレスとし、当該X方向と直交する方向のアドレスをY方向のアドレスとした場合に、前記データ並べ替え回路は、同一の前記第1の画像データに含まれる複数の画素データのうち、前記所定の記憶領域における異なるY方向のアドレスに書き込まれる画素データを、相互に異なる前記第2の画像データ内に配置する、

20

請求項1または2に記載の画像処理装置。

【請求項4】

前記データ並べ替え回路は、前記ブロック内における有効な画素データを特定する有効性指示データを生成して、前記生成したアドレスに含め、

前記書き込み回路は、前記アドレスに含まれる前記有効性指示データに基づいて、前記ブロック内の有効性が指示されている画素データに基づいて、前記画像データを含む前記ブロックを、前記複数の記憶回路に分散して書き込む、

30

請求項1に記載の画像処理装置。

【請求項5】

前記記憶回路、およびデータ並べ替え回路が一つの半導体チップ内に混載されている

請求項1に記載の画像処理装置。

【請求項6】

単位図形の頂点について、3次元座標(x, y, z)、R(赤)、G(緑)、B(青)データ、テクスチャ同次座標(s, t)および同次項qを含むポリゴンレンダリングデータが、それぞれ分散して記憶されている、所定の大きさのブロックを単位として記憶領域に記憶されたレンダリング処理によって生成された、複数の画素データからなる画像データの書き込みおよび読み出しが行われる複数の記憶回路であって、前記書き込みは代表点を基準とする第1の矩形領域を単位として行われ、当該第1の矩形領域の直交する第1および第2方向について第1の数の倍数のアドレスしか指定できないという第1の制約があり、前記読み出しは代表点を基準とする第2の矩形領域を単位として行われ、当該第2の矩形領域の直交する第1方向については任意のアドレスを指定できるが第2方向については第2の数の倍数でしかアドレスを指定できないという第2の制約がある、複数の記憶回路と、

40

第1のビット幅の第1の画像データを入力し、当該第1の画像データについてレンダリング処理を行う画像処理回路と、

前記第2の制限に基づいて代表点を指定して前記ブロック単位で前記複数の記憶回路から前記画像データを読み出す読み出し回路と、

50

前記読み出しによって得られた第2のビット幅の第2の画像データを、画素データ単位で並べ替えて生成した第1ビット幅の前記第1の画像データを前記画像処理回路に出力するデータ並べ替え回路と

を具備し、

前記並べ替え回路は、前記記憶回路から前記画像処理回路に画像データを転送する第2の転送モードにおいて、

前記画像処理回路から入力したアドレスに応じたアドレスを生成して前記読み出し回路に出力して前記複数の記憶回路から該当する画像データを読み出し、

前記画像処理回路で規定する前記第1のビット幅の画像データに変換して前記画像処理回路に出力する、

画像処理装置。

【請求項7】

前記各記憶回路は、前記2次元のアドレス空間内の直交する2方向のそれぞれについて、所定のアドレス間隔で前記代表点のアドレスが指定される、

請求項6に記載の画像処理装置。

【請求項8】

前記記憶回路、前記読み出し回路およびデータ並べ替え回路が一つの半導体チップ内に混載されている

請求項6に記載の画像処理装置。

【請求項9】

単位図形の頂点について、3次元座標 $(x, y, z)$ 、R(赤)、G(緑)、B(青)データ、テクスチャ同次座標 $(s, t)$ および同次項 $q$ を含むポリゴンレンダリングデータがそれぞれ分散して、所定の大きさのブロックを単位としてレンダリング処理によって生成された画像データの書き込みが行われ、および、前記それぞれ分散した書き込まれた前記レンダリング処理によって生成された画像データの読出しが行われる、複数の記憶回路であって、前記書き込みは代表点を基準とする第1の矩形領域を単位として行われ、当該第1の矩形領域の直交する第1および第2方向について第1の数の倍数のアドレスしか指定できないという第1の制約があり、前記読み出しは代表点を基準とする第2の矩形領域を単位として行われ、当該第2の矩形領域の直交する第1方向については任意のアドレスを指定できるが第2方向については第2の数の倍数でしかアドレスを指定できないという第2の制約がある、複数の記憶回路と、

前記第2の制限に基づいて代表点を指定して前記ブロックを単位として前記複数の記憶回路から前記画像データを読み出す読み出し回路と、

前記画像処理回路から前記記憶回路に画像データを転送する第1の転送モードと、前記記憶回路から前記画像処理回路に画像データを転送する第2の転送モードとのいずれかに応じた処理を行う、並べ替え回路であって、前記読み出された画像データを含む前記ブロックの前記代表点のアドレスを前記第1の制限に基づいて指定したときに、前記読み出された画像データが該当する記憶回路内の該当する第1の矩形領域に書き込まれるように、前記読み出された画像データを画素データ単位で並べ替える、データ並べ替え回路と、

前記第1の制限に基づいて代表点を指定して、前記並べ替えられた画像データを含む前記ブロックを前記記憶回路に書き込む書き込み回路と

を具備し、

前記並べ替え回路は、前記画像処理回路から前記複数の記憶回路に前記画像データを転送して記憶する第1の転送モードにおいて、

前記画像処理回路から入力した前記レンダリング処理された第1のビット幅の第1の画像データを第2のビット幅の第2の画像データ内に配置し、

前記第2の画像データを含む前記ブロックの前記代表点のアドレスを前記第1の制限に基づいて指定したときに、前記第1の画像データが前記複数の記憶回路の該当する記憶回路の該当する矩形領域に書き込まれるように、前記第2の画像データを、制御信号に基づいてシフト処理、選択処理、保持処理を反復して、並べ替え、

10

20

30

40

50

前記書き込み回路は、前記並べ替えられた前記第 2 の画像データを含む前記ブロックを、前記複数の記憶回路の該当する記憶回路に分散して書き込み、

前記並べ替え回路は、前記記憶回路から前記画像処理回路に画像データを転送する第 2 の転送モードにおいて、

前記画像処理回路から入力したアドレスに応じたアドレスを生成して前記読み出し回路に出力して前記複数の記憶回路から該当する画像データを読み出し、

前記画像処理回路で規定する前記第 1 のビット幅の画像データ内に配置して前記画像処理回路に出力する、

画像処理装置。

【請求項 10】

前記データ並べ替え回路は、前記ブロック内における有効な画素データを特定する有効性指示データを生成して、前記生成したアドレスに含め、

前記書き込み回路は、前記アドレスに含まれる前記有効性指示データに基づいて、前記ブロック内の有効性が指示されている画素データに基づいて、前記画像データを含む前記ブロックを、前記複数の記憶回路に分散して書き込む、

請求項 9 に記載の画像処理装置。

【請求項 11】

前記各記憶回路は、前記 2 次元のアドレス空間内の直交する 2 方向のそれぞれについて、所定のアドレス間隔で前記代表点のアドレスが指定される、

請求項 9 または 10 に記載の画像処理装置。

【請求項 12】

前記各記憶回路は、前記読み出しと前記書き込みとで、前記ブロックの大きさおよび前記代表点のアドレスの指定の制限が異なる、

請求項 9 に記載の画像処理装置。

【請求項 13】

前記記憶回路、前記読み出し回路、前記データ並べ替え回路および前記書き込み回路が一つの半導体チップ内に混載されている

請求項 9 に記載の画像処理装置。

【請求項 14】

単位図形の頂点について、3次元座標  $(x, y, z)$ 、 $R$  (赤)、 $G$  (緑)、 $B$  (青) データ、テクスチャ同次座標  $(s, t)$  および同次項  $q$  を含むポリゴンレンダリングデータを用いてレンダリング処理を行う画像処理装置であって、

複数の記憶回路であって、複数の画素ビットからなる表示データと少なくとも一つの図形要素が必要とするテクスチャデータとを当該複数の記憶回路に分散して記憶し、所定の大きさのブロックを単位として上記レンダリング処理によって生成された画像データの書き込みが行われる、複数の記憶回路であって、前記書き込みは代表点を基準とする第 1 の矩形領域を単位として行われ、当該第 1 の矩形領域の直交する第 1 および第 2 方向について第 1 の数の倍数のアドレスしか指定できないという第 1 の制約があり、前記読み出しは代表点を基準とする第 2 の矩形領域を単位として行われ、当該第 2 の矩形領域の直交する第 1 方向については任意のアドレスを指定できるが第 2 方向については第 2 の数の倍数でしかアドレスを指定できないという第 2 の制約がある、複数の記憶回路と、

前記単位図形の頂点のポリゴンレンダリングデータを補間して、前記単位図形内に位置する画素の補間データを生成する補間データ生成回路と、

前記補間データに含まれるテクスチャ同次座標  $(s, t)$  を同次項  $q$  で除算して「 $s/q$ 」および「 $t/q$ 」を生成し、当該「 $s/q$ 」および「 $t/q$ 」に応じたテクスチャアドレスを用いて、前記複数の記憶回路からテクスチャデータを読み出し、図形要素の表面への前記読み出したテクスチャデータの張り付け処理を行って複数の画素ビットからなる表示データを生成するテクスチャ処理回路と、

前記テクスチャ処理回路から前記記憶回路に画像データを転送する第 1 の転送モードに応じたデータ並べ替え処理を行う、データ並べ替え回路であって、前記テクスチャ処理

10

20

30

40

50

回路から入力した複数の画素ビットからなる表示データを含む前記ブロックの前記代表点のアドレスを前記第1の制限に基づいて指定したときに、前記表示データが前記複数の記憶回路内の該当する記憶回路に分散して書き込まれるように、画像データ単位で、前記表示データを並べ替えるデータ並べ替え回路と、

前記並べ替えられた前記表示データを含む前記ブロックを、前記複数の記憶回路に分散して書き込む書き込み回路と

を具備し、

前記並べ替え回路は、前記画像処理回路から前記複数の記憶回路に前記画像データを転送して記憶する第1の転送モードにおいて、

前記画像処理回路から入力した前記レンダリング処理された第1のビット幅の第1の画像データを第2のビット幅の第2の画像データ内に配置し、

前記第2の画像データを含む前記ブロックの前記代表点のアドレスを前記第1の制限に基づいて指定したときに、前記第1の画像データが前記複数の記憶回路の所定の記憶領域に書き込まれるように、前記第2の画像データを、制御信号に基づいてシフト処理、選択処理、保持処理を反復して、並べ替え、

前記書き込み回路は、前記並べ替えられた前記第2の画像データを含む前記ブロックを、前記複数の記憶回路の該当する記憶回路に分散して書き込む、

画像処理装置。

#### 【請求項15】

単位図形の頂点について、3次元座標 $(x, y, z)$ 、R(赤)、G(緑)、B(青)データ、テクスチャ同次座標 $(s, t)$ および同次項 $q$ を含むポリゴンレンダリングデータを用いてレンダリング処理を行う画像処理装置であって、

複数の記憶回路であって、表示データと少なくとも一つの図形要素が必要とするテクスチャデータとを当該複数の記憶回路に分散して記憶し、所定の大きさのブロックを単位として上記レンダリング処理によって生成された画像データの書き込みが行われる複数の記憶回路であって、前記書き込みは代表点を基準とする第1の矩形領域を単位として行われ、当該第1の矩形領域の直交する第1および第2方向について第1の数の倍数のアドレスしか指定できないという第1の制約があり、前記読み出しは代表点を基準とする第2の矩形領域を単位として行われ、当該第2の矩形領域の直交する第1方向については任意のアドレスを指定できるが第2方向については第2の数の倍数でしかアドレスを指定できないという第2の制約がある、複数の記憶回路と、

前記単位図形の頂点のポリゴンレンダリングデータを補間して、前記単位図形内に位置する画素の補間データを生成する補間データ生成回路と、

前記補間データに含まれるテクスチャ同次座標 $(s, t)$ を同次項 $q$ で除算して「 $s/q$ 」および「 $t/q$ 」を生成し、当該「 $s/q$ 」および「 $t/q$ 」に応じたテクスチャアドレスを用いて前記複数の記憶回路から読み出されたテクスチャデータを、図形要素の表面への張り付け処理を行って表示データを生成するテクスチャ処理回路と、

前記第2の制限に基づいて代表点を指定して前記ブロック単位で前記複数の記憶回路から前記テクスチャデータを読み出す読み出し回路と、

インタフェース回路と、

前記記憶回路から読みだした表示データを前記テクスチャ処理回路に転送する第2の転送モードに応じたデータの並べ替えを行うデータ並べ替え回路であって、前記読み出されたテクスチャデータを、前記インタフェース回路の出力フォーマットに応じて並べ替えて、前記インタフェース回路に出力するデータ並べ替え回路と

を具備し、

前記並べ替え回路は、前記第2の転送モードにおいて、前記インタフェースを經由して前記テクスチャ回路から画像処理回路から入力したアドレスに応じたアドレスを生成して前記読み出し回路に出力して前記複数の記憶回路から該当する画像データを読み出し、前記画像処理回路で規定する前記第1のビット幅の画像データ内に配置して前記画像処理回路に出力する、

10

20

30

40

50

画像処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、画像処理装置に関する。

【0002】

【従来の技術】

種々のCAD (Computer Aided Design) システムや、アミューズメント装置などにおいて、コンピュータグラフィックスがしばしば用いられている。特に、近年の画像処理技術の進展に伴い、3次元コンピュータグラフィックスを用いたシステムが急速に普及している

10

。このような3次元コンピュータグラフィックスでは、各画素(ピクセル)に対応する色を決定するときに、各画素の色の値を計算し、この計算した色の値を、当該画素に対応するディスプレイバッファ(フレームバッファ)のアドレスに書き込むレンダリング(Rendering)処理を行う。

【0003】

レンダリング処理の手法の一つに、ポリゴン(Polygon)レンダリングがある。この手法では、立体モデルを三角形の単位図形(ポリゴン)の組み合わせとして表現しておき、このポリゴンを単位として描画を行うことで、表示画面の色を決定する。

【0004】

20

ポリゴンレンダリングでは、物理座標系における三角形の各頂点についての、座標(x, y, z)と、色データ(R, G, B)と、張り合わせのイメージパターンを示すテクスチャデータの同次座標(s, t)および同次項qの値とを入力とし、これらの値を三角形の内部で補間する処理が行われる。

ここで、同次項qは、簡単にいうと、拡大縮小率のようなもので、実際のテクスチャバッファのUV座標系における座標、すなわち、テクスチャ座標データ(u, v)は、同次座標(s, t)を同次項qで除算した「s/q」および「t/q」に、それぞれテクスチャサイズUSIZEおよびVSIZEを乗じたものとなる。

【0005】

図28は、3次元コンピュータグラフィックスシステムの基本的な概念を示すシステム構成図である。

30

【0006】

この3次元コンピュータグラフィックスシステムにおいては、グラフィックス描画等のデータは、メインプロセッサ1のメインメモリ2、あるいは外部からのグラフィックスデータを受けるI/Oインタフェース回路3からメインバス4を介してレンダリングプロセッサ5a、フレームバッファメモリ5bを有するレンダリング回路5に与えられる。

【0007】

レンダリングプロセッサ5aには、表示するためのデータを保持することを目的とするフレームバッファ5bと、描画する図形要素(たとえば三角形)の表面に張り付けるテクスチャデータを保持しているテクスチャメモリ6が結合されている。

40

そして、レンダリングプロセッサ5aによって、図形要素毎に表面にテクスチャを張り付けた図形要素を、フレームバッファ5bに描画するという処理が行われる。

【0008】

フレームバッファ5bとテクスチャメモリ6は、一般的にDRAM(Dynamic Random Access Memory)により構成される。

そして、図28のシステムにおいては、フレームバッファ5bとテクスチャメモリ6は、物理的に別々のメモリシステムとして構成されている。

【0009】

【発明が解決しようとする課題】

ところで、上述したような3次元コンピュータグラフィックスシステムなどでは、DRAM

50

の読み出し動作および書き込み動作を効率よく行うために、例えば、グラフィック処理の特色を考慮してD R A Mへのアクセス時のアドレス指定に制限を設けることが考えられる。

しかしながら、このような制限を設けると、図28に示すシステムにおいて、レンダリングプロセッサ5 aおよびメインプロセッサ1と、フレームバッファメモリ5 bおよびテクスチャメモリ6との間でデータ送受信を行う際に、D R A Mに対してのアクセス時のアドレス指定の制限によって生じる種々の課題を解決する必要がある。

【0010】

本発明は、かかる事情に鑑みてなされたものであり、メモリへのアクセス時のアドレス指定に制限を設けた場合でも、メモリへのアクセスを正確に行うことができる画像処理装置を提供することを目的とする。

10

【0011】

【課題を解決するための手段】

本発明によれば、

単位図形の頂点について、3次元座標 $(x, y, z)$ 、R(赤)、G(緑)、B(青)データ、テクスチャ同次座標 $(s, t)$ および同次項 $q$ を含むポリゴンレンダリングデータを用いてレンダリング処理を行って、複数の画素からなる画像データを生成する画像処理回路と、

所定の大きさのブロックを単位として前記レンダリング処理によって生成された、前記複数の画素からなる画像データの書き込みが行われる複数の記憶回路であって、前記書き込みは代表点を基準とする第1の矩形領域を単位として行われ、当該第1の矩形領域の直交する第1および第2方向について第1の数の倍数のアドレスしか指定できないという制約がある、複数の記憶回路と、

20

前記画像処理回路から入力した前記レンダリング処理によって生成された前記複数の画素からなる画像データを含む前記ブロックの前記代表点のアドレスを前記制限に基づいて指定したときに、前記前記画像処理回路から入力した前記画像データが前記制約に基づいて前記複数の記憶回路内の該当する記憶回路の該当する前記第1の矩形領域に書き込まれるように、前記画像データを、画素データ単位で並べ替える、データ並べ替え回路と、

書き込み回路と

を具備し、

30

前記並べ替え回路は、前記画像処理回路から入力した前記レンダリング処理によって生成された前記複数の画素からなる画像データを前記複数の記憶回路に転送して記憶する第1の転送モードにおいて、

前記画像処理回路から入力した前記レンダリング処理された第1のビット幅の第1の画像データを第2のビット幅の第2の画像データ内に配置し、

前記第2の画像データを含む前記ブロックの前記代表点のアドレスを前記制限に基づいて指定したときに、前記第1の画像データが前記複数の記憶回路の該当する記憶回路の該当する前記第1の矩形記憶領域に書き込まれるように、前記第2の画像データを、制御信号に基づいてシフト処理、選択処理、保持処理を反復して、並べ替え、

前記書き込み回路は、前記並べ替えられた前記第2の画像データを含む前記ブロックを、前記複数の記憶回路の該当する記憶回路に分散して書き込む、

40

画像処理装置が提供される。

【0012】

また本発明によれば、

単位図形の頂点について、3次元座標 $(x, y, z)$ 、R(赤)、G(緑)、B(青)データ、テクスチャ同次座標 $(s, t)$ および同次項 $q$ を含むポリゴンレンダリングデータが、それぞれ分散して記憶されている、所定の大きさのブロックを単位として記憶領域に記憶されたレンダリング処理によって生成された、複数の画素データからなる画像データの書き込みおよび読み出しが行われる複数の記憶回路であって、前記書き込みは代表点を基準とする第1の矩形領域を単位として行われ、当該第1の矩形領域の直交する第1お

50

よび第2方向について第1の数の倍数のアドレスしか指定できないという第1の制約があり、前記読み出しは代表点を基準とする第2の矩形領域を単位として行われ、当該第2の矩形領域の直交する第1方向については任意のアドレスを指定できるが第2方向については第2の数の倍数でしかアドレスを指定できないという第2の制約がある、複数の記憶回路と、

第1のビット幅の第1の画像データを入力し、当該第1の画像データについてレンダリング処理を行う画像処理回路と、

前記第2の制限に基づいて代表点を指定して前記ブロック単位で前記複数の記憶回路から前記画像データを読み出す読み出し回路と、

前記読み出しによって得られた第2のビット幅の第2の画像データを、画素データ単位で並べ替えて生成した第1ビット幅の前記第1の画像データを前記画像処理回路に出力するデータ並べ替え回路と

を具備し、

前記並べ替え回路は、前記記憶回路から前記画像処理回路に画像データを転送する第2の転送モードにおいて、

前記画像処理回路から入力したアドレスに応じたアドレスを生成して前記読み出し回路に出力して前記複数の記憶回路から該当する画像データを読み出し、

前記画像処理回路で規定する前記第1のビット幅の画像データに変換して前記画像処理回路に出力する、

画像処理装置が提供される。

【0013】

本発明によれば、

単位図形の頂点について、3次元座標(x, y, z)、R(赤)、G(緑)、B(青)データ、テクスチャ同次座標(s, t)および同次項qを含むポリゴンレンダリングデータがそれぞれ分散して、所定の大きさのブロックを単位としてレンダリング処理によって生成された画像データの書き込みが行われ、および、前記それぞれ分散した書き込まれた前記レンダリング処理によって生成された画像データの読出しが行われる、複数の記憶回路であって、前記書き込みは代表点を基準とする第1の矩形領域を単位として行われ、当該第1の矩形領域の直交する第1および第2方向について第1の数の倍数のアドレスしか指定できないという第1の制約があり、前記読み出しは代表点を基準とする第2の矩形領域を単位として行われ、当該第2の矩形領域の直交する第1方向については任意のアドレスを指定できるが第2方向については第2の数の倍数でしかアドレスを指定できないという第2の制約がある、複数の記憶回路と、

前記第2の制限に基づいて代表点を指定して前記ブロックを単位として前記複数の記憶回路から前記画像データを読み出す読み出し回路と、

前記画像処理回路から前記記憶回路に画像データを転送する第1の転送モードと、前記記憶回路から前記画像処理回路に画像データを転送する第2の転送モードとのいずれかに応じた処理を行う、並べ替え回路であって、前記読み出された画像データを含む前記ブロックの前記代表点のアドレスを前記第1の制限に基づいて指定したときに、前記読み出された画像データが該当する記憶回路内の該当する第1の矩形領域に書き込まれるように、前記読み出された画像データを画素データ単位で並べ替える、データ並べ替え回路と、

前記第1の制限に基づいて代表点を指定して、前記並べ替えられた画像データを含む前記ブロックを前記記憶回路に書き込む書き込み回路と

を具備し、

前記並べ替え回路は、前記画像処理回路から前記複数の記憶回路に前記画像データを転送して記憶する第1の転送モードにおいて、

前記画像処理回路から入力した前記レンダリング処理された第1のビット幅の第1の画像データを第2のビット幅の第2の画像データ内に配置し、

前記第2の画像データを含む前記ブロックの前記代表点のアドレスを前記第1の制限に基づいて指定したときに、前記第1の画像データが前記複数の記憶回路の該当する記憶

10

20

30

40

50



回路の該当する矩形領域に書き込まれるように、前記第2の画像データを、制御信号に基づいてシフト処理、選択処理、保持処理を反復して、並べ替え、

前記書き込み回路は、前記並べ替えられた前記第2の画像データを含む前記ブロックを、前記複数の記憶回路の該当する記憶回路に分散して書き込み、

前記並べ替え回路は、前記記憶回路から前記画像処理回路に画像データを転送する第2の転送モードにおいて、

前記画像処理回路から入力したアドレスに応じたアドレスを生成して前記読み出し回路に出力して前記複数の記憶回路から該当する画像データを読み出し、

前記画像処理回路で規定する前記第1のビット幅の画像データ内に配置して前記画像処理回路に出力する、

画像処理装置が提供される。

【0014】

本発明によれば、

単位図形の頂点について、3次元座標 $(x, y, z)$ 、R(赤)、G(緑)、B(青)データ、テクスチャ同次座標 $(s, t)$ および同次項 $q$ を含むポリゴンレンダリングデータを用いてレンダリング処理を行う画像処理装置であって、

複数の記憶回路であって、複数の画素ビットからなる表示データと少なくとも一つの図形要素が必要とするテクスチャデータとを当該複数の記憶回路に分散して記憶し、所定の大きさのブロックを単位として上記レンダリング処理によって生成された画像データの書き込みが行われる、複数の記憶回路であって、前記書き込みは代表点を基準とする第1の矩形領域を単位として行われ、当該第1の矩形領域の直交する第1および第2方向について第1の数の倍数のアドレスしか指定できないという第1の制約があり、前記読み出しは代表点を基準とする第2の矩形領域を単位として行われ、当該第2の矩形領域の直交する第1方向については任意のアドレスを指定できるが第2方向については第2の数の倍数でしかアドレスを指定できないという第2の制約がある、複数の記憶回路と、

前記単位図形の頂点のポリゴンレンダリングデータを補間して、前記単位図形内に位置する画素の補間データを生成する補間データ生成回路と、

前記補間データに含まれるテクスチャ同次座標 $(s, t)$ を同次項 $q$ で除算して「 $s/q$ 」および「 $t/q$ 」を生成し、当該「 $s/q$ 」および「 $t/q$ 」に応じたテクスチャアドレスを用いて、前記複数の記憶回路からテクスチャデータを読み出し、図形要素の表面への前記読み出したテクスチャデータの張り付け処理を行って複数の画素ビットからなる表示データを生成するテクスチャ処理回路と、

前記テクスチャ処理回路から前記記憶回路に画像データを転送する第1の転送モードに応じたデータ並べ替え処理を行う、データ並べ替え回路であって、前記テクスチャ処理回路から入力した複数の画素ビットからなる表示データを含む前記ブロックの前記代表点のアドレスを前記第1の制限に基づいて指定したときに、前記表示データが前記複数の記憶回路内の該当する記憶回路に分散して書き込まれるように、画像データ単位で、前記表示データを並べ替えるデータ並べ替え回路と、

前記並べ替えられた前記表示データを含む前記ブロックを、前記複数の記憶回路に分散して書き込む書き込み回路と

を具備し、

前記並べ替え回路は、前記画像処理回路から前記複数の記憶回路に前記画像データを転送して記憶する第1の転送モードにおいて、

前記画像処理回路から入力した前記レンダリング処理された第1のビット幅の第1の画像データを第2のビット幅の第2の画像データ内に配置し、

前記第2の画像データを含む前記ブロックの前記代表点のアドレスを前記第1の制限に基づいて指定したときに、前記第1の画像データが前記複数の記憶回路の所定の記憶領域に書き込まれるように、前記第2の画像データを、制御信号に基づいてシフト処理、選択処理、保持処理を反復して、並べ替え、

前記書き込み回路は、前記並べ替えられた前記第2の画像データを含む前記ブロックを

10

20

30

40

50

、前記複数の記憶回路の該当する記憶回路に分散して書き込む、  
画像処理装置が提供される。

【 0 0 1 5 】

本発明によれば、

単位図形の頂点について、3次元座標 ( x , y , z )、R ( 赤 ) , G ( 緑 ) , B ( 青 )  
データ、テクスチャ同次座標 ( s , t ) および同次項 q を含むポリゴンレンダリングデー  
タを用いてレンダリング処理を行う画像処理装置であって、

複数の記憶回路であって、表示データと少なくとも一つの図形要素が必要とするテクス  
チャデータとを当該複数の記憶回路に分散して記憶し、所定の大きさのブロックを単位と  
して上記レンダリング処理によって生成された画像データの書き込みが行われる複数の記  
憶回路であって、前記書き込みは代表点を基準とする第1の矩形領域を単位として行われ  
、当該第1の矩形領域の直交する第1および第2方向について第1の数の倍数のアドレス  
しか指定できないという第1の制約があり、前記読み出しは代表点を基準とする第2の矩  
形領域を単位として行われ、当該第2の矩形領域の直交する第1方向については任意の  
アドレスを指定できるが第2方向については第2の数の倍数でしかアドレスを指定でき  
ないという第2の制約がある、複数の記憶回路と、

前記単位図形の頂点のポリゴンレンダリングデータを補間して、前記単位図形内に位置  
する画素の補間データを生成する補間データ生成回路と、

前記補間データに含まれるテクスチャ同次座標 ( s , t ) を同次項 q で除算して「 s /  
q 」および「 t / q 」を生成し、当該「 s / q 」および「 t / q 」に応じたテクスチャ  
アドレスを用いて前記複数の記憶回路から読み出されたテクスチャデータを、図形要素の表  
面への張り付け処理を行って表示データを生成するテクスチャ処理回路と、

前記第2の制限に基づいて代表点を指定して前記ブロック単位で前記複数の記憶回路か  
ら前記テクスチャデータを読み出す読み出し回路と、

インタフェース回路と、

前記記憶回路から読み出した表示データを前記テクスチャー処理回路に転送する第2の  
転送モードに応じたデータの並べ替えを行うデータ並べ替え回路であって、前記読み出さ  
れたテクスチャデータを、前記インタフェース回路の出力フォーマットに応じて並べ替え  
て、前記インタフェース回路に出力するデータ並べ替え回路と

を具備し、

前記並べ替え回路は、前記第2の転送モードにおいて、前記インタフェースを經由して  
前記テクスチャー回路から画像処理回路から入力したアドレスに応じたアドレスを生成し  
て前記読み出し回路に出力して前記複数の記憶回路から該当する画像データを読み出し、  
前記画像処理回路で規定する前記第1のビット幅の画像データ内に配置して前記画像処理  
回路に出力する、

画像処理装置が提供される。

【 0 0 1 6 】

【 発明の実施の形態 】

以下、本実施形態においては、パーソナルコンピュータなどに適用される、任意の3次元  
物体モデルに対する所望の3次元画像をCRT (Cathode Ray Tube) などのディスプレイ上  
に高速に表示する3次元コンピュータグラフィックスシステムについて説明する。

【 0 0 1 7 】

図1は、本発明に係る画像処理装置としての3次元コンピュータグラフィックスシステム  
10のシステム構成図である。

【 0 0 1 8 】

3次元コンピュータグラフィックスシステム10は、立体モデルを単位図形である三角形  
(ポリゴン)の組み合わせとして表現し、このポリゴンを描画することで表示画面の各画  
素の色を決定し、ディスプレイに表示するポリゴンレンダリング処理を行うシステムであ  
る。

また、3次元コンピュータグラフィックスシステム10では、平面上の位置を表現する (

10

20

30

40

50

$x, y$ ) 座標の他に、奥行きを表す  $z$  座標を用いて 3 次元物体を表し、この  $(x, y, z)$  の 3 つの座標で 3 次元空間の任意の一点を特定する。

【 0 0 1 9 】

図 1 に示すように、3 次元コンピュータグラフィックスシステム 1 0 は、メインプロセッサ 1 1、メインメモリ 1 2、I/O インタフェース回路 1 3、およびレンダリング回路 1 4 が、メインバス 1 5 を介して接続されている。

以下、各構成要素の機能について説明する。

【 0 0 2 0 】

メインプロセッサ 1 1 は、例えば、アプリケーションの進行状況などに応じて、メインメモリ 1 2 から必要なグラフィックデータを読み出し、このグラフィックデータに対してクリッピング(Clipping)処理、ライティング(Lighting)処理などのジオメトリ(Geometry)処理などを行い、ポリゴンレンダリングデータを生成する。メインプロセッサ 1 1 は、ポリゴンレンダリングデータ  $S 1 1$  を、メインバス 1 5 を介してレンダリング回路 1 4 に出力する。

10

【 0 0 2 1 】

I/O インタフェース回路 1 3 は、必要に応じて、外部から動きの制御情報またはポリゴンレンダリングデータなどを入力し、これをメインバス 1 5 を介してレンダリング回路 1 4 に出力する。

【 0 0 2 2 】

ここで、ポリゴンレンダリングデータは、ポリゴンの各 3 頂点の  $(x, y, z, R, G, B, s, t, q)$  のデータを含んでいる。

20

ここで、 $(x, y, z)$  データは、ポリゴンの頂点の 3 次元座標を示し、 $(R, G, B)$  データは、それぞれ当該 3 次元座標における赤、緑、青の輝度値を示している。

$(s, t, q)$  データのうち、 $(s, t)$  は、対応するテクスチャの同次座標を示しており、 $q$  は同次項を示している。ここで、「 $s/q$ 」および「 $t/q$ 」に、それぞれテクスチャサイズ  $U S I Z E$  および  $V S I Z E$  を乗じてテクスチャ座標データ  $(u, v)$  が得られる。テクスチャバッファ 1 4 7 a に記憶されたテクスチャデータへのアクセスは、テクスチャ座標データ  $(u, v)$  を用いて行われる。

すなわち、ポリゴンレンダリングデータは、三角形の各頂点の物理座標値と、それぞれの頂点の色とテクスチャデータである。

30

【 0 0 2 3 】

以下、レンダリング回路 1 4 について詳細に説明する。

図 1 に示すように、レンダリング回路 1 4 は、ホストインタフェース回路 1 4 9、D D A (Digital Differential Analyzer) セットアップ回路 1 4 1、トライアングル D D A 回路 1 4 2、テクスチャエンジン回路 1 4 3、メモリインタフェース (I/F) 回路 1 4 4、C R T コントロール回路 1 4 5、R A M D A C 回路 1 4 6、D R A M 1 4 7 および S R A M (Static RAM) 1 4 8 を有する。

本実施形態におけるレンダリング回路 1 4 は、一つの半導体チップ内にロジック回路と少なくとも表示データとテクスチャデータとを記憶する D R A M 1 4 7 とが混載されている。

40

【 0 0 2 4 】

D R A M 1 4 7

D R A M 1 4 7 は、テクスチャバッファ 1 4 7 a、ディスプレイバッファ 1 4 7 b、z バッファ 1 4 7 c およびテクスチャ C L U T (Color Look Up Table) バッファ 1 4 7 d として機能する。

また、D R A M 1 4 7 は、後述するように、同一機能を有する複数 (本実施形態では 4 個) のモジュールに分割されている。

【 0 0 2 5 】

また、D R A M 1 4 7 には、より多くのテクスチャデータを格納するために、インデックスカラーにおけるインデックスと、そのためのカラーlookupテーブル値が、テクス

50

チャCLUTバッファ147dに格納されている。

インデックスおよびカラーlookupアップテーブル値は、テクスチャ処理に使われる。すなわち、通常はR, G, Bそれぞれ8ビットの合計24ビットでテクスチャ要素を表現するが、それではデータ量が膨らむため、あらかじめ選んでおいた例えば256色等の中から一つの色を選んで、そのデータをテクスチャ処理に使う。このことで256色であればそれぞれのテクスチャ要素は8ビットで表現できることになる。インデックスから実際のカラーへの変換テーブルは必要になるが、テクスチャの解像度が高くなるほど、よりコンパクトなテクスチャデータとすることが可能となる。

これにより、テクスチャデータの圧縮が可能となり、内蔵DRAMの効率良い利用が可能となる。

10

#### 【0026】

さらにDRAM147には、描画と同時並行的に隠れ面処理を行うため、描画しようとしている物体の奥行き情報が格納されている。

なお、表示データと奥行きデータおよびテクスチャデータの格納方法としては、メモリブロックの先頭から連続して表示データが格納され、次に奥行きデータが格納され、残りの空いた領域に、テクスチャの種類毎に連続したアドレス空間でテクスチャデータが格納される。これにより、テクスチャデータを効率よく格納できることになる。

#### 【0027】

図2は、DRAM147、SRAM148、並びに、DRAM147およびSRAM148へアクセスするメモリI/F回路144の具体的な構成例を示すブロック図である。

20

#### 【0028】

図2に示すように、図1に示すDRAM147およびSRAM148は、前述したように4個のメモリモジュール200, 210, 220, 230に分割されている。

#### 【0029】

メモリモジュール200は、メモリ201, 202を有する。

メモリ201は、DRAM147の一部を構成するバンク201A, 201Bと、SRAM148の一部を構成するバンク201C, 201Dとを有する。

また、メモリ202は、DRAM147の一部を構成するバンク202A, 202Bと、SRAM148の一部を構成するバンク202C, 202Dとを有する。

なお、SRAM148を構成するバンク201C, 201D, 202C, 202Dに対しては同時アクセスが可能である。

30

#### 【0030】

メモリモジュール210は、メモリ211, 212を有する。

メモリ211は、DRAM147の一部を構成するバンク211A, 211Bと、SRAM148の一部を構成するバンク211C, 211Dとを有する。

また、メモリ212は、DRAM147の一部を構成するバンク212A, 212Bと、SRAM148の一部を構成するバンク212C, 212Dとを有する。

なお、SRAM148を構成するバンク211C, 211D, 212C, 212Dに対しては同時アクセスが可能である。

40

#### 【0031】

メモリモジュール220は、メモリ221, 222を有する。

メモリ221は、DRAM147の一部を構成するバンク221A, 221Bと、SRAM148の一部を構成するバンク221C, 221Dとを有する。

また、メモリ222は、DRAM147の一部を構成するバンク222A, 222Bと、SRAM148の一部を構成するバンク222C, 222Dとを有する。

なお、SRAM148を構成するバンク221C, 221D, 222C, 222Dに対しては同時アクセスが可能である。

#### 【0032】

メモリモジュール230は、メモリ231, 232を有する。

メモリ231は、DRAM147の一部を構成するバンク231A, 231Bと、SRAM

50

M 1 4 8の一部を構成するバンク2 3 1 C, 2 3 1 Dとを有する。

また、メモリ2 3 2は、DRAM 1 4 7の一部を構成するバンク2 3 2 A, 2 3 2 Bと、SRAM 1 4 8の一部を構成するバンク2 3 2 C, 2 3 2 Dとを有する。

なお、SRAM 1 4 8を構成するバンク2 3 1 C, 2 3 1 D, 2 3 2 C, 2 3 2 Dに対しては同時アクセスが可能である。

#### 【0 0 3 3】

ここで、メモリモジュール2 0 0, 2 1 0, 2 2 0, 2 3 0の各々は、図1に示すテクスチャバッファ1 4 7 a、ディスプレイバッファ1 4 7 b、Zバッファ1 4 7 cおよびテクスチャCLUTバッファ1 4 7 dの全ての機能を持つ。

すなわち、メモリモジュール2 0 0, 2 1 0, 2 2 0, 2 3 0の各々は、対応する画素のテクスチャデータ、描画データ((R, G, B)データ)、zデータおよびテクスチャカラーlookupアップテーブルデータの全てを記憶する。

ただし、メモリモジュール2 0 0, 2 1 0, 2 2 0, 2 3 0は、相互で異なる画素についてのデータを記憶する。

ここで、同時に処理される16画素についてのテクスチャデータ、描画データ、zデータおよびテクスチャカラーlookupアップテーブルデータが、相互に異なるバンク2 0 1 A, 2 0 1 B, 2 0 2 A, 2 0 2 B, 2 1 1 A, 2 1 1 B, 2 1 2 A, 2 1 2 B, 2 2 1 A, 2 2 1 B, 2 2 2 A, 2 2 2 B, 2 3 1 A, 2 3 1 B, 2 3 2 A, 2 3 2 Bに記憶される。

これにより、メモリI/F回路1 4 4は、DRAM 1 4 7に対して、例えば8(X方向) × 2画素(Y方向)の16画素についてのデータが同時に書き込むことが可能になる。

なお、読み出しは、例えば、8(X方向) × 1画素(Y方向)の8画素についてデータが同時に読み出すことが可能になる。

なお、メモリI/F回路1 4 4は、後述するように、いわゆる所定のインターリーブ方式のアドレッシングに基づいてDRAM 1 4 7へのアクセス(書き込み)を行う。

#### 【0 0 3 4】

図3は、DRAM 1 4 7のバッファ(例えばテクスチャバッファ)としての構成例を示す概略図である。

図3に示すように、2 × 8画素(ピクセル)の領域でメモリアクセスされたデータは、ページ(ロウ)やブロック(カラム)と呼ばれる領域に格納される。

各ロウROW 0 ~ ROW n+1は、図3(a)に示すように、それぞれ4個のカラム(ブロック)M 0 A, M 0 B, M 1 A, M 1 Bに区別されている。

そして、書き込み時には、X方向およびY方向について偶数のバウンダリ、読み出し時には、X方向について8の倍数のバウンダリ、Y方向については任意バウンダリの領域でアクセスが行われる。

#### 【0 0 3 5】

なお、バンク2 0 1 C, 2 0 1 D, 2 0 2 C, 2 0 2 D, 2 1 1 C, 2 1 1 D, 2 1 2 C, 2 1 2 D, 2 2 1 C, 2 2 1 D, 2 2 2 C, 2 2 2 D, 2 3 1 C, 2 3 1 D, 2 3 2 C, 2 3 2 Dには、それぞれバンク2 0 1 A, 2 0 1 B, 2 0 2 A, 2 0 2 B, 2 1 1 A, 2 1 1 B, 2 1 2 A, 2 1 2 B, 2 2 1 A, 2 2 1 B, 2 2 2 A, 2 2 2 B, 2 3 1 A, 2 3 1 B, 2 3 2 A, 2 3 2 Bに記憶されているテクスチャデータが記憶される。

#### 【0 0 3 6】

次に、インターリーブ方式のアドレッシングに基づくテクスチャバッファ1 4 7 aにおけるテクスチャデータの記憶パターンについて、図4 ~ 図6に関連付けてさらに詳細に説明する。

図4はテクスチャデータに含まれる同時にアクセスが行われるカラーデータ(画素データ)を説明するための図、図5はテクスチャデータを構成する単位ブロックを説明するための図、図6はテクスチャバッファのアドレス空間を説明するための図である。

#### 【0 0 3 7】

本実施形態の場合、図4に示すように、テクスチャデータに含まれる、2 × 8のマトリク

10

20

30

40

50

ス状に配置された画素の色データを示すカラーデータ  $pix_0 \sim pix_{15}$  が、同時にアクセスされる。

#### 【0038】

カラーデータ  $pix_0 \sim pix_{15}$  は、テクスチャバッファ 147a を構成する SRAM 148 の異なるバンクに記憶される必要がある。

本実施形態では、カラーデータ  $pix_0, pix_1, pix_8, pix_9$  が、それぞれ図 2 に示すメモリ 201 のバンク 201C, 201D およびメモリ 202 のバンク 202C, 202D に記憶される。また、カラーデータ  $pix_2, pix_3, pix_{10}, pix_{11}$  が、それぞれ図 2 に示すメモリ 211 のバンク 211C, 211D およびメモリ 212 のバンク 212C, 212D に記憶される。また、カラーデータ  $pix_4, pix_5, pix_{12}, pix_{13}$  が、それぞれ図 2 に示すメモリ 221 のバンク 221C, 221D およびメモリ 222 のバンク 222C, 222D に記憶される。さらに、カラーデータ  $pix_6, pix_7, pix_{14}, pix_{15}$  が、それぞれ図 2 に示すメモリ 231 のバンク 231C, 231D およびメモリ 232 のバンク 232C, 232D に記憶される。

#### 【0039】

本実施形態では、同時に処理される矩形領域内に位置する画素のカラーデータ  $pix_0 \sim pix_{15}$  の組を単位ブロック  $R_i$  と呼び、例えば、1枚のイメージを示すテクスチャデータは、図 5 に示すように、 $B \times A$  のマトリクス状に配置された単位ブロック  $R_0 \sim R_{BA-1}$  からなる。

単位ブロック  $R_0 \sim R_{BA-1}$  は、図 6 に示すように、1次元のアドレス空間で連続したアドレスを持つように、テクスチャバッファ 147a を構成する DRAM 147 に記憶されている。また、各単位ブロック  $R_0 \sim R_{BA-1}$  内のカラーデータ  $pix_0 \sim pix_{15}$  は、1次元のアドレス空間内で連続したアドレスを持つように、SRAM 148 の相互に異なるバンクに記憶される。

すなわち、テクスチャバッファ 147a には、同時にアクセスが行われるカラーデータからなる単位ブロックが、1次元のアドレス空間で連続したアドレスを持つように記憶される。

#### 【0040】

##### ホストインタフェース回路 149

ホストインタフェース回路 149 は、レンダリング回路 14 の外部でメインバス 15 に接続され、レンダリング回路 14 の内部で DDA セットアップ回路 141 およびメモリ I/F 回路 144 に接続されている。

ホストインタフェース回路 149 は、後述するように、メモリ I/F 回路 144 と、メインプロセッサ 11 および I/O インタフェース回路 13 との間で通信を行う際のインタフェースとなる。

#### 【0041】

##### DDA セットアップ回路 141

DDA セットアップ回路 141 は、後段のトライアングル DDA 回路 142 において物理座標系上の三角形の各頂点の値を線形補間して、三角形の内部の各画素の色と深さ情報を求めるに先立ち、ポリゴンレンダリングデータ S11 が示す ( $z, R, G, B, s, t, q$ ) データについて、三角形の辺と水平方向の差分などを求めるセットアップ演算を行う。

このセットアップ演算は、具体的には、開始点の値と終点の値と、開始点と終点との距離を用いて、単位長さ移動した場合における、求めようとしている値の変分を算出する。

DDA セットアップ回路 141 は、算出した変分データ S141 をトライアングル DDA 回路 142 に出力する。

#### 【0042】

##### トライアングル DDA 回路 142

トライアングル DDA 回路 142 は、DDA セットアップ回路 141 から入力した変分データ S141 を用いて、三角形内部の各画素における線形補間された ( $z, R, G, B,$

10

20

30

40

50

s, t, q) データを算出する。

トライアングル DDA 回路 1 1 は、各画素の (x, y) データと、当該 (x, y) 座標における (z, R, G, B, s, t, q) データとを、DDA データ (補間データ) S 1 4 2 としてテクスチャエンジン回路 1 4 3 に出力する。

例えば、トライアングル DDA 回路 1 4 2 は、並行して処理を行う矩形内に位置する 8 (= 2 × 4) 画素分の DDA データ S 1 4 2 をテクスチャエンジン回路 1 4 3 に出力する。

【 0 0 4 3 】

テクスチャエンジン回路 1 4 3

テクスチャエンジン回路 1 4 3 は、「s / q」および「t / q」の算出処理、テクスチャ座標データ (u, v) の算出処理、テクスチャバッファ 1 4 7 a からの (R, G, B) データの読み出し処理等をパイプライン方式で行う。

10

なお、テクスチャエンジン回路 1 4 3 は、例えば所定の矩形内に位置する 8 画素についての処理を同時に並行して行う。

【 0 0 4 4 】

テクスチャエンジン回路 1 4 3 は、DDA データ S 1 4 2 が示す (s, t, q) データについて、s データを q データで除算する演算と、t データを q データで除算する演算とを行う。

テクスチャエンジン回路 1 4 3 には、例えば図示しない除算回路が 8 個設けられており、8 画素についての除算「s / q」および「t / q」が同時に行われる。

【 0 0 4 5 】

20

また、テクスチャエンジン回路 1 4 3 は、除算結果である「s / q」および「t / q」に、それぞれテクスチャサイズ U S I Z E および V S I Z E を乗じて、テクスチャ座標データ (u, v) を生成する。

また、テクスチャエンジン回路 1 4 3 は、メモリ I / F 回路 1 4 4 を介して、S R A M 1 4 8 あるいは D R A M 1 4 7 に、生成したテクスチャ座標データ (u, v) を含む読み出し要求を出力し、メモリ I / F 回路 1 4 4 を介して、S R A M 1 4 8 あるいはテクスチャバッファ 1 4 7 a に記憶されているテクスチャデータを読み出すことで、(s, t) データに対応したテクスチャアドレスに記憶された (R, G, B) データ S 1 4 8 を得る。

ここで、S R A M 1 4 8 には、前述したようにテクスチャバッファ 1 4 7 a に格納されているテクスチャデータが記憶される。

30

テクスチャエンジン回路 1 4 3 は、読み出した (R, G, B) データ S 1 4 8 の (R, G, B) データと、前段のトライアングル DDA 回路 1 4 2 からの DDA データ S 1 4 2 に含まれる (R, G, B) データとを、それぞれ掛け合わせるなどして、カラーデータ S 1 4 3 を生成する。

テクスチャエンジン回路 1 4 3 は、このカラーデータ S 1 4 3 をメモリ I / F 回路 1 4 4 に出力する。

【 0 0 4 6 】

なお、テクスチャバッファ 1 4 7 a には、M I P M A P (複数解像度テクスチャ) などの複数の縮小率に対応したテクスチャデータが記憶されている。ここで、何れの縮小率のテクスチャデータを用いるかは、所定のアルゴリズムを用いて、前記三角形単位で決定される。

40

【 0 0 4 7 】

テクスチャエンジン回路 1 4 3 は、フルカラー方式の場合には、テクスチャバッファ 1 4 7 a から読み出した (R, G, B) データを直接用いる。

一方、テクスチャエンジン回路 1 4 3 は、インデックスカラー方式の場合には、あらかじめ作成したカラーlookupテーブル (C L U T) をテクスチャ C L U T バッファ 1 4 7 d から読み出して、内蔵する S R A M に転送および記憶し、このカラーlookupテーブルを用いて、テクスチャバッファ 1 4 7 a から読み出したカラーインデックスに対応する (R, G, B) データを得る。

【 0 0 4 8 】

50

#### メモリ I / F 回路 1 4 4

メモリ I / F 回路 1 4 4 は、テクスチャエンジン回路 1 4 3 から入力したカラーデータ S 1 4 3 に対応する z データと、z バッファ 1 4 7 c に記憶されている z データとの比較を行い、入力したカラーデータ S 1 4 3 によって描画される画像が、前回、ディスプレイバッファ 1 4 7 b に書き込まれた画像より、手前（視点側）に位置するか否かを判断し、手前に位置する場合には、画像データ S 1 4 3 に対応する z データで z バッファ 1 4 7 c に記憶された z データを更新する。

また、メモリ I / F 回路 1 4 4 は、( R , G , B ) データをディスプレイバッファ 1 4 7 b に書き込む。

さらに、メモリ I / F 回路 1 4 4 は、テクスチャエンジン回路 1 4 3 からの S R A M 1 4 8 に、生成されたテクスチャ座標データ ( u , v ) を含む読み出し要求を受けた場合には、S R A M 1 4 8 に記憶された ( R , G , B ) データ S 1 4 8 を読み出す。

また、メモリ I / F 回路 1 4 4 は、C R T コントロール回路 1 4 5 から表示データを読み出す要求を受けた場合には、この要求に応じて、ディスプレイバッファ 1 4 7 b から一定の固まり、例えば 8 画素あるいは 1 6 画素単位で表示データを読み出す。

#### 【 0 0 4 9 】

また、メモリ I / F 回路 1 4 4 は、D R A M 1 4 7 から読み出したデータをホストインタフェース回路 1 4 9 に出力する。

#### 【 0 0 5 0 】

メモリ I / F 回路 1 4 4 は、D R A M 1 4 7 および S R A M 1 4 8 へのアクセス（書き込みまたは読み出し）を行うが、書き込み経路と読み出し経路とが別経路として構成されている。

すなわち、書き込みの場合には書き込みアドレス A D R W とカラーデータ c d w が書き込み系回路で処理されて D R A M 1 4 7 に書き込み、読み出しの場合には読み出し系回路で処理されて D R A M 1 4 7 または S R A M 1 4 8 から読み出す。

そして、メモリ I / F 回路 1 4 4 は、所定のインターリーブ方式のアドレッシングに基づいて D R A M 1 4 7 へのアクセスを、書き込みを 1 6 画素単位、読み出しを 8 画素単位で行う。

#### 【 0 0 5 1 】

以下に、メモリ I / F 回路 1 4 4 の具体的な構成例について、図 2 にを参照しながら説明する。

#### 【 0 0 5 2 】

メモリ I / F 回路 1 4 4 は、図 2 に示すように、ディストリビュータ 3 0 0、アドレスコンバータ 3 1 0、3 2 0、3 3 0、3 4 0、メモリコントローラ 3 5 0、3 6 0、3 7 0、3 8 0、読み出しコントローラ 3 9 0 およびデータ並べ替え部 4 0 0 を有する。

#### 【 0 0 5 3 】

##### 〔ディストリビュータ 3 0 0〕

ディストリビュータ 3 0 0 は、書き込み時に、データ並べ替え部 4 0 0 から 8 画素分のカラーデータ c w d および書き込みアドレス A D R W<sub>2</sub> を入力し、これらから 1 6 画素分のカラーデータを生成した後に、各々 4 画素分のデータからなる 4 つの画像データ S 3 0 1、S 3 0 2、S 3 0 3、S 3 0 4 に分割し、その画像データおよび書き込みアドレスをそれぞれアドレスコンバータ 3 1 0、3 2 0、3 3 0、3 4 0 に出力する。

ここで、1 画素分の ( R , G , B ) データは各々 3 2 ビット、z データは 3 2 ビットからなる。

#### 【 0 0 5 4 】

##### 〔アドレスコンバータ 3 1 0、3 2 0、3 3 0、3 4 0〕

アドレスコンバータ 3 1 0、3 2 0、3 3 0、3 4 0 は、書き込み時に、ディストリビュータ 3 0 0 から入力した ( R , G , B ) データおよび z データに対応したアドレスを、それぞれメモリモジュール 2 0 0、2 1 0、2 2 0、2 3 0 内のアドレスに変換し、それぞれ変換したアドレス S 3 1 0、S 3 2 0、S 3 3 0、S 3 4 0 と分割された画像データを

10

20

30

40

50



メモリコントローラ 350, 360, 370, 380 に出力する。

【0055】

図7は、このディストリビュータ300の画像データ処理（ピクセル処理）を模式的に示す図である。

この図は、前述した図3～図6に対応するものであり、ディストリビュータ300は、DRAM147に対して、例えば2×8画素の16画素についてのデータが同時にアクセス可能になるように画像データ処理を行う。

そして、読み出し動作では、X方向について8の倍数のバウンダリ、かつY方向について任意のバウンダリでの領域でアクセスを行い、書き込み動作では、X方向およびY方向について偶数のバウンダリの領域でアクセスを行うようなアドレッシングとなるように画像データの処理を行う。

10

これによりDRAM147は、アクセスの先頭がメモリセル番号MCN「1」,「2」,「3」にはならず、必ずメモリセル番号MCN「0」となり、ページ違反の発生等が防止される。

また、ディストリビュータ300は、各DRAMモジュール220～230に対して、カラーデータを、表示領域において隣接した部分は、異なるDRAMモジュールとなる配置するようになるように画像データの処理を行う。

これにより、三角形のような平面を描画する場合には面で同時に処理できることになるため、それぞれのDRAMモジュールの動作確率は非常に高くなっている。

【0056】

20

〔メモリコントローラ350, 360, 370, 380〕

メモリコントローラ350, 360, 370, 380は、それぞれ書き込み系配線群401W, 402W, 411W, 412W, 421W, 422W, 431W, 432W、並びに読み出し系配線群401R, 402R, 411R, 412R, 421R, 422R, 431R, 432Rを介してメモリモジュール200, 210, 220, 230に接続されており、書き込み時および読み出し時にメモリモジュール200, 210, 220, 230に対してのアクセスを制御する。

【0057】

具体的には、書き込み時には、メモリコントローラ350, 360, 370, 380は、ディストリビュータ300から出力され、アドレスコンバータ350, 360, 370, 380から入力した4画素分の(R, G, B)データおよびzデータを、書き込み系配線群401W, 402W, 411W, 412W, 421W, 422W, 431W, 432Wを介してメモリモジュール200, 210, 220, 230に同時に書き込む。

30

このとき、例えば、メモリモジュール200では、前述したように、バンク201A, 201B, 202A, 202Bの各々に、1画素分の(R, G, B)データおよびzデータが記憶される。メモリモジュール210, 220, 230についても同じである。

【0058】

また、各メモリコントローラ350, 360, 370, 380は、自身のステートマシンがいわゆるアイドル(IDLE)状態にあるときに、アイドル信号S350, S360, S370, S380を読み出しコントローラ390にアクティブで出力し、このアイドル信号S350, S360, S370, S380に応答した読み出しコントローラ390による読み出しアドレスおよび読み出し要求信号S391を受けて、読み出し系配線群401R, 402R, 411R, 412R, 421R, 422R, 431R, 432Rを介してデータの読み出しを行い、読み出し系配線群351, 361, 371, 381、並びに配線群440を介して読み出しコントローラ390に出力する。

40

【0059】

なお、本実施形態では、書き込み系配線群401W, 402W, 411W, 412W, 421W, 422W, 431W, 432W、並びに読み出し系配線群401R, 402R, 411R, 412R, 421R, 422R, 431R, 432Rの配線本数は128本(128ビット)、読み出し系配線群351, 361, 371, 381の配線本数は256

50

本(256ビット)、ならびに読み出し系配線群440の配線本数は1024本(1024ビット)である。

【0060】

〔読み出しコントローラ390〕

読み出しコントローラ390は、アドレスコンバータ391およびデータ演算処理部392により構成されている。

アドレスコンバータ391は、読み出しアドレス $ADDR_2$ を受けた場合、メモリコントローラ350、360、370、380からのアイドル信号 $S_{350}$ 、 $S_{360}$ 、 $S_{370}$ 、 $S_{380}$ をすべてアクティブで受けると、このアイドル信号 $S_{350}$ 、 $S_{360}$ 、 $S_{370}$ 、 $S_{380}$ に回答して、8画素単位で読み出しを行うように、読み出しアドレスおよび読み出し要求信号 $S_{391}$ を各メモリコントローラ350、360、370、380

10

に出力する。  
データ演算部392は、読み出しアドレスおよび読み出し要求信号 $S_{391}$ に回答して各メモリコントローラ350、360、370、380で読み出された8画素あるいは16画素単位の、テクスチャデータ、(R,G,B)データ、zデータおよびテクスチャカラーlookupアップテーブルデータを配線群440を介して入力し、所定の演算処理を行って、データ並べ替え部400でデータ並べ替えを行った後に、要求先、例えばホストインタフェース回路149に出力する。

また、DRAM147の記憶領域内において一の矩形領域からデータを読み出して他の矩形領域に書き込む場合にも、読み出しコントローラ390、データ並べ替え部400およびディストリビュータ300を介してデータ転送が行われる。

20

【0061】

読み出しコントローラ390は、上述したように、メモリコントローラ350、360、370、380のすべてがアイドル状態にあるときに、読み出しアドレスおよび読み出し要求信号 $S_{391}$ をメモリコントローラ350、360、370、380に出力して読み出しデータを受けるところから、読み出すデータの同期をとることができる。

したがって、読み出しコントローラ390は、データを一時的に保持するFIFO(First In First Out)回路等の保持回路を設ける必要がなく、回路規模の縮小化が図られている。

【0062】

〔データ並べ替え部400〕

データ並べ替え部400は、「Host to Local」、「Local to Host」、「Local to Local」の3つの転送モードを有し、各々の転送モードに応じてデータの並べ替えを行う。

データ並べ替え部400は、例えば、テクスチャエンジン回路143から入力した転送モード指示信号および画素データ長指示信号に基づいて、転送モードおよび1画素のデータ長を判断する。

なお、1画素のデータ長としては、例えば、32ビット、16ビット、8ビットおよび4ビットがある。

ここで、1画素のデータ長32ビットおよび16ビットは、テクスチャデータなどに用いられ、1画素のデータ長8ビットおよび4ビットは、インデックスデータなどに用いられる。

40

【0063】

データ並べ替え部400は、「Host to Local」転送モードにおいて、テクスチャエンジン回路143から入力した64ビット幅の転送データ $hwd$ (カラーデータ $S_{143}$ )と書き込みアドレス $ADRW_1$ とから、256ビット幅のカラーデータ $cwd$ と、代表点座標( $b_{trx}$ 、 $b_{try}$ )およびバリッドフラグ $b_{trvld}$ を含むアドレス $ADRW_2$ とを生成し、これらをディストリビュータ300に出力する。

【0064】

また、データ並べ替え部400は、「Local to Host」転送モードにおいて

50

、ホストインタフェース回路149から入力したアドレス $ADDR_1$ に応じたアドレス $ADDR_2$ を生成し、当該アドレス $ADDR_2$ に基づいて行われた読み出し動作によって、コントローラ390から入力した8画素分の256ビットのカラーデータ $mc\_0dtr \sim mc\_7dtr$ を、パッキングして64ビット幅の転送データ $hrd$ を生成し、これをホストインタフェース回路149に出力する。

【0065】

さらに、データ並べ替え部400は、「Local to Local」転送モードにおいて、DRAM147の記憶領域内で一の矩形記憶領域からデータを読み出して他の矩形記憶領域に転送する（書き込む）際に、読み出しコントローラ390から8画素分の256ビットのカラーデータ $mc\_0dtr \sim mc\_7dtr$ を入力し、これを転送先の矩形記憶領域の起点座標にあわせてシフトしてカラーデータ $cwd$ を生成し、当該カラーデータ $cwd$ と、転送先の書き込み動作で使用される代表点座標 $(btrx, btry)$ およびバリッドフラグ $btrvld$ を含むアドレス $ADRW_2$ とをディストリビュータ300に出力する。

10

【0066】

図8は、図2に示すデータ並べ替え部400の構成図である。

図8に示すように、データ並べ替え部400は、FIFO(First In First Out)回路410<sub>1</sub>～410<sub>3</sub>、ラッチ回路410<sub>4</sub>、データ並べ替え回路420、アドレス生成部430およびコントローラ440を有する。

20

【0067】

FIFO回路410<sub>1</sub>は、例えば、64ビット幅で深さ3段のFIFO回路であり、コントローラ440からの制御信号 $S440_1$ に基づいて、テクスチャエンジン回路143から入力した64ビット幅の転送データ $hwd$ をFIFO方式でデータ並べ替え回路420に出力する。

FIFO回路410<sub>2</sub>は、例えば、64ビット幅で深さ3段のFIFO回路であり、コントローラ440からの制御信号 $S440_2$ に基づいて、データ並べ替え回路420から入力した64ビット幅の転送データ $hrd$ をFIFO方式でホストインタフェース回路149に出力する。

【0068】

FIFO回路410<sub>3</sub>は、例えば、64ビット幅で深さ16段のFIFO回路であり、コントローラ440からの制御信号 $S440_3$ に基づいて、読み出しコントローラ390から入力した各々32ビットの8画素分のカラーデータ $mc\_0dtr \sim mc\_7dtr$ をFIFO方式でデータ並べ替え回路420に出力する。

30

FIFO回路410<sub>3</sub>へのカラーデータ $mc\_0dtr \sim mc\_7dtr$ の入力は、後述するように、コントローラ440によって制御される。

ラッチ回路410<sub>4</sub>は、例えば、256ビット幅であり、コントローラ440からの制御信号 $S440_4$ に基づいて、データ並べ替え回路420から入力した256ビット幅のカラーデータ $cwd\_a$ を図2に示すディストリビュータ300に出力する。

【0069】

図9は、図8に示すデータ並べ替え回路420の構成図である。

40

図9に示すように、データ並べ替え回路420は、シフト回路450<sub>1</sub>、450<sub>2</sub>、セレクタ451<sub>0</sub>～451<sub>7</sub>、ラッチ回路452<sub>0</sub>～452<sub>7</sub>およびラッチ回路453<sub>0</sub>～453<sub>7</sub>を有する。

【0070】

シフト回路450<sub>1</sub>は、「Host to Local」転送を行う場合に、コントローラ440から入力した制御信号 $S440_6$ に基づいて、64ビット幅の転送データ $hwd$ 、すなわち2画素分のカラーデータをLSB側に配置した256ビット(8画素)分のカラーデータをテクスチャエンジン回路143から入力し、当該カラーデータを32ビット単位でシフト処理して生成した256ビットのカラーデータ $mc\_0a \sim mc\_7a$ を出力する。

50

## 【0071】

セクタ451<sub>0</sub> ~ 451<sub>7</sub>は、制御信号S440<sub>6</sub>に基づいて、それぞれ入力端子aを介して入力した32ビットのカラーデータmc\_\_0a ~ mc\_\_7aと、入力端子bを介して入力した32ビットのカラーデータmc\_\_0a ~ mc\_\_7aとのうち一方を選択して、出力端子aからラッチ回路452<sub>0</sub> ~ 452<sub>7</sub>に出力する。

## 【0072】

ラッチ回路452<sub>0</sub> ~ 452<sub>7</sub>は、制御信号S440<sub>6</sub>に基づいて、それぞれセクタ451<sub>0</sub> ~ 451<sub>7</sub>の出力端子cから出力した32ビットのカラーデータを、図8に示すFIFO回路410<sub>2</sub>あるいはラッチ回路410<sub>4</sub>に出力する。

ラッチ回路453<sub>0</sub> ~ 453<sub>7</sub>は、制御信号S440<sub>6</sub>に基づいて、それぞれシフト回路450<sub>1</sub>から入力したカラーデータmc\_\_0a ~ mc\_\_7aを、シフト回路450<sub>2</sub>と、図8に示すFIFO回路410<sub>2</sub>あるいはラッチ回路410<sub>4</sub>に出力する。

ここで、ラッチ回路452<sub>0</sub> ~ 452<sub>7</sub>の各々の32ビットの出力線は、それぞれラッチ回路453<sub>0</sub> ~ 453<sub>7</sub>の各々の32ビットの出力線と同じであり、それぞれラッチ回路452<sub>0</sub> ~ 452<sub>7</sub>とラッチ回路453<sub>0</sub> ~ 453<sub>7</sub>とのうち一方から32ビットのカラーデータが出力されるように制御される。

## 【0073】

シフト回路450<sub>2</sub>は、ラッチ回路453<sub>0</sub> ~ 453<sub>7</sub>から入力した256ビットのカラーデータを32ビット単位でシフト処理して生成した各々32ビットのカラーデータmc\_\_0b ~ mc\_\_7bを、それぞれセクタ451<sub>0</sub> ~ 451<sub>7</sub>の入力端子bに出力する。

## 【0074】

以下、図8に示すデータ並べ替え部400におけるデータ並べ替え処理とアドレス生成部430におけるアドレス生成処理とを、各転送モードに分けて説明する。

なお、前述したように、DRAM147に対しての書き込みは、代表点を基準とした8画素(X方向)×2画素(Y方向)の16画素のカラーデータが記憶されている矩形記憶領域を単位として行われる。一方、DRAM147からの読み出しは、代表点を基準とした8画素(X方向)×1画素(Y方向)の8のカラーデータが記憶されている矩形記憶領域を単位として行われる。

## 【0075】

また、代表点のアドレスは、読み出し動作では、Y方向については任意のアドレスを指定できるが、X方向について8の倍数のアドレスしか指定できない。一方、代表点のアドレスは、書き込み動作では、X方向およびY方向の双方とも、2の倍数のアドレスしか指定できない。

## 【0076】

以下に示す並べ替え処理では、DRAM147の記憶領域における、図10に示すような、幅「3」、高さ「3」で起点座標が(5, 5)の矩形記憶領域500に対してのカラーデータの読み出し動作および書き込み動作を伴う場合を例示して説明する。

## 【0077】

<「Host to Local」転送モード>

以下、テクスチャエンジン回路143から入力した図11に示す64ビット幅の転送データhwd<sub>0</sub> ~ hwd<sub>4</sub>に含まれる8画素分の各々32ビット(1画素のデータ長が32ビット)のカラーデータpix<sub>0</sub> ~ pix<sub>8</sub>を、図10に示す矩形記憶領域500に転送して書き込む場合の動作を説明する。

## 【0078】

この場合には、テクスチャエンジン回路143から、転送データhwdが、矩形記憶領域500の図10中左上端点からスキャンライン方向にX座標が増加する順番で与えられ、1スキャンライン終了後、次のスキャンラインのデータがX座標が増加する順番で与えられる。このとき、スキャンラインが異なるデータも64ビット内にパックされて与えられる。

## 【0079】

10

20

30

40

50

まず、テクスチャエンジン回路143からの図11に示す各々64ビット幅の転送データ  $hwd_0 \sim hwd_4$  が、図8に示すFIFO回路410<sub>1</sub>を介して、データ並べ替え回路420に順に出力される。

そして、転送データ  $hwd_0$  のカラーデータ  $pix_0, pix_1$  をLSBから順に配置した256ビットのカラーデータが、図9に示すシフト回路450<sub>1</sub>において、図12(A)に示すように、32ビット単位でMSBに向けて「1」だけシフトされ、当該シフト後のカラーデータ  $cwd\_a_0$  が、図9に示すラッチ回路453<sub>0</sub> ~ 453<sub>7</sub> から図13(A)に示すカラーデータ  $cwd_0$  として出力され、カラーデータ  $cwd_0$  が図8に示すラッチ回路410<sub>4</sub>を介して図2に示すディストリビュータ300に出力される。

【0080】

次に、転送データ  $hwd_1$  のカラーデータ  $pix_2, pix_3$  をLSBから順に配置した256ビットのカラーデータが、図9に示すシフト回路450<sub>1</sub>において、図12(B)に示すように、32ビット単位でMSBに向けて「1」だけシフトされ、当該シフト後のカラーデータ  $cwd\_a_1$  が、図9に示すラッチ回路453<sub>0</sub> ~ 453<sub>7</sub> から図13(B)に示すカラーデータ  $cwd_1$  として出力され、カラーデータ  $cwd_1$  が図8に示すラッチ回路410<sub>4</sub>を介して図2に示すディストリビュータ300に出力される。

また、シフト後のカラーデータ  $cwd\_a_1$  は、セレクタ451<sub>0</sub> ~ 451<sub>7</sub> およびラッチ回路452<sub>0</sub> ~ 452<sub>7</sub> を介して、シフト回路450<sub>2</sub>に出力される。

【0081】

次に、転送データ  $hwd_2$  のカラーデータ  $pix_4, pix_5$  をLSBから順に配置した256ビットのカラーデータが、図9に示すシフト回路450<sub>1</sub>において、図12(C)に示すように、32ビット単位でMSBに向けて「2」だけシフトされた後に、図9に示すセレクタ451<sub>0</sub> ~ 451<sub>7</sub> を介してラッチ回路453<sub>0</sub> ~ 453<sub>7</sub> に記憶される。このとき、カラーデータ  $pix_4, pix_5$  が、ラッチ回路453<sub>2</sub>, 453<sub>3</sub> に記憶される。

また、前述したシフト回路450<sub>2</sub>に出力された、図12(B)に示す256ビットのカラーデータ  $cwd\_a_1$  が、LSBに向けて「1」だけシフトされた後に、セレクタ451<sub>0</sub> ~ 451<sub>7</sub> を介してラッチ回路452<sub>0</sub> ~ 452<sub>7</sub> に記憶される。このとき、カラーデータ  $pix_3$  が、ラッチ回路452<sub>1</sub> に記憶される。

そして、ラッチ回路453<sub>0</sub>, 452<sub>1</sub>, 453<sub>2</sub> ~ 453<sub>7</sub> からの出力によって、図13(C)に示すように、カラーデータ  $pix_3, pix_4, pix_5$  を含むカラーデータ  $cwd_2$  が、図8に示すラッチ回路410<sub>4</sub>を介して図2に示すディストリビュータ300に出力される。

【0082】

次に、転送データ  $hwd_3$  のカラーデータ  $pix_6, pix_7$  をLSBから順に配置した256ビットのカラーデータが、図9に示すシフト回路450<sub>1</sub>において、図12(D)に示すように、32ビット単位でMSBに向けて「1」だけシフトされ、当該シフト後のカラーデータ  $cwd\_a_3$  が、図9に示すラッチ回路453<sub>0</sub> ~ 453<sub>7</sub> から図13(D)に示すカラーデータ  $cwd_3$  として出力され、カラーデータ  $cwd_3$  が図8に示すラッチ回路410<sub>4</sub>を介して図2に示すディストリビュータ300に出力される。

【0083】

次に、転送データ  $hwd_4$  のカラーデータ  $pix_8$  をLSBから順に配置した256ビットのカラーデータが、図9に示すシフト回路450<sub>1</sub>において、図12(E)に示すように、32ビット単位でMSBに向けて「1」だけシフトされ、当該シフト後のカラーデータ  $cwd\_a_4$  が、図9に示すラッチ回路453<sub>0</sub> ~ 453<sub>7</sub> から図13(E)に示すカラーデータ  $cwd_4$  として出力され、カラーデータ  $cwd_4$  が図8に示すラッチ回路410<sub>4</sub>を介して図2に示すディストリビュータ300に出力される。

【0084】

また、データ並べ替え部400では、上述したカラーデータ  $cwd_0 \sim cwd_4$  に対応する代表点座標 ( $btr_x, btr_y$ ) およびバリッドフラグ  $btr_vld$  をアドレス生成

10

20

30

40

50

部430において生成する。

代表点座標 (  $b_{trx}$  ,  $b_{try}$  ) およびバリッドフラグ  $b_{trvld}$  は、アドレス  $ADR_{W_2}$  内に含まれ、ディストリビュータ300に出力される。

ここで、カラーデータ  $cwd_0 \sim cwd_4$  に対応する、代表点座標を (  $b_{trx_0}$  ,  $b_{try_0}$  ) ~ (  $b_{trx_4}$  ,  $b_{try_4}$  ) とし、バリッドフラグを  $b_{trvld_0} \sim b_{trvld_4}$  とする。

なお、アドレス生成部430における、アドレス  $ADR_{W_2}$  の生成は、図8に示すコントローラ440からの制御信号  $S_{440_5}$  に基づいて行われる。

【0085】

また、バリッドフラグ  $b_{trvld}$  は、16ビットからなり、前述したように8画素 ( X 10  
方向 ) × 2画素 ( Y 方向 ) の16画素分の矩形記憶領域 ( 256 × 2ビット ) を単位として  
DRAM147に書き込みを行う際に、記憶内容の書き換えを行うか否かを、各画素の  
記憶領域毎に示している。バリッドフラグ  $b_{trvld}$  の各ビットは、書き込みを行  
う単位である16画素分の記憶領域の各1画素分の記憶領域に対応している。バリッドフ  
ラグ  $b_{trvld}$  の各ビットは、対応する記憶領域をマスクする場合 ( 書き換えを行わな  
い場合 ) に論理値「0」を示し、マスクしない場合 ( 書き換えを行う場合 ) に論理値「1  
」を示している。

【0086】

ここで、1回の書き込みで使用されるカラーデータは8画素分の256ビットのデータで  
あるため、当該カラーデータを、書き込みを行う記憶領域のうちY方向のアドレスが偶数 20  
の記憶領域に書き込む場合には、16ビットのバリッドフラグ  $b_{trvld}$  のうち上位8  
ビットを論理値「0」にし、書き込みを行う記憶領域のうちY方向のアドレスが奇数の記  
憶領域に書き込む場合には、16ビットのバリッドフラグ  $b_{trvld}$  のうち下位8ビッ  
トを論理値「0」にする。

【0087】

図13 ( A ) ~ ( E ) に示すように、カラーデータ  $cwd_0 \sim cwd_4$  のそれぞれについ  
て、バリッドフラグ  $b_{trvld_0} \sim b_{trvld_4}$  が、アドレス生成部430において  
生成される。

ここで、例えば、バリッドフラグ  $b_{trvld_0}$  は、下位8ビットが論理値「0」になっ  
ているため、カラーデータ  $cwd_0$  は、書き込みを行う記憶領域のうちY方向のアドレス 30  
が奇数の記憶領域に書き込まれる。

【0088】

また、アドレス生成部430は、図12 ( A ) ~ ( E ) に示すカラーデータ  $cwd_0 \sim c$   
 $w_{d_4}$  のそれぞれを、前述した8画素 ( X 方向 ) × 2画素 ( Y 方向 ) の16画素分の矩形  
記憶領域を単位としてDRAM147に書き込む際の図13 ( A ) ~ ( E ) に示す代表点  
座標 (  $b_{trx_0}$  ,  $b_{try_0}$  ) ~ (  $b_{trx_4}$  ,  $b_{try_4}$  ) をそれぞれ生成する。

【0089】

上述したように図2にデータ並べ替え部400の図8に示すデータ並べ替え回路420で  
生成された図13 ( A ) ~ ( E ) に示すカラーデータ  $cwd_0 \sim cwd_4$  は、上述したよ  
うに図8に示すアドレス生成部430において生成されたアドレス  $ADR_{W_2}$  に含まれる 40  
図13 ( A ) ~ ( E ) に示す代表点座標 (  $b_{trx_0}$  ,  $b_{try_0}$  ) ~ (  $b_{trx_4}$  ,  $b$   
 $_{try_4}$  ) およびバリッドフラグを  $b_{trvld_0} \sim b_{trvld_4}$  に基づいた図2に示  
すディストリビュータ300、アドレスコンバータ310およびメモリコントローラ35  
0 , 360 , 370 , 380 の処理を経て、以下に示すように、図2に示すDRAM14  
7に書き込まれる。

【0090】

まず、図14 ( A ) に示すように、代表点座標 (  $b_{trx_0}$  ,  $b_{try_0}$  ) = ( 4 , 4 )  
によって規定される16画素分の矩形記憶領域500内のY座標が「5」 ( 奇数 ) の記憶  
領域に、当該記憶領域内のX座標が最も小さいアドレスに図13 ( A ) に示すカラーデー  
タ  $cwd_0$  のLSBが書き込まれるように、カラーデータ  $cwd_0$  が書き込まれる。この 50

とき、前述したように、バリッドフラグ  $btrvld_0$  の下位 8 ビットが全て論理値「0」の場合には Y 座標が奇数の記憶領域にカラーデータ  $cwd_0$  が書き込まれ、バリッドフラグ  $btrvld_0$  の上位 8 ビットが全て論理値「0」の場合には Y 座標が偶数の記憶領域にカラーデータ  $cwd_0$  が書き込まれる。

また、カラーデータ  $cwd_0$  の書き込みは、バリッドフラグ  $btrvld_0$  のうち、論理値「1」のビットに対応する各々 32 ビットの記憶領域に対してのみ行われる。この場合には、バリッドフラグ  $btrvld_0$  は、「0x0600」、すなわち「0000011000000000」であり、論理値「1」のビットは、(X, Y) 座標が (5, 5) および (6, 5) の記憶領域に対応しているため、図 14 (A) に示すように、当該記憶領域に対してのみカラーデータ  $pix_0$ ,  $pix_1$  が書き込まれる。

10

#### 【0091】

次に、図 14 (B) に示すように、代表点座標  $(btrx_1, btry_1) = (6, 4)$  によって規定される 16 画素分の矩形記憶領域 500 内の Y 座標が「5」(奇数)の記憶領域に、図 13 (B) に示すカラーデータ  $cwd_1$  のカラーデータ  $pix_2$  が書き込まれる。書き込み方法は、前述した図 14 (A) に示す場合と同じである。

#### 【0092】

次に、同様に、図 14 (C) に示すように、代表点座標  $(btrx_2, btry_2) = (4, 6)$  によって規定される 16 画素分の矩形記憶領域 500 内の Y 座標が「6」(偶数)の記憶領域に、図 13 (C) に示すカラーデータ  $cwd_2$  のカラーデータ  $pix_3$ ,  $pix_4$ ,  $pix_5$  が書き込まれる。

20

#### 【0093】

次に、同様に、図 15 (D) に示すように、代表点座標  $(btrx_3, btry_3) = (4, 6)$  によって規定される 16 画素分の矩形記憶領域 500 内の Y 座標が「7」(奇数)の記憶領域に、図 13 (D) に示すカラーデータ  $cwd_3$  のカラーデータ  $pix_6$ ,  $pix_7$  が書き込まれる。

#### 【0094】

次に、同様に、図 15 (F) に示すように、代表点座標  $(btrx_4, btry_4) = (6, 6)$  によって規定される 16 画素分の矩形記憶領域 500 内の Y 座標が「7」(奇数)の記憶領域に、図 13 (E) に示すカラーデータ  $cwd_4$  のカラーデータ  $pix_8$  が書き込まれる。

30

#### 【0095】

これにより、テクスチャエンジン回路 143 から入力した図 11 に示す 64 ビット幅の転送データ  $hwd_0 \sim hwd_4$  に含まれる各々 32 ビットの 8 画素分のカラーデータ  $pix_0 \sim pix_8$  が、図 10 に示す矩形記憶領域 500 に書き込まれる。

#### 【0096】

なお、上述した図 11 ~ 図 15 に示す例では、1 画素のデータ長が 32 ビットのカラーデータ  $pix_0 \sim pix_8$  を、テクスチャエンジン回路 143 から入力して図 10 に示す矩形記憶領域 500 に書き込む場合を例示したが、1 画素のデータ長は任意であり、例えば 16 ビットであってもよい。

以下、1 画素のデータ長が 16 ビットのカラーデータ  $pix_0 \sim pix_8$  を、テクスチャエンジン回路 143 から入力して図 10 に示す矩形記憶領域 500 に書き込む場合の処理について説明する。

40

この場合には、図 16 に示すように、テクスチャエンジン回路 143 から入力される 64 ビット幅の転送データには、各々 4 画素分のカラーデータが含まれる。

この場合には、図 16 に示す転送データ  $hwd_0$  に含まれるカラーデータ  $pix_0 \sim pix_3$  を含む 256 ビットのカラーデータが、図 9 に示すデータ並べ替え回路 420 のシフト回路  $450_1$  において MSB 方向に 1 ビットだけシフトされ、図 17 (A) に示す 256 ビットのカラーデータ  $cwd\_a_0$  が生成され、当該カラーデータ  $cwd\_a_0$  に応じてラッチ回路  $453_0 \sim 453_7$  から、図 18 (A) に示すカラーデータ  $cwd_0$  がディストリビュータ 300 に出力される。

50

次に、図16に示す転送データ $hwd_1$ に含まれるカラーデータ $pix_4 \sim pix_7$ を含む256ビットのカラーデータが、図9に示すデータ並べ替え回路420のシフト回路450<sub>1</sub>においてMSB方向に2ビットだけシフトされ、さらに、転送データ $hwd_0$ に含まれるカラーデータ $pix_3$ を追加することで、図17(B)に示す256ビットのカラーデータ $cwd\_a_1$ が生成され、当該カラーデータ $cwd\_a_1$ に応じた図18(B)に示すカラーデータ $cwd_1$ がディストリビュータ300に出力される。

【0097】

次に、図16に示す転送データ $hwd_2$ に含まれるカラーデータ $pix_8$ を含む256ビットのカラーデータが、図9に示すデータ並べ替え回路420のシフト回路450<sub>1</sub>においてMSB方向に3ビットだけシフトされ、さらに、転送データ $hwd_1$ に含まれるカラーデータ $pix_6$ 、 $pix_7$ を追加することで、図17(C)に示す256ビットのカラーデータ $cwd\_a_2$ が生成され、当該カラーデータ $cwd\_a_2$ に応じた図18(C)に示すカラーデータ $cwd_2$ がディストリビュータ300に出力される。

10

【0098】

また、カラーデータ $cwd_0 \sim cwd_3$ に対応する図18(A)~(C)に示す代表点座標( $btr_x$ ,  $btr_y$ )およびバリッドフラグ $btrvld$ が、アドレス生成部430において生成される。

【0099】

これにより、テクスチャエンジン回路143から入力した図16に示す64ビット幅の転送データ $hwd_0 \sim hwd_2$ に含まれる各々16ビットの8画素分のカラーデータ $pix_0 \sim pix_8$ が、図10に示す矩形記憶領域500に書き込まれる。

20

【0100】

<「Local to Host」転送モード>

以下、DRAM147から読み出した8画素分のカラーデータ $mc\_0dtr \sim mc\_7dtr$ を、64ビット幅の転送データにパッキングして、ホストインタフェース回路149に出力する場合の動作を説明する。

なお、前述したように、DRAM147からの読み出しは、代表点を基準とした8画素(X方向)×1画素(Y方向)の8のカラーデータが記憶されている矩形記憶領域を単位として行われる。また、代表点のアドレスは、読み出し動作では、Y方向については任意のアドレスを指定できるが、X方向について8の倍数のアドレスしか指定できない。

30

【0101】

この場合に、図8に示すデータ並べ替え部400のアドレス生成部430は、ホストインタフェース回路149から入力したアドレス $ADDR_1$ に基づいて、DRAM147内の読み出しを行う矩形記憶領域について、図19に示すX、Y座標系における図19中左上端からスキャンライン方向にX座標が増大する順番で代表点座標( $sbx$ ,  $sby$ )を算出する。そして、当該代表点座標( $sbx$ ,  $sby$ )を含むアドレス $ADDR_2$ をディストリビュータ300に出力する。

【0102】

また、データ並べ替え回路420は、アドレス $ADDR_2$ に応じてDRAM147から読み出された8画素分のカラーデータ $mc\_0dtr \sim mc\_7dtr$ を、図2に示す読み出しコントローラ390から図8に示すデータ並べ替え部400のFIFO回路410<sub>3</sub>を介して入力し、これを64ビット幅の転送データ $hwd$ にパッキングして、FIFO回路410<sub>1</sub>を介して、ホストインタフェース回路149に出力する。

40

このとき、カラーデータ $mc\_0dtr$ が、当該読み出しを行う矩形記憶領域の代表点座標に記憶されていたカラーデータであり、カラーデータ $mc\_7dtr$ が、当該矩形記憶領域内のX座標が最大の座標に記憶されていたカラーデータである。

【0103】

以下、一例として、図19に示す幅13、高さ3、起点座標が(5, 5)のDRAM147内の矩形記憶領域600から読み出したカラーデータ $pix_0 \sim pix_{38}$ を、4画素分のカラーデータを含む64ビット幅の転送データにパッキングしてホストインタフェース

50



回路 149 に出力する場合の動作を説明する。

【0104】

まず、アドレス生成部 430 に、アドレス  $ADDR_1$  が、ホストインタフェース回路 149 から入力される。

そして、アドレス生成部 430 において、図 19 に示す矩形記憶領域 600 の読み出し動作を行うために、図 19 および図 20 (A) ~ (I) に示す代表点座標  $(sbx_0, sby_0) \sim (sbx_8, sby_8)$  を含むアドレス  $ADDR_2$  が、図 2 に示すディストリビュータ 300 に順に出力され、アドレスコンバータ 310 およびおよびメモリコントローラ 350, 360, 370, 380 の処理を経て、図 20 (A) ~ (I) に示すカラーデータ  $mc\_0dtr \sim mc\_7dtr$  が、図 2 に示す読み出しコントローラ 390 から図 8 に示すデータ並べ替え部 400 の FIFO 回路 410<sub>3</sub> を介してデータ並べ替え回路 420 に順に出力される。

10

【0105】

図 9 に示すデータ並べ替え回路 420 では、コントローラ 440 からの制御信号  $S440_6$  に基づいて以下に示す処理が行われる。

なお、図 9 に示すシフト回路 450<sub>1</sub> は、セクタ 451<sub>0</sub> ~ 451<sub>7</sub> の入力端子 a に接続されている 256 (= 32 × 8) ビットの出力用記憶領域と、当該出力用記憶領域の上位ビットに位置する 224 (= 32 × 8) ビットの内部記憶領域とを有し、32 ビット単位でシフト動作を行う。

【0106】

まず、図 20 (A) に示す 256 ビットのカラーデータ  $mc\_0dtr \sim mc\_7dtr$  がシフト回路 450<sub>1</sub> に入力され、32 ビット単位で、LSB に向けて「5」だけシフトされた後に、カラーデータ  $pix_0 \sim pix_2$  が、ラッチ回路 453<sub>0</sub> ~ 453<sub>2</sub> に記憶される。

20

【0107】

次に、図 20 (B) に示す 256 ビットのカラーデータ  $mc\_0dtr \sim mc\_7dtr$  が、シフト回路 450<sub>1</sub> に入力され、32 ビット単位で、MSB に向けて「3」だけシフトされ、出力用記憶領域に記憶されているカラーデータ  $pix_3 \sim pix_7$  が、セクタ 451<sub>3</sub> ~ 451<sub>7</sub> の入力端子 a および出力端子 c を介して、ラッチ回路 452<sub>3</sub> ~ 452<sub>7</sub> に書き込まれる。

30

これにより、ラッチ回路 453<sub>0</sub> ~ 453<sub>7</sub> に、図 21 (B) の出力用記憶領域に対応する部分に示されるカラーデータ  $cwd\_b_1$  が記憶される。

【0108】

そして、ラッチ回路 453<sub>0</sub> ~ 453<sub>3</sub> に記憶されているカラーデータ  $pix_0 \sim pix_3$  が、図 22 に示す 64 ビットの転送データ  $hrd_0$  として、図 8 に示す FIFO 回路 410<sub>2</sub> を介して、ホストインタフェース回路 149 に出力される。

次に、ラッチ回路 453<sub>4</sub> ~ 453<sub>7</sub> に記憶されているカラーデータ  $pix_4 \sim pix_7$  が、図 22 に示す 64 ビットの転送データ  $hrd_1$  として、図 8 に示す FIFO 回路 410<sub>2</sub> を介して、ホストインタフェース回路 149 に出力される。

【0109】

また、シフト回路 450<sub>1</sub> の内部記憶領域に記憶されているカラーデータ  $pix_8 \sim pix_{10}$  が、32 ビット単位で、LSB に向けて「8」だけシフトされた後に、ラッチ回路 453<sub>0</sub> ~ 453<sub>2</sub> に書き込まれる。

40

次に、図 20 (C) に示すカラーデータ  $mc\_0dtr \sim mc\_7dtr$  がシフト回路 450<sub>1</sub> に入力され、32 ビット単位で、MSB に向けて「3」だけシフトされた後に出力され、カラーデータ  $pix_{11}, pix_{12}$  が、ラッチ回路 453<sub>3}, 453<sub>4</sub> に書き込まれる。</sub>

次に、図 20 (D) に示すカラーデータ  $mc\_0dtr \sim mc\_7dtr$  が、シフト回路 450<sub>1</sub> に入力され、シフトされずに出力され、カラーデータ  $pix_{13} \sim pix_{15}$  が、ラッチ回路 453<sub>5} ~ 453<sub>7</sub> に書き込まれる。</sub>

50

これにより、ラッチ回路453<sub>0</sub> ~ 453<sub>7</sub>に、図21(D)の出力用記憶領域に対応する部分に示されるカラーデータc w d \_\_ b<sub>3</sub>が記憶される。

【0110】

そして、ラッチ回路453<sub>0</sub> ~ 453<sub>3</sub>に記憶されているカラーデータp i x<sub>8</sub> ~ p i x<sub>11</sub>が、図22に示す64ビットの転送データh r d<sub>2</sub>として、図8に示すF I F O回路410<sub>2</sub>を介して、ホストインタフェース回路149に出力される。

次に、ラッチ回路453<sub>4</sub> ~ 453<sub>7</sub>に記憶されているカラーデータp i x<sub>12</sub> ~ p i x<sub>15</sub>が、図22に示す64ビットの転送データh r d<sub>3</sub>として、図8に示すF I F O回路410<sub>2</sub>を介して、ホストインタフェース回路149に出力される。

【0111】

また、次に、図20(E)に示す256ビットのカラーデータm c \_\_ 0 d t r ~ m c \_\_ 7 d t rが、シフト回路450<sub>1</sub>に入力され、シフトされずに出力され、カラーデータp i x<sub>16</sub> ~ p i x<sub>23</sub>が、ラッチ回路453<sub>0</sub> ~ 453<sub>7</sub>に書き込まれる。

これにより、ラッチ回路453<sub>0</sub> ~ 453<sub>7</sub>に、図21(E)の出力用記憶領域に対応する部分に示されるカラーデータc w d \_\_ b<sub>4</sub>が記憶される。

【0112】

そして、ラッチ回路453<sub>0</sub> ~ 453<sub>3</sub>に記憶されているカラーデータp i x<sub>16</sub> ~ p i x<sub>19</sub>が、図22に示す64ビットの転送データh r d<sub>4</sub>として、図8に示すF I F O回路410<sub>2</sub>を介して、ホストインタフェース回路149に出力される。

次に、ラッチ回路453<sub>4</sub> ~ 453<sub>7</sub>に記憶されているカラーデータp i x<sub>20</sub> ~ p i x<sub>23</sub>が、図22に示す64ビットの転送データh r d<sub>5</sub>として、図8に示すF I F O回路410<sub>2</sub>を介して、ホストインタフェース回路149に出力される。

【0113】

また、次に、図20(F)に示す256ビットのカラーデータm c \_\_ 0 d t r ~ m c \_\_ 7 d t rがシフト回路450<sub>1</sub>に入力され、シフトされずに、カラーデータp i x<sub>24</sub>, p i x<sub>25</sub>が、ラッチ回路453<sub>0</sub>, 453<sub>1</sub>に記憶される。

【0114】

次に、図20(G)に示す256ビットのカラーデータm c \_\_ 0 d t r ~ m c \_\_ 7 d t rが、シフト回路450<sub>1</sub>に入力され、32ビット単位で、LSBに向けて「3」だけシフトされ、カラーデータp i x<sub>26</sub> ~ p i x<sub>28</sub>が、ラッチ回路453<sub>2</sub> ~ 453<sub>4</sub>に書き込まれる。

【0115】

次に、図20(H)に示す256ビットのカラーデータm c \_\_ 0 d t r ~ m c \_\_ 7 d t rが、シフト回路450<sub>1</sub>に入力され、32ビット単位で、MSBに向けて「5」だけシフトされ、カラーデータp i x<sub>29</sub> ~ p i x<sub>36</sub>のうち、出力用記憶領域に記憶されているカラーデータp i x<sub>29</sub> ~ p i x<sub>31</sub>が、ラッチ回路453<sub>5</sub> ~ 453<sub>7</sub>に書き込まれる

これにより、ラッチ回路453<sub>0</sub> ~ 453<sub>7</sub>に、図21(H)の出力用記憶領域に対応する部分に示されるカラーデータc w d \_\_ b<sub>7</sub>が記憶される。

【0116】

そして、ラッチ回路453<sub>0</sub> ~ 453<sub>3</sub>に記憶されているカラーデータp i x<sub>24</sub> ~ p i x<sub>27</sub>が、図22に示す64ビットの転送データh r d<sub>6</sub>として、図8に示すF I F O回路410<sub>2</sub>を介して、ホストインタフェース回路149に出力される。

次に、ラッチ回路453<sub>4</sub> ~ 453<sub>7</sub>に記憶されているカラーデータp i x<sub>28</sub> ~ p i x<sub>31</sub>が、図22に示す64ビットの転送データh r d<sub>7</sub>として、図8に示すF I F O回路410<sub>2</sub>を介して、ホストインタフェース回路149に出力される。

【0117】

次に、シフト回路450<sub>1</sub>の内部記憶領域に記憶されているカラーデータp i x<sub>32</sub> ~ p i x<sub>36</sub>が、32ビット単位で、LSBに向けて「8」だけシフトされた後に、ラッチ回路453<sub>0</sub> ~ 453<sub>4</sub>に書き込まれる。

次に、図20(I)に示すカラーデータm c \_\_ 0 d t r ~ m c \_\_ 7 d t rがシフト回路4

10

20

30

40

50

50<sub>1</sub>に入力され、32ビット単位で、MSBに向けて「5」だけシフトされた後に出力され、カラーデータpix<sub>37</sub>, pix<sub>38</sub>が、ラッチ回路453<sub>5</sub>, 453<sub>6</sub>に書き込まれる。

これにより、ラッチ回路453<sub>0</sub> ~ 453<sub>6</sub>に、図21(I)に示されるカラーデータcwdb<sub>8</sub>が記憶される。

#### 【0118】

そして、ラッチ回路453<sub>0</sub> ~ 453<sub>3</sub>に記憶されているカラーデータpix<sub>32</sub> ~ pix<sub>35</sub>が、図22に示す64ビットの転送データhrd<sub>8</sub>として、図8に示すFIFO回路410<sub>2</sub>を介して、ホストインタフェース回路149に出力される。

次に、ラッチ回路453<sub>4</sub> ~ 453<sub>6</sub>に記憶されているカラーデータpix<sub>36</sub> ~ pix<sub>38</sub>が、図22に示す64ビットの転送データhrd<sub>9</sub>として、図8に示すFIFO回路410<sub>2</sub>を介して、ホストインタフェース回路149に出力される。

#### 【0119】

以上説明したように、図19に示す幅13、高さ3、起点座標が(5, 5)のDRAM147内の矩形記憶領域600から読み出したカラーデータpix<sub>0</sub> ~ pix<sub>38</sub>が、図22に示すように、4画素分のカラーデータを含む64ビット幅の転送データhrd<sub>0</sub> ~ hrd<sub>9</sub>にパッキングされてホストインタフェース回路149に出力される。

#### 【0120】

<「Local to Local」転送モード>

この場合には、DRAM147内の転送元の記憶領域から代表点座標(sbx, sby)を基準として読み出した8画素分のカラーデータmc\_0dtr ~ mc\_7dtrを、書き込み先(転送先)の記憶領域に、代表点座標(btrx, btry)を基準として書き込む。

このとき、転送元の矩形記憶領域の代表点座標の算出順番は、前述した「Host to Local」転送モードのように、一方向ではなく、指定された方向で行われる。

#### 【0121】

以下、代表点座標(sbx, sby)を右から左、下から上に順に生成して、DRAM147の図19に示す矩形記憶領域600から読み出したカラーデータpix<sub>0</sub> ~ pix<sub>38</sub>を、幅13、高さ3で起点座標が(10, 7)の矩形記憶領域に、代表点座標(btrx, btry)を右から左、下から上に順に生成して書き込む場合の動作を説明する。

#### 【0122】

まず、図8に示すアドレス生成部430において、図19に示す矩形記憶領域600の読み出し動作を行うために、図23(A) ~ (I)に示す代表点座標(sbx<sub>8</sub>, sby<sub>8</sub>) ~ (sbx<sub>0</sub>, sby<sub>0</sub>)を含むアドレスADDR<sub>2</sub>が、図2に示すディストリビュータ300に順に出力され、アドレスコンバータ310およびおよびメモリコントローラ350, 360, 370, 380の処理を経て、図23(A) ~ (I)に示すカラーデータmc\_0dtr ~ mc\_7dtrが、図2に示す読み出しコントローラ390から図8に示すデータ並べ替え部400のFIFO回路410<sub>3</sub>を介してデータ並べ替え回路420に順に出力される。

すなわち、前述した図20に示す場合と比べて代表点座標が逆の順序で、ディストリビュータ300に出力される。

#### 【0123】

次に、図9に示すデータ並べ替え回路420では、コントローラ440からの制御信号S440<sub>6</sub>に基づいて以下に示す処理が行われる。

まず、図23(A)に示すカラーデータmc\_0dtr ~ mc\_7dtrが、図9に示すシフト回路450<sub>1</sub>において、32ビット単位でMSBに向けて「1」だけシフトされ、当該シフト後のカラーデータが図9に示すラッチ回路453<sub>0</sub> ~ 453<sub>7</sub>から図24(A)に示すカラーデータcwb<sub>0</sub>として出力され、カラーデータcwb<sub>0</sub>が図8に示すラッチ回路410<sub>4</sub>を介して図2に示すディストリビュータ300に出力される。

#### 【0124】

10

20

30

40

50

次に、図23(B)に示すカラーデータ $mc\_0dtr \sim mc\_7dtr$ が、図9に示すシフト回路450<sub>1</sub>においてシフトされずに、ラッチ回路453<sub>0</sub>～453<sub>7</sub>に書き込まれた後に、シフト回路450<sub>2</sub>に出力され、シフト回路450<sub>2</sub>において、32ビット単位でLSBに向けて「1」だけシフトされ、当該シフト後のカラーデータが、セクタ451<sub>0</sub>～451<sub>7</sub>を介して、ラッチ回路452<sub>0</sub>～452<sub>7</sub>に書き込まれる。

そして、ラッチ回路452<sub>0</sub>～452<sub>7</sub>から、図24(A)に示すカラーデータ $cwd_1$ が、図8に示すラッチ回路410<sub>4</sub>を介して、ディストリビュータ300に出力される。

【0125】

次に、ラッチ回路453<sub>0</sub>～453<sub>7</sub>に記憶されている図23(B)に示すカラーデータが、さらに、シフト回路450<sub>2</sub>に出力され、シフト回路450<sub>2</sub>において、32ビット単位でMSBに向けて「3」だけシフトされ、当該シフト後のカラーデータが、セクタ451<sub>0</sub>～451<sub>7</sub>を介して、ラッチ回路452<sub>0</sub>～452<sub>7</sub>に書き込まれる。これにより、ラッチ回路452<sub>3</sub>に、カラーデータ $pix_{29}$ が記憶される。

また、図23(C)に示すカラーデータ $mc\_0dtr \sim mc\_7dtr$ が、図9に示すシフト回路450<sub>1</sub>において、LSBに向けて「5」だけシフトされ、ラッチ回路453<sub>0</sub>～453<sub>7</sub>に書き込まれる。これにより、ラッチ回路453<sub>0</sub>～453<sub>2</sub>に、カラーデータ $pix_{26} \sim pix_{28}$ が記憶される。

そして、ラッチ回路452<sub>3</sub>、453<sub>0</sub>～453<sub>2</sub>から、図24(C)に示すカラーデータ $cwd_2$ が、図8に示すラッチ回路410<sub>4</sub>を介して、ディストリビュータ300に出力される。

【0126】

次に、図23(D)に示すカラーデータ $mc\_0dtr \sim mc\_7dtr$ が、図9に示すシフト回路450<sub>1</sub>において、32ビット単位でMSBに向けて「1」だけシフトされ、当該シフト後のカラーデータが図9に示すラッチ回路453<sub>0</sub>～453<sub>7</sub>から図24(D)に示すカラーデータ $cwd_3$ として出力され、カラーデータ $cwd_3$ が図8に示すラッチ回路410<sub>4</sub>を介して図2に示すディストリビュータ300に出力される。

【0127】

次に、図23(E)に示すカラーデータ $mc\_0dtr \sim mc\_7dtr$ が、図9に示すシフト回路450<sub>1</sub>においてシフトされずに、ラッチ回路453<sub>0</sub>～453<sub>7</sub>に書き込まれた後に、シフト回路450<sub>2</sub>に出力され、シフト回路450<sub>2</sub>において、32ビット単位でLSBに向けて「1」だけシフトされ、当該シフト後のカラーデータが、セクタ451<sub>0</sub>～451<sub>7</sub>を介して、ラッチ回路452<sub>0</sub>～452<sub>7</sub>に書き込まれる。

そして、ラッチ回路452<sub>0</sub>～452<sub>7</sub>から、図24(E)に示すカラーデータ $cwd_4$ が、図8に示すラッチ回路410<sub>4</sub>を介して、ディストリビュータ300に出力される。

【0128】

次に、ラッチ回路453<sub>0</sub>～453<sub>7</sub>に記憶されている図23(E)に示すカラーデータが、さらに、シフト回路450<sub>2</sub>に出力され、シフト回路450<sub>2</sub>において、32ビット単位でMSBに向けて「3」だけシフトされ、当該シフト後のカラーデータが、セクタ451<sub>0</sub>～451<sub>7</sub>を介して、ラッチ回路452<sub>0</sub>～452<sub>7</sub>に書き込まれる。これにより、ラッチ回路452<sub>3</sub>に、カラーデータ $pix_{16}$ が記憶される。

また、図23(F)に示すカラーデータ $mc\_0dtr \sim mc\_7dtr$ が、図9に示すシフト回路450<sub>1</sub>において、LSBに向けて「5」だけシフトされ、ラッチ回路453<sub>0</sub>～453<sub>7</sub>に書き込まれる。これにより、ラッチ回路453<sub>0</sub>～453<sub>2</sub>に、カラーデータ $pix_{13} \sim pix_{15}$ が記憶される。

そして、ラッチ回路452<sub>3</sub>、453<sub>0</sub>～453<sub>2</sub>から、図24(F)に示すカラーデータ $cwd_5$ が、図8に示すラッチ回路410<sub>4</sub>を介して、ディストリビュータ300に出力される。

【0129】

次に、図23(G)に示すカラーデータ $mc\_0dtr \sim mc\_7dtr$ が、図9に示すシフト回路450<sub>1</sub>において、32ビット単位でMSBに向けて「1」だけシフトされ、

10

20

30

40

50

当該シフト後のカラーデータが図9に示すラッチ回路453<sub>0</sub> ~ 453<sub>7</sub> から図24(G)に示すカラーデータc w d<sub>6</sub>として出力され、カラーデータc w d<sub>6</sub>が図8に示すラッチ回路410<sub>4</sub>を介して図2に示すディストリビュータ300に出力される。

【0130】

次に、図23(H)に示すカラーデータm c\_\_0 d t r ~ m c\_\_7 d t rが、図9に示すシフト回路450<sub>1</sub>においてシフトされずに、ラッチ回路453<sub>0</sub> ~ 453<sub>7</sub>に書き込まれた後に、シフト回路450<sub>2</sub>に出力され、シフト回路450<sub>2</sub>において、32ビット単位でLSBに向けて「1」だけシフトされ、当該シフト後のカラーデータが、セクタ451<sub>0</sub> ~ 451<sub>7</sub>を介して、ラッチ回路452<sub>0</sub> ~ 452<sub>7</sub>に書き込まれる。

そして、ラッチ回路452<sub>0</sub> ~ 452<sub>7</sub>から、図24(H)に示すカラーデータc w d<sub>7</sub>が、図8に示すラッチ回路410<sub>4</sub>を介して、ディストリビュータ300に出力される。

10

【0131】

次に、ラッチ回路453<sub>0</sub> ~ 453<sub>7</sub>に記憶されている図23(H)に示すカラーデータが、さらに、シフト回路450<sub>2</sub>に出力され、シフト回路450<sub>2</sub>において、32ビット単位でMSBに向けて「3」だけシフトされ、当該シフト後のカラーデータが、セクタ451<sub>0</sub> ~ 451<sub>7</sub>を介して、ラッチ回路452<sub>0</sub> ~ 452<sub>7</sub>に書き込まれる。これにより、ラッチ回路452<sub>3</sub>に、カラーデータp i x<sub>3</sub>が記憶される。

また、図23(I)に示すカラーデータm c\_\_0 d t r ~ m c\_\_7 d t rが、図9に示すシフト回路450<sub>1</sub>において、LSBに向けて「5」だけシフトされ、ラッチ回路453<sub>0</sub> ~ 453<sub>7</sub>に書き込まれる。これにより、ラッチ回路453<sub>0</sub> ~ 453<sub>2</sub>に、カラーデータp i x<sub>0</sub> ~ p i x<sub>3</sub>が記憶される。

20

そして、ラッチ回路452<sub>3</sub>, 453<sub>0</sub> ~ 453<sub>2</sub>から、図24(I)に示すカラーデータc w d<sub>8</sub>が、図8に示すラッチ回路410<sub>4</sub>を介して、ディストリビュータ300に出力される。

【0132】

また、データ並べ替え部400では、図24(A) ~ (I)に示されるように、上述したカラーデータc w d<sub>0</sub> ~ c w d<sub>8</sub>に対応する代表点座標(b t r x<sub>0</sub>, b t r y<sub>0</sub>) ~ (b t r x<sub>8</sub>, b t r y<sub>8</sub>)およびバリッドフラグb t r v l d<sub>0</sub> ~ b t r v l d<sub>8</sub>が、アドレス生成部430において生成される。代表点座標(b t r x<sub>0</sub>, b t r y<sub>0</sub>) ~ (b t r x<sub>8</sub>, b t r y<sub>8</sub>)およびバリッドフラグb t r v l d<sub>0</sub> ~ b t r v l d<sub>8</sub>は、アドレスA D R W<sub>2</sub>内に含められ、ディストリビュータ300に出力される。

30

【0133】

そして、代表点座標(b t r x<sub>0</sub>, b t r y<sub>0</sub>) ~ (b t r x<sub>8</sub>, b t r y<sub>8</sub>)およびバリッドフラグb t r v l d<sub>0</sub> ~ b t r v l d<sub>8</sub>を基準として、8画素(X方向) × 2画素(Y方向)の16画素を単位として、図24(A) ~ (I)に示すカラーデータc w d<sub>0</sub> ~ c w d<sub>8</sub>に含まれるカラーデータp i x<sub>0</sub> ~ p i x<sub>38</sub>が、D R A M 1 4 7内の矩形記憶領域700に書き込まれる。

これにより、D R A M 1 4 7の図19に示す矩形記憶領域600から読み出したカラーデータp i x<sub>0</sub> ~ p i x<sub>38</sub>が、図25に示す矩形記憶領域に700に転送される。

以上が、図8に示すデータ並べ替え回路420およびアドレス生成部430の説明である。

40

【0134】

コントローラ440は、テクスチャエンジン回路143から入力した転送モード指示信号S 8 0 0および画素データ長指示信号S 8 0 1に基づいて、制御信号S 4 4 0<sub>1</sub> ~ S 4 4 0<sub>6</sub>を生成する。

コントローラ440は、F I F O回路410<sub>1</sub> ~ 410<sub>3</sub>およびラッチ回路410<sub>4</sub>をそれぞれ制御する制御信号S 4 4 0<sub>1</sub> ~ S 4 4 0<sub>4</sub>を出力する。

また、コントローラ440は、アドレス生成部430を制御する制御信号S 4 4 0<sub>5</sub>を出力する。

また、コントローラ440は、データ並べ替え回路420を制御する制御信号S 4 4 0<sub>6</sub>

50

を出力する。

【0135】

また、コントローラ440は、FIFO回路410<sub>3</sub>への入力、すなわちDRAM147からのカラーデータmc\_\_0dtr~mc\_\_7dtrの読み出しを以下に示すようにして制御する。

コントローラ440は、FIFO回路410<sub>3</sub>の記憶領域を監視し、各々64ビット幅の16段の記憶回路のうち半分の8段の記憶回路が空(有効データの未記憶状態)になったことを検出すると、画素データ長指示信号S801に応じた回数だけ連続して読み出しを行うことを指示する制御信号S440<sub>5</sub>をアドレス生成部430に出力する。

ここで、1回の読み出しによって、8画素分の256ビットのカラーデータmc\_\_0dtr~mc\_\_7dtrがDRAM147から読み出される。

10

【0136】

具体的には、コントローラ440は、画素データ長指示信号S801が示す画素データ長に応じて、図26に示す読み出し指示回数を示す制御信号S440<sub>5</sub>をアドレス生成部430に出力する。

すなわち、コントローラ440は、1画素のデータ長が32ビット、16ビット、8ビットおよび4ビットの場合に、それぞれ2回、4回、8回および16回の読み出し指示回数を示す制御信号S440<sub>5</sub>をアドレス生成部430に出力する。

【0137】

図26に示す読み出し指示回数を示す制御信号S440<sub>5</sub>を出力することで、FIFO回路410<sub>3</sub>の空(未記憶)の8段の記憶回路に、DRAM147から読み出されたカラーデータmc\_\_0dtr~mc\_\_7dtrを記憶させることができる。このとき、FIFO回路410<sub>3</sub>の8段の記憶回路は、8×64ビットのカラーデータを記憶する。

20

【0138】

すなわち、画素データ長が32ビットの場合には、1回の読み出し動作で読み出されるカラーデータmc\_\_0dtr~mc\_\_7dtrには、図27(A)に示すように、32×8ビットのカラーデータが含まれているため、これを2回連続して読み出すことで、32×8×2(=8×64)ビットの読み出しを行うことができる。

また、画素データ長が16ビットの場合には、1回の読み出し動作で読み出されるカラーデータmc\_\_0dtr~mc\_\_7dtrには、図27(B)に示すように、16×8ビットのカラーデータが含まれているため、これを4回連続して読み出すことで、16×8×4(=8×64)ビットの読み出しを行うことができる。

30

また、画素データ長が8ビットの場合には、1回の読み出し動作で読み出されるカラーデータmc\_\_0dtr~mc\_\_7dtrには、図27(C)に示すように、8×8ビットのカラーデータが含まれているため、これを8回連続して読み出すことで、8×8×8(=8×64)ビットの読み出しを行うことができる。

また、画素データ長が4ビットの場合には、1回の読み出し動作で読み出されるカラーデータmc\_\_0dtr~mc\_\_7dtrには、図27(D)に示すように、4×8ビットのカラーデータが含まれているため、これを16回連続して読み出すことで、4×8×16(=8×64)ビットの読み出しを行うことができる。

40

【0139】

以上説明したように、コントローラ440が、FIFO回路410<sub>3</sub>の記憶領域を監視し、各々64ビット幅の16段の記憶回路のうち半分の8段の記憶回路が空になったときに、画素データ長指示信号S801に応じた回数だけ連続してDRAM147から読み出しを行うことで、コントローラ440によるFIFO回路410<sub>3</sub>の制御を簡単にでき、コントローラ440の負担を軽減できる。そのため、コントローラ440が行うその他の処理が、FIFO回路410<sub>3</sub>の制御に待たされる状態を回避できる。

すなわち、上述したようなコントローラ440による制御を行っていない一般的な従来のFIFO回路では、例えば、空き(未記憶)状態の記憶回路が存在する間、メモリからの読み出しを連続して行い、全ての記憶回路が記憶状態になったときに読み出しを停止す

50

るように入力制御を行う。しかしながら、このように制御を行うと、読み出しを停止したときに、1回の読み出しで読み出される8画素分のカラーデータのうち一部のデータのみがFIFO回路に書き込まれる状態が発生する。そのため、次に前回と同じ8画素のカラーデータを読み出し、当該読み出した8画素のカラーデータのうち前回にFIFO回路に書き込まれなかった画素のカラーデータを特定し、当該特定したカラーデータのみをFIFO回路に書き込むように制御を行う必要があり、制御が複雑になる。

【0140】

#### CRTコントロール回路145

CRTコントロール回路145は、与えられた水平および垂直同期信号に同期して、図示しないCRTに表示するアドレスを発生し、ディスプレイバッファ147bから表示データを読み出す要求をメモリI/F回路144に出力する。この要求に応じて、メモリI/F回路144は、ディスプレイバッファ147bから一定の固まりで表示データを読み出す。CRTコントローラ回路145は、ディスプレイバッファ147bから読み出した表示データを記憶するFIFO回路を内蔵し、一定の時間間隔で、RAMDAC回路146に、RGBのインデックス値を出力する。

10

【0141】

#### RAMDAC回路146

RAMDAC回路146は、各インデックス値に対応するR、G、Bデータを記憶しており、CRTコントローラ回路145から入力したRGBのインデックス値に対応するデジタル形式のR、G、Bデータを、図示しないD/Aコンバータ(Digital/Analog Converter)に転送し、アナログ形式のR、G、Bデータを生成する。RAMDAC回路146は、この生成されたR、G、BデータをCRTに出力する。

20

【0142】

以下、上述した3次元コンピュータグラフィックシステム10の全体動作について説明する。

3次元コンピュータグラフィックシステム10において、グラフィック描画等のデータは、メインプロセッサ11のメインメモリ12、あるいは外部からのグラフィックデータを受けるI/Oインタフェース回路13からメインバス15を介してレンダリング回路14に与えられる。

なお、必要に応じて、グラフィック描画等のデータは、メインプロセッサ11等において、座標変換、クリップ処理、ライティング処理等のジオメトリ処理が行われる。

30

ジオメトリ処理が終わったグラフィックデータは、三角形の各3頂点の頂点座標 $x, y, z$ 、輝度値 $R, G, B$ 、描画しようとしている画素と対応するテクスチャ座標 $s, t, q$ とからなるポリゴンレンダリングデータ $S11$ となる。

【0143】

このポリゴンレンダリングデータ $S11$ は、レンダリング回路14のDDAセットアップ回路141に入力される。

DDAセットアップ回路141においては、ポリゴンレンダリングデータ $S11$ に基づいて、三角形の辺と水平方向の差分などを示す変分データ $S141$ が生成される。具体的には、開始点の値と終点の値、並びに、その間の距離を用いて、単位長さ移動した場合における、求めようとしている値の変化分である変分が算出され、変分データ $S141$ としてトライアングルDDA回路142に出力される。

40

【0144】

トライアングルDDA回路142においては、変分データ $S141$ を用いて、三角形内部の各画素における線形補間された $(z, R, G, B, s, t, q)$ データが算出される。

そして、この算出された $(z, R, G, B, s, t, q)$ データと、三角形の各頂点の $(x, y)$ データとが、DDAデータ $S142$ として、トライアングルDDA回路142からテクスチャエンジン回路143に出力される。

【0145】

50

テクスチャエンジン回路 1 4 3 においては、DDA データ S 1 4 2 が示す ( s , t , q ) データについて、s データを q データで除算する演算と、t データを q データで除算する演算とが行われる。そして、除算結果「s / q」および「t / q」に、それぞれテクスチャサイズ U S I Z E および V S I Z E が乗算され、テクスチャ座標データ ( u , v ) が生成される。

【 0 1 4 6 】

次に、テクスチャエンジン回路 1 4 3 からメモリ I / F 回路 1 4 4 に対して、アドレス A D R R<sub>1</sub> を含む読み出し要求 S 1 4 3 が出力され、メモリ I / F 回路 1 4 4 を介して、D R A M 1 4 7 ( S R A M 1 4 8 ) に記憶された ( R , G , B ) データ S 1 4 8 が読み出される。

10

【 0 1 4 7 】

次に、テクスチャエンジン回路 1 4 3 において、読み出した ( R , G , B ) データ S 1 4 8 の ( R , G , B ) データと、前段のトライアングル D D A 回路 1 4 2 からの D D A データ S 1 4 2 に含まれる ( R , G , B ) データとが掛け合わされ、カラーデータ S 1 4 3 として生成される。

このカラーデータ S 1 4 3 は、テクスチャエンジン回路 1 4 3 からメモリ I / F 回路 1 4 4 に出力される。

【 0 1 4 8 】

フルカラーの場合には、テクスチャバッファ 1 4 7 a からのデータ ( R , G , B ) を直接用いればよいが、インデックスカラーの場合には、あらかじめ作成しておいたカラーインデックステーブル ( Color Index Table ) のデータが、テクスチャ C L U T ( Color Look Up Table ) バッファ 1 4 7 d より、S R A M 等で構成される一時保管バッファへ転送され、この一時保管バッファの C L U T を用いてカラーインデックスから実際の R , G , B カラーが得られる。

20

なお、C U L T が S R A M で構成された場合は、カラーインデックスを S R A M のアドレスに入力すると、その出力には実際の R , G , B カラーが出てくるといった使い方となる。

【 0 1 4 9 】

そして、メモリ I / F 回路 1 4 4 において、テクスチャエンジン回路 1 4 3 から入力したカラーデータ S 1 4 3 に対応する z データと、z バッファ 1 4 7 c に記憶されている z データとの比較が行われ、入力したカラーデータ S 1 2 によって描画される画像が、前回、ディスプレイバッファ 2 1 に書き込まれた画像より、手前 ( 視点側 ) に位置するか否かが判断される。

30

判断の結果、手前に位置する場合には、画像データ S 1 4 3 に対応する z データで z バッファ 1 4 7 c に記憶された z データが更新される。

【 0 1 5 0 】

次に、メモリ I / F 回路 1 4 4 において、( R , G , B ) データがディスプレイバッファ 1 4 7 b に書き込まれる。

これら書き込む ( 更新も含む ) べきデータは、書き込み系回路である、図 2 に示すデータ並べ替え部 4 0 0、ディストリビュータ 3 0 0、アドレスデコーダ 3 1 0, 3 2 0, 3 3 0, 3 4 0 を介してメモリコントローラ 3 5 0, 3 6 0, 3 7 0, 3 8 0 に供給され、メモリコントローラ 3 5 0, 3 6 0, 3 7 0, 3 8 0 によって、それぞれ書き込み系配線群 4 0 1 W, 4 0 2 W, 4 1 1 W, 4 1 2 W, 4 2 1 W, 4 2 2 W, 4 3 1 W, 4 3 2 W を介し所定のメモリに対して並列的に書き込まれる。

40

【 0 1 5 1 】

メモリ I / F 回路 1 4 4 においては、今から描画しようとしている画素におけるテクスチャアドレスに対応したテクスチャを格納しているメモリブロックがそのテクスチャアドレスにより算出され、そのメモリブロックにのみ読みだし要求が出され、テクスチャデータが読み出される。

この場合、該当するテクスチャデータを保持していないメモリブロックにおいては、テク

50



スチャ読み出しのためのアクセスが行われないため、描画により多くのアクセス時間を提供することが可能となっている。

【 0 1 5 2 】

このとき、メモリ I / F 回路 1 4 4 における、テクスチャエンジン回路 1 4 3 からの画像データ S 1 4 3 を D R A M 1 4 7 に書き込む処理は、例えば、図 1 1 ~ 図 1 8 を参照して前述したように、6 4 ビット幅の転送データ h w d を、2 5 6 ビット幅のカラーデータ c w d に変換して行われる。

【 0 1 5 3 】

また、描画においても同様に、今から描画しようとしている画素アドレスに対応するカラーデータを格納しているメモリブロックに対して、該当アドレスからカラーデータがモディファイ書き込み(Modify Write)を行うために読み出され、モディファイ後、同じアドレスへ書き戻される。

10

【 0 1 5 4 】

隠れ面処理を行う場合には、やはり同じように今から描画しようとしている画素アドレスに対応する奥行きデータを格納しているメモリブロックに対して、該当アドレスから奥行きデータがモディファイ書き込み(Modify Write)を行うために読み出され、必要ならばモディファイ後、同じアドレスへ書き戻される。

【 0 1 5 5 】

このようなメモリ I / F 回路 1 4 4 に基づく D R A M 1 4 7 とのデータのやり取りにおいては、それまでの処理を複数並行処理することで、描画性能を向上させることができる。特に、トライアングル D D A 回路 1 4 2 とテクスチャエンジン 1 4 3 の部分を並列実行形式で、同じ回路に設ける(空間並列)か、または、パイプラインを細かく挿入する(時間並列)ことで、部分的に動作周波数を増加させるという手段により、複数画素の同時算出が行われる。

20

【 0 1 5 6 】

また、カラーデータは、メモリ I / F 回路 1 4 4 の制御のもと、表示領域において隣接した部分は、異なる D R A M モジュールとなるように配置される。

これにより、三角形のような平面を描画する場合には面で同時に処理される。このため、それぞれの D R A M モジュールの動作確率は非常に高い。

【 0 1 5 7 】

そして、図示しない C R T に画像を表示する場合には、C R T コントロール回路 1 4 5 において、与えられた水平垂直同期周波数に同期して、表示アドレスが発生され、メモリ I / F 回路 1 4 4 へ表示データ転送の要求が出される。

メモリ I / F 回路 1 4 4 では、その要求に従い、一定のまとまった固まりで、表示データが C R T コントロール回路 1 4 5 に転送される。

C R T コントロール回路 1 4 5 では、図示しないディスプレイ用 F I F O (First In First Out) 等にその表示データが貯えられ、一定の間隔で R A M D A C 1 4 6 へ R G B のインデックス値が転送される。

30

【 0 1 5 8 】

また、図 1 に示すホストインタフェース回路 1 4 9 を介して、メインプロセッサ 1 1 からメモリ I / F 回路 1 4 4 に対して D R A M 1 4 7 あるいは S R A M 1 4 8 に格納されているデータの読み出し要求があった場合、読み出しコントローラ 3 9 0 のアドレスコンバータ 3 9 1 に読み出しアドレス A D R R<sub>2</sub> が入力される。

40

このとき、アドレスコンバータ 3 9 1 ではメモリコントローラ 3 5 0 , 3 6 0 , 3 7 0 , 3 8 0 からのアイドル信号 S 3 5 0 , S 3 6 0 , S 3 7 0 , S 3 8 0 をすべてアクティブで入力された否かのチェックが行われる。そして、アイドル信号 S 3 5 0 , S 3 6 0 , S 3 7 0 , S 3 8 0 がすべてアクティブで入力されると、アイドル信号 S 3 5 0 , S 3 6 0 , S 3 7 0 , S 3 8 0 に応答して、8 画素あるいは 1 6 画素単位で読み出しを行うように、読み出しアドレスおよび読み出し要求信号 S 3 9 1 が各メモリコントローラ 3 5 0 , 3 6 0 , 3 7 0 , 3 8 0 に出力される。

50

## 【 0 1 5 9 】

読み出しアドレスおよび読み出し要求信号 S 3 9 1 を受けて、各メモリコントローラ 3 5 0 , 3 6 0 , 3 7 0 , 3 8 0 で 8 画素あるいは 1 6 画素単位の、テクスチャデータ、( R , G , B ) データ、z データおよびテクスチャカラーlookupアップテーブルデータが読み出し系配線群 4 0 1 R , 4 0 2 R , 4 1 1 R , 4 1 2 R , 4 2 1 R , 4 2 2 R , 4 3 1 R , 4 3 2 R を介して並列的に読み出され、さらに読み出し系配線群 3 5 1 , 3 6 1 , 3 7 1 , 3 8 1 , 配線群 4 4 0 を介してデータ演算部 3 9 2 に入力される。

そして、データ演算部 3 9 2 で所定の演算処理が行われた後に、データ並べ替え部 4 0 0 において、2 5 6 ビット幅のカラーデータ m c \_ 0 d t r ~ m c \_ 7 d t r から 6 4 ビット幅の転送データ h r d に変換され、要求先、例えばメインプロセッサ 1 1 にホストインタフェース回路 1 4 9 を介して出力される。

10

## 【 0 1 6 0 】

R A M D A C 1 4 6 においては、R A M 内部に R G B のインデックスに対する R G B 値が記憶されていて、インデックス値に対する R G B 値が図示しない D / A コンバータへ転送される。

そして、D / A コンバータでアナログ信号に変換された R G B 信号が C R T へ転送される。

## 【 0 1 6 1 】

以上説明したように、本実施形態によれば、図 1 に示すホストインタフェース回路 1 4 9 およびテクスチャエンジン回路 1 4 3 と、D R A M 1 4 7 との間でのデータフォーマットが異なる場合でも、図 2 に示すデータ並べ替え部 4 0 0 においてデータの並べ替えを行うことで、テクスチャエンジン回路 1 4 3 およびホストインタフェース回路 1 4 9 と D R A M 1 4 7 との間でのデータ転送を正確に行うことができる。

20

また、本実施形態によれば、D R A M 1 4 7 に対してアクセスするアドレスパターンに制限がある場合でも、データ並べ替え部 4 0 0 において当該制限を考慮してデータの並べ替えを行うことで、D R A M 1 4 7 に対してのカラーデータの書き込みおよび読み出しを正確に行うことができる。

## 【 0 1 6 2 】

また、本実施形態によれば、図 8 に示すデータ並べ替え部 4 0 0 において、コントローラ 4 4 0 が、F I F O 回路 4 1 0<sub>3</sub> の記憶領域を監視し、各々 6 4 ビット幅の 1 6 段の記憶回路のうち半分の 8 段の記憶回路が空になったときに、画素データ長指示信号 S 8 0 1 に応じた回数だけ連続して D R A M 1 4 7 から読み出しを行うことで、コントローラ 4 4 0 による F I F O 回路 4 1 0<sub>3</sub> の制御を簡単にでき、コントローラ 4 4 0 の負担を軽減できる。そのため、コントローラ 4 4 0 が行うその他の処理が、F I F O 回路 4 1 0<sub>3</sub> の制御処理によって待たされる状態を回避できる。

30

## 【 0 1 6 3 】

また、本実施形態によれば、D R A M 1 4 7 および S R A M 1 4 8 へのアクセス(書き込みまたは読み出し)を行うメモリ I / F 回路 1 4 4 において、書き込み経路と読み出し経路とを別経路として構成し、書き込みの場合には書き込みアドレス A D R W とカラーデータ c w d を書き込み系回路であるデータ並べ替え部 4 0 0、ディストリビュータ 3 0 0、アドレスコンバータ 3 1 0 , 3 2 0 , 3 3 0 , 3 4 0 およびメモリコントローラ 3 5 0 , 3 6 0 , 3 7 0 , 3 8 0 で処理して D R A M 1 4 7 に書き込み、読み出しの場合には読み出し系回路であるデータ並べ替え部 4 0 0、読み出しコントローラ 3 9 0、メモリコントローラ 3 5 0 , 3 6 0 , 3 7 0 , 3 8 0 で処理して D R A M 1 4 7 または S R A M 1 4 8 から読み出すことから、例えば読み出しの割り込みが入った時等に早いタイミングで切り替えることができ、読み出しの際の性能向上を図れる利点がある。

40

## 【 0 1 6 4 】

また、メモリ I / F 回路 1 4 4 は、所定のインターリーブ方式のアドレッシングに基づいて D R A M 1 4 7 へのアクセスを、例えば 1 6 画素単位あるいは 8 画素単位で行い、アクセスを行う領域に制限を加えていることから、ページ違反を起こさない画像処理装置を実

50

現できる。

【0165】

さらに、本実施形態によれば、半導体チップ内部に内蔵されたDRAM147に、表示データと少なくとも一つの図形要素が必要とするテクスチャデータを記憶させた構成を有することから、表示領域以外の部分にテクスチャデータを格納できることになり、内蔵DRAMの有効利用が可能となり、高速処理動作、並びに低消費電力化を並立させるようにした画像処理装置が実現可能となる。

そして、単一メモリシステムを実現でき、すべてが内蔵された中だけで処理ができる。その結果、アキテクチャとしても大きなパラダイムシフトとなる。

また、メモリの有効利用ができることで、内部に持っているDRAMのみでの処理が可能となり、内部にあるがゆえのメモリと描画システムの間大きなバンド幅が、十分に活用可能となる。また、DRAMにおいても特殊な処理を組み込むことが可能となる。

【0166】

さらに、表示アドレス空間において、隣接するアドレスにおける表示要素が、それぞれ異なるDRAMのブロックになるように配置するので、さらにビット線の有効利用が可能となり、グラフィックス描画におけるような、比較的固まった表示領域へのアクセスが多い場合には、それぞれのモジュールが同時に処理できる確率が増加し、描画性能の向上が可能となる。

【0167】

また、チップ内部にDRAMを内蔵することで、その高速なインタフェース部分がチップの内部だけで完結することになるため、大きな付加容量のI/Oバッファであるとか、チップ間配線容量をドライブする必要がなくなり、消費電力は内蔵しない場合に比較して小さくなる。

よって、さまざまな技術を使って、一つのチップの中だけですべてができるような仕組みは、今後の携帯情報端末等の身近なデジタル機器のためには、必要不可欠な技術要素となっている。

【0168】

本発明は上述した実施形態には限定されない。

例えば、DRAM147に対するアクセスパターンの制限は、上述したものに制限されず、その他のアクセスパターンの制限がある場合でも、本発明を適用可能である。

また、図8に示すデータ並べ替え部400の構成や、図9に示すデータ並べ替え回路420の構成も、これらに限定されるものではない。

【0169】

また、図8に示すFIFO回路410<sub>1</sub>～410<sub>3</sub>の段数は任意である。

また、コントローラ440が、FIFO回路410<sub>3</sub>の記憶状態を開始して読み出し要求を出すタイミングは、空領域が半分になったとき以外でもよい。

【0170】

また、上述した図1に示す3次元コンピュータグラフィックスシステム10では、SRAM148を用いる構成を例示したが、SRAM148を設けない構成にしてもよい。

【0171】

さらに、図1に示す3次元コンピュータグラフィックスシステム10では、ポリゴンレンダリングデータを生成するジオメトリ処理を、メインプロセッサ11で行う場合を例示したが、レンダリング回路14で行う構成にしてもよい。

【0172】

【発明の効果】

以上説明したように、本発明の画像処理装置によれば、記憶回路へのアクセス時のアドレス指定に制限がある場合でも、画像処理回路と記憶回路間のデータ送受信を正確に行うことができる。

また、本発明の画像処理装置によれば、記憶回路へのアクセス時のアドレス指定に制限がある場合でも、記憶回路の記憶領域内でのデータ転送を正確に行うことができる。

10

20

30

40

50

## 【図面の簡単な説明】

【図 1】本発明に係る 3 次元コンピュータグラフィックスシステムの構成を示すブロック図である。

【図 2】本発明に係るレンダリング回路における DRAM、SRAM、並びに、DRAM および SRAM へアクセスするメモリ I/F 回路の具体的な構成例を示すブロック図である。

【図 3】本発明に係る DRAM バッファの構成例を示す概略図である。

【図 4】テクスチャデータに含まれる同時にアクセスが行われるカラーデータを説明するための図である。

【図 5】テクスチャデータを構成する単位ブロックを説明するための図である。

10

【図 6】テクスチャバッファのアドレス空間を説明するための図である。

【図 7】本発明に係るメモリ I/F 回路におけるディストリビュータの画像データ処理を説明するための図である。

【図 8】図 8 は、図 2 に示すデータ並べ替え部 400 の構成図である。

【図 9】図 9 は、図 8 に示すデータ並べ替え回路 420 の構成図である。

【図 10】図 10 は、図 1 に示す DRAM 内の記憶領域を示す図である。

【図 11】図 11 は、図 2 に示すデータ並べ替え部における 1 画素のデータ長が 32 ビットの場合の「Host to Local」転送モードの動作を説明するための図である。

【図 12】図 12 は、図 2 に示すデータ並べ替え部における 1 画素のデータ長が 32 ビットの場合の「Host to Local」転送モードの動作を説明するための図である。

20

【図 13】図 13 は、図 2 に示すデータ並べ替え部における 1 画素のデータ長が 32 ビットの場合の「Host to Local」転送モードの動作を説明するための図である。

【図 14】図 14 は、図 13 に示すカラーデータを図 1 に示す DRAM に書き込む動作を説明するための図である。

【図 15】図 15 は、図 13 に示すカラーデータを図 1 に示す DRAM に書き込む動作を説明するための図である。

【図 16】図 16 は、図 2 に示すデータ並べ替え部における 1 画素のデータ長が 16 ビットの場合の「Host to Local」転送モードの動作を説明するための図である。

30

【図 17】図 17 は、図 2 に示すデータ並べ替え部における 1 画素のデータ長が 16 ビットの場合の「Host to Local」転送モードの動作を説明するための図である。

【図 18】図 18 は、図 2 に示すデータ並べ替え部における 1 画素のデータ長が 16 ビットの場合の「Host to Local」転送モードの動作を説明するための図である。

【図 19】図 19 は、図 2 に示すデータ並べ替え部における「Local to Host」転送モードの動作を説明するための図である。

40

【図 20】図 20 は、図 2 に示すデータ並べ替え部における「Local to Host」転送モードの動作を説明するための図である。

【図 21】図 21 は、図 2 に示すデータ並べ替え部における「Local to Host」転送モードの動作を説明するための図である。

【図 22】図 22 は、図 2 に示すデータ並べ替え部における「Local to Host」転送モードの動作を説明するための図である。

【図 23】図 23 は、図 2 に示すデータ並べ替え部における「Local to Local」転送モードの動作を説明するための図である。

【図 24】図 24 は、図 2 に示すデータ並べ替え部における「Local to Local」転送モードの動作を説明するための図である。

50

【図25】図25は、図2に示すデータ並べ替え部における「Local to Local」転送モードの動作を説明するための図である。

【図26】図26は、図8に示すコントローラからアドレス生成部へ出力する制御信号の読み出し要求に示される読み出し指示回数と、1画素のデータ長との関係を示すための図である。

【図27】図27は、1画素のデータ長が32ビット、16ビット、8ビットおよび4ビットの場合における、1回の読み出し動作によってDRAMから読み出されるカラーデータを説明するための図である。

【図28】3次元コンピュータグラフィックスシステムの基本的な概念を示すシステム構成図である。

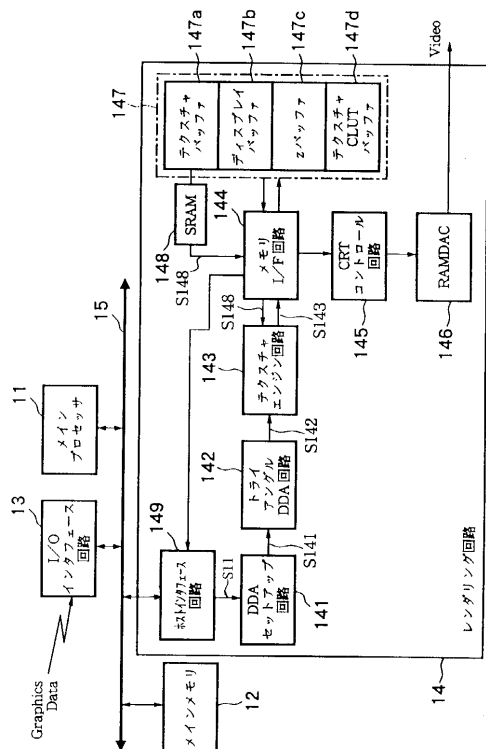
【符号の説明】

10...3次元コンピュータグラフィックスシステム、11...メインプロセッサ、12...メインメモリ、13...I/Oインタフェース回路、14...レンダリング回路、141...DDAセットアップ回路、142...トライアングルDDA回路、143...テクスチャエンジン回路、144...メモリI/F回路、145...CRTコントローラ回路、146...RAMDAC回路、147...DRAM、147a...テクスチャバッファ、147b...ディスプレイバッファ、147c...zバッファ、147d...テクスチャCLUTバッファ、148...SRAM、149...バスインターフェイス回路、200, 210, 220, 230...メモリモジュール、300...ディストリビュータ、310, 320, 330, 340...アドレスデコーダ、350, 360, 370, 380...メモリコントローラ、390...読み出しコントローラ、391...アドレスデコーダ、392...データ演算処理部、400...データ並べ替え部、410<sub>1</sub> ~ 410<sub>3</sub>...FIFO回路、410<sub>4</sub>...ラッチ回路、420...データ並べ替え回路、430...アドレス生成部、440...コントローラ

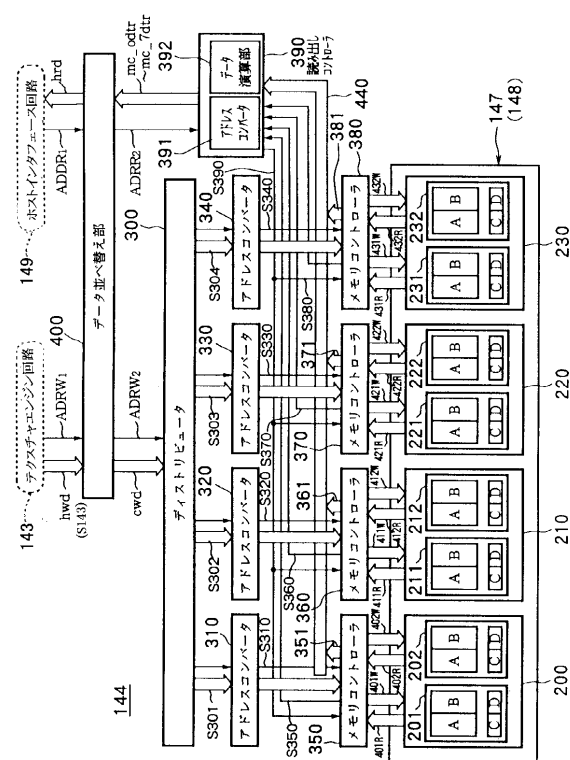
10

20

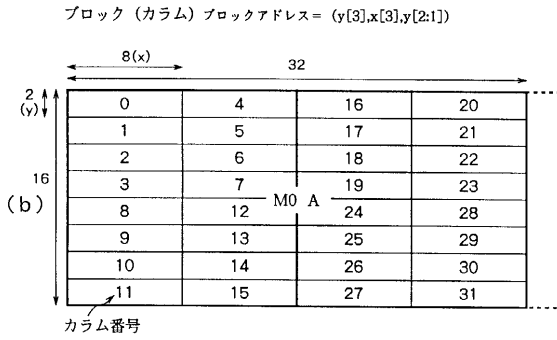
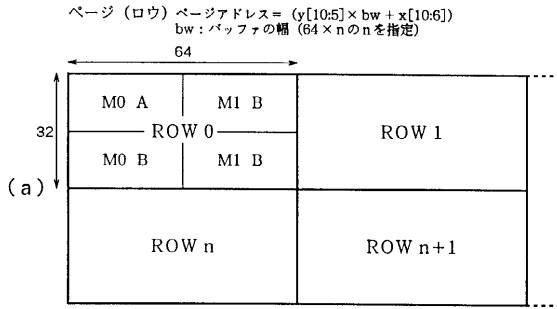
【図1】



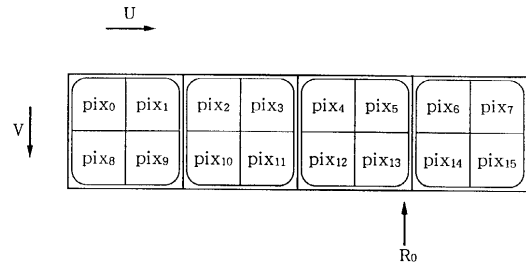
【図2】



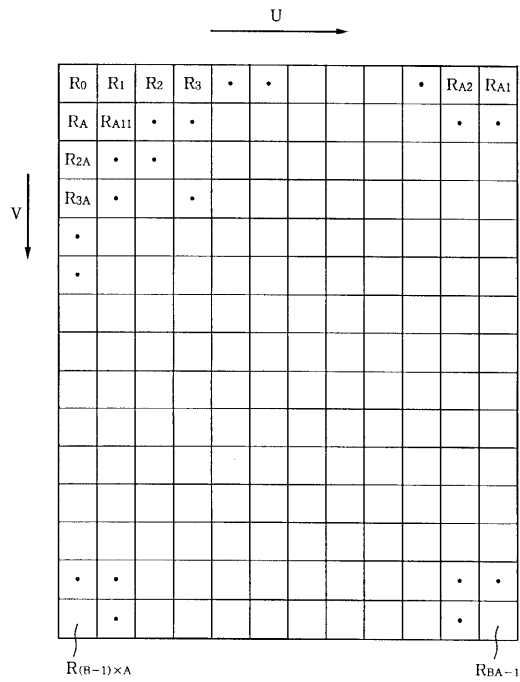
【 図 3 】



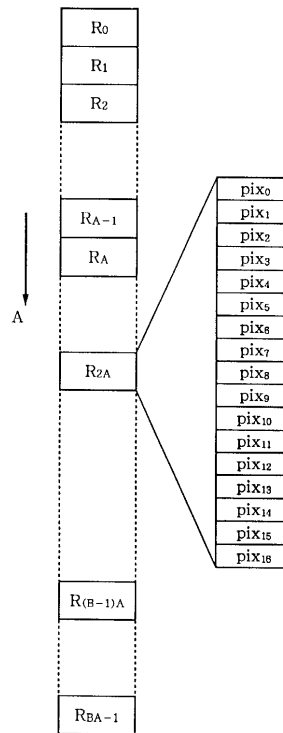
【 図 4 】



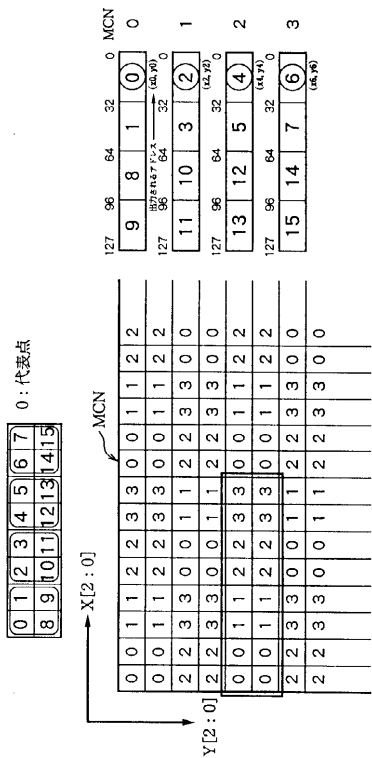
【 図 5 】



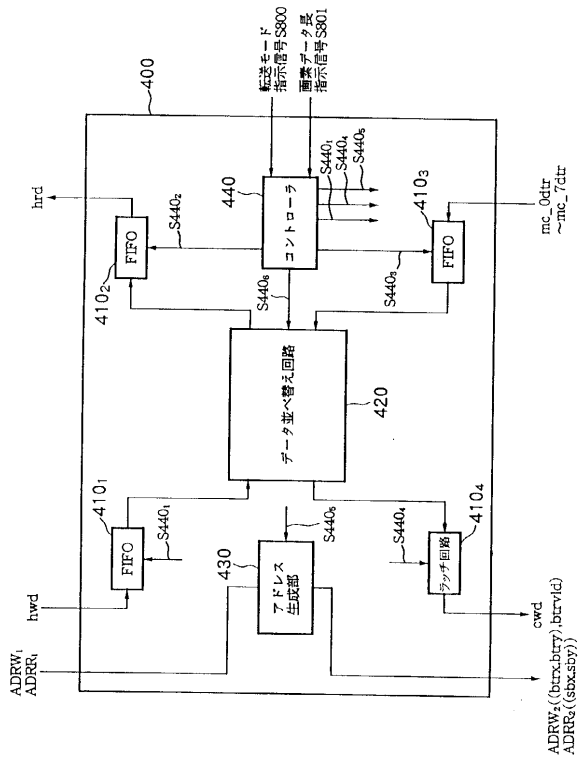
【 図 6 】



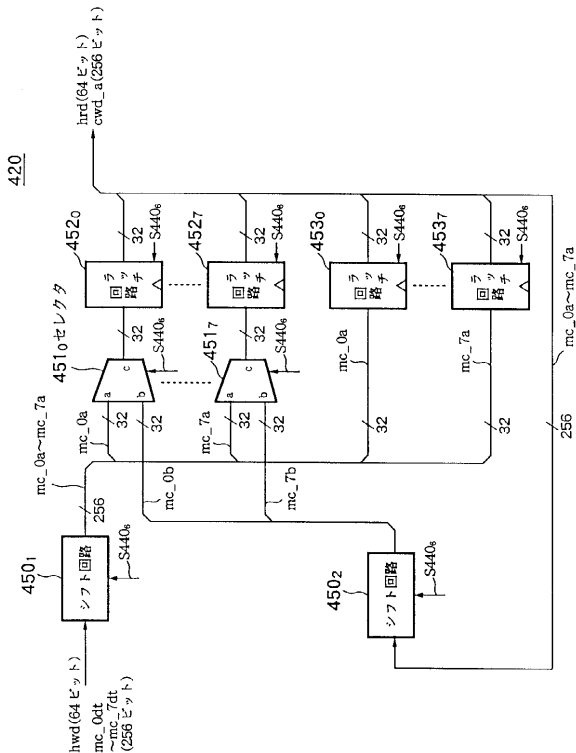
【図7】



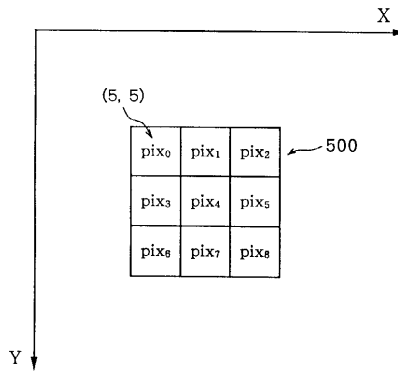
【図8】



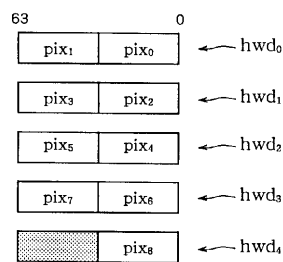
【図9】



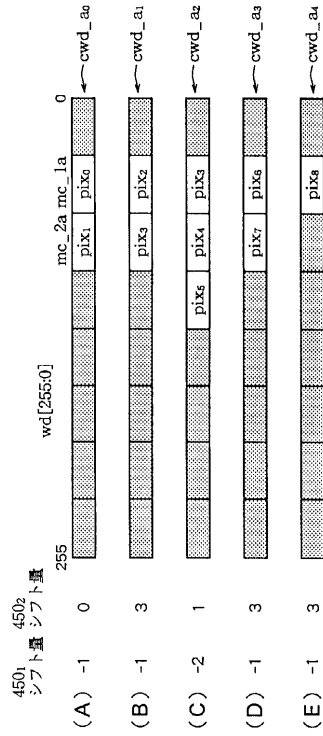
【図10】



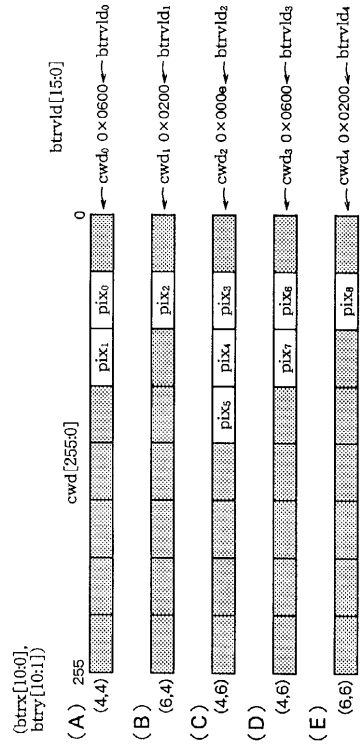
【図11】



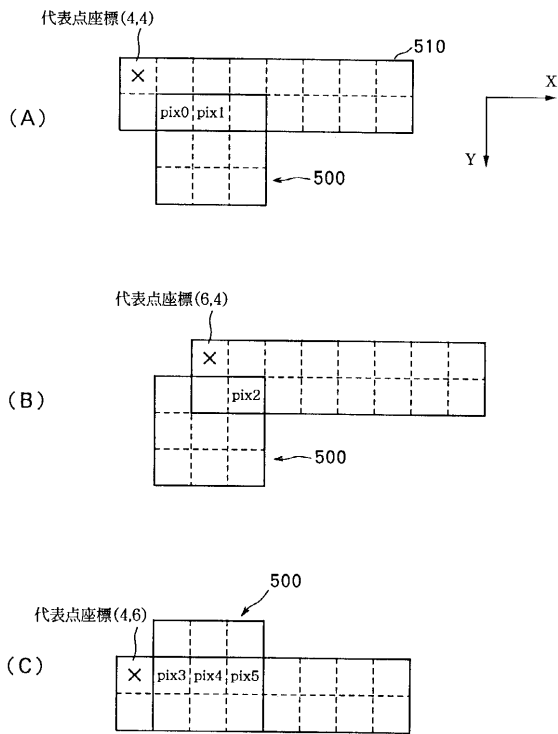
【図12】



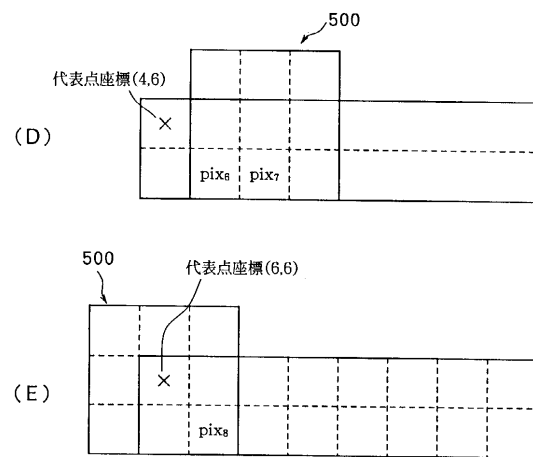
【図13】



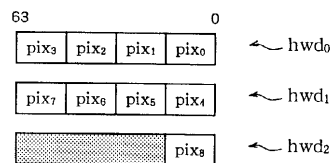
【図14】



【図15】

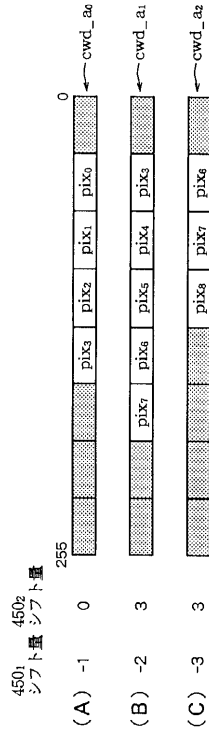


【図16】

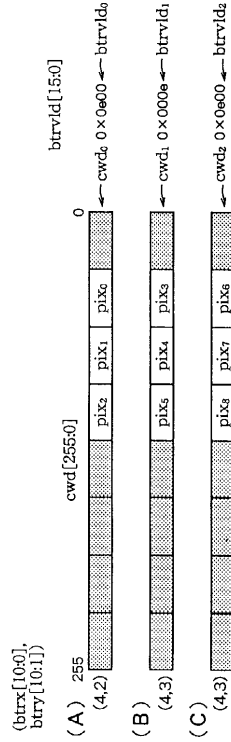




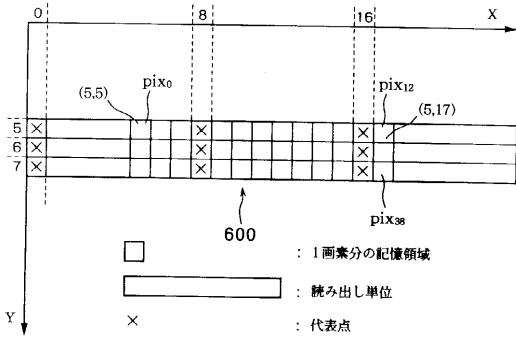
【 図 17 】



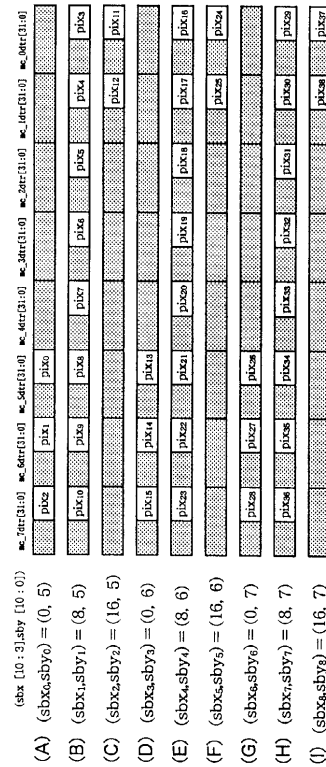
【 図 18 】



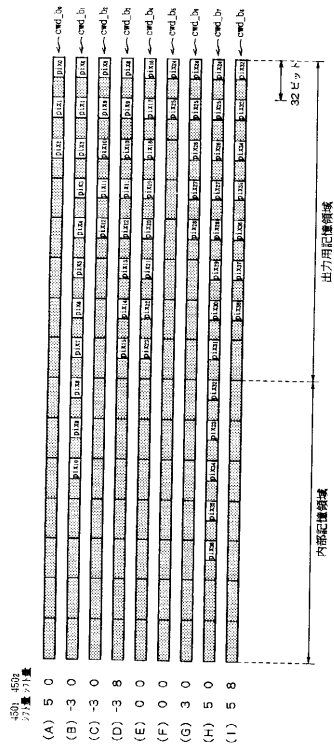
【 図 19 】



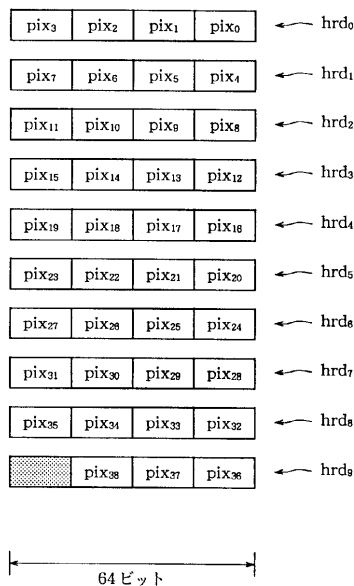
【 図 20 】



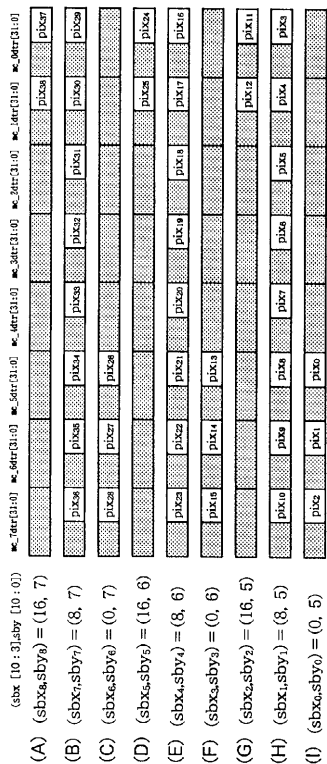
【 図 2 1 】



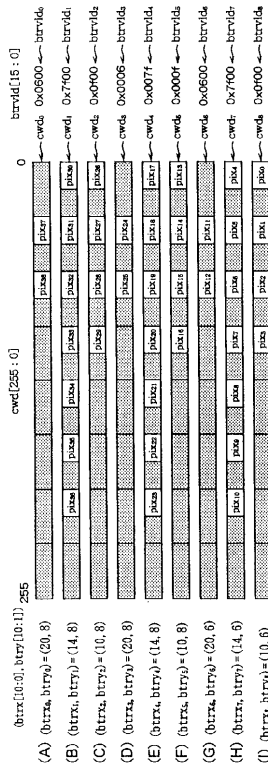
【 図 2 2 】



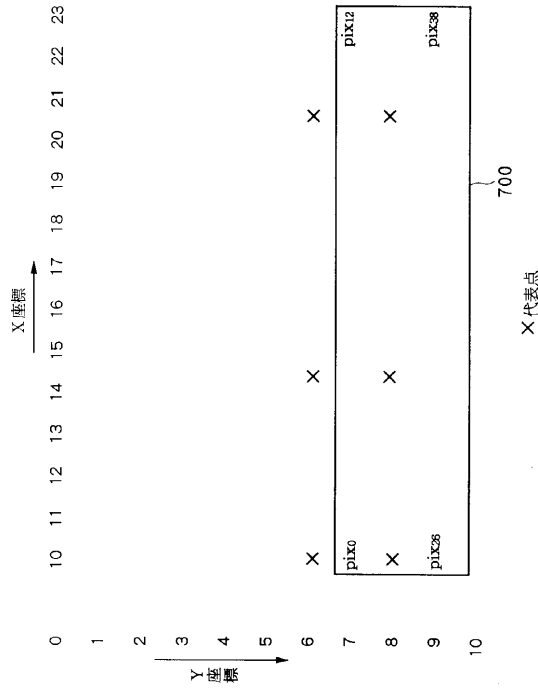
【 図 2 3 】



【 図 2 4 】



【図 25】

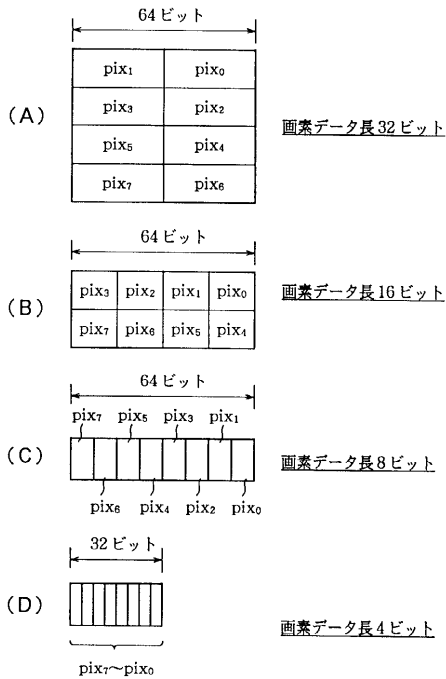


【図 26】

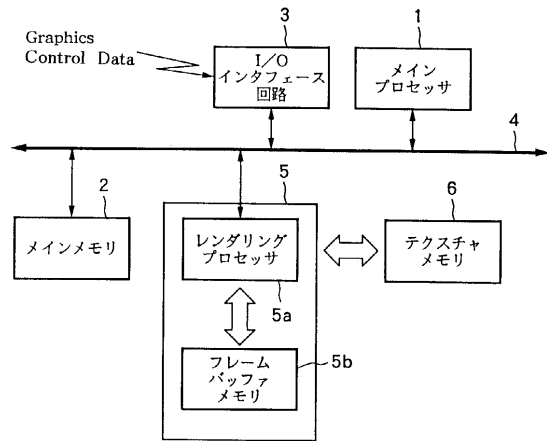
画素データ長(ビット)	読み出し指示回数(回)
32	2
16	4
8	8
4	16

FIFO回路の記名領域の半分(8段)が空になった場合

【図 27】



【図 28】



---

フロントページの続き

- (56)参考文献 特開昭62-297951(JP,A)  
特開平9-282485(JP,A)  
特開平9-120371(JP,A)