



(12) 发明专利申请

(10) 申请公布号 CN 113937149 A

(43) 申请公布日 2022. 01. 14

(21) 申请号 202010670054.4

(22) 申请日 2020.07.13

(71) 申请人 苏州东微半导体股份有限公司
地址 215123 江苏省苏州市苏州工业园区
金鸡湖大道99号苏州纳米城西北区20
栋405-406

(72) 发明人 龚轶 刘伟 毛振东 徐真逸

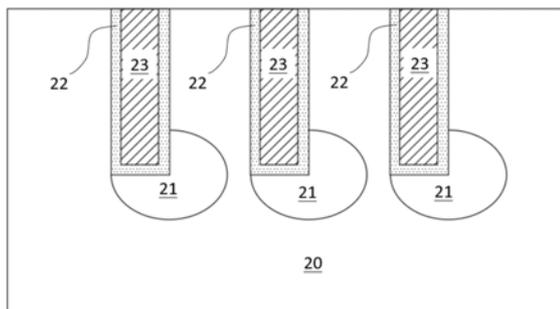
(74) 专利代理机构 北京品源专利代理有限公司
11332
代理人 孟金喆

(51) Int. Cl.
H01L 29/06 (2006.01)
H01L 29/40 (2006.01)
H01L 21/265 (2006.01)

权利要求书1页 说明书4页 附图2页

(54) 发明名称
半导体功率器件的终端结构及其制造方法

(57) 摘要
本发明属于半导体功率器件技术领域,具体公开了一种半导体功率器件的终端结构及其制造方法,包括:n型外延层;凹陷在所述n型外延层内的至少一个终端区沟槽,所述终端区沟槽环绕包围半导体功率器件的元胞区;位于所述n型外延层内且位于所述终端区沟槽底部的p型掺杂区,所述p型掺杂区的几何中心位于所述终端区沟槽的几何中心远离所述元胞区的一侧。本发明可以提高半导体功率器件的击穿电压。



1. 半导体功率器件的终端结构,其特征在于,包括:

n型外延层;

凹陷在所述n型外延层内的至少一个终端区沟槽,所述终端区沟槽环绕包围半导体功率器件的元胞区;

位于所述n型外延层内且位于所述终端区沟槽底部的p型掺杂区,所述p型掺杂区的几何中心位于所述终端区沟槽的几何中心远离所述元胞区的一侧。

2. 如权利要求1所述的半导体功率器件的终端结构,其特征在于,所述终端区沟槽的底部低于所述p型掺杂区的顶部。

3. 如权利要求1所述的半导体功率器件的终端结构,其特征在于,还包括位于所述终端区沟槽内的场氧化层和导电多晶硅。

4. 如权利要求3所述的半导体功率器件的终端结构,其特征在于,至少有一个所述终端区沟槽内的导电多晶硅外接源极电压。

5. 如权利要求1所述的半导体功率器件的终端结构,其特征在于,所述n型外延层包括第一n型外延层和位于所述第一n型外延层之上的第二n型外延层,所述第一n型外延层和所述第二n型外延层的掺杂浓度不同。

6. 如权利要求5所述的半导体功率器件的终端结构,其特征在于,所述第二n型外延层的掺杂浓度大于所述第一n型外延层的掺杂浓度。

7. 如权利要求5所述的半导体功率器件的终端结构,其特征在于,所述p型掺杂区位于所述第一n型外延层内。

8. 如权利要求5所述的半导体功率器件的终端结构,其特征在于,所述p型掺杂区位于所述第一n型外延层内并向上延伸至所述第二n型外延层内。

9. 半导体功率器件的终端结构的制造方法,其特征在于,包括:

在n型外延层第一分部内形成至少一个p型注入区,所述p型注入区环绕包围半导体功率器件的元胞区;

在所述n型外延层第一分部之上形成n型外延层第二分部,所述n型外延层第一分部和所述n型外延层第二分部形成半导体功率器件的n型外延层;

通过光刻工艺和刻蚀工艺形成凹陷在所述n型外延层内的终端区沟槽,所述终端区沟槽与所述p型注入区一一对应,所述p型注入区的几何中心位于所述终端区沟槽的几何中心的远离所述元胞区的一侧。

10. 如权利要求9所述的半导体功率器件的终端结构的制造方法,其特征在于,所述n型外延层包括第一n型外延层和位于所述第一n型外延层之上的第二n型外延层;

所述n型外延层第一分部为所述第一n型外延层,所述n型外延层第二分部为所述第二n型外延层,所述n型外延层第二分部的掺杂浓度大于所述n型外延层第一分部的掺杂浓度。

半导体功率器件的终端结构及其制造方法

技术领域

[0001] 本发明属于半导体功率器件技术领域,特别是涉及一种半导体功率器件的终端结构及其制造方法。

背景技术

[0002] 半导体功率器件包括元胞区和终端区,终端区环绕包围元胞区,元胞区的设计决定半导体功率器件的导通电阻、电容以及击穿电压等特性,但它受限于终端区保护设计的有效性和面积。为保证半导体功率器件的可靠性,电压击穿点应落在元胞区,而不是终端区。现有技术中的半导体功率器件为了降低特征导通电阻,需要提高n型外延层的掺杂浓度,这使得终端区在横向上难以耗尽,导致终端区耐压低于元胞区耐压,从而影响了半导体功率器件的耐压。

发明内容

[0003] 有鉴于此,本发明的目的是提供一种半导体功率器件的终端结构及其制造方法,以解决现有技术的半导体功率器件的耐压难以调整的问题。

[0004] 为达到本发明的上述目的,本发明提供了一种半导体功率器件的终端结构,包括:

[0005] n型外延层;

[0006] 凹陷在所述n型外延层内的至少一个终端区沟槽,所述终端区沟槽环绕包围半导体功率器件的元胞区;

[0007] 位于所述n型外延层内且位于所述终端区沟槽底部的p型掺杂区,所述p型掺杂区的几何中心位于所述终端区沟槽的几何中心远离所述元胞区的一侧。

[0008] 可选的,所述终端区沟槽的底部低于所述p型掺杂区的顶部。

[0009] 可选的,还包括位于所述终端区沟槽内的场氧化层和导电多晶硅。

[0010] 可选的,至少有一个所述终端区沟槽内的导电多晶硅外接源极电压。

[0011] 可选的,所述n型外延层包括第一n型外延层和位于所述第一n型外延层之上的第二n型外延层,所述第一n型外延层和所述第二n型外延层的掺杂浓度不同。

[0012] 可选的,所述第二n型外延层的掺杂浓度大于所述第一n型外延层的掺杂浓度。

[0013] 可选的,所述p型掺杂区位于所述第一n型外延层内。

[0014] 可选的,所述p型掺杂区位于所述第一n型外延层内并向上延伸至所述第二n型外延层内。

[0015] 半导体功率器件的终端结构的制造方法,包括:

[0016] 在n型外延层第一分部内形成至少一个p型注入区,所述p型注入区环绕包围半导体功率器件的元胞区;

[0017] 在所述n型外延层第一分部之上形成n型外延层第二分部,所述n型外延层第一分部和所述n型外延层第二分部形成半导体功率器件的n型外延层;

[0018] 通过光刻工艺和刻蚀工艺形成凹陷在所述n型外延层内的终端区沟槽,所述终端

区沟槽与所述p型注入区一一对应,所述p型注入区的几何中心位于所述终端区沟槽的几何中心远离所述元胞区的一侧。

[0019] 可选的,所述n型外延层包括第一n型外延层和位于所述第一n型外延层之上的第二n型外延层;

[0020] 所述n型外延层第一分部为所述第一n型外延层,所述n型外延层第二分部为所述第二n型外延层,所述n型外延层第二分部的掺杂浓度大于所述n型外延层第一分部的掺杂浓度。

[0021] 本发明提供的半导体功率器件的终端结构,p型掺杂区位于终端区沟槽的底部且p型掺杂区的几何中心位于所述终端区沟槽的几何中心远离元胞区的一侧,这能够提高半导体功率器件的终端区的击穿电压,进而提高半导体功率器件的耐压和可靠性。

附图说明

[0022] 为了更加清楚地说明本发明示例性实施例的技术方案,下面对描述实施例中所需要用到的附图做一简单介绍。

[0023] 图1是本发明提供的半导体功率器件的一个实施例的剖面结构示意图;

[0024] 图2-图3是本发明提供的半导体功率器件的制造方法的一个实施例的制造工艺中的主要结构的剖面结构示意图。

具体实施方式

[0025] 以下将结合本发明实施例中的附图,通过具体方式,完整地描述本发明的技术方案。显然,所描述的实施例是本发明的一部分实施例,而不是全部的实施例。应当理解,本发明所使用的诸如“具有”、“包含”以及“包括”等术语并不配出一个或多个其它元件或其组合的存在或添加。同时,为清楚地说明本发明的具体实施方式,说明书附图中所列示意图,放大了本发明所述的层和区域的厚度,且所列图形大小并不代表实际尺寸。

[0026] 图1是本发明提供的半导体功率器件的终端结构的一个实施例的剖面结构示意图,如图1所示,本发明提供的半导体功率器件的终端结构包括n型外延层20,n型外延层20的材质通常为硅且n形成外延层20通常形成于n型硅衬底(图1中未示出)之上。凹陷在n型外延层20内的至少一个终端区沟槽,在图1的实施例中,仅示例性的示出了三个终端区沟槽,在终端区沟槽形成有场氧化层22和导电多晶硅23,可选的,应至少有一个导电多晶硅23外接源极电压。半导体功率器件包括元胞区和终端区,终端区环绕包围元胞区,在本发明实施例中仅示例性的示出了终端区的终端区结构。

[0027] 位于n型外延层20内且位于终端区沟槽底部的p型掺杂区21,p型掺杂区21的几何中心位于所述终端区沟槽的几何中心远离所述元胞区的一侧。在半导体功率器件的终端区内,电压最高点位于终端区沟槽的远离元胞区的一侧,将p型掺杂区21的几何中心设置在终端区沟槽的几何中心远离元胞区的一侧,可以提高终端区的耐压,进而可以提高半导体功率器件的耐压和可靠性。

[0028] 可选的,可以使得终端区沟槽的底部高于p型掺杂区21的顶部,即相当于终端区沟槽底部延伸至p型掺杂区21内(如图1所示),这样在保持终端区沟槽的深度不变的条件下,可以增大p型掺杂区与n型外延层20的底部之间的距离,进一步提高半导体功率器件的耐

压。

[0029] 可选的,本发明提供的半导体功率器件,n型外延层20可以包括第一n型外延层和位于第一n型外延层之上的第二n型外延层(图中未示出),第一n型外延层和第二n型外延层的掺杂浓度不同。可选的,第二n型外延层的掺杂浓度大于第一n型外延层的掺杂浓度,由此,低掺杂浓度的第一n型外延层用于提高半导体功率器件的耐压,高掺杂浓度的第二n型外延层用于降低半导体功率器件的导通电阻。

[0030] 可选的,当n型外延层包括第一n型外延层和第二n型外延层时,终端区沟槽的底部可以位于第二n型外延层内,也可以是终端区沟槽的底部位于第一n型外延层内(图中未示出),本发明实施例对此不进行限定。

[0031] 可选的,当n型外延层包括第一n型外延层和第二n型外延层时,p型掺杂区可以位于第一n型外延层内,也可以是p型掺杂区位于第一n型外延层内并向上延伸至第二n型外延层内(图中未示出),本发明实施例对此不进行限定。

[0032] 图2至图3是本发明提供的半导体功率器件的终端结构的制造方法的一个实施例的制造工艺中的主要结构的剖面结构示意图,首先如图2所示,在n型衬底30上形成n型外延层第一分部31,然后进行离子注入在n型外延层第一分部31内形成至少一个p型注入区41,p型注入区41应环绕包围半导体功率器件的元胞区(图2中未示出),在图2中仅示例性的示出了三个p型注入区41。

[0033] 接下来,如图3所示,在n型外延层第一分部31之上形成n型外延层第二分部32,n型外延层第一分部31和n型外延层第二分部32形成本发明的半导体功率器件的终端结构的n型外延层。优选的,n型外延层第二分部32的掺杂浓度大于n型外延层第一分部31的掺杂浓度,从而n型外延层第一分部31用于提高半导体功率器件的耐压,n型外延层第二分部32用于降低半导体功率器件的导通电阻。然后,通过光刻工艺和刻蚀工艺形成凹陷在所述n型外延层内的终端区沟槽42,终端区沟槽42与p型注入区41一一对应,p型注入区41的几何中心位于终端区沟槽42的几何中心远离元胞区的一侧。

[0034] 可选的,本发明实施例的半导体功率器件的终端结构中,n型外延层包括第一n型外延层和位于第一n型外延层之上的第二n型外延层;n型外延层第一分部为第一n型外延层,n型外延层第二分部为第二n型外延层。

[0035] 最后,通过常规工艺即可制造得到本发明的半导体功率器件的终端结构,需要说明的是,通过控制p型注入区41的注入浓度和深度,可以控制在后续工艺中p型注入区41在扩散后形成的p型掺杂区的位置,如p型掺杂区可以仅位于n型外延层第一分部31内,或者p型掺杂区也可以位于n型外延层第一分部31内并扩散至n型外延层第二分部32内。同时,通过终端区沟槽42的刻蚀深度,可以使得p型注入区41在扩散后形成的p型掺杂区的顶部高于终端区沟槽的底部,相当于终端区沟槽底部延伸至p型掺杂区内;也可以使得p型注入区41在扩散后形成的p型掺杂区的顶部低于终端区沟槽的底部。

[0036] 本发明的半导体功率器件的终端结构可以适用于不同的栅极结构的半导体功率器件,如栅极结构和源极多晶硅为上下位置关系,或者栅极结构和源极多晶硅为左右位置关系,同时为了匹配元胞区沟槽内的栅极结构,在终端区沟槽内也可以形成与之相对应的栅极结构,终端区沟槽内的栅极结构应浮空设置或外接源极电压。

[0037] 以上具体实施方式及实施例是对本发明技术思想的具体支持,不能以此限定本发

明的保护范围,凡是按照本发明提出的技术思想,在本技术方案基础上所做的任何等同变化或等效的改动,均仍属于本发明技术方案保护的范围内。

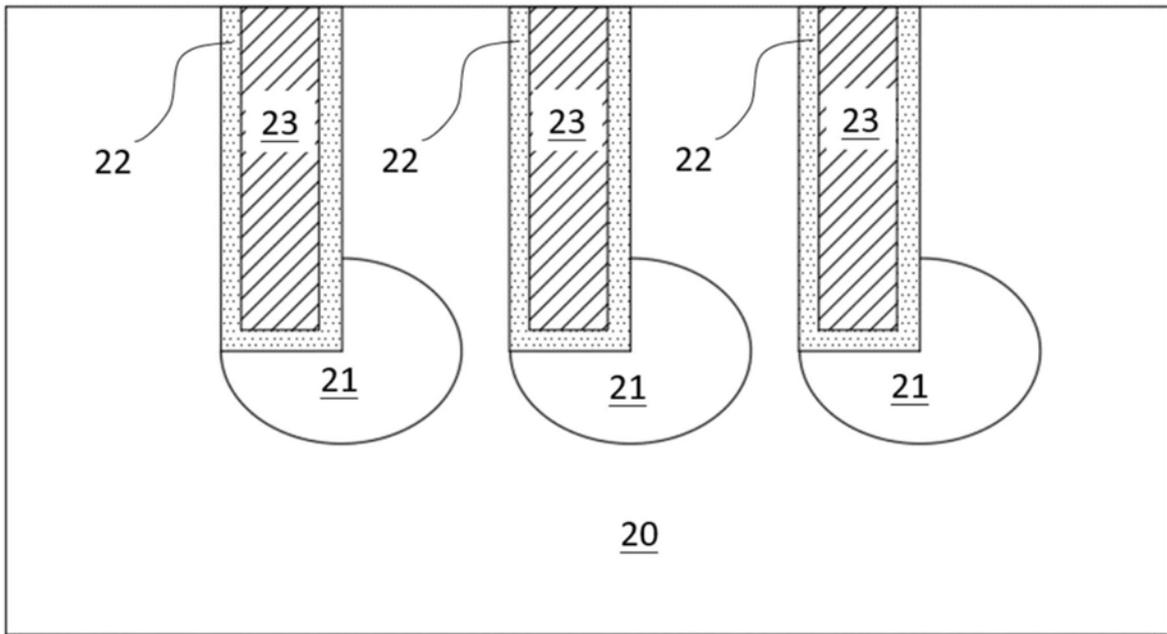


图1

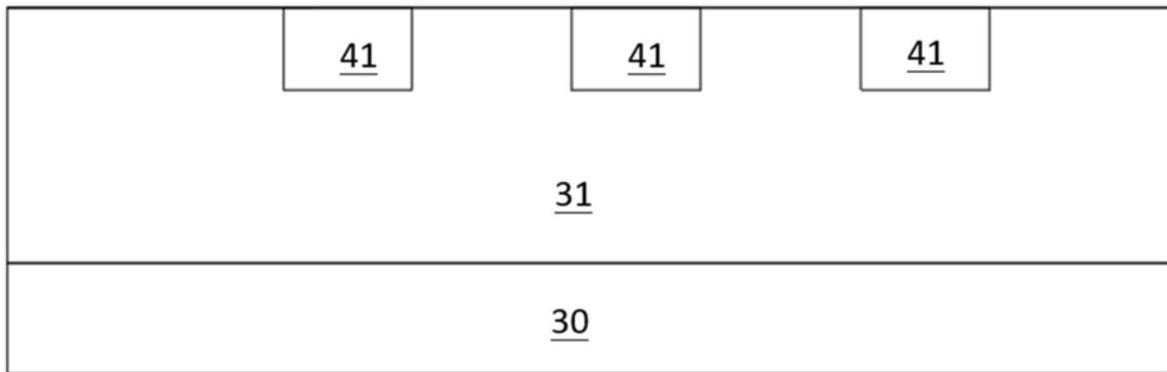


图2

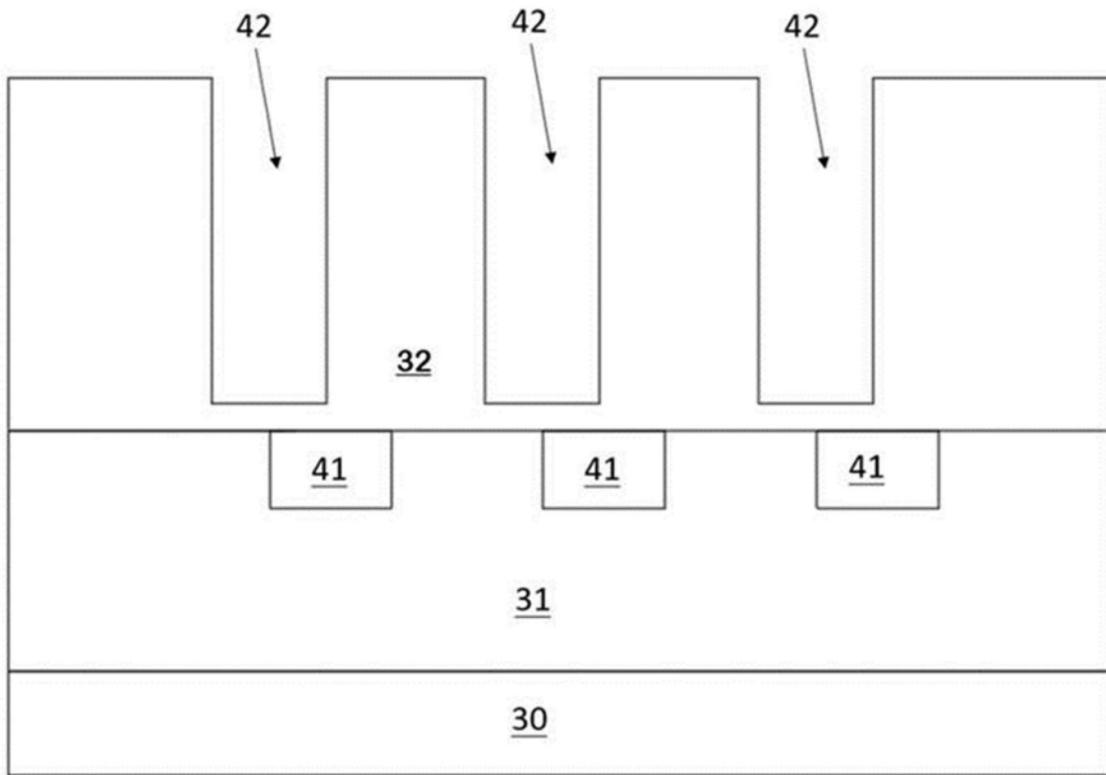


图3